(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3859187号
(P3859187)
(45)発行日　平成18年12月20日(2006.12.20)　(24)登録日　平成18年9月29日(2006.9.29)

(51)Int.Cl.　　F I
G11C 11/22 (2006.01)　　G11C 11/22 501K
H01L 27/10 (2006.01)　　H01L 27/10 451

請求項の数 29　(全 29 頁)

(21)出願番号　特願平10-293719
(22)出願日　平成10年10月15日(1998.10.15)
(65)公開番号　特開平11-306766
(43)公開日　平成11年11月5日(1999.11.5)
審査請求日　平成14年10月25日(2002.10.25)
(31)優先権主張番号　14400/1998
(32)優先日　平成10年4月22日(1998.4.22)
(33)優先権主張国　韓国(KR)

(73)特許権者　591024111
株式会社ハイニックスセミコンダクター
HYNIX SEMICONDUCTOR INC.
大韓民国京畿道利川市夫鉢邑牙美里山１３６－１
San 136-1, Ami-Ri, Bubal-Eup, Ichon-Shi, Kyoungki-Do, Korea
(74)代理人　100064621
弁理士　山川　政樹
(72)発明者　ヒ・ボク・カン
大韓民国・デジョン－シ・ソ－ク・ドマ－ドン・３５９－２７・ヤンジ　タウン　３－４０１

最終頁に続く

(54)【発明の名称】不揮発性強誘電体メモリ装置

(57)【特許請求の範囲】
【請求項１】
データを記憶するための記憶セルが複数ひとかたまりとしてブロックに形成され、そのブロックとされたものが水平方向及び垂直方向に多数配置されているセルアレイ部と、
前記水平方向に配置されたセルアレイ部の二つのものの間に形成され、その両隣に隣接したセルアレイ部に共用されるスプリットワードライン駆動部と、
前記垂直方向に配置されたセルアレイ部それぞれの間に形成され、垂直方向に隣接したセルアレイ部に共用されるコア部と、
外部から入力されるＹアドレスの変化に応じて前記各コア部及びスプリットワードライン駆動部を制御するための信号を出力するローカル制御信号発生部とを含み、
前記セルアレイ部は、
水平方向に形成された複数のビットラインと、
前記各ビットラインと並んで平行に形成されるビトバーラインと、
前記ビットライン、ビットバーラインに交差する方向に形成される第１スプリットワードラインと、
それぞれの第１スプリットワードラインに沿ってそれに平行に形成される第２スプリットワードラインと、
前記各ビットライン、ビットバーラインに交差する前記第１スプリットワードラインと前記第２スプリットワードラインの間に形成される記憶セルと
を含むことを特徴とする不揮発性強誘電体メモリー装置。

【請求項２】
複数個のビットラインと、前記各ビットラインと並んで平行に形成されるビットバーラインと、前記ビットライン、ビットバーラインに交差する方向に形成される複数の第１スプリットワードラインと、前記各々の第１スプリットワードラインに沿ってそれに平行に形成される第２スプリットワードラインと、前記各ビットライン、ビットバーラインに交差する前記第１スプリットワードラインと第２スプリットワードラインとの間に形成される記憶セルとを有し、複数の記憶セルをブロックとして水平方向及び垂直方向に配置した複数のセルアレイ部と　前記水平方向に配置されたセルアレイ部の二つのものの間に形成され、その両隣に隣接したセルアレイ部に共用されるスプリットワードライン駆動部と、
前記垂直方向に配置されたセルアレイ部それぞれの間に形成され、垂直方向に隣接したセルアレイ部に共用されるコア部と、
外部から入力されるＹアドレスの変化に応じて前記各コア部及び前記スプリットワードライン駆動部を制御するための信号を出力するローカル制御信号発生部とを備えることを特徴とする不揮発性強誘電体メモリ装置。
【請求項３】
前記コア部は、
前記各ビットライン及びビットバーラインに入出力端が連結されるセンスアンプと、
前記各センスアンプの入出力を制御するための信号を出力する入出力制御部と、
前記センスアンプ及び入出力制御部を制御するための信号を出力する列制御部と、
前記ビットライン及びビットバーラインをプルダウンさせ等電位化させるための制御信号（Ｃ３＿Ｃ）を受けて動作するプルダウン及び等化器とから構成されることを特徴とする請求項２記載の不揮発性強誘電体メモリ装置。
【請求項４】
前記各コア部は、前記ローカル制御信号発生部から出力される信号に基づいて前記垂直方向に配置されたセルアレイ部のコア部の上側にあるセルアレイ部及び下側にあるセルアレイ部のうち何れか一つに選択的に連結されることを特徴とする請求項２記載の不揮発性強誘電体メモリ装置。
【請求項５】
前記スプリットワードライン駆動部は、前記ローカル制御信号発生部から出力される信号に基づいて前記水平方向に配置されたセルアレイ部の左側のセルアレイ部及び右側のセルアレイ部のうち何れか一つに選択的に駆動信号を印加することを特徴とする請求項２記載の不揮発性強誘電体メモリ装置。
【請求項６】
前記センスアンプ及び入出力制御部は、前記ローカル制御信号発生部から出力される信号、前記列制御部から出力される信号に基づいて該当記憶セルのデータをセンシングすることを特徴とする請求項２記載の不揮発性強誘電体メモリ装置。
【請求項７】
前記各記憶セルは、
該当ビットラインに第１端子が連結され、前記第１スプリットワードラインの信号により制御される第１トランジスタと、
前記ビットラインに相応するビットバーラインに第１端子が連結され、前記第２スプリットワードラインの信号により制御される第２トランジスタと、
前記第２スプリットワードラインと第１トランジスタの第２端子との間に連結される第１強誘電体キャパシタと、そして　前記第１スプリットワードラインと第２トランジスタの第２端子との間に連結される第２強誘電体キャパシタとから構成されることを特徴とする請求項２記載の不揮発性強誘電体メモリ装置。
【請求項８】
外部から入力されるチップイネーブル信号（ＣＳＢｐａｄ）、パワーアップ信号、そしてＸ、Ｚアドレスの変化に基づいて前記ローカル制御信号発生部へ信号を出力するグローバル制御信号発生部を更に備えることを特徴とする請求項２記載の不揮発性強誘電体メモ

リ装置。
【請求項９】
前記ローカル制御信号発生部は、
グローバル制御信号発生部から出力される第１の各信号と入力されるＺアドレス信号を組み合わせて論理演算し、その結果得られる信号を前記コア部に出力する第１論理回路部と、
前記グローバル制御信号発生部から出力される第２の各信号と外部から入力される書込イネーブル信号（ＷＥＢｐａｄ）とを組み合わせて論理演算し、その結果得られる信号を前記コア部に出力する第２論理回路部と、
前記グローバル制御信号発生部から出力される第３の各信号とＹアドレスの変化を知らせるＹ＿ＡＴＤ信号とを組み合わせて論理演算し、前記スプリットワードライン駆動部に出力する第２論理回路部とから構成されることを特徴とする請求項２記載の不揮発性強誘電体メモリ装置。
【請求項１０】
前記第１の信号は、センスアンプ及び入出力制御部の前記センスアンプをイネーブルさせる信号（ＳＡＮ＿Ｃ，ＳＡＰ＿Ｃ）を生成するのに使用する信号（ＳＡＮ，ＳＡＰ）と、前記プルダウン及び等化器をイネーブルさせる信号（Ｃ３＿Ｃ）を生成するのに使用する予備信号（Ｃ３）とを含むことを特徴とする請求項９記載の不揮発性強誘電体メモリ装置。
【請求項１１】
前記第２の信号は、前記列制御部に印加される制御信号（Ｃ４Ｎ）を生成するのに使用する信号（Ｃ３）と、書込イネーブルパッド信号（ＷＥＢｐａｄ）とを含むことを特徴とする請求項９記載の不揮発性強誘電体メモリ装置。
【請求項１２】
前記第３の信号は、前記スプリットワードライン駆動部の第１スプリットワードライン信号（ＳＷＬ１）を生成するのに使用する信号（Ｓ１）と第２スプリットワードライン信号（ＳＷＬ２）を生成するのに使用する信号（Ｓ２）と、前記第１スプリットワードラインの信号と第２スプリットワードラインの信号が活性化状態であることを知らせる信号（Ｐ２）と、アドレス変化検出信号（ＡＴＤ信号）と、前記列制御部に印加される制御信号（Ｃ４Ｎ）を生成するのに使用する信号（Ｃ３）と共に前記列制御部に印加される制御信号（Ｃ４Ｎ）を生成するのに使用する信号（Ｃ４）とを含むことを特徴とする請求項９記載の不揮発性強誘電体メモリ装置。
【請求項１３】
前記第１論理回路部は、
入力されるＺアドレス信号を組み合わせて論理演算して前記センスアンプ及び入出力制御部へ出力する第１論理演算部と、
前記グローバル制御信号発生部から出力されるセンスアンプイネーブル信号を生成するのに使用する信号（ＳＡＰ，ＳＡＮ）を組み合わせて論理演算した後、その結果得られる信号を前記センスアンプ及び入出力制御部へ出力する第２論理演算部と、
前記グローバル制御信号発生部から出力されるプルダウン及び等化器のイネーブル信号を生成するのに使用する信号（Ｃ３）と、前記第１論理演算部でＺアドレスを組み合わせて演算した信号とを組み合わせて論理演算した後、その結果得られた信号を前記センスアンプ及び入出力制御部へ出力する第３論理演算部とから構成されることを特徴とする請求項９記載の不揮発性強誘電体メモリ装置。
【請求項１４】
前記第１論理演算部は　上側セルアレイ部の記憶セルを選択するために、第１、第２のＺアドレス信号（Ｚ＿Ａｄｄ１，Ｚ＿Ａｄｄ２）を論理演算する第１ＮＡＮＤゲート（ＮＡＮＤ１）と、
下側セルアレイ部の記憶セルを選択するために、第３、第４のＺアドレス信号（Ｚ＿Ａｄｄ３，Ｚ＿Ａｄｄ４）を論理演算する第２ＮＡＮＤゲート（ＮＡＮＤ２）と、

前記第１、第２ＮＡＮＤゲートの出力信号を論理演算する第３ＮＡＮＤゲート（ＮＡＮＤ３）と、
前記第１ＮＡＮＤゲートの出力信号を反転させて前記ビットラインとセンスアンプの入出力端との間を制御する信号（ＢＳ＿Ｔ）を出力する第１インバーターと、
前記第１インバーターの出力信号を反転させて前記ビットバーラインとセンスアンプの入出力端との間の制御のための信号（ＢＳＢ＿Ｔ）を出力する第２インバーターと、
前記第２ＮＡＮＤゲートの出力信号を反転させて前記ビットラインとセンスアンプの入出力端との間の制御のための信号（ＢＳ＿Ｂ）を出力する第３インバーターと、
前記第３インバーターの出力信号を反転させて前記ビットバーラインとセンスアンプの入出力端との間の制御のための信号（ＢＳＢ＿Ｂ）を出力する第４インバーターと、から構成されることを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。

【請求項１５】
前記第１、第２インバーターの出力信号は前記センスアンプ及び入出力制御部の上側に形成された記憶セルを選択するための信号として用いられ、前記第３、第４インバーターの出力信号は前記センスアンプ及び入出力制御部の下側に形成された記憶セルを選択するための制御信号として用いられることを特徴とする請求項１４記載の不揮発性強誘電体メモリ装置。

【請求項１６】
前記第２論理演算部は、
前記グローバル制御信号発生部の出力信号（ＳＡＰ）と前記第１論理演算部の第３ＮＡＮＤゲートの出力信号とを論理演算する第４ＮＡＮＤゲート（ＮＡＮＤ４）と、
前記グローバル制御信号発生部の出力信号（ＳＡＮ）と前記第１論理演算部の第３ＮＡＮＤゲート（ＮＡＮＤ３）の出力信号とを論理演算する第５ＮＡＮＤゲート（ＮＡＮＤ５）と、
前記第４ＮＡＮＤゲートの出力信号を反転させて前記センスアンプを活性化又は不活性化させる制御信号（ＳＡＰ＿Ｃ）を出力する第５インバーター（ＩＮＶ５）と、
前記第５ＮＡＮＤゲートの出力信号を反転させて前記センスアンプを活性化又は不活性化させる制御信号（ＳＡＮ＿Ｃ）を出力する第６インバーター（ＩＮＶ６）と、から構成されることを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。

【請求項１７】
前記グローバル制御信号発生部から出力されるＳＡＰ信号及びＳＡＮ信号は、前記センスアンプを活性化又は不活性化させる制御信号（ＳＡＰ＿Ｃ，ＳＡＮ＿Ｃ）を作るための予備信号として用いられることを特徴とする請求項１６記載の不揮発性強誘電体メモリ装置。

【請求項１８】
前記第３論理演算部は、
前記グローバル制御信号発生部の出力信号（Ｃ３）を反転させる第７インバーターと、
第７インバーターの出力信号と前記第１論理演算部の第３ＮＡＮＤゲート（ＮＡＮＤ３）の出力信号とを論理演算する第６ＮＡＮＤゲート（ＮＡＮＤ６）と、
前記第６ＮＡＮＤゲート（ＮＡＮＤ６）の出力信号を反転させる第８インバーター（ＩＮＶ８）と、そして　第８インバーター（ＩＮＶ８）の出力信号を反転させる第９インバーター（ＩＮＶ９）とから構成され、
前記プルダウン及び等化器のイネーブル信号（Ｃ３＿Ｃ）を出力することを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。

【請求項１９】
前記第２論理回路部は、前記グローバル制御信号発生部の出力信号（Ｃ３）と、外部から印加される書込イネーブル信号（ＷＥＢｐａｄ）とを組み合わせて論理演算した後、その結果得られた信号を前記列制御部へ出力することを特徴とする請求項９記載の不揮発性強誘電体メモリ装置。

【請求項２０】

前記第３論理回路部は、
前記第１論理演算部の第３ＮＡＮＤゲートの出力信号を反転させた信号と前記グローバル制御信号発生部の出力信号（Ｃ４，Ｐ２，Ｓ２）及び前記Ｙ＿ＡＴＤ信号を組み合わせて論理演算した後、前記スプリットワードライン駆動部へ出力する第４論理演算部と、
前記第１論理演算部の第３ＮＡＮＤゲートの出力信号を反転させた信号と、前記グローバル制御信号発生部の出力信号（Ｓ１）とを組み合わせて論理演算した後、その結果得られた信号を前記スプリットワードライン駆動部へ出力する第５論理演算部とを含むことを特徴とする請求項９記載の不揮発性強誘電体メモリ装置。
【請求項２１】
前記第２論理回路部は、
外部から印加される書込イネーブル信号(ＷＥＢｐａｄ）を反転させる第１０インバーター（ＩＮＶ１０）と、
前記第１０インバーターの出力信号を反転させる第１１インバーター（ＩＮＶ１１）と、
前記グローバル制御信号発生部の出力信号（Ｃ４）を反転させる第１２インバーター（ＩＮＶ１２）と、
前記第１１インバーター（ＩＮＶ１１）の出力信号と第１２インバーター（ＩＮＶ１２）の出力信号とを論理演算する第７ＮＡＮＤゲート（ＮＡＮＤ７）と、
前記第７ＮＡＮＤゲート（ＮＡＮＤ７）の出力信号を反転させる第１３インバーター（ＩＮＶ１３）と、
前記第１論理演算部の前記第３ＮＡＮＤゲート（ＮＡＮＤ３）の出力信号を反転させた信号、前記第１３インバーターの出力信号、そして前記グローバル制御信号発生部の出力信号（Ｃ３）を論理演算する第１ＮＯＲゲート（ＮＯＲ１）と、
前記第１ＮＯＲゲート（ＮＯＲ１）の出力信号を反転させる第１５インバーター（ＩＮＶ１５）と、そして　前記第１５インバーター（ＩＮＶ１５）の出力信号を反転させる第１６インバーター（ＩＮＶ１６）とから構成されることを特徴とする請求項１９記載の不揮発性強誘電体メモリ装置。
【請求項２２】
前記第１６インバーター（ＩＮＶ１６）の出力信号は、前記カラム制御部へ入力される制御信号（Ｃ４Ｎ）として用いられることを特徴とする請求項２１記載の不揮発性強誘電体メモリ装置。
【請求項２３】
前記第４論理演算部は、
グローバル制御信号発生部の出力信号（Ｐ２）を反転させる第１７インバーター（ＩＮＶ１７）と、
前記グローバル制御信号発生部の出力信号（Ｃ４）、前記第１０インバーター（ＩＮＶ１０）の出力信号、前記第１７インバーターの出力信号、そして外部から印加されるＹ＿ＡＴＤ信号を論理演算する第８ＮＡＮＤゲート（ＮＡＮＤ８）と、
前記第８ＮＡＮＤゲートの出力信号を反転させる第１８インバーター（ＩＮＶ１８）と、
前記第１８インバーターの出力信号を一定の時間の間遅延させる遅延部（Ｄ）と、
前記遅延部の出力信号と前記グローバル制御信号発生部の出力信号（Ｓ２）とを論理演算する第２ＮＯＲゲート（ＮＯＲ２）と、
前記第２ＮＯＲゲート（ＮＯＲ２）の出力信号と前記第１論理演算部の第３ＮＡＮＤゲート（ＮＡＮＤ３）の出力信号を反転させた信号とを論理演算する第３ＮＯＲゲート（ＮＯＲ３）と、そして　第３ＮＯＲゲート（ＮＯＲ３）の出力信号を反転させて前記スプリットワードライン駆動部を制御するための制御信号（ＰＳ２）を出力する第１９インバーター（ＩＮＶ１９）とから構成されることを特徴とする請求項２０記載の不揮発性強誘電体メモリ装置。
【請求項２４】

前記第５論理演算部は、
前記第１８インバーター（ＩＮＶ１８）の出力信号とグローバル制御信号発生部の出力信号（Ｓ１）とを論理演算する第４ＮＯＲゲート（ＮＯＲ４）と、
前記第１論理演算部の第３ＮＡＮＤゲートの出力信号を反転させた信号と、前記第４ＮＯＲゲート（ＮＯＲ４）の出力信号とを論理演算する第５ＮＯＲゲート（ＮＯＲ５）と、そして　前記第５ＮＯＲゲートの出力信号を反転させて前記スプリットワードライン駆動部を制御するための制御信号（ＰＳ１）を出力する第２０インバーター（ＩＮＶ２０）とから構成されることを特徴とする請求項２０記載の不揮発性強誘電体メモリ装置。
【請求項２５】
前記列制御部は、
プレデコードされた複数のＹアドレス信号の各々のアドレス信号と前記ローカル制御信号発生部の出力信号（Ｃ４Ｎ）とを論理演算する複数のＮＡＮＤゲートからなり、複数のＹアドレスバー（ＹＢ＿ｎ）信号を選択的に出力する論理演算部と、
前記各ＮＡＮＤゲートの出力信号を反転させる複数個のインバーターからなり、複数個のＹアドレス信号（Ｙ＿ｎ）を出力し、前記論理演算部と共に選択しようとするセンスアンプの入出力を制御するための制御信号を選択的に出力する反転部とを含むことを特徴とする請求項３記載の不揮発性強誘電体メモリ装置。
【請求項２６】
前記論理演算部、反転部から選択的に出力されるＹアドレス信号（Ｙ＿ｎ）及びＹアドレスバー信号（ＹＢ＿ｎ）に相応するビットライン及びビットバーラインに、外部からのデータが乗せるようになることを特徴とする請求項２５記載の不揮発性強誘電体メモリ装置。
【請求項２７】
前記センスアンプ及び入出力制御部は、
垂直方向に形成された上側セルアレイ部及び下側セルアレイ部と、
前記上側セルアレイ部と前記下側セルアレイ部とを連結するビットライン及びビットバーラインと、
前記ビットライン及びビットバーラインの中央部に構成され、前記上側セルアレイ部及び前記下側セルアレイ部のデータをセンシングするためのセンスアンプと、
前記上側セルアレイ部のビットライン及びビットバーラインと前記センスアンプとを選択的に連結させるための第１、第２スイッチング素子と、
前記下側セルアレイ部のビットライン及びビットバーラインと前記センスアンプとを選択的に連結させるための第３、第４スイッチング素子と、
前記センスアンプの入出力端を外部のデータライン及びデータバーラインに選択的に連結させるための第５、第６スイッチング素子とを含むことを特徴とする請求項３記載の不揮発性強誘電体メモリ装置。
【請求項２８】
前記第１、第２、第３、第４、第５、第６スイッチング素子は、伝送ゲート及びＮＭＯＳトランジスタのうち何れか一つで構成することを特徴とする請求項２７記載の不揮発性強誘電体メモリ装置。
【請求項２９】
前記第１、第２スイッチング素子は前記ローカル制御信号発生部の第１インバーター（ＩＮＶ１）の出力信号（ＢＳ＿Ｔ）及び第２インバーター（ＩＮＶ２）の出力信号（ＢＳＢ＿Ｔ）により動作制御され、前記第３、第４スイッチング素子は前記ローカル制御信号発生部の第３インバーター（ＩＮＶ３）の出力信号（ＢＳ＿Ｂ）及び第４インバーター（ＩＮＶ４）の出力信号（ＢＳＢ＿Ｂ）により動作制御され、前記第５、第６スイッチング素子は前記カラム制御部から選択的に出力されるＹアドレス信号（Ｙ＿ｎ）及びＹアドレスバー信号（ＹＢ＿ｎ）により動作制御されることを特徴とする請求項２７記載の不揮発性強誘電体メモリ装置。
【発明の詳細な説明】

【０００１】
【発明の属する技術分野】
本発明は不揮発性強誘電体メモリに関し、特にプレートラインを使用しない不揮発性強誘電体メモリ装置に関する。
【０００２】
【従来の技術】
一般に、半導体記憶装置として多く用いられるＤＲＡＭ程度のデータ処理速度を有する共に電源のオフ時にもデータを保存する強誘電体メモリ、つまりＦＲＡＭが、次代の記憶装置として注目されている。ＦＲＡＭは、ＤＲＡＭと同様に、記憶装置としてキャパシタを用いるが、キャパシタの誘電体物質として強誘電体を用いて（強誘電体特性である高い残留分極を利用して）電界を除去してもデータを消失しないようにした記憶装置である。
【０００３】
図１ａは一般的な強誘電体のヒステリシスループを示す特性図であり、図１ｂは一般的な強誘電体メモリの単位キャパシタ構成図である。
すなわち、図１ａのヒステリシスループに示すように、電界によって誘起された分極が、電界を除去しても自発分極の存在によって消滅されずに一定量（ｄ、ａ状態）に維持される。このｄ、ａ状態をそれぞれ１、０に対応させて記憶装置として応用したのである。
【０００４】
図１ｂにおいて、ノード１に正（＋）の電圧を加えた状態が図１ａのｃ状態であり、この後電圧を加えない状態がｄ状態となる。逆に、ノード１に（－）の電圧を加えると、ｄ状態からｆ状態へ移動する。そして、ノード１に電圧を加えないとａ状態になり、再びノード１に正の電圧を加えるとｂ状態を経てｃ状態となる。結局、キャパシタの両端に電圧が無くても、ａとｄの安定状態によりデータが記憶される。ヒステリシスループ上において、ｃ、ｄ状態が論理値「１」の状態、ａ、ｆ状態が論理値「０」の状態となる。
【０００５】
そして、キャパシタに格納されたデータを読み出す方法には、ｄ状態を破壊させる方法を用いる。従来の技術は、参照電圧発生器で生成した電圧とメインセルアレイで発生した電圧とを検出する、データを読み出すためのセンスアンプを利用する。強誘電体参照セルでは、１極性、０極性の２つのモード状態を利用して参照ビットラインに参照電圧を生成する。センスアンプがメインセルのビットライン電圧と参照セルのビットライン電圧とを比較することにより、メインセルの情報を読み出すことができる。読み出したデータは、同サイクルで再書込して破壊されたデータを復元する。特に、従来の技術は、参照電圧を供給するための複数の強誘電体セルに係るセンスアンプ回路技術、メイン記憶セルアレイにおけるメインセルに格納されたデータを感知して増幅するセンスアンプ及びメインセルアレイ回路技術を利用する。複数の参照セルは偶数であり、その内の半分は１極性で他は０極性である。
【０００６】
以下、添付図面を参照して従来の技術の強誘電体メモリ装置を説明する。
図２は従来の２Ｔ／２Ｃの強誘電体メモリのセルアレイ構成図である。
従来の２Ｔ／２Ｃの強誘電体記憶セルの構成は、単位セルが２つのトランジスタと２つのキャパシタとから構成される。すなわち、一定の間隙で一方向に複数のワードラインＷ／Ｌが形成され、各ワードラインＷ／Ｌに対応させてそれと平行に複数のプレートラインが配置されている。各ワードラインＷ／ＬとプレートラインＰ／Ｌに垂直な方向に、一定の間隙で複数のビットラインＢ＿ｎ、Ｂ＿ｎ＋１・・・とビットバーラインＢＢ＿ｎ、ＢＢ＿ｎ＋１・・・とが交互に形成される。そして、単位記憶セル２１を構成する２つのトランジスタＴ１、Ｔ２のゲート電極は１本のワードラインＷ／Ｌに共通連結されている。各トランジスタのソース電極は隣接するビットラインＢ＿ｎ、ビットバーライン（ＢＢ＿ｎ）に連結され、各トランジスタのドレイン電極はそれぞれ２つのキャパシタの第１電極に連結される。２つのキャパシタのソース電極はワードラインに対応しているプレートラインＰ／Ｌに共通連結される。

【０００７】
次に、かかる従来の２Ｔ／２Ｃの強誘電体記憶セルの駆動回路及び動作について説明する。
従来の２Ｔ／２Ｃの強誘電体記憶セルは、以下のようにロジック値「１」又は「０」を書込み、かつ読取る。
すなわち、書込モード時には、図３ａに示すように、外部からのチップイネーブル信号（ＣＳＢｐａｄ）が「ハイ」から「ロー」に遷移されてイネーブルされ、書込イネーブル信号（ＷＥＢｐａｄ）が「ハイ」から「ロー」に遷移されるとともに、書き込もうとするロジック値に基づいてビットライン及びビットバーラインにはそれぞれ「ハイ」及び「ロー」或いは「ロー」及び「ハイ」信号が印加される。アドレスのデコードが始まると、選択されたセルのワードラインに印加される信号が「ロー」から「ハイ」に遷移されてセルが選択される。そして、ワードラインが「ハイ」に維持される期間において該当プレートラインＰ／Ｌには順に一定の期間の「ハイ」信号と一定の期間の「ロー」信号が印加される。すなわち、ロジック値「１」を書き込むためにはビットライン（Ｂ＿ｎ）に「ハイ」信号を、ビットバーライン（ＢＢ＿ｎ）に「ロー」信号を印加し、ロジック値「０」を書き込むためにはビットライン（Ｂ＿ｎ）に「ロー」信号をビットバーライン（ＢＢ＿ｎ）に「ハイ」信号を印加すればよい。かかる方法によりロジック値「１」或いは「０」が書き込まれる。
【０００８】
セルに格納されたデータを読み出すための動作について以下に説明する。
図３ｂに示すように、ＣＳＢｐａｄが「ハイ」から「ロー」にイネーブルされ、読取イネーブル信号（ＲＥＢｐａｄ）が「ロー」から「ハイ」に遷移されると読取りモードが始まる。そして、該当ワードラインが選択される前に、全てのビットラインは等化信号（ＥＱ）によりロー（Ｖｓｓ）に等電位化される。低電圧に等電位完了した後、アドレスをデコードする。この後、デコードされたアドレスにより該当ワードラインに印加される信号が「ロー」から「ハイ」に遷移されて該当セルが選択される。選択されたセルのプレートラインへ「ハイ」信号を印加することにより、ビットライン又はビットバーラインのデータを破壊させる。すなわち、ロジック値「１」が記録されている場合にはビットラインに連結されたキャパシタのデータが破壊され、ロジック値「０」が記録されている場合にはビットバーラインに連結されたキャパシタのデータが破壊される。
【０００９】
このように、ビットライン及びビットバーラインのうち何れのデータが破壊されるかにより、上述したようなヒステリシスループの原理により互いに異なる値を出力する。よって、ビットライン及びビットバーラインを介して出力されるデータをセンスアンプがセンシングすると、ロジック値「１」又は「０」を検出できる。
このように、センスアンプが記憶セルのデータを増幅して出力した後には、本来のデータに復元しなければならないため、該当ワードラインへ「ハイ」を印加した状態でプレートラインを「ハイ」と「ロー」とにする。
【００１０】
【発明が解決しようとする課題】
かかる従来の強誘電体メモリ装置においては以下のような問題点があった。
▲１▼　電源のオフ時にもデータが保存される利点があるが、従来のＦＲＡＭではセルプレートラインを別に構成しなければならないため、レイアウトが複雑で、製造工程が複雑である。このため、量産性の面で不利である。
▲２▼　ワードラインとは別のプレートラインを利用するため、データの読取りや書込動作時にプレートラインに信号を供給しなければならない。このため、記憶装置としての効率性が落ちる。
▲３▼　従来の強誘電体記憶セルは、新たな電極物質及びバリヤ材料が提示されなければこれ以上の集積度の向上が望めない。
▲４▼　シリコン表面に直接に強誘電体を形成する技術が未だ充分でないから、キャパシ

タをシリコン基板又はポリシリコン上に直接に形成することができない。このため、同一容量のＤＲＡＭより面積が大きくなる。
▲５▼　ワードラインとセルプレートラインが別々に駆動されるため、その信号の伝達経路の違いに因り正確に制御することが困難である。
【００１１】
本発明は、上記の従来の技術のＦＲＡＭの問題点を解決するためになされたものであり、その目的とするところは、ワードラインとは別のセルプレートラインを構成しない不揮発性強誘電体メモリ装置を提供することにある。
【００１２】
【課題を解決するための手段】
本発明は、データを記憶するための記憶セルが複数ひとかたまりとしてブロックに形成され、そのブロックとされたものが水平方向及び垂直方向に多数配置されているセルアレイ部と、前記水平方向に配置されたセルアレイ部の二つのものの間に形成され、その両隣に隣接したセルアレイ部に共用されるスプリットワードライン駆動部と、前記垂直方向に配置されたセルアレイ部それぞれの間に形成され、垂直方向に隣接したセルアレイ部に共用されるコア部と、外部から入力されるＹアドレスの変化に応じて各コア部及びスプリットワードライン駆動部を制御するための信号を出力するローカル制御信号発生部とを備えることを特徴とする。
【００１３】
【発明の実施の形態】
以下、本発明実施形態の不揮発性強誘電体メモリ装置を添付図面を参照して説明する。
図４は本不揮発性強誘電体メモリ装置の全体構成を簡単に示す構成ブロック図である。
本発明の強誘電体メモリ装置のチップは、大きく、スプリットワードライン（ＳＷＬ）を駆動するスプリットワードライン駆動部４１と、データを格納するためのセルアレイ部４２と、データをセンシングするためのセンスアンプブロックやビットラインを制御するビットライン制御ブロックを含むコア部４３とから構成される。
ここで、セルアレイ部４２は一つのスプリットワードライン駆動部４１を中心として左右両側に一緒に駆動されるものが配列され、コア部４３は各セルアレイ部４２の上下方向にセルアレイ部４２の間々に配置される。そして、コア部を構成しているセンスアンプはビットライン数だけ構成され、ビットラインと該当ビットバーラインにそれぞれ連結される。
【００１４】
このように構成される本実施形態のセルアレイ部を更に詳細に説明する。
図５は本不揮発性強誘電体メモリ装置による単位セルの構成図であり、図６は複数個の単位セルを有する記憶セルアレイを示す図である。
本不揮発性強誘電体メモリ装置は、図５に示されるように、１アドレスで同時にアクセスされる２本からなる第１、第２スプリットワードラインＳＷＬ１、ＳＷＬ２が多数平行に配置されている。さらに従来同様ビットラインＢｉｔ＿ｎとビットバーラインＢｉｔＢ＿ｎがワードラインに直角な方向に並列に配置されている。この第１、第２スプリットワードラインＳＷＬ１、ＳＷＬ２とビットラインＢｉｔ＿ｎ、ビットバーラインＢｉｔＢ＿ｎで囲まれた箇所に配置される第１、第２トランジスタＴ１、Ｔ２と第１、第２強誘電体キャパシタＦＣ１、ＦＣ２とでデータを記憶する単位セルが構成されている。
第１トランジスタＴ１のゲートは第１スプリットワードラインＳＷＬ１に接続され、第２トランジスタＴ２のゲートは第２スプリットワードラインＳＷＬ２に接続されている。第１、第２トランジスタともその一方の電極がビットラインとビットバーラインとにそれぞれ接続され、他方の電極が第１、第２強誘電体キャパシタＦＣ１、ＦＣ２にそれぞれ接続されている。また、第１強誘電体キャパシタＦＣ１は第２スプリットワードラインＳＷＬ２に、第２強誘電体キャパシタＦＣ２は第１スプリットワードラインＳＷ１に接続されている。
【００１５】

図５の構成において、書込モードでは、第１、第２スプリットワードラインＳＷＬ１、ＳＷＬ２ともがハイである場合には、ビットラインＢｉｔ＿ｎとビットバーラインＢｉｔＢ＿ｎにデータ「０」と「１」があれば「０」のデータがそのビットラインに接続されたキャパシタに格納され、次に第１スプリットワードラインがオフになり、その後に逆に第１スプリットワードラインがオンになり、第２スプリットワードラインがオフになると、他方のキャパシタにデータ「１」が格納される。かくして、単位セルの双方のキャパシタが「１、０」または「０、１」となり、データが記憶される。

読取りモードでは、第１、第２強誘電体キャパシタＦＣ１，ＦＣ２に格納されたデータはそれぞれビットラインＢｉｔ＿ｎ、ビットバーラインＢｉｔＢ＿ｎに乗せる。

ここで、第１強誘電体キャパシタＦＣ１にデータ「０」が、第２強誘電体キャパシタＦＣ２にデータ「１」が格納されている場合には、ビットラインの電圧上昇値はビットバーラインの電圧上昇値よりも小さくなる。すなわち、第２強誘電体キャパシタＦＣ２にデータ「１」が格納されている場合、データ「１」がデータ「０」に変わりながら多量の残留分極電荷がビットバーラインに印加されることにより、更に大きな電圧上昇が起こるからである。よって、データ「１」からデータ「０」への分極破壊が起こるので、後に第２強誘電体キャパシタ（ＦＣ２）に再格納しなければならない。

【００１６】

第１、第２強誘電体キャパシタＦＣ１，ＦＣ２に破壊されたデータ「１」を再格納するためには、以下のようなタイミングパルスが必要である。

すなわち、第１強誘電体キャパシタＦＣ１にはデータ「１」が、第２強誘電体キャパシタＦＣ２にはデータ「０」が格納されている場合、その第１強誘電体キャパシタＦＣ１にデータ「１」を再格納するためにはＳＷＬ１にハイ信号を印加し、ＳＷＬ２にはロー信号を印加する。それによって、ビットライン（Ｂｉｔ＿ｎ）に乗せたデータ「１」はＳＷＬ１によりターンオンされている第１トランジスタＴ１を介して第１強誘電体キャパシタＦＣ１の一方の電極へ印加される。第１強誘電体キャパシタＦＣ１の反対側電極（ＳＷＬ２に連結された電極）にはロー電圧が印加されることにより、結果的に第１強誘電体キャパシタＦＣ１にデータ「１」を再格納することができる。又、第１強誘電体キャパシタＦＣ１にデータ「０」が、第２強誘電体キャパシタＦＣ２にデータ「１」が格納されている場合、第２強誘電体キャパシタＦＣ２にデータ「１」を再格納するためにはＳＷＬ１にはロー信号を印加し、ＳＷＬ２にはハイ信号を印加する。すなわち、ビットバーラインのデータ「１」がＳＷＬ２のハイ信号によりターンオンされている第２トランジスタＴ２を介して第２強誘電体キャパシタＦＣ２の一方の電極に印加され、ＳＷＬ１に連結された他方の電極にはロー電圧が印加されて、結果的に第２強誘電体キャパシタＦＣ２にデータ「１」が再格納される。

【００１７】

このように、読取りモードにおける動作原理をデータ「１」の書込動作にも同じく適用可能である。すなわち、第１強誘電体キャパシタＦＣ１にデータ「１」を格納するためにはＳＷＬ１にハイ信号を印加し、ＳＷＬ２にはロー信号を印加する。そして、第２強誘電体キャパシタＦＣ２にデータ「１」を格納するためにはＳＷＬ１にロー信号を印加し、ＳＷＬ２にはハイ信号を印加する。

【００１８】

一方、図６に示すように、複数個のビットライン（Ｂ＿ｎ，Ｂ＿ｎ＋１，・・）中の任意のビットラインと、複数個の第１スプリットワードライン（ＳＷＬ１＿ｎ，ＳＷＬ１＿ｎ＋１，ＳＷＬ１＿ｎ＋２，ＳＷＬ１＿ｎ＋３，・・）とが交差する各地点毎に単位セルが構成される。

２本のスプリットワードライン（ＳＷＬ１，ＳＷＬ２）を有する本不揮発性強誘電体メモリ装置においては、１本のスプリットワードラインだけに駆動信号を与えるのではなく、必ず２本のスプリットワードライン（ＳＷＬ１，ＳＷＬ２）に同時に駆動信号を与えなければならない。もちろん、同じパルスとは限らない。すなわち、１アドレスで双方のスプリットワードラインが選択され、その選択された２本のラインに別々に駆動信号が与えら

れる。

【００１９】

図７は本発明実施形態の不揮発性強誘電体メモリ装置を説明するための概念ブロック図である。

図７に示すように、外部から入力されるＸ、Ｙ、ＺアドレスのうちＸアドレス信号をバッファリングするＸアドレスバッファ７１と、Ｘアドレスバッファ７１から出力される信号をプレデコードするＸプレデコーダ７２と、外部から入力されるＸ、Ｙ、ＺアドレスのうちＺアドレスをバッファリングするＺアドレスバッファ７３と、Ｚアドレスバッファ７３から出力される信号をプレデコードするＺプレデコーダ７４と、Ｘアドレスバッファ７１及びＺアドレスバッファ７３から出力されるＸアドレス及びＺアドレス信号のアドレス遷移点を検出して出力するＸ、Ｚ＿ＡＴＤ発生部７５と、Ｘ、Ｚ＿ＡＴＤ発生部７５の出力信号と外部から入力されるＣＳＢｐａｄ信号を入力し、パワーアップ感知信号を感知して、それらのＸ、Ｚ＿ＡＴＤ信号、ＣＳＢｐａｄ信号、及びパワーアップ感知信号に応じてメモリ制御に関する基本パルスを出力するグローバル制御信号発生部７６と、外部から入力されるＸ、Ｙ、ＺアドレスのうちＹアドレスをバッファリングするＹアドレスバッファ７７と、Ｙアドレスバッファ７７から出力される信号をプレデコードするＹプレデコーダ７８と、Ｙアドレスバッファ７７から出力されるＹアドレス信号のアドレス遷移点を検出して出力するＹ＿ＡＴＤ発生部７９と、グローバル制御信号発生部７６の出力信号とＺプレデコーダ７４から出力されるＺプレデコード信号とＹ＿ＡＴＤ発生部７９の出力信号とを合成して各メモリブロックに必要なパルスを発生するローカル制御信号発生部８０と、Ｘプレデコーダ７２及びＺプレデコーダ７４から出力されるプレデコード信号を合成して該当記憶セルブロックを選択するＸポストデコーダ部８１と、Ｘポストデコーダ部８１及びローカル制御信号発生部８０から出力される信号を合成して各ＳＷＬセルブロック８３の各スプリットワードラインを駆動するＳＷＬ駆動部８２と、Ｙプレデコーダ７８及びローカル制御信号発生部８０の出力信号を合成して該当ビットライン（又はビットバーライン）を選択する列制御部８４と、ローカル制御信号発生部８０の出力信号と列制御部８４の出力信号とを合成してセンスアンプの動作及び入出力（Ｉ／Ｏ）を制御するセンスアンプ及び入出力制御部８５と、外部のデータバスとセンスアンプ及び入出力制御部８５とをインタフェースさせるための入出力バス制御部８６とを備える。なお、Ｚアドレス信号はセルアレイのブロックを選択するための信号である。

【００２０】

ここで、グローバル制御信号発生部を更に具体的に説明する。

図８はグローバル制御信号発生部のブロック構成図である。

本発明の第１実施形態のグローバル制御信号発生部は、入力バッファ９１と、低電圧動作及びノイズ防止部９２と、第１～第４コントローラ９３～９６で構成されている。

入力バッファ９１は、外部から入力されるＣＳＢｐａｄ信号、Ｘ、Ｚ＿ＡＴＤ発生部７５のＸ、Ｚ＿ＡＴＤ信号、又はパワーアップ検出信号のうち少なくともＣＳＢｐａｄ信号を含む信号を入力として第１、第２同期信号を発生する。

低電圧動作及びノイズ防止部９２は、入力バッファ９１の第１同期信号とフィードバック信号とを受けて低電圧時には動作しないようにする低電圧検出信号、第１同期信号のノイズをフィルタリングするノイズ除去信号、さらにビットライン等のプリチャージのためのプリアクティブパルスを出力する。

第１コントローラ９３は、低電圧動作及びノイズ防止部９２から正常電源電圧が供給されたときノイズ除去された信号を入力され、センスアンプのイネーブル時点を調節する際に用いられる第１内部信号、列選択イネーブル時点の調節や、ビットライン及びビットバーラインのプルアップの調整に用いられる第２内部信号、ＳＷＬ駆動部の入力信号及びその他の制御信号を生成するための第３内部信号をそれぞれ出力する。

第２コントローラ９４は、第１コントローラ９３の第３制御信号を入力して、スプリットワードライン駆動部の一対のスプリットワードライン（ＳＷｌ１，ＳＷＬ２）を駆動信号を生成するための信号（Ｓ１、Ｓ２）、前記信号（Ｓ１、Ｓ２）の活性化期間を調節する

ための第４内部信号、（Ｓ１、Ｓ２）信号の正常動作が妨げられないように保障するインタロック信号Ｐ２をそれぞれ生成する。第４内部信号を前記低電圧動作及びノイズ防止部９２のフィードバック信号とすると同時に第３コントローラ９５へ入力させる。上記信号（Ｓ１、Ｓ２、９２）はローカル制御信号発生部８０へ出力する。
第３コントローラ９５は、入力バッファ部９１の第１、第２同期信号と第２コントローラ９４の第４内部信号を入力されて、ＣＳＢｐａｄ信号がディスエーブルされるとき、ＳＷＬ１用の信号Ｓ１とＳＷＬ２用の信号Ｓ２とを除いた全信号をディスエーブルする第５内部信号と、信号Ｓ１と信号Ｓ２がイネーブルされた状態でもしもＣＳＢｐａｄ信号がディスエーブルされると、ディスエーブルを遮断してＳＷＬ１の基本波形発生信号Ｓ１とＳＷＬ２の基本波形発生信号Ｓ２が正常的に動作完了するまでイネーブル状態を延長させる第６内部信号とを出力する。
第４コントローラ９６は、第３コントローラ９５の第５、第６制御信号、第１コントローラ９３の第１、第２、第３制御信号、低電圧動作及びノイズ防止部９２のプリアクチィブパルスを入力して、センスアンプのＮＭＯＳ素子のイネーブル信号ＳＡＮ及びＰＭＯＳ素子のイネーブル信号ＳＡＰ、メインセルのビットライン及びビットバーライン及びセンスアンプノードの低電圧プレチャージを調整するための第３制御信号Ｃ３、列選択イネーブル時点のプルアップを調節する第４制御信号Ｃ４を出力する。

【００２１】

グローバル制御信号発生部７６においては、外部の入力信号（ＣＳＢｐａｄ信号，Ｘ，Ｚ＿ＡＴＤ信号，及びｐｏｗｅｒ－ｕｐ検出信号）が安定的に入力されるならば、低電圧動作及びノイズ防止部が無くても十分に動作する。

【００２２】

図９は本発明のＹアドレス変化時におけるグローバル制御信号発生部７６の入出力タイミング図である。
図９に示すように、チップイネーブル信号ＣＳＢｐａｄは、チップイネーブルピンを介して外部から印加される。ここで、チップイネーブル信号は、ロー状態をイネーブル状態とする。これにより、ＣＳＢｐａｄ信号がハイからローへ遷移される時がイネーブル状態となる。新たな読取り動作又は書込動作を行うためには、ハイ状態への不活性化（ディスエーブル）期間が要求される。
図９に示すＳ１は、ＳＷＬ１を駆動するための信号を発生するためのローカル制御信号発生部８０に印加されるグローバル制御信号発生部７６の出力信号であり、Ｓ２はＳＷＬ２を駆動するための信号を発生するためのローカル制御信号発生部８０に印加されるグローバル制御信号発生部７６の出力信号である。ＳＷＬ１、ＳＷＬ２へ印加される信号事態は、記憶セルアレイの行方向に印加される信号なので、ここでは図示してはない。スプリットワードライン駆動部８２で、行アドレスデコーダの信号、ＰＳ１、及びＰＳ２を合成してスプリットワードライン駆動信号のＳＷＬ１信号、ＳＷＬ２信号を作る。

【００２３】

図９はグローバル制御信号発生部の入出力波形図であり、ｔ１～ｔ１５期間に分割して各期間別に信号変化状態を説明する。
ＣＳＢｐａｄ信号は、ｔ１期間の開始点からｔ１４期間の終了点まではロー状態に活性化され、ｔ１５期間の開始点からハイ状態に不活性化される。
まず、図面に示すように、ｔ１期間では、ＣＳＢｐａｄ信号をハイからローにイネーブルさせる。この際、Ｘ、Ｙ、Ｚアドレスはｔ１の以前の状態を維持し、ｔ７の開始時点でＹアドレスが遷移されるとＹ＿ＡＴＤ信号はｔ７からｔ８期間までハイ状態となる。すなわち、Ｙ＿ＡＴＤ信号は、Ｙアドレスの変化を感知してｔ７～ｔ８期間、そしてｔ１１～ｔ１２期間の間でそれぞれハイ状態の信号となる。ｔ１が経過してｔ２期間が始まると、Ｓ１、Ｓ２信号はハイ状態となる。ここで、Ｓ１信号はｔ３期間までハイ状態に維持され、ｔ４期間ではロー状態となる。Ｓ２信号はｔ３期間からｔ４期間までハイ状態に維持される。

【００２４】

第４制御信号Ｃ４（列制御部でプレデコードされたＹアドレスと合成されるＣ４Ｎ信号生成のための信号）は、ｔ４の開始時点で以前の状態のロー状態からハイ状態に遷移され、ＣＳＢｐａｄ信号がディスエーブルされる時点（ｔ１５が始まる前）で再びロー状態に遷移される。この信号Ｃ４は、同時にメインセルのビットライン及びビットバーラインの電圧のプルアップを調整し、ビットラインとセンスアンプの出力端との間の信号伝達を調節する。それによって、ｔ４期間～ｔ１４期間の間でメインセルのビットラインとデータラインとの間の信号伝達を可能にする。

Ｐ２信号（スプリットワードラインに印加されるＰＳ１信号、ＰＳ２信号を生成するために使用される信号）は、Ｓ１、Ｓ２信号がハイ状態となるｔ２期間の開始時点でハイ状態に遷移され、ｔ６の開始時点で再びロー状態に遷移される。すなわち、Ｓ１、Ｓ２が正常な信号を発生する期間（ｔ２～ｔ５期間）でハイ状態を維持する信号であり、この期間の間で他の信号がＳ１、Ｓ２信号の正常的な信号を妨げないようにする信号でもある。

第３制御信号Ｃ３（センスアンプの入出力ノードを等電位化させるＣ３＿Ｃ信号を生成するために使用される信号）は、ｔ１期間までは以前の状態のハイ状態に維持され、ｔ２の開始時点でロー状態に遷移される。そして、ＣＳＢｐａｄ信号がディスエーブルされる時点で再びハイ状態に遷移される。

【００２５】

そして、ＳＡＮ信号（センスアンプ／入出力制御部８５のセンスアンプを動作させるために、ＮＭＯＳから構成されるトランジスタを制御する信号であるＳＡＮ＿Ｃ信号を生成するために使用される信号）は、ｔ２期間までは以前の状態のロー状態に維持され、ｔ３の開始時点でハイ状態に遷移され、ＣＳＢｐａｄ信号がディスエーブルされる時点でロー状態に遷移される。

ＳＡＰ信号（センスアンプ／入出力制御部８５のセンスアンプを動作させるために、ＰＭＯＳから構成されるトランジスタを制御する信号であるＳＡＰ＿Ｃ信号を生成するために使用される信号）は、前記ＳＡＮ信号とは逆に変化する。すなわち、ｔ２期間までは以前の状態のハイ状態に維持され、ｔ３の開始時点でロー状態に遷移され、ＣＳＢｐａｄ信号がディスエーブルされる時点でハイ状態に遷移される。

【００２６】

図１０は図８のＸ、Ｚアドレス変化時におけるグローバル制御信号発生部の入出力波形図である。

図１０に示すＸ、Ｚアドレス変化時におけるグローバル制御信号発生部の入出力波形図は図９のＹアドレス変化時における入出力波形図と類似する。

単に、図９に示すように、Ｙアドレスの変化時には、Ｙアドレスが変化する時点のｔ７、ｔ１４ではＹ＿ＡＴＤ信号がハイ状態となるのに対して、Ｘ、Ｚアドレスが変化する場合には図１０に示すようにＸ、Ｚ＿ＡＴＤ信号がハイ状態となる。

Ｃ４信号は、ｔ３期間まではロー状態に維持され、ｔ４の開始時点で以前のロー状態からハイ状態の信号となる。そして、Ｘ、Ｚ＿ＡＴＤ信号がハイ状態となる前までハイ状態に維持され、ｔ７の開始時点でロー状態になる。このように、Ｘ、Ｚアドレスのみが変化すると、グローバル制御信号発生部７６の入力としてのＸ、Ｚ＿ＡＴＤ信号とＣＳＢｐａｄ信号とが合成されて使用される。このＸ、Ｚ＿ＡＴＤ信号がハイ状態である期間では、グローバル制御信号発生部７６はＣＳＢｐａｄ信号のハイ状態のように認識する。よって、グローバル制御信号発生部７６から全ての出力信号が再度発生し、該当Ｘ、Ｚアドレスが正常にアクセスされる。

【００２７】

図１１は本発明の不揮発性強誘電体メモリ装置によるローカル制御信号発生部８０の詳細構成図である。

このローカル制御信号発生部は、グローバル制御信号発生部７６の出力信号とＹ＿ＡＴＤ信号とＺプレデコーダ７４の出力信号とを入力されて、スプリットワードライン駆動部８２、センスアンプ及び入出力制御部８５、そして列制御部８４へ制御信号を出力する。

すなわち、図１１に示すＳ１、Ｓ２、Ｐ２、Ｃ３、Ｃ４、ＳＡＮ、ＳＡＰ信号は前記グロ

ーバル制御信号発生部７６の出力信号である。Ｙ＿ＡＴＤ信号は前述したようにＹアドレスが遷移される際に発生するアドレス遷移検出信号である。そして、ＷＥＢｐａｄ信号は書込イネーブルパッドの信号であり、書込モード時にロー状態を活性化状態と定義する。

【００２８】

図１１に示す本発明のローカル制御信号発生部は、大きくセンスアンプ及び入出力制御部８５へ入力される信号を作り出す第１論理回路部１００と、列制御部８５へ入力される信号を作り出す第２論理回路部１０１と、スプリットワードライン駆動部８２へ入力される信号を作り出す第３論理回路部１０２とから構成される。

第１論理回路部１００は、ＢＳ＿Ｔ、ＢＳＢ＿Ｔ、ＢＳ＿Ｂ、ＢＳＢ＿Ｂ信号を出力する第１論理演算部１００ａと、ＳＡＰ＿Ｃ、ＳＡＮ＿Ｃ信号を出力する第２論理演算部１００ｂと、Ｃ３＿Ｃ信号を出力する第３論理演算部１００ｃとを含む。

第２論理回路部１０２は、ＰＳ２信号を出力する第４論理演算部１０２ａと、ＰＳ１信号を出力する第５論理演算部１０２ｂとを含む。

【００２９】

このように構成されたローカル制御信号発生部８０の構成をより詳しく説明する。

Ｚ＿Ａｄｄ１、Ｚ＿Ａｄｄ２、Ｚ＿Ａｄｄ３、Ｚ＿Ａｄｄ４信号を論理演算する第１論理演算部１００ａは、Ｚ＿Ａｄｄ１、Ｚ＿Ａｄｄ２信号を論理演算する第１ＮＡＮＤゲート（ＮＡＮＤ１）と、Ｚ　Ａｄｄ３、Ｚ　Ａｄｄ４信号を論理演算する第２ＮＡＮＤゲート（ＮＡＮＤ２）と、第１、第２ＮＡＮＤゲート（ＮＡＮＤ１，ＮＡＮＤ２）の出力信号を論理演算する第３ＮＡＮＤゲート（ＮＡＮＤ３）と、第１ＮＡＮＤゲート（ＮＡＮＤ１）の出力信号を反転させる第１インバーター（ＩＮＶ１）と、その第１インバーターの出力信号を反転させる第２インバーター（ＩＮＶ２）と、第２ＮＡＮＤゲート（ＮＡＮＤ２）の出力信号を反転させる第３インバーター（ＩＮＶ３）と、第３インバーター（ＩＮＶ３）の出力信号を反転させる第４インバーター（ＩＮＶ４）とを含む。

【００３０】

第１インバーター（ＩＮＶ１）の出力信号はセンスアンプ及び入出力制御部８５のビットライン用の入力信号（ＢＳ＿Ｔ）となり、第２インバーター（ＩＮＶ２）の出力信号はセンスアンプ及び入出力制御部８５のビットバーライン用の入力信号（ＢＳＢ＿Ｔ）となる。センスアンプ及び入出力制御部８５の入力信号として用いられるＢＳ＿Ｔ、ＢＳＢ＿Ｔ信号は、センスアンプ及び入出力制御部８５におけるセンスアンプの入出力端と上側メインセルブロックのビットライン及びビットバーラインとを選択的に連結させる伝送ゲートを制御するための制御信号である。

そして、第３インバーター（ＩＮＶ３）の出力信号及び第４インバーター（ＩＮＶ４）の出力信号はそれぞれセンスアンプ及び入出力制御部８５の他の入力信号として用いられるが、第３インバーター（ＩＮＶ３）の出力信号はＢＳ＿Ｂ信号となり、第４インバーター（ＩＮＶ４）の出力信号はＢＳＢ＿Ｂ信号となる。ここで、ＢＳ＿Ｂ、ＢＳＢ＿Ｂ信号は、下側メインセルブロックのビットラインとビットバーラインをセンスアンプの入出力端に連結させる２つの伝送ゲートを制御する制御信号となる。

【００３１】

次いで、第３ＮＡＮＤゲート（ＮＡＮＤ３）の出力信号とグローバル制御信号発生部７６から出力されるＳＡＰ、ＳＡＮ信号とを論理演算してセンスアンプ及び入出力制御部８５の入力信号を作り出す第２論理演算部１００ｂは、ＳＡＰ信号と第３ＮＡＮＤゲート（ＮＡＮＤ３）の信号とを論理演算する第４ＮＡＮＤゲート（ＮＡＮＤ４）と、第４ＮＡＮＤゲート（ＮＡＮＤ４）の出力信号を反転させる第５インバーター（ＩＮＶ５）と、ＳＡＮ信号と第３ＮＡＮＤゲート（ＮＡＮＤ３）の出力信号とを演算出力する第５ＮＡＮＤゲート（ＮＡＮＤ５）と、第５ＮＡＮＤゲート（ＮＡＮＤ５）の出力信号を反転させる第６インバーター（ＩＮＶ６）とを含む。

ここで、第５インバーター（ＩＮＶ５）の出力信号はＳＡＰ＿Ｃ信号となり、第６インバーター（ＩＮＶ６）の出力信号はＳＡＮ＿Ｃ信号となる。

【００３２】

次いで、第３ＮＡＮＤゲート（ＮＡＮＤ３）の出力信号とグローバル制御信号発生部７６から出力されるＣ３信号とを論理演算してセンスアンプ及び入出力制御部８５の入力信号となるＣ３＿Ｃ信号を出力する第３論理演算部１００ｃは、Ｃ３信号を反転させる第７インバーター（ＩＮＶ７）と、第３ＮＡＮＤゲート（ＮＡＮＤ３）の出力信号と第７インバーター（ＩＮＶ７）の出力信号とを論理演算する第６ＮＡＮＤゲート（ＮＡＮＤ６）と、第６ＮＡＮＤゲート（ＮＡＮＤ６）の出力信号を反転させる第８インバーター（ＩＮＶ８）と、そして第８インバーター（ＩＮＶ８）の出力信号を反転させる第９インバーター（ＩＮＶ９）とを含む。

ここで、Ｃ３＿Ｃ信号はセンスアンプ及び入出力制御部８５でビットライン及びビットバーラインをプルダウンさせるとともに等電位化させるプルダウン及び等化器（図示せず）を制御する制御信号となり、複数のビットライン及びビットバーラインに共通使用される。

【００３３】

グローバル制御信号発生部７６から出力されるＣ４信号、ＷＥＢｐａｄ信号、そして第３ＮＡＮＤゲート（ＮＡＮＤ３）の出力信号を論理演算して列制御部８４の入力信号（Ｃ４Ｎ）を作り出す第２論理回路部１０１は、ＷＥＢｐａｄ信号を反転させる第１０インバーター（ＩＮＶ１０）と、第１０インバーター（ＩＮＶ１０）の出力信号を反転させる第１１インバーター（ＩＮＶ１１）と、Ｃ４信号を反転させる第１２インバーター（ＩＮＶ１２）と、第１１インバーター（ＩＮＶ１１）の出力信号と第１２インバーター（ＩＮＶ１２）の出力信号とを論理演算する第７ＮＡＮＤゲート（ＮＡＮＤ７）と、第７ＮＡＮＤゲート（ＮＡＮＤ７）の出力信号を反転させる第１３インバーター（ＩＮＶ１３）と、第３ＮＡＮＤゲート（ＮＡＮＤ３）の出力信号を反転させる第１４インバーター（ＩＮＶ１４）と、第１４インバーター（ＩＮＶ１４）の出力信号と第１３インバーター（ＩＮＶ１３）の出力信号とを論理演算する第１ＮＯＲゲート（ＮＯＲ１）と、第１ＮＯＲゲート（ＮＯＲ１）の出力信号を反転させる第１５インバーター（ＩＮＶ１５）と、そして第１５インバーター（ＩＮＶ１５）の出力信号を反転させる第１６インバーター（ＩＮＶ１６）とを含む。

第２論理回路部１０１から出力されるＣ４Ｎ信号はＹプレデコーダ７８から出力される複数のプレデコードされたＹアドレスと合成される信号である。

【００３４】

第３論理回路部１０２は第４論理演算部１０２ａと第５論理演算部１０２ｂとから構成される。

スプリットワードライン駆動部８２へ入力されるＰＳ２信号を作り出す第４論理演算部１０２ａは、グローバル制御信号発生部７６から出力されるＰ２信号を反転させる第１７インバーター（ＩＮＶ１７）と、Ｙ＿ＡＴＤ信号、Ｃ４信号、及び第１０インバーター（ＩＮＶ１０）の出力信号を論理演算する第８ＮＡＮＤゲート（ＮＡＮＤ８）と、第８ＮＡＮＤゲート（ＮＡＮＤ８）の出力信号を反転させる第１８インバーター（ＩＮＶ１８）と、第１８インバーター（ＩＮＶ１８）の出力信号を一定の時間の間遅延させる遅延部Ｄと、前記第１４インバーター（ＩＮＶ１４）の出力信号、Ｓ２信号、及び遅延部Ｄの出力信号を論理演算する第２ＮＯＲゲート（ＮＯＲ２）と、第２ＮＯＲゲート（ＮＯＲ２）の出力信号と第１４インバーター（ＩＮＶ１４）の出力信号とを論理演算する第３ＮＯＲゲート（ＮＯＲ３）と、そして第３ＮＯＲゲート（ＮＯＲ３）の出力信号を反転させる第１９インバーター（ＩＮＶ１９）とを含む。

前記遅延部Ｄは偶数個のインバーターから構成される。

【００３５】

次いで、スプリットワードライン駆動部８２へ入力されるＰＳ１信号を作り出す第５論理演算部１０２ｂは、グローバル制御信号発生部７６から出力されるＳ１信号と第１８インバーター（ＩＮＶ１８）の出力信号とを論理演算する第４ＮＯＲゲート（ＮＯＲ４）と、第１４インバーター（ＩＮＶ１４）の出力信号と第４ＮＯＲゲート（ＮＯＲ４）の出力信号とを論理演算する第５ＮＯＲゲート（ＮＯＲ５）と、そして第５ＮＯＲゲート（ＮＯＲ

５）の出力信号を反転させる第２０インバーター（ＩＮＶ２０）とを含む。
【００３６】
このようなローカル制御信号発生部８０において、入力信号、つまりＳ１、Ｓ２、Ｐ２、Ｃ４、Ｃ３、ＳＡＮ、ＳＡＰ信号はグローバル制御信号発生部７６から出力される。Ｚ＿Ａｄｄ１、Ｚ＿Ａｄｄ２、Ｚ＿Ａｄｄ３、Ｚ＿Ａｄｄ４信号はＺプレデコーダ７４の出力信号である。そして、センスアンプ及び入出力制御部８５の入力信号として用いられるＢＳ＿Ｔ、ＢＳＢ＿Ｔ信号は、上側メインセルブロックのビットライン及びビットバーラインをアクセスするための信号である。又、ＢＳ＿Ｂ、ＢＳＢ＿Ｂ信号は下側メインセルブロックのビットライン及びビットバーラインをアクセスするための信号である。
【００３７】
このように構成されたローカル制御信号発生部の動作説明を、読取りモードと書込モードとを例にとって説明する。
まず、書込モードにおいて、ＷＥＢｐａｄ信号がロー状態なので、第１０インバーター（ＩＮＶ１０）、第１１インバーター（ＩＮＶ１１）を経た出力信号はロー状態となる。これにより、第７ＮＡＮＤゲート（ＮＡＮＤ７）が不活性化状態になってハイ状態の信号を出力する。このハイ状態の出力信号が第１ＮＯＲゲート（ＮＯＲ１）を活性化させることにより、Ｃ３信号が第１５インバーター（ＩＮＶ１５）、第１６インバーター（ＩＮＶ１６）を順次に通過してＣ４Ｎとなる。Ｃ３信号は、スプリットワードライン（ＳＷＬ１，ＳＷＬ２）が活性化される以前に、ビットライン及びビットバーラインをプレチャージしている間に列制御部８４へ入力されるＣ４Ｎ信号をロー状態とする。すなわち、Ｃ４Ｎがロー状態である間に、列選択信号が全て不活性化されて出力データバスとビットラインとの間の信号流れが遮断される。従って、書込モードでのビットラインのプレチャージ時におけるビットラインに乗せたデータと出力データバスに乗せたデータとが衝突することを回避することができる。又、書込モードでは、第１０インバーター（ＩＮＶ１０）の出力信号がハイ状態となるため、第８ＮＡＮＤゲート（ＮＡＮＤ８）を活性化させる。したがって、第８ＮＡＮＤゲート（ＮＡＮＤ８）はＹ＿ＡＴＤ信号、Ｐ２、Ｃ４信号の支配を受ける。
【００３８】
すなわち、Ｐ２信号がハイ状態で、Ｓ１、Ｓ２信号が活性化状態で正常動作している間には、第８ＮＡＮＤゲート（ＮＡＮＤ８）を不活性化させてＳ１、Ｓ２の正常動作を保障する。Ｓ１、Ｓ２信号の正常動作が完了すると、Ｐ２信号はロー状態となるため、第１７インバーター（ＩＮＶ１７）の出力がハイ状態となり、結果的に第８ＮＡＮＤ（ＮＡＮＤ８）が活性化される。これにより、Ｙ＿ＡＴＤ又はＣ４の状態に基づいて第８ＮＡＮＤゲート（ＮＡＮＤ８）の動作が決定される。
【００３９】
第１０インバーター（ＩＮＶ１０）の出力がハイ状態であり、Ｃ４信号もハイ状態となると、結果的に第８ＮＡＮＤゲート（ＮＡＮＤ８）が活性化されてＹ＿ＡＴＤ信号がスプリットワードライン駆動部８２へ伝達される。言い換えれば、Ｙアドレスが遷移される期間で、Ｓ１信号とＳ２信号が第２、第４ＮＯＲゲート（ＮＯＲ２，ＮＯＲ４）を活性化させることにより、Ｙ＿ＡＴＤ信号は第８ＮＡＮＤゲート（ＮＡＮＤ８）、第１８インバーター（ＩＮＶ１８）を経て第４ＮＯＲゲート（ＮＯＲ４）へ伝達されるとともに、遅延部（Ｄ）により遅延された信号が第２ＮＯＲゲート（ＮＯＲ２）へ伝達される。
【００４０】
前記第４ＮＯＲゲート（ＮＯＲ４）、第５ＮＯＲゲート（ＮＯＲ５）、そして第２０インバーター（ＩＮＶ２０）を通過したＹ＿ＡＴＤ信号は反転されたロー状態のＰＳ１信号となる。第２ＮＯＲゲート（ＮＯＲ２）、第３ＮＯＲゲート（ＮＯＲ３）、そして第１９インバーター（ＩＮＶ１９）を通過した遅延されたＹ＿ＡＴＤ信号は反転されたロー状態のＰＳ２信号となる。よって、ＰＳ１信号、ＰＳ２信号はＹ＿ＡＴＤ信号に対して反転された位相を有する。
この遅延部Ｄを構成しているインバーターのサイズを調節することにより、ＰＳ１信号と

ＰＳ２信号のロー信号が重なる時間を調節することができる。
【００４１】
尚、読取りモードでは、第７ＮＡＮＤゲート（ＮＡＮＤ７）が活性化状態となり、Ｃ４の信号が第１２インバーター（ＩＮＶ１２）、第７ＮＡＮＤゲート（ＮＡＮＤ７）、第１３インバーター（ＩＮＶ１３）、第１ＮＯＲゲート（ＮＯＲ１）、第１５インバーター（ＩＮＶ１５）、そして第１６インバーター（ＩＮＶ１６）を順次に通過して同一波形のＣ４Ｎとなる。よって、Ｃ４Ｎ信号はセンスアンプにより増幅された信号をデータバスへ伝達する役割を果たす。
【００４２】
かかる読取りモードでは、第１０インバーター（ＩＮＶ１０）の出力信号がロー状態で第８ＮＡＮＤゲート（ＮＡＮＤ８）を不活性化させることにより、Ｙ＿ＡＴＤ信号、Ｐ２、Ｃ４信号の伝達が遮断され、第１８インバーター（ＩＮＶ１８）の出力信号がロー状態となり、第４ＮＯＲゲート（ＮＯＲ４）が常に活性化される。これにより、スプリットワードライン駆動部８２の入力信号として用いられるＰＳ１信号、ＰＳ２信号はＳ１及びＳ２信号に対してそれぞれ反対波形となる。
【００４３】
図１２は図７に示す列制御部の詳細構成図である。
図７の列制御部は、Ｙプレデコーダ７８及びローカル制御信号発生部８０から信号を受けて動作する。
すなわち、図１２に示すように、Ｙプレデコーダ７８から出力される複数のプレデコードされたアドレス（Ｙｐｒｅ＿ｎ，Ｙｐｒｅ＿ｎ＋１，Ｙｐｒｅ＿ｎ＋２，Ｙｐｒｅ＿ｎ＋３・・・）中の各々のアドレスとローカル制御信号発生部８０から出力されるＣ４Ｎ信号とを論理演算する複数個の論理演算部１２０ａ、１２０ｂ、１２０ｃ、１２０ｄと、各論理回路部１２０ａ、１２０ｂ、１２０ｃ、１２０ｄの出力端に連結されるインバーター１２１ａ、１２１ｂ、１２１ｃ、１２１ｄとを含んで構成される。
【００４４】
ここで、各論理演算部１２０ａ、１２０ｂ、１２０ｃ、１２０ｄの出力が該当インバーター１２１ａ、１２１ｂ、１２１ｃ、１２１ｄを通過するとＹアドレス（Ｙ＿ｎ，Ｙ＿ｎ＋１，Ｙ＿ｎ＋２，Ｙ＿ｎ＋３，・・・）となり、インバーター１２１ａ、１２１ｂ、１２１ｃ、１２１ｄを通過しない信号はＹアドレスバー（ＹＢ＿ｎ，ＹＢ＿ｎ＋１，ＹＢ＿ｎ＋２，ＹＢ＿ｎ＋３・・・）となる。
かかる列制御部８４は、Ｙプレデコーダ７８から出力されるプレデコードされたアドレスをローカル制御信号発生部８０から出力されるＣ４Ｎ信号とともに合成してＹアドレス及びＹアドレスバーをセンスアンプ及び入出力制御部８５へ出力する。
【００４５】
図１３は本実施形態のセンスアンプ及び入出力制御部の詳細構成図である。
図１３に示すように、上側メインセルブロックに連結されるビットライン及びビットバーラインにそれぞれ該当するＢＩＴ＿Ｔ及びＢＩＴＢ＿Ｔと、下側メインセルブロックに連結されるビットライン及びビットバーラインにそれぞれ該当するＢＩＴ＿Ｂ及びＢＩＴＢ＿Ｂとから構成される。ここで、図示してないが、ビットライン及びビットバーラインは列方向に複数形成されている。
【００４６】
これらは、ビットライン及びビットバーラインに乗せたデータをセンシング、増幅してデータライン及びデータバーラインへ伝達するセンスアンプ８５ａと、ビットライン及びビットバーラインの電位をプルダウンさせ等電位化させるプルダウン及び等化器８５ｂと、上側メインセルのビットライン及びビットバーラインと前記センスアンプの入出力端とを選択的に連結させる第１、第２伝送ゲート１３１ａ、１３１ｂと、下側メインセルのビットライン及びビットバーラインとセンスアンプの入出力端とを選択的に連結させる第３、第４伝送ゲート１３１ｃ、１３１ｄと、センスアンプの入出力端とデータライン及びデータバーラインとを選択的に連結させる第５、第６伝送ゲート１３１ｅ、１３１ｆとから構

成される。
ここで、センスアンプ８５ａは、活性化、不活性化を制御するためのＰＭＯＳトランジスタＰＭ１０及びＮＭＯＳトランジスタＮＭ１０を更に含む。そして、ＰＭＯＳトランジスタＰＭ１０及びＮＭＯＳトランジスタＮＭ１０を制御するゲート制御信号であるＳＡＰ＿Ｃ信号、ＳＡＮ＿Ｃ信号はローカル制御信号発生部８０から出力され、複数のビットライン及びビットバーラインに共通使用される。すなわち、このＳＡＰ＿Ｃ信号、ＳＡＮ＿Ｃ信号はは、センスアンプイネーブル信号である。
【００４７】
このように構成されたセンスアンプ及び入出力制御部８５において、センスアンプ８５ａが上側メインセルのデータをセンシングする場合には第１、第２伝送ゲート１３１ａ、１３１ｂがオンにされ、第３、第４伝送ゲート１３１ｃ、１３１ｄはオフとされる。逆に、下側メインセルのデータをセンシングする場合には第１、第２伝送ゲート１３１ａ、１３１ｂはオフされ、第３、第４伝送ゲート１３１ｃ、１３１ｄはオンとされる。各伝送ゲート１３１ａ、１３１ｂ、１３１ｃ、１３１ｄはＰＭＯＳトランジスタＰＭとＮＭＯＳトランジスタとが並列的に構成されるが、第１、第２伝送ゲート１３１ａ、１３１ｂのオン／オフを制御する制御信号であるＢＳ＿Ｔ信号、ＢＳＢ＿Ｔ信号はローカル制御信号発生部８０から出力される。そして、第３、第４トランスミッションゲート１３１ｃ、１３１ｄのオン／オフを制御する制御信号であるＢＳ＿Ｂ信号、ＢＳＢ＿Ｂ信号もローカル制御信号発生部８０から出力される。第５、第６伝送ゲート１３１ｅ、１３１ｆのオン／オフを制御する制御信号であるＹ＿ｎ信号、ＹＢ＿ｎ信号は列制御部８４から選択的に出力されるＹアドレス及びＹアドレスバーが用いられる。
【００４８】
図１４は本発明によるセンスアンプ及び入出力制御部の他の実施形態を示す図であり、伝送ゲート１３１ａ、１３１ｂ、１３１ｃ、１３１ｄ、１３１ｅ、１３１ｆに代えてＮＭＯＳトランジスタ１４０ａ、１４０ｂ、１４０ｃ、１４０ｄ、１４０ｅ、１４０ｆを設けたものである。
ここで、図１３のように伝送ゲートを用いたセンスアンプ及び入出力制御部８５は、図１４のようにＮＭＯＳトランジスタを用いたセンスアンプ及び入出力制御部８５に比べて低電圧動作時に有利である。
このように構成されたセンスアンプ及び入出力制御部８５は、ローカル制御信号発生部８０、列制御部８４から出力される信号を受けて、読取りモード時には記憶セルのデータをセンシングしてデータバスライン及びデータバーバスラインへ伝達し、書込モード時にはデータバスライン及びデータバスバーラインを介して入るデータを記憶セルに格納する役割を果たす。
【００４９】
次いで、図１５は本実施形態によるローカル制御信号発生部の動作説明のための入出力波形図であり、チップイネーブル（ＣＳＢｐａｄ）信号がロー状態に活性化されている状態でのＹアドレス遷移時における書込モードの動作タイミング図である。
ここで、ＣＳＢｐａｄ信号がロー状態にイネーブルされた後再度ハイ状態にディスエーブルされる期間をｔ１～ｔ１５に分割して、各期間別に説明する。
まず、ｔ１期間では、ＣＳＢｐａｄ信号をロー状態にイネーブルさせ、ＷＥＢｐａｄ信号をロー状態にイネーブルさせる。このとき、Ｘ、Ｙ、Ｚアドレスは以前の状態を維持し、ローカル制御信号発生部８０から出力されるＰＳ１、ＰＳ２信号、Ｃ４Ｎ、Ｃ３＿Ｃ、ＳＡＰ＿Ｃ、ＳＡＮ＿Ｃ信号はｔ１の以前の状態を維持している。
【００５０】
この後、ＰＳ１信号は、ｔ１期間ではハイ、ｔ２～ｔ３期間ではロー状態、ｔ４期間ではハイ状態、ｔ５期間ではロー状態、ｔ６期間ではハイ状態、ｔ７～ｔ８期間ではロー状態、ｔ９～ｔ１０期間ではハイ状態、ｔ１１～ｔ１３期間では再びロー状態となる。ｔ１３の開始時点からはハイ状態を維持し続ける。
ＰＳ２信号は、ｔ１期間まではハイ、ｔ２～ｔ４期間ではロー状態、ｔ５～ｔ７期間では

ハイ状態、ｔ８～ｔ９期間ではロー状態、ｔ１０～ｔ１１期間ではハイ状態、ｔ１２～ｔ１３期間では再びロー状態となる。ｔ１４の開始時点からはハイ状態を維持し続ける。

【００５１】

又、スプリットワードライン駆動部８２から出力される各スプリットワードラインを駆動するＳＷＬ１、ＳＷＬ２信号も、ｔ１期間までは以前の状態のロー状態を維持し、ｔ２時点でハイ状態に遷移される。ここで、ＳＷＬ１信号はＰＳ１信号と反対位相を有し、同一の遷移時点を有する。ＳＷＬ２信号はＰＳ２信号と反対位相を有し、同一の遷移時点を有する。

【００５２】

前記ローカル制御信号発生部８０から出力されるＣ４Ｎ信号は、ｔ２の開始時点でハイ状態に遷移され、ＣＳＢｐａｄ信号がディスエーブルされる時点で再びロー状態に遷移される。Ｐ２信号は、ｔ２の開始時点で以前の状態のロー状態からハイ状態に遷移されてｔ５期間まで維持され、ｔ６の開始時点で再びロー状態に遷移される。Ｃ３＿Ｃ信号は、ｔ１期間までは以前のハイ状態に維持され、ｔ２の開始時点でロー状態に遷移され、ＣＳＢｐａｄ信号がディスエーブルされる時点で再びハイ状態に遷移される。そして、ＳＡＮ＿Ｃ信号は、ｔ２期間までロー状態に維持され、ｔ３の開始時点でハイ状態に遷移されてＣＳＢｐａｄ信号がデザーブルされるまで維持される。ＳＡＰ＿Ｃ信号はＳＡＮ＿Ｃ信号と反対位相を有し、遷移時点は同一である。

【００５３】

かかる動作タイミング図及び図９のグローバル制御信号発生部の入出力タイミング図に示すように、ＣＳＢｐａｄ信号をロー状態に活性化させた状態でＹアドレスのみを変化させると、グローバル制御信号発生部７６の入力には変化がない。よって、グローバル制御信号発生部７６の出力信号も変わらない。Ｙアドレスの変化によりＹ＿ＡＴＤ信号が発生されると、書込モードの場合、ローカル制御信号発生部８０から出力されるＰＳ１、ＰＳ２がスプリットワードライン駆動部８２へ入力されてＳＷＬ１信号、ＳＷＬ２信号が出力される。

【００５４】

図１５のタイミング図に示すように、Ｙアドレスがｔ７期間の開始時点で変化する際、つまりｔ７、ｔ９期間ではロジック１が記憶セルに書き込まれ、ｔ８期間ではロジック０が書き込まれる。そして、Ｙアドレスがｔ１１期間の開始点で変化する際、つまりｔ１１、ｔ１３期間ではハイデータが記憶セルに書き込まれ、ｔ１２期間ではローデータが書き込まれる。

【００５５】

次いで、読取りモード時における本実施形態のローカル制御信号発生部の動作タイミング図を説明する。書込モード時と同様に、ｔ１からｔ１５期間まで設定して各期間別に説明する。

図１６は本実施形態のＹアドレス変化時におけるローカル制御信号発生部の動作タイミング図であり、読取りモード時の動作タイミング図である。

図１６に示すように、書込モードとは異なり、ＷＥＤｐａｄ信号はＣＳＢｐａｄ信号の状態が活性化される間にハイ状態に維持される。これは、読取りモードなので、ＷＥＢｐａｄ信号がハイ状態でなければならないからである。一方、書込モード時と同様に、Ｙアドレスが変化する時にのみＹ＿ＡＴＤ信号がハイ信号となる。すなわち、Ｙアドレスがｔ７の開始時点で遷移される場合、Ｙ＿ＡＴＤ信号はｔ７からｔ８までハイ状態に維持され、再びＹアドレスがｔ１１の開始時点で遷移される際にＹ＿ＡＴＤ信号はｔ１１からｔ１３期間までハイ状態に維持される。この以外の期間では全てロー状態に維持される。

【００５６】

ＰＳ１信号は、ｔ２～ｔ３期間、そしてｔ５期間の間のみでロー状態を維持し、その以外ではハイ状態を維持する。ＰＳ２信号は、ｔ２～ｔ４期間のみでロー状態を維持し、その以外ではハイ状態を維持する。ＳＷＬ１信号はＰＳ１信号と反対位相を有し、同一の遷移時点を有する。ＳＷＬ２信号はＰＳ２信号と反対位相を有し、同一の遷移時点を有する。

【００５７】
Ｃ４Ｎ信号は、ｔ４からＣＳＢｐａｄ信号がディスエーブルされる時点（ｔ１５）前までハイ状態を維持し、その以外ではローを維持する。Ｐ２信号、Ｃ３＿Ｃ信号、ＳＡＮ＿Ｃ信号、及びＳＡＰ＿Ｃ信号は、遷移タイミング及び位相が書込みモード時と同一なので省略する。
【００５８】
このタイミング図に示すように、ＣＳＢｐａｄ信号をロー状態に活性化させた状態でＹアドレスのみを変化させると、グローバル制御信号発生部の入力には変化がないため、その出力も変わらない。Ｙアドレスの変化によりＹ＿ＡＴＤ信号がハイ状態になっても、読取りモードにおいてローカル制御信号発生部のＰＳ１信号、ＰＳ２信号は変わらないようにしてＳＷＬ１信号、ＳＷＬ２信号が不活性化状態を続けて維持するようにする。よって、変更されたＹアドレスに該当する列デコーダ部８４を活性化させて、センスアンプにラッチされているデータをデータバスへ伝達するようになる。Ｙアドレスが変化される第１時点（ｔ７期間）では、センスアンプのデータがデータバスへ伝達されて読取り動作が行われる。そして、Ｙアドレスが変化される第２時点（ｔ１１期間）でも、センスアンプのデータがデータバスへ伝達されて読取り動作が行われる。
【００５９】
以上ではＹアドレス変化時の書込モード及び読取りモード時における不揮発性強誘電体メモリ装置のタイミング図を説明した。以下、Ｘ、Ｚアドレス変化時の書込モード及び読取りモードによる動作タイミング図を説明する。
まず、Ｘ、Ｚアドレスのみ変化する際の書込モードにおけるローカル制御信号発生部の動作タイミング図を図１７に示している。図１７に示すように、本発明のローカル制御信号発生部の動作をｔ１からｔ２１まで設定して、各期間別に説明する。
まず、ｔ１の開始時点でＣＳＢｐａｄ信号が以前の状態のハイ状態からローに遷移されることにより活性化状態となり、ｔ２１の開始時点で再び不活性化状態に遷移される。これとともに、書込イネーブル信号（ＷＥＢｐａｄ）もハイ状態に遷移されて活性化状態となり、ＣＳＢｐａｄ信号が不活性化されると同時に不活性化される。ここで、ＣＳＢｐａｄ信号、ＷＥＢｐａｄ信号は全て外部から印加される。
【００６０】
図面に示すように、ｔ１期間では、ＣＳＢｐａｄ信号、ＷＥＢｐａｄ信号のみがイネーブルされ、残りの信号は以前の状態にそのまま維持される。ｔ２期間では、ＣＳＢｐａｄ信号及びＷＥＢｐａｄ信号はそのままイネーブル状態に維持され、ＰＳ１信号、ＰＳ２信号、Ｃ３＿Ｃ信号は以前の状態のハイ状態からロー状態に遷移される。そして、ＳＷＬ１、ＳＷＬ２、Ｃ４Ｎ、Ｐ２信号は以前の状態のロー状態からハイ状態に遷移される。Ｃ４Ｎ信号がロー状態からハイ状態に遷移されて活性化状態となることにより、外部から伝達されたデータがビットラインＢＬ及びビットバーラインＢＢＬに乗せられる。
【００６１】
次いで、ｔ３期間では、ＣＳＢｐａｄ、ＷＥＤｐａｄ、ＰＳ１、ＰＳ２、ＳＷＬ１、ＳＷＬ２、Ｃ３＿Ｃ、Ｃ４Ｎ、Ｐ２はｔ２期間の信号をそのまま維持し、ＳＡＮ＿Ｃ信号は以前の状態のロー状態からハイ状態に遷移し、ＳＡＰ＿Ｃ信号はハイ状態からロー状態に遷移する。このとき、ＳＡＮ＿Ｃ信号、ＳＡＰ＿Ｃ信号がそれぞれハイ、ロー状態に遷移される。ｔ４期間では、ＰＳ１信号、ＳＷｌ１信号のみが以前の状態から変化するが、ＰＳ１信号は以前のロー状態からハイ状態に遷移され、ＳＷＬ１信号はハイ状態からロー状態に遷移される。
次いで、ｔ５期間では、ＰＳ１、ＰＳ２、ＳＷＬ１、ＳＷＬ２信号のみが遷移され、その外の信号はｔ４期間の信号状態のまま維持される。すなわち、ＰＳ１信号は以前のハイ状態からロー状態に遷移され、これによりＳＷＬ１信号はロー状態からハイ状態に遷移される。そして、ＰＳ２信号は以前のロー状態からハイ状態に遷移され、これによりＳＷＬ２信号はハイ状態からロー状態に遷移される。ｔ６期間では、ＰＳ１、ＳＷＬ１、Ｐ２信号を除いた全信号は以前の状態をそのまま維持する。ＰＳ１信号はｔ５期間の信号つまりロ

ー状態からハイ状態に遷移され、これによりＳＷＬ１信号はハイ状態からロー状態に遷移される。Ｐ２信号は以前の状態のハイ状態からロー状態に遷移される。ｔ７期間は、Ｘ、Ｚアドレスが変化する時点である。よって、Ｘ、Ｚ＿ＡＴＤ信号が以前のロー信号からハイ信号に発生される。Ｃ４Ｎ信号とＳＡＮ＿Ｃ信号は以前のハイ状態からロー状態に遷移され、Ｃ３＿Ｃ信号とＳＡＰ＿Ｃ信号は以前のロー状態からハイ状態に遷移される。ｔ８期間では、Ｘ、Ｚ＿ＡＴＤ信号のみが以前のハイ状態からロー状態に遷移され、Ｘ、Ｚ＿ＡＴＤ信号を除いた全信号は以前のｔ７期間の状態のまま維持される。

【００６２】

次いで、ｔ９が始まる時点では、Ｘ、Ｚ＿ＡＴＤ信号、ＳＡＮ＿Ｃ、ＳＡＰ＿Ｃ信号のみが以前の状態にそのまま維持され、その以外の信号は変化される。すなわち、ＰＳ１、ＰＳ２信号は以前の状態のハイ状態からロー状態に遷移され、ＳＷＬ１、ＳＷＬ２信号は以前のロー状態からハイ状態に遷移される。そして、Ｃ４Ｎ信号とＰ２信号は以前の状態のロー状態からハイ状態に遷移され、Ｃ３＿Ｃ信号は以前のハイ状態からロー状態に遷移される。Ｃ４Ｎ信号がロー状態からハイに遷移されて活性化状態となることにより、外部から伝達されたデータがビットラインＢＬ及びビットバーラインＢＢＬに乗せられる。

【００６３】

ｔ１０の開始時点では、ＳＡＮ＿Ｃ信号がローからハイ状態に、ＳＡＰ＿Ｃ信号がハイからロー状態に遷移されて活性化され、その以外の信号は全てｔ９期間の状態のまま維持される。ｔ１１が始まる時点では、ＰＳ１信号が以前のロー状態からハイ状態に遷移され、これによりＳＷＬ１信号がハイ状態からロー状態に遷移される。その外の信号はｔ１０期間の状態のままである。ｔ１２の開始時点では、ＰＳ１信号が以前のハイ状態からロー状態に遷移されるとともに、ＰＳ２が以前のロー状態からハイ状態に遷移される。これにより、ＳＷＬ１信号がロー状態からハイ状態に遷移され、ＳＷＬ２信号がハイ状態からロー状態に遷移される。その以外の信号はｔ１１期間の状態のまま維持される。

【００６４】

ｔ１３が始まる時点では、ＰＳ１、ＳＷＬ１、Ｐ２信号のみが変化し、以外の信号はｔ１２期間の状態のまま維持される。すなわち、ＰＳ１信号が以前のロー状態からハイ状態に遷移されるとともに、ＳＷＬ１信号がハイ状態からロー状態に遷移される。そして、Ｐ２信号は以前のハイ状態からロー状態に遷移される。次いで、ｔ１４の開始時点でＸ、Ｚアドレスの２回目が変わる。これにより、Ｘ、Ｚ＿ＡＴＤ信号が以前のロー状態からハイ状態に遷移され、Ｃ４Ｎ信号とＳＡＮ　Ｃ信号は以前のハイ状態からロー状態に遷移され、Ｃ３＿Ｃ信号とＳＡＰ＿Ｃ信号は以前のロー状態からハイ状態に遷移される。ｔ１５の開始時点では、Ｘ、Ｚ＿ＡＴＤ信号のみが以前のハイ状態からロー状態に遷移され、残りの信号は以前のｔ１４期間の信号のまま維持される。次いで、ｔ１６の開始時点では、ＰＳ１、ＰＳ２信号が以前のハイ状態からロー状態に遷移され、これによりＳＷＬ１信号とＳＷＬ２信号が以前のロー状態からハイ状態に遷移される。

【００６５】

次いで、ｔ１７期間からｔ２０期間までは前述したｔ１０からｔ１３期間までの位相及び遷移タイミングと同一である。このため省略する。

最後に、ｔ２１の開始点では、ｔ１からロー状態を維持してきたＣＳＢｐａｄ信号、ＷＥＢｐａｄ信号がハイ状態に遷移され、書き込みモードが不活性化状態となる。そして、Ｃ４Ｎ信号が以前のハイ状態からロー状態に遷移され、ＳＡＮ＿Ｃ信号はハイ状態からロー状態に、ＳＡＰ＿Ｃ信号はロー状態からハイ状態に遷移される。

このように、書込モードでＸ、Ｚアドレス変化時における本実施形態のローカル制御信号発生部は、Ｃ４Ｎ信号がＳＷＬ１及びＳＷＬ２信号の活性化時点と同一に活性化されてセンスアンプが活性化される以前に予めデータをビットラインに載せておくことができるようにする。

【００６６】

次いで、読取りモードでのＸ、Ｚアドレス変化時における本実施形態のローカル制御信号発生部の動作タイミングを説明する。

図１８は読取りモードでのＸ、Ｚアドレスのみ変化時の本実施形態によるローカル制御信号発生部の動作タイミング図である。図１８の読取りモード時のタイミング図は、図１７と比較してＣ４Ｎ信号の遷移タイミングが変わっていることが分かる。図１７の書込モードではＷＥＢｐａｄ信号がロー状態に活性化されるが、図１８の読取りモードではＷＥＢｐａｄ信号がハイ状態に活性化されていることが分かる。

【００６７】

図１８において、Ｃ４Ｎ信号を除いた全信号は書込モードにおけるＸ、Ｚアドレス変化時の動作タイミングと同一である。ゆえに、Ｃ４Ｎ信号についてのみ各タイミング期間別に説明する。

図１８に示すように、Ｃ４Ｎ信号はｔ１からｔ３期間まではロー状態を維持する。この後、ｔ４が始まると、ロー状態からハイ状態に活性化されるから、この際センスアンプで増幅されたデータがデータライン及びデータバーラインに乗せられる。ｔ４の開始時点でハイ状態に遷移されたＣ４Ｎ信号はｔ６期間までハイ状態に維持され、ｔ７の開始時点でロー状態に遷移される。ロー状態に遷移された後、ｔ１０期間までロー状態が維持され、ｔ１１の開始時点でハイ状態に遷移される。Ｃ４Ｎ信号がロー状態からハイ状態に遷移されるとともに、センスアンプにより増幅されたデータがデータライン及びデータバーラインに乗せられる。このように、読取りモード時には、センスアンプが予めデータをセンシングした後、Ｃ４Ｎ信号を活性化させてセンシングされたデータをデータライン及びデータバーラインに印加するようにして読取り動作を行うようになる。

【００６８】

【発明の効果】

請求項１、３、５、６の発明によれば、複数の記憶セルからなるブロックとしたセルアレイ部を垂直及び水平方向に形成し、水平方向での２つのセルアレイ部の間にスプリットワードライン駆動部を構成して両方のセルアレイ部のスプリットワードラインを駆動するようにし、かつ、垂直方向のセルアレイ部の間々にコア部を配置してコア部の制御信号に基づいて上側のセルアレイ部と下側のセルアレイ部を選択的に利用できるので、小さなレイアウト面積にも拘わらずに記憶セルの利用能力を向上させる。

請求項２、４、７、８、９の発明によれば、複数のビットライン及びビットバーラインに交差するように第１、第２スプリットワードラインを構成し、各ビットラインと交差する前記第１、第２スプリットワードラインの間に記憶セルを形成したので、従来のプレートライン、ワードラインを別々にコントロールするに従って制御信号の伝達経路が長くなる問題を解決して制御信号の伝達経路の違いが発生しないようにする。これにより、正確にコントロール可能である。

【００６９】

請求項１０～３０の発明によれば、スプリットワードライン駆動部に印加される制御信号、列制御部に印加される制御信号、センスアンプ及び入出力制御部に印加される制御信号のレベル変化及びタイミングを調節して、チップイネーブル信号と共にＹアドレスのみが変化する場合、或いはＸ、Ｚアドレスのみが変化する場合における読取り及び書込タイムを制御することができる。よって、列アクセス先行モードで動作可能であり、チップの性能を向上させることができる。

【００７０】

請求項３１～４４の発明によれば、チップイネーブル信号、Ｘ、Ｙ、Ｚアドレスの変化を検出してメモリにデータを書き込んだりメモリに格納されたデータを読み取ったりする。その際、Ｙアドレス変化時とＸ、Ｚアドレス変化時とに区別し、アドレスが変化する前にはチップイネーブル信号を用いて書き込み及び読み取り動作を行う。Ｙアドレスが変化する区間ではローアドレスに該当する第１、第２スプリットワードラインの信号が変わらないようにしてメモリのデータを読み取り、書込みモードではＹアドレスの変化によるＹ＿ＡＴＤ信号を利用して正常に書き込む。また、Ｘ、Ｚアドレスが変化する区間では、Ｘ、Ｚ＿ＡＴＤ信号を利用して、チップイネーブル信号の活性化時の読取り及び書込み動作と同様に動作する。したがって、チップイネーブル信号だけで動作するのに比べて、高速列

アクセスモードで動作する方がチップのアクセス速度を向上させることができる。

【図面の簡単な説明】

【図１】　ａは一般的な強誘電体のヒステリシスループを示す特性図、ｂは一般的な強誘電体メモリの単位キャパシタ構成図。

【図２】　従来の２Ｔ／２Ｃの強誘電体メモリのセルアレイ構成図。

【図３】　ａは従来の２Ｔ／２Ｃの強誘電体記憶セルの書込動作を説明するためのタイミング図、ｂは従来の２Ｔ／２Ｃの強誘電体記憶セルの読取り動作を説明するためのタイミング図。

【図４】　本発明実施形態の不揮発性強誘電体メモリ装置によるスプリットワードライン駆動部及びセルアレイの構成ブロック図。

【図５】　本発明実施形態の不揮発性強誘電体メモリ装置による単位セルの構成図。

【図６】　本発明実施形態の不揮発性強誘電体メモリ装置によるセルアレイの構成図。

【図７】　本発明実施形態の不揮発性強誘電体メモリ装置による駆動回路の構成ブロック図。

【図８】　本発明実施形態によるグローバル制御信号発生部の構成図。

【図９】　図８によるＹアドレス変化時におけるグローバル制御信号発生部の入出力波形図。

【図１０】　図８によるＸ、Ｚアドレス変化時におけるグローバル制御信号発生部の入出力波形図。

【図１１】　本発明実施形態のローカル制御信号発生部の構成図。

【図１２】　本発明実施形態の列制御部の構成図。

【図１３】　本発明実施形態のセンスアンプ及び入出力制御部の構成図。

【図１４】　本発明実施形態のセンスアンプ及び入出力制御部の他の実施形態を示す図。

【図１５】　本発明実施形態のＹアドレス変化時の書込モードにおけるローカル制御信号発生部の動作説明のためのタイミング図。

【図１６】　本発明実施形態のＹアドレス変化時の読取りモードにおけるローカル制御信号発生部の動作説明のためのタイミング図。

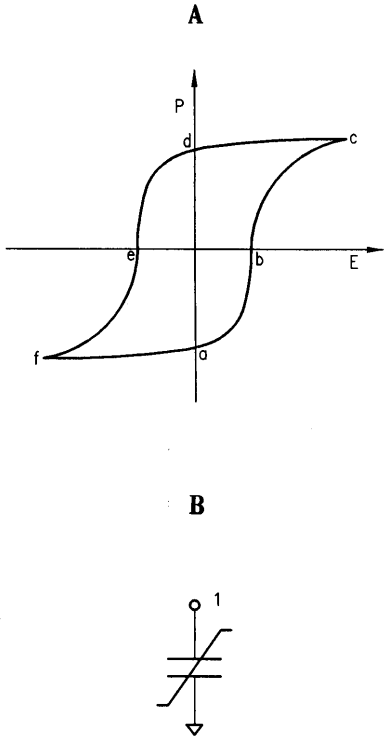
【図１７】　本発明実施形態のＸ、Ｚアドレス変化時の書込モードにおけるローカル制御信号発生部の動作説明のためのタイミング図。

【図１８】　本発明実施形態のＸ、Ｚアドレス変化時の読取りモードにおけるローカル制御信号発生部の動作説明のためのタイミング図。

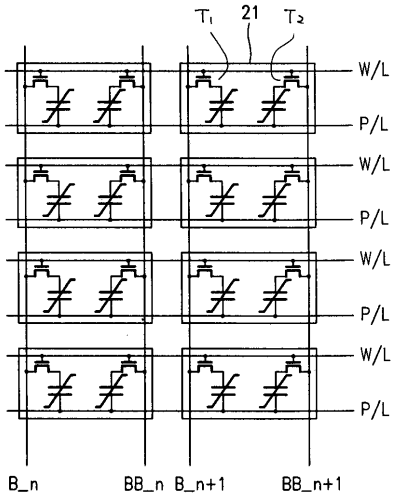
【符号の説明】

２１　　記憶セル
４１、８２　　スプリットワードライン駆動部
４２、８３　　セルアレイ部、　４３　　コア部
７１　　Ｘアドレスバッファ
７２　　Ｘプレデコーダ、　７３　　Ｚアドレスバッファ
７４　　Ｚプレデコーダ、　７５　　Ｘ、Ｚ＿ＡＴＤ発生部
７６　　グローバル制御信号発生部
７７　　Ｙアドレスバッファ、　７８　　Ｙプレデコーダ
７９　　Ｙ＿ＡＴＤ発生部、　８０　　ローカル制御信号発生部
８１　　Ｘポストデコーダ部、　８４　　列制御部
８５　　センスアンプ及び入出力制御部
８６　　入出力バスインタフェース部

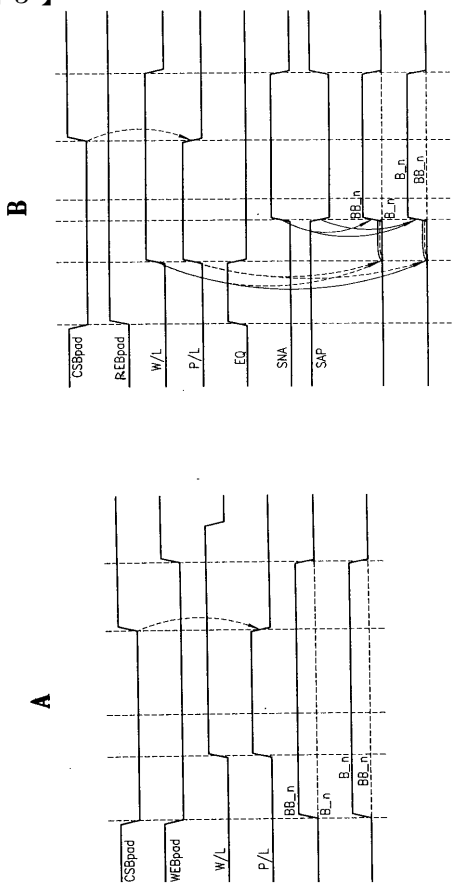
【図１】


A
P
d
c
e
b
E
f
a
B
1

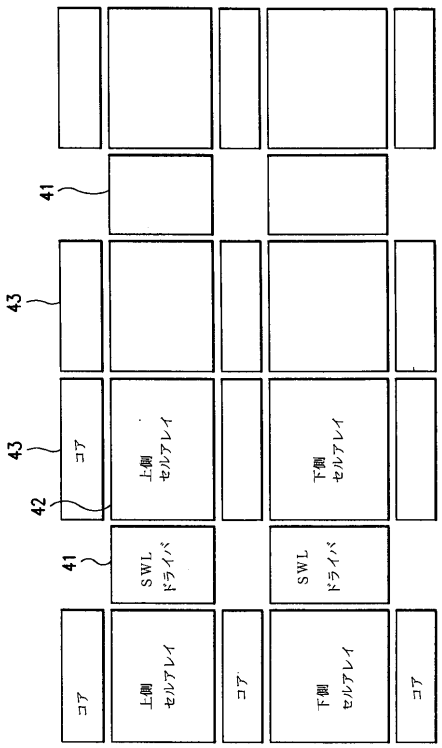
【図２】


T1
21
T2
W/L
P/L
W/L
P/L
W/L
P/L
W/L
P/L
B_n
BB_n
B_n+1
BB_n+1

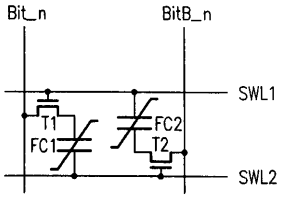
【図３】


B
CSBpad
REBpad
W/L
P/L
EQ
SNA
SAP
BB_n
B_n
BB_n
A
CSBpad
WEBpad
W/L
P/L
BB_n
B_n
BB_n

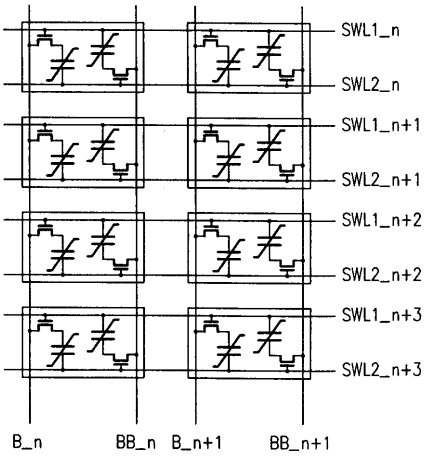
【図４】


41
43
43
コア
上側 セルアレイ
下側 セルアレイ
42
41
SWL ドライバ
SWL ドライバ
コア
上側 セルアレイ
コア
下側 セルアレイ
コア

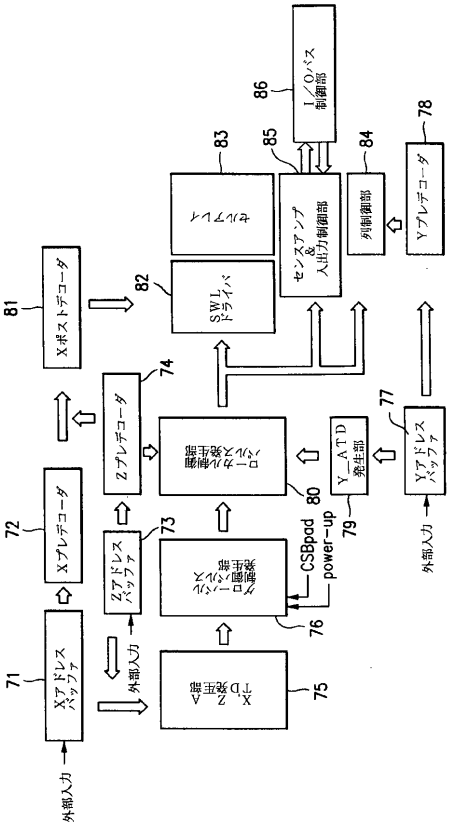
【図５】


Bit_n
BitB_n
SWL1
SWL2
T1
FC1
FC2
T2

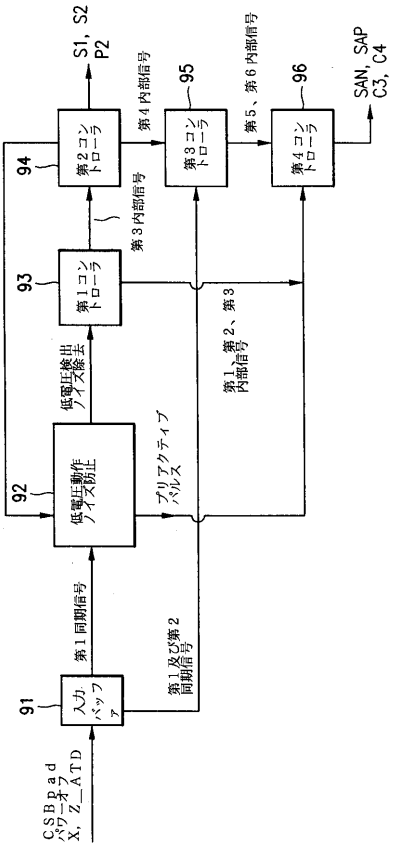
【図６】


SWL1_n
SWL2_n
SWL1_n+1
SWL2_n+1
SWL1_n+2
SWL2_n+2
SWL1_n+3
SWL2_n+3
B_n
BB_n
B_n+1
BB_n+1

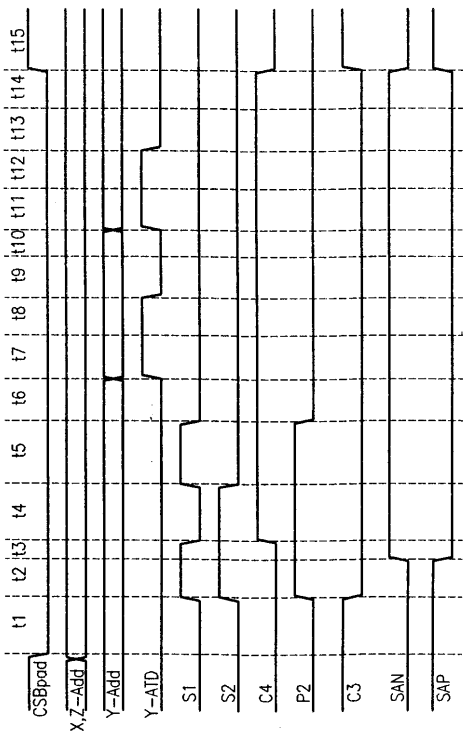
【図７】


X-ポストデコーダ
SWL ドライバ
センスアンプ & 入出力制御部
I/Oバス 制御部
Xプレデコーダ
Zプレデコーダ
列制御部
Yプレデコーダ
Xアドレス バッファ
Zアドレス バッファ
Y_ATD 発生部
Yアドレス バッファ
外部入力
CSBpad
power-up

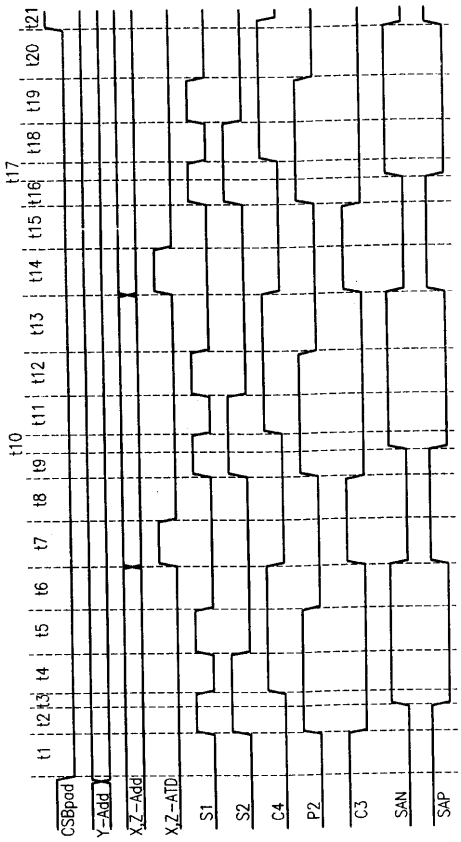
【図８】


CSBpad パワーオフ X, Z_ATD
入力 バッファ
第1同期信号
第1及び第2 同期信号
低電圧動作 ノイズ防止
低電圧検出 ノイズ除去
プリアクティブ パルス
第1、第2、第3 内部信号
第1 コントローラ
第2 コントローラ
第3 コントローラ
第4 コントローラ
第3内部信号
第4内部信号
第5、第6内部信号
S1, S2 P2
SAN, SAP C3, C4

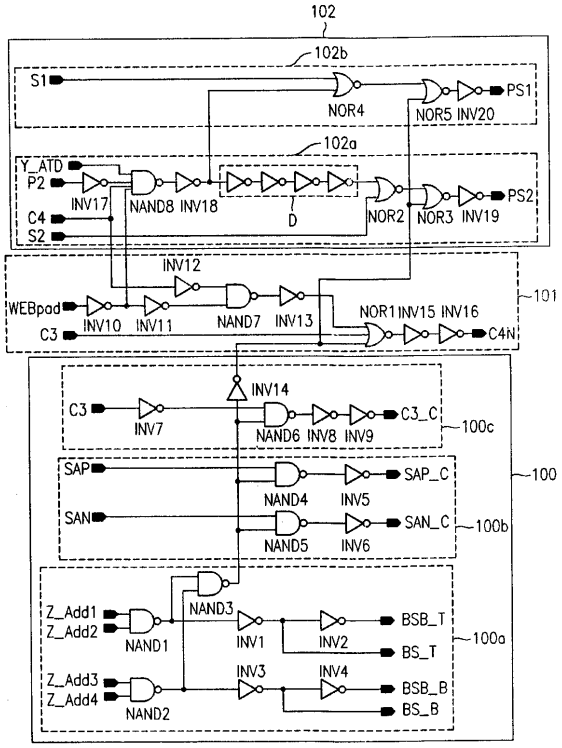
【図９】


t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
CSBpad
X,Z-Add
Y-Add
Y-ATD
S1
S2
C4
P2
C3
SAN
SAP

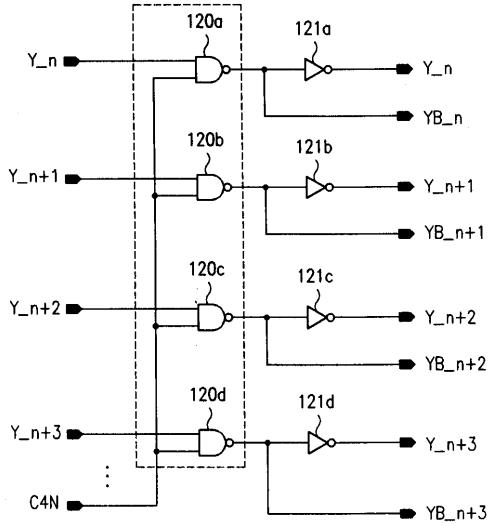
【図１０】



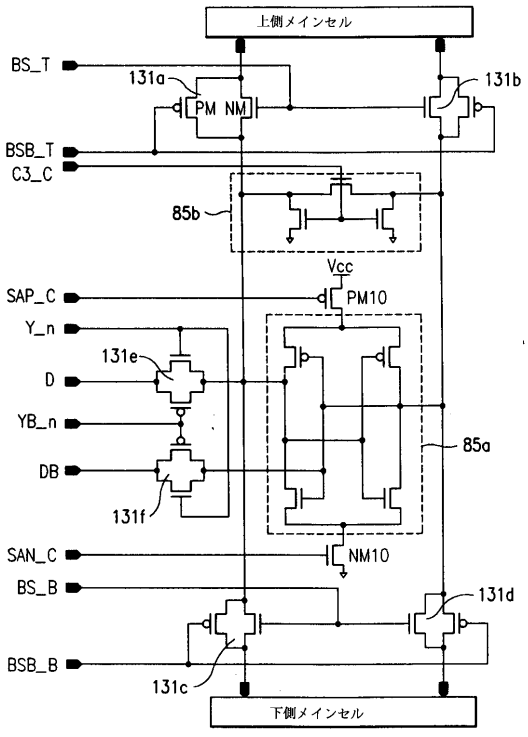
【図１１】



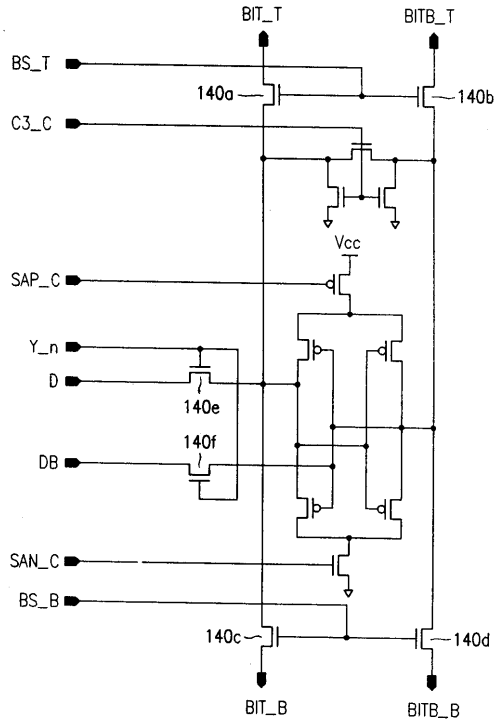
【図１２】



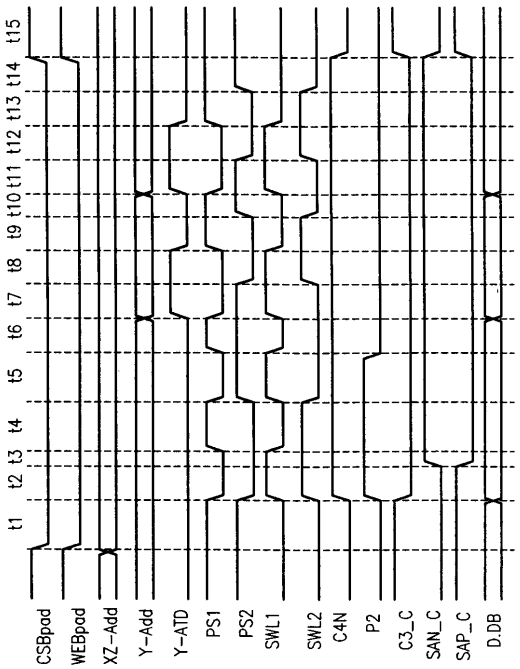
【図１３】



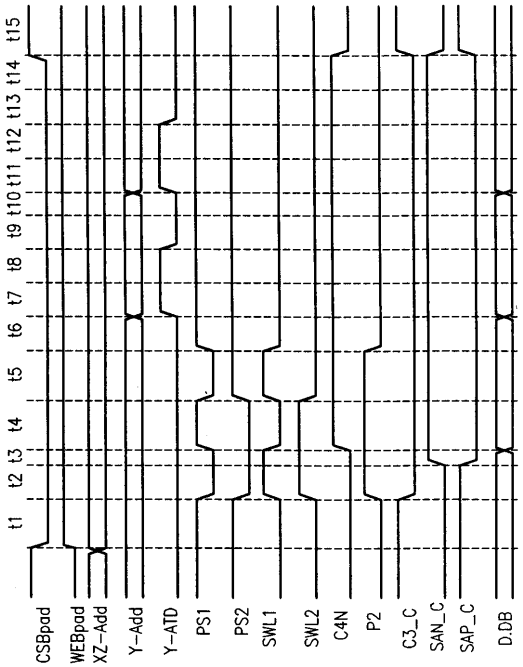
【図１４】



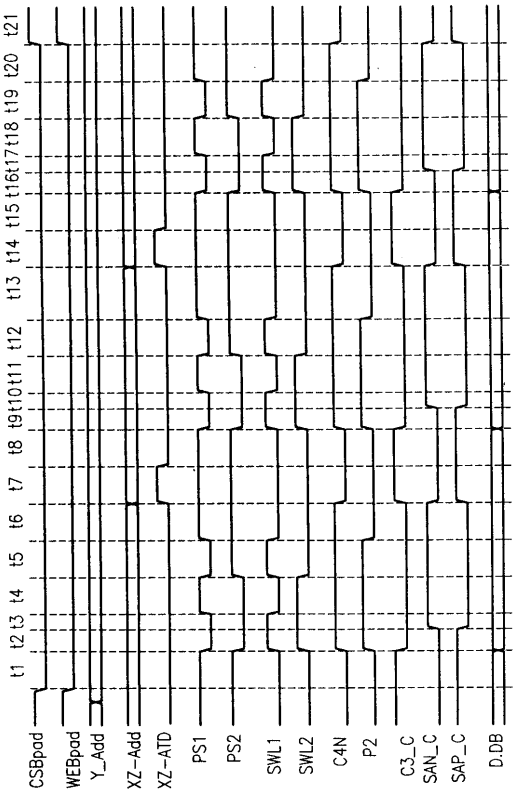
【図１５】



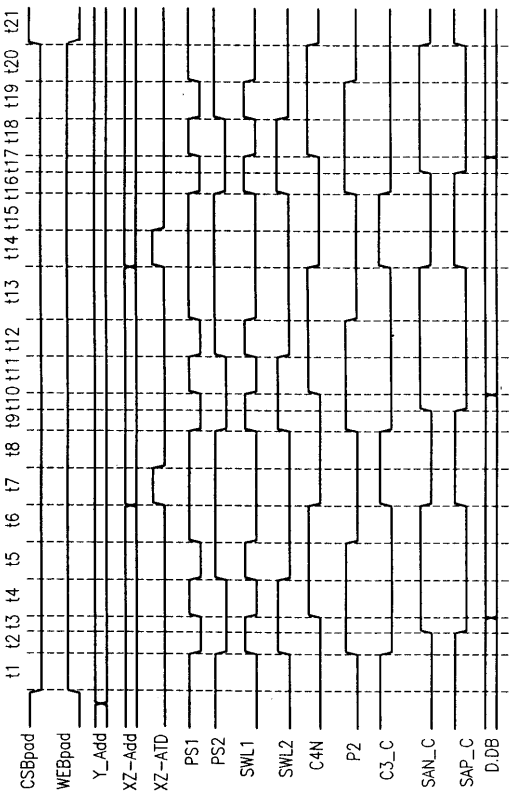
【図１６】



【図１７】



【図１８】


t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12 t13 t14 t15 t16 t17 t18 t19 t20 t21
CSBpad
WEBpad
Y_Add
XZ-Add
XZ-ATD
PS1
PS2
SWL1
SWL2
C4N
P2
C3_C
SAN_C
SAP_C
D.DB

フロントページの続き

審査官　加藤　俊哉

(56)参考文献　特開平０６－１７６５７１（ＪＰ，Ａ）
特開平０７－１３０１７４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/22
H01L 27/10