(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第6998963号
(P6998963)

(45)発行日　令和4年1月18日(2022.1.18)

(24)登録日　令和3年12月23日(2021.12.23)

(51)国際特許分類
H01L 25/065 (2006.01)
H01L 25/07 (2006.01)
H01L 25/18 (2006.01)

FI
H01L 25/08 E

請求項の数 18 （全13頁）

(21)出願番号　特願2019-544691(P2019-544691)
(86)(22)出願日　平成30年2月20日(2018.2.20)
(65)公表番号　特表2020-508569(P2020-508569A)
(43)公表日　令和2年3月19日(2020.3.19)
(86)国際出願番号　PCT/US2018/018805
(87)国際公開番号　WO2018/156512
(87)国際公開日　平成30年8月30日(2018.8.30)
審査請求日　令和1年9月4日(2019.9.4)
(31)優先権主張番号　15/438,691
(32)優先日　平成29年2月21日(2017.2.21)
(33)優先権主張国・地域又は機関
米国(US)
前置審査

(73)特許権者　595168543
マイクロン テクノロジー，インク．
アメリカ合衆国，アイダホ州 ８３７１６－９６３２，ボイズ，サウス フェデラル ウェイ ８０００
(74)代理人　100121083
弁理士　青木 宏義
(74)代理人　100138391
弁理士　天田 昌行
(74)代理人　100074099
弁理士　大菅 義之
(72)発明者　渡邊 文友
秋田県秋田市雄和石田山田８９－２ マイクロン秋田株式会社内
(72)発明者　草▲薙▼ 恵與

最終頁に続く

(54)【発明の名称】　ダイ基板拡張部を有する積み重ねられた半導体ダイアセンブリ

(57)【特許請求の範囲】
【請求項１】
パッケージ基板と、
前記パッケージ基板に取り付けられたダイのスタックであって、前記ダイのスタックは、
前記パッケージ基板に積載され、第１のダイ基板を有する第１のダイと、
前記第１のダイに積載され、前記第１のダイ基板に取り付けられた第２のダイ基板を有する第２のダイと、
前記第２のダイに積載された第３のダイと
を含み、
前記第２のダイ基板は、（１）周辺部分を有する半導体基板と（２）前記周辺部分から広がる第１の成型材料とを含み、
前記周辺部分及び前記第１の成型材料は前記第２のダイ基板を画定し、
前記第２のダイの前記半導体基板及び前記第１の成型材料の一部は、前記第１のダイを越えて広がり、前記パッケージ基板に張り出す、
前記ダイのスタックと、
前記ダイのスタックを封止する第２の成型材料と
を含む、半導体ダイアセンブリ。
【請求項２】
前記第１のダイは前記パッケージ基板と前記第２のダイとの間にあり、前記第１のダイ基板は、前記第２のダイの前記半導体基板に取り付けられた第１の部分と、前記第２のダイ

の前記第１の成型材料に取り付けられた第２の部分とを含む、請求項１に記載の半導体ダイアセンブリ。
【請求項３】
前記第１のダイ基板は外周を有し、前記第２のダイの前記第１の成型材料及び前記半導体基板の両方は前記外周を越えて広がる、請求項２に記載の半導体ダイアセンブリ。
【請求項４】
前記第１の成型材料は、前記第２のダイの前記半導体基板を完全に取り囲む、請求項１に記載の半導体ダイアセンブリ。
【請求項５】
前記第２のダイの前記第１の成型材料及び前記半導体基板は同一平面にある、請求項１に記載の半導体ダイアセンブリ。
【請求項６】
前記第１のダイと前記第２のダイ基板との間のダイアタッチフィルムを更に含み、前記ダイアタッチフィルムは、前記第２のダイの前記第１の成型材料及び前記半導体基板の両方に取り付けられる、請求項１に記載の半導体ダイアセンブリ。
【請求項７】
前記第２のダイの前記第１の成型材料は、エポキシ樹脂及び熱硬化性材料の内の少なくとも１つを含む、請求項１に記載の半導体ダイアセンブリ。
【請求項８】
前記第１及び前記第２のダイの内の少なくとも１つはメモリダイである、請求項１に記載の半導体ダイアセンブリ。
【請求項９】
パッケージ基板と、
前記パッケージ基板に搭載された第１のダイであって、前記第１のダイは第１のダイ基板を含む、前記第１のダイと、
前記第１のダイに搭載された第２のダイであって、前記第２のダイは、前記第１のダイ基板に取り付けられた第２のダイ基板を含む、前記第２のダイと、
前記第２のダイに積載された第３のダイと
を含み、
前記第２のダイ基板は、半導体基板と、前記半導体基板の外周に結合されたダイ基板拡張部とを含み、前記ダイ基板拡張部は成型材料を含み、前記成型材料は平面図形を少なくとも部分的に画定し、前記半導体基板及び前記ダイ基板拡張部の少なくとも一部は、前記第１のダイ基板を越えて広がり、前記パッケージ基板に張り出す、
半導体デバイス。
【請求項１０】
前記成型材料は第１の成型材料であり、前記半導体デバイスは、前記第１及び前記第２のダイを封止する第２の成型材料を更に含む、請求項９に記載の半導体デバイス。
【請求項１１】
前記第１のダイを前記第２のダイに取り付けるダイアタッチフィルムを更に含み、前記半導体基板は、前記ダイアタッチフィルムに取り付けられた第１の面を含み、前記成型材料は、前記ダイアタッチフィルムに取り付けられた第２の面を含む、請求項９に記載の半導体デバイス。
【請求項１２】
半導体デバイスを製造する方法であって、
半導体基板の一部の上方に成型材料を成型することであって、前記成型材料は、前記半導体基板の前記一部から外側に広がり、第３のダイが積載された第１のダイの平面図形を画定する、前記成型することと、
ダイスタックを形成するために、前記第１のダイに第２のダイを取り付けることであって、前記第２のダイを取り付けることは、前記第１のダイの前記半導体基板及び前記成型材料の少なくとも一部分を含む前記第１のダイの平面図形の一部が前記第２のダイの外周を

越えて広がるような位置で前記第２のダイを前記第１のダイに取り付けることを含む、前記取り付けることと、
前記ダイスタックをパッケージ基板に搭載することであって、前記第２のダイは、前記パッケージ基板に取りつけられ、前記第２のダイの前記外周を越えて広がる前記前記第１のダイの前記平面図形の前記一部は、前記パッケージ基板に張り出すことと
を含む、方法。
【請求項１３】
前記成型材料は第１の成型材料であり、前記方法は、パッケージケースを形成するために、前記第１の成型材料の上方に第２の成型材料を成型することを更に含む、請求項１２記載の方法。
【請求項１４】
前記成型することは、
前記第１のダイの前記半導体基板を一時的積載部に取り付けることと、
前記半導体基板及び前記一時的積載部の上方に前記成型材料を成型することと、
前記半導体基板の第１の面と前記成型材料の第２の面とを露出するために、前記成型材料を薄くすることであって、前記第１の面は前記第２の面に隣接する、前記薄くすることとを含む、請求項１２に記載の方法。
【請求項１５】
前記第２のダイを前記第１及び前記第２の面に取り付けることを更に含む、請求項１４に記載の方法。
【請求項１６】
前記成型することの後に前記パッケージ基板及び前記ダイスタックの上方に封止材料を流すことを更に含む、請求項１４に記載の方法。
【請求項１７】
前記第１及び前記第２のダイの内の少なくとも１つはメモリダイである、請求項１２に記載の方法。
【請求項１８】
前記第１のダイの前記半導体基板はコントローラ回路を含む、請求項１７に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
開示される実施形態は、半導体ダイアセンブリと、そうしたアセンブリ内のダイ基板拡張部に関する。
【背景技術】
【０００２】
メモリチップ、マイクロプロセッサチップ、及びイメージャチップを含むパッケージ化された半導体ダイは、パッケージ基板上に搭載された半導体ダイを含み得る。半導体ダイは、プラスチック保護カバー内に入れられ、各ダイは、メモリセル、プロセッサ回路、及びイメージャデバイス等の機能的機構を含む。ダイが外部回路に接続されることを可能にするために、機能的機構とパッケージ基板上の端子との間で、ダイ上のボンドパッドが電気的に接続される。
【０００３】
パッケージ内のダイの密度を増加させるために、ダイは、ケース内で相互に上に積み重ねられ得る。垂直に積み重ねられたダイでの一課題は、しかしながら、ダイが異なるサイズ又はフットプリントを有し得ることである。例えば、メモリパッケージでは、メモリコントローラダイは、パッケージ内のメモリダイよりも小さなフットプリントを有し得る。メモリコントローラダイは、メモリダイからずれるので、ワイヤボンディングすることがより困難であり得る。また、メモリダイは、より小さなメモリコントローラダイの上に積み重ねられた場合に時折傾き得、そのことは、ワイヤの未接合及び／又はチップの亀裂に繋がり得る。

【図面の簡単な説明】
【０００４】
【図１Ａ】本技術の実施形態に従って構成された半導体ダイアセンブリの断面図である。
【図１Ｂ】半導体ダイアセンブリの一部の上面図である。
【図２Ａ】本技術の実施形態に従って半導体ダイアセンブリを製造する様々な段階における半導体デバイスを説明する断面図である。
【図２Ｂ】本技術の実施形態に従って半導体ダイアセンブリを製造する様々な段階における半導体デバイスを説明する断面図である。
【図２Ｃ】本技術の実施形態に従って半導体ダイアセンブリを製造する様々な段階における半導体デバイスを説明する断面図である。
【図２Ｄ】本技術の実施形態に従って半導体ダイアセンブリを製造する様々な段階における半導体デバイスを説明する断面図である。
【図２Ｅ】本技術の実施形態に従って半導体ダイアセンブリを製造する様々な段階における半導体デバイスを説明する断面図である。
【図２Ｆ】本技術の実施形態に従って半導体ダイアセンブリを製造する様々な段階における半導体デバイスを説明する断面図である。
【図３】本技術の別の実施形態に従って構成された半導体ダイアセンブリの断面図である。
【図４】本技術の別の実施形態に従って構成された半導体ダイアセンブリの断面図である。
【図５】本技術の実施形態に従って構成された半導体ダイアセンブリを含むシステムの概略図である。
【発明を実施するための形態】
【０００５】
ダイ基板拡張部を有する積み重ねられたダイアセンブリの実施形態が以下で説明される。幾つかの実施形態では、積み重ねられたダイアセンブリは、半導体ダイと、アセンブリの付加的なダイがその上に積み重ねられ得るダイ基板又は同様の支持構造を共に形成する成型材料とを含む。用語“半導体デバイス”は、一般的に、半導体材料を含む固体状態デバイスを指す。半導体デバイスは、例えば、半導体基板、ウエハ、又はウエハ若しくは基板からシンギュレーションされたダイを含み得る。開示全体を通じて、半導体デバイスは、一般的に、半導体ダイの文脈で説明されるが、半導体デバイスは半導体ダイに限定されない。
【０００６】
用語“半導体デバイスパッケージ”は、共通のパッケージ内に組み込まれた１つ以上の半導体デバイスを用いた配置を指し得る。半導体パッケージは、少なくとも１つの半導体デバイスを部分的に又は完全に封止する筐体又はケースを含み得る。半導体デバイスパッケージは、１つ以上の半導体デバイスを積載し、且つケースに取り付けられるか、さもなければ組み込まれるインターポーザ基板をも含み得る。用語“半導体デバイスアセンブリ”は、１つ以上の半導体デバイス、半導体デバイスパッケージ、及び／又は基板（例えば、インターポーザ、支持、又はその他の適切な基板）のアセンブリを指し得る。半導体デバイスアセンブリは、例えば、別個のパッケージの形式、ストリップ若しくはマトリクスの形式、及び／又はウエハパネルの形式で製造され得る。
【０００７】
本明細書で使用されるように、用語“垂直な”、“水平な”、“上部の”、及び“下部の”は、図に示した方位の視点において半導体デバイス内の機構の相対的な方向又は位置を指し得る。例えば、“上部の”又は“最上部の”は、別の機構よりもページの最上により近く位置付けられた機構を指し得る。これらの用語は、しかしながら、最上の／底の、上方の／下方の、より上の／より下の、上／下、及び左／右が方位に依存して入れ替えられ得る反転した又は傾斜した方位等、その他の方位を有する半導体デバイスを含むように広く解釈されるべきである。
【０００８】
図１Ａは、本技術の実施形態に従って構成された半導体ダイアセンブリ１００（“アセンブ

リ１００”）の断面図であり、図１Ｂはその上面図である。図１Ａを参照すると、アセンブリ１００は、第１のダイ１１０及び第２のダイ１２０を積載するパッケージ基板１０２（例えば、プリント回路基板）を含み、第１のダイ１１０は第２のダイ１２０上に積み重ねられる（纏めて、“ダイスタック１０５”）。第１のダイ１１０は、例えば、第１の外縁１１３を有する第１のダイ基板１１１（例えば、半導体基板）を有する半導体ダイであり得る。第２のダイ１２０は、周辺部分１３４と、周辺部分１３４から第２のダイ１２０の第２の外縁１２３まで広がるダイ基板拡張部１３６（“基板拡張部１３６”）とを有する半導体基板１３０（例えば、シリコン基板）を含む。第２のダイ１２０の第２の外縁１２３は、第１のダイ１１０の第１の外縁１１３から差し込まれる（例えば、第１の外縁１１３の内側にある）。以下で説明する様々な実施形態では、基板拡張部１３６は、熱硬化性材料、エポキシ樹脂、又はその他の適切な化合物等の第１の成型材料１４０から形成され得る。第１の成型材料１４０及び半導体基板１３０は、第２のダイ１２０の第２のダイ基板１２２を形成する。

【０００９】

アセンブリ１００は、パッケージ基板１０２の上方にあり、且つ保護ケース１５８を形成するようにダイスタック１０５を封止する第２の成型材料１５０（例えば、エポキシ）を更に含む。ケース１５８は、機械的支持を提供するように、及び周囲の環境を（例えば、湿度を）遮るように構成され得る。ケース１５８はまた、ワイヤボンド間の電気的絶縁を維持する。幾つかの実施形態では、ケース１５８の第２の成型材料１５０は、第２のダイ基板１２２の第１の成型材料１４０と同じであり得、又は実質的に類似し得る。

【００１０】

図１Ｂを参照すると、アセンブリ１００のケース１５８（図１Ａ）は、第１のダイ１１０、第２のダイ１２０、及びアセンブリ１００のその他のコンポーネントを更に詳細にしめすために除去されている。第１のダイ基板１１１（図１Ａ）は、第２のダイ１２０の上方の第１のダイ１１０の第１のフットプリント又は第１の外周P_1を画定する。第２のダイ基板１２２の第１の成型材料１４０が平面図形を少なくとも部分的に画定すると共に、第２のダイ基板１２２は、第２のダイ１２０の第２のフットプリント又は第２の外周P_2を画定する。第１のダイ基板１１１の第１の外縁１１３の領域がパッケージ基板１０２の一部を第１の距離d_1だけ張り出すように、及び第２のダイ基板１２２の第２の外縁１２３の領域が第１の外縁１１３を越えて第２の距離d_2に広がるように、第１の外周P_1及び第２の外周P_2は、相互に重なる。図１Ｂに説明する実施形態では、第２の距離d_2に広がる第２の外縁１２３の領域は、第１の成型材料１４０の一部と、第２のダイ１２０の半導体基板１３０の一部と含む。

【００１１】

使用中、基板拡張部１３６は、第１のダイ１１０の張り出す縁１１３を安定させ得る。様々な実施形態では、基板拡張部１３６は、第１のダイ１１０だけではなく、第１のダイ１１０上に積み重ねられた付加的なダイ（図示せず）をも安定させ得る。ダイの積み重ねられた配置は、ダイの全てがダイスタックの共通のフットプリント内に位置付けられるので、アセンブリ１００のサイズ全体を削減する。また、第１のダイ１１０の張り出し部分は、第２のダイ１２０の基板拡張部１３６によって支持されるので、第１のダイ１１０の厚さは削減され得る。幾つかの実施形態では、第１のダイ１１０はメモリダイであり得、第２のダイ１２０はコントローラダイであり得る。メモリダイは、メモリ回路を形成するように構成された集積回路コンポーネント１１７（概略的に図示される）を含み得る。コントローラダイは、典型的には、集積回路コンポーネント１２７（概略的に図示される）のよりコンパクトな及び／又はより小さい配置を有する。結果として、コントローラダイは、典型的には、メモリダイよりも小さなフットプリントを有する。より小さなコントローラダイの上により大きなメモリダイを積み重ねることの一課題は、コントローラダイ上に積み重ねられた時に適切に位置合わせされていない場合に、より大きなメモリダイが傾斜又は傾き得ることである。幾つかの実例では、傾いたダイは、保護ケースの外側に突き出し得、ダイの一部を周辺の環境に晒し得る。傾いたダイは、一般的に、チップの亀裂をよ

り多く発生させ、ワイヤボンドは、ダイの両対辺で異なる長さを有するので、傾いたダイへのワイヤボンディングはより困難であり得る。この課題に対処するための従来の一製造技術は、下部のダイが挿入され得るパッケージ基板内に空洞を形成することを含む。この技術は、しかしながら、空洞を形成するためにパッケージ基板をミリング又はエッチングすることを要するので、製造を複雑にし得、コストを増加させ得る。別の既存の解決法は、パッケージ基板１０２にスペーサ又は支持を搭載することである。

【００１２】

本技術の様々な実施形態に従って構成されたダイアセンブリは、従来の積み重ねられたダイアセンブリのこれら又はその他の制限に対処し得る。例えば、幾つかの実施形態では、下部の第２のダイ１２０の基板拡張部１３６は、第１のダイ１１０のサイズ及び／又は形状に合致するように、第２のダイ基板１２２の外周に広がり得る。第２のダイ１２０の増加したサイズは、第１のダイ１１０に付加的な支持を提供し得、それは、ダイの傾きを順次削減又は防止する。様々な実施形態では、基板拡張部１３６は、第１のダイ１１０がパッケージ基板１０２をより少量だけ張り出す又は全く張り出さないように構成され得る。幾つかの実施形態では、半導体ダイアセンブリのその他のダイは基板拡張部を含み得、又はダイスタック内の複数のダイは、スタック内の機械的支持を強化するために基板拡張部を含み得る。これらの実施形態及びその他の実施形態では、基板拡張部を有するダイを含むダイアセンブリは、千鳥状の配置、重複した方位、及び／又は異種の形状を有する、ダイ及び対応する半導体基板を収容し得る。

【００１３】

図１Ａを再び参照すると、パッケージ基板１０２は、第１のワイヤボンドコネクタ１０７ａ（例えば、ワイヤボンド）によって第１のダイ１１０上の対応するボンドパッド１０９ａに結合された複数の第１の基板パッド１０８ａを含む。図１Ｂを参照すると、第１の基板パッド１０８ａは、第２のダイ１２０の第２の外周P_2の両対辺に沿って整列される。パッケージ基板１０２は更に、第２の外周P_2の両対辺に位置付けられ、且つ第１の基板パッド１０８ａのアレイに概して垂直な方向に整列された第２の基板パッド１０８ｂを含む。第２の基板パッド１０８ｂは、第２のワイヤボンドコネクタ１０７ｂ（例えば、ワイヤボンド）によって、第２のダイ１２０の半導体基板１３０の上面１２４上の対応するボンドパッド１０９ｂに結合される。ボンドパッド１０９ａは、第１の成型材料１４０と概して位置合わせされ、このことは、ワイヤボンディングの信頼性を増加させること、及びチップの亀裂を防止することを助け得る。

【００１４】

図１Ａに更に示すように、パッケージ基板１０２は、パッケージ基板１０２の両対辺上に、及び／又はパッケージ基板１０２を通じて広がる（例えば、再配線構造体を形成する）金属トレース、ビア、又はその他の適切なコネクタ等の電気的コネクタ１０３（概略的に図示される）を含み得る。電気的コネクタ１０３は、パッケージ基板１０２の対面にパッケージ接触部１０６及び相互接続部１０４（例えば、バンプボンド）を介して外部回路（図示せず）に第１の基板パッド１０８ａ及び／又は第２の基板パッド１０８ｂ（図１Ｂ）を結合し得る。幾つかの実施形態では、電気的コネクタ１０３はまた、第１のダイ１１０と第２のダイ１２０とを電気的に相互に結合するために、個別の第１の基板パッド１０８ａを個別の第２の基板パッド１０８ｂと結合し得る。

【００１５】

第１のダイ１１０は更に、第１のダイアタッチ材料１３８（例えば、ダイアタッチフィルム）によって第２のダイ１２０に取り付けられた下面１１５を含む。図１Ａに説明する実施形態では、第１のダイアタッチ材料１３８は、第２のダイ１２０の基板拡張部１３６に取り付けられた第１の部分と、第２のダイ１２０の半導体基板１３０の上面１２４に取り付けられた第２の部分とを含む。他の実施形態では、第１のダイアタッチ材料１３８は、半導体基板１３０に取り付けられるが、基板拡張部１３６には取り付けられない（又は、その逆も同様である）。

【００１６】

第２のダイ１２０は、第２のダイアタッチ材料１３９（例えば、ダイアタッチフィルム）によってパッケージ基板１０２に取り付けられる。幾つかの実施形態では、ダイアタッチ材料１３８及び１３９は、同じ又は類似の材料から形成され得る。これら又はその他の実施形態では、ダイアタッチ材料１３８及び１３９の内の１つ以上は、被覆ワイヤ材料又はラミネートフィルム（例えば、エポキシベースの材料のラミネートフィルム）を含み得る。幾つかの実施形態では、ダイアタッチ材料は、例えば、（夫々“ＤＡＦ”又は“ＤＤＦ”として当該技術分野で周知の）ダイアタッチフィルム又はダイシングダイアタッチフィルムを含み得る。一実施形態では、ダイアタッチ材料及び／又はフィルム被覆ワイヤ材料は、中国上海のＨｅｎｋｅｌ　ＡＧ＆Ｃｏ．により提供されるＤＡＦ又はＤＤＦ（例えば、型番Ａｂｌｅｓｔｉｃｋ　ＡＴＢ－１００、１００Ｕ、１００Ａ）を各々含む。

【００１７】

第１のダイ１１０及び第２のダイ１２０の各々の半導体基板は、シリコン、シリコンオンインシュレータ、化合物半導体（例えば、窒化ガリウム）、又はその他の適切な基板等、様々な半導体材料の内の何れかから形成され得る。半導体基板は、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）、スタティックランダムアクセスメモリ（ＳＲＡＭ）、フラッシュメモリ、（メモリ、処理回路、イメージングコンポーネント、及び／又はその他の半導体デバイスを含む）集積回路デバイスのその他の形式等、様々な集積回路コンポーネント（概略的に図示される）の内の何れかを有する半導体ダイにカッティングされ得、又はシンギュレーションされ得る。選りすぐりの実施形態では、アセンブリ１００は、ダイ１１０及び１２０の内の一方又は両方がデータストレージ（例えば、ＮＡＮＤダイ）及び／又はメモリ制御（例えば、ＮＡＮＤ制御）を提供するメモリとして構成され得る。様々な実施形態では、アセンブリ１００は、第１のダイ１１０の上に積み重ねられた付加的なダイ等、付加的なダイを含み得る。幾つかの実施形態では、２つのメモリダイに代えて、アセンブリ１００は、３つ以上のメモリダイ（例えば、４つのダイ、８つのダイ等）又は唯１つのメモリダイを含み得る。更に、様々な実施形態では、アセンブリ１００のダイは異なるサイズを有し得る。例えば、幾つかの実施形態では、第１のダイ１１０の第１の外周$Ｐ_1$全体は、第２のダイ１２０の第２の外周$Ｐ_2$全体の外側であり得る。

【００１８】

図２Ａ～図２Ｆは、本技術の実施形態に従った製造の様々な段階における半導体デバイス２００を説明する断面図である。図２Ａをまず参照すると、複数の第２のダイ１２０の複数の半導体基板１３０の上面１２４は、接着剤２６５によって一時的積載部２６０に取り付けられる。一時的積載部２６０は、シリコン又はキャリアテープ等の、再利用及び／又は再生利用され得る安価な材料から作られ得る。

【００１９】

図２Ｂは、第１の成型材料１４０を用いて半導体基板１３０を封止した後の半導体デバイス２００を示す。様々な実施形態では、半導体基板１３０は、装置を成型する成型空洞（図示せず）中に受け入れられ得る。第１の成型材料１４０が溶解し、半導体基板１３０に渡って流れるように、第１の成型材料１４０は、加熱され得、空洞内に押し込まれ得る。第１の成型材料１４０は、その後、冷却して固まることが可能であり得る。一旦固まると、第１の成型材料１４０は、図２Ｃに示すように、第１の成型材料１４０上の第１の外面２２５ａを画定するように、（例えば、バックグラインドを介して）薄くされ得る。第１の成型材料１４０を薄くすることはまた、対応する半導体基板１３０の第２の外面２２５ｂ（例えば、裏面）を露出する。第１の成型材料１４０及び半導体基板１３０は、薄くした後に実質的に同一平面にあり得る。

【００２０】

図２Ｄは、第１の成型材料１４０及び半導体基板１３０の外面２２５ａ及び２２５ｂの上方に第２のダイアタッチ材料１３９が形成された後、及び第２のダイアタッチ材料１３９の上方に移送構造体２７０を形成した後の反転した方位における半導体デバイス２００を示す。移送構造体２７０は、例えば、ダイアタッチテープを含み得る。幾つかの実施形態では、一時的積載部２６０及び接着剤２６５は、図２Ｅに示すように、移送構造体２７０

を形成した後に除去され得る。

【００２１】

図２Ｅは、第２のダイ１２０のシンギュレーション後の半導体デバイス２００を示す。シンギュレーション中、第１の成型材料１４０は、ダイシングレーン２７２において第２のダイアタッチ材料１３９と共にカッティングされ得る。シンギュレーションは、第２のダイ１２０の基板拡張部１３６を画定する。シンギュレーションは、基板拡張部１３６を画定し、且つ機械的に分離するためのその他の適切なプロセスと共に、ブレード、ソー、又はレーザのカッティングプロセスを含み得る。幾つかの実施形態では、第１の成型材料１４０が対応する半導体基板１３０を完全に取り囲むように、第２のダイ１２０はシンギュレーションされ得る。その他の実施形態では、第２のダイ１２０は、ダイの全ての縁よりも少ない周囲に成型材料が広がるようにシンギュレーションされ得る。

【００２２】

幾つかの実施形態では、第２のダイ１２０は、デバイスの取り扱いを容易にするために、後続のプロセス段階中に移送構造体２７０上に留められ得る。シンギュレーションされた第２のダイ１２０の製造は、デバイスの検査又は組み立て等のその他の製造段階に続き得る。図２Ｆを参照すると、シンギュレーションされたダイアタッチ材料１３９は、切り離された第２のダイ１２０の上に留まると共に、第２のダイ１２０は、移送構造体２７０から除去され得る（１つのみ図示する）。第２のダイ１２０は、半導体基板１３０と基板拡張部１３６とを含み、それらは、第２のダイ基板１２２を共に形成する。シンギュレーションされたダイアタッチ材料１３９は、第２のダイ１２０をパッケージ基板１０２（図１Ａ）に取り付けるために使用され得る。第２のダイ１２０は、ダイスタック１０５を形成するために、第１のダイアタッチ材料１３８（図１Ａ）によって第１のダイ１１０（図１Ａ）に取り付けられ得る。第２の成型材料１５０（図１Ａ）等の封止材料（図示せず）は、上で説明したように、ワイヤボンディング後にダイ１１０及び１２０を入れるためにダイスタック及びパッケージ基板１０２に渡って流れ得る。

【００２３】

図３は、本技術の別の実施形態に従って構成された半導体ダイアセンブリ３００（“アセンブリ３００”）の断面図である。アセンブリ３００は、上で詳細に説明したアセンブリ１００の機構と概して類似する機構を含み得る。例えば、アセンブリ３００は、半導体基板３３０及び基板拡張部から形成されたダイ基板３２２を有する中間ダイ３２０を含む。図３に説明する例では、基板拡張部は、半導体基板３３０の対縁３３２ａ及び３３２ｂに夫々隣接する第１及び第２の拡張部分３３６ａ及び３３６ｂを含む。

【００２４】

図３に更に示すように、アセンブリ３００は、パッケージ基板１０２に搭載された下部のダイ３８２ａ及び３８２ｂのスタック（纏めて“下部のダイスタック３８２”）を含む。中間ダイ３２０は、下部のダイスタック３８２の最上部のダイ３８２ａに取り付けられる。下部のダイ３８２ａ及び３８２ｂは、最上部のダイ３８２ａがパッケージ基板１０２の一部を張り出すようにずれ、中間ダイ３２０の一部は、最上部のダイ３８２ａの外周を越えて広がる。

【００２５】

アセンブリ３００は更に、中間ダイ３２０により積載された上部のダイ３８５ａ～ｃのスタック（纏めて“上部のダイスタック３８５”）を含む。上部のダイスタック３８５は、パッケージ基板１０２を部分的に張り出し、下部のダイスタック３８２と同様の方法ではあるが、反対方向にずれる。第１の拡張部分３３６ａは、パッケージ基板１０２を張り出し、上部のダイスタック３８５の最下部のダイ３８５ｃの下で、半導体基板３３０の第１の縁３３２ａから突き出る。第１の拡張部分３３６ａは、上で説明した方法と同様の方法でスタックの傾斜又は傾きを防止又は削減するように、張り出す上部のダイスタック３８５を支持し得る。

【００２６】

第２の拡張部分３３６ｂは、下部のダイスタック３８２の最上部のダイ３８２ａの隣接部

分の上方で、半導体基板３３０の第２の縁３３２ｂから広がる。様々な実施形態では、第２の拡張部分３３６ｂは、下部のダイスタック３８２への取り付けを容易にするように、中間ダイ３２０の搭載面のサイズを増加させ得る。図３に説明する実施形態では、第２の拡張部分３３６ｂは、第１の拡張部分３３６ａよりも小さな外形を有する。他の実施形態では、第２の拡張部分３３６ｂは、第１の拡張部分３３６ａよりも大きくでき、又は第２の拡張部分３３６ｂは、第１の拡張部分３３６ａと同じ形状及び／又はサイズを有し得る。幾つかの実施形態では、第２の拡張部分３３６ｂは省かれ得る。

【００２７】

図４は、本技術の別の実施形態に従って構成された半導体ダイアセンブリ４００（“アセンブリ４００”）の断面図である。アセンブリ４００は、上で詳細に説明したダイアセンブリの機構と概して類似する機構を含み得る。例えば、アセンブリ４００は、下部のダイスタック３８２と、下部のダイスタック３８２に搭載された中間ダイ３２０と、中間ダイ３２０に搭載された上部のダイスタック３８５とを含む。図４に示す配置では、アセンブリ４００は、上部のダイスタック３８５により積載されたコントローラダイ４３１を含む。幾つかの実施形態では、中間ダイ３２０並びに下部及び上部のダイスタック３８２及び３８５はメモリダイを含み得る。これら又はその他の実施形態では、アセンブリ４００は、メモリカードとして構成され得る。例えば、アセンブリ４００は、ホストデバイス（図示せず）のメモリスロット（図示せず）中に受け入れられ得る筐体４５８及びパッケージ基板４０２を含み得る。筐体４５８は、アセンブリ４００のダイを入れる成型材料４５０から形成され得る。成型材料４５０は、ホストデバイス内に取り付けられた時にメモリスロットに隣接する外側の突出物又はフックタブ４５６を画定するように成型され得る。パッケージ基板４０２は、筐体４５８内のダイに電気的に接続された外部端子４０４（図４には１つの端子のみを見せる）を含み得る。

【００２８】

図１～図４を参照しながら上で説明した積み重ねられた半導体ダイアセンブリの内の何れか１つは、無数のより大きな及び／又はより多くの複合システムの内の何れかに組み込まれ得、その代表例は、図５に概略的に示されたシステム５９０である。システム５９０は、半導体ダイアセンブリ５００、電源５９２、ドライバ５９４、プロセッサ５９６、及び／又はその他のサブシステム若しくはコンポーネント５９８を含み得る。半導体ダイアセンブリ５００は、上で説明した積み重ねられた半導体ダイアセンブリの機構と概して類似する機構を含み得る。もたらされるシステム５９０は、メモリストレージ、データ処理、及び／又はその他の適切な機能等、多種多様な機能の内の何れかを実施し得る。したがって、代表的なシステム５９０は、携帯デバイス（例えば、携帯電話、タブレット、デジタルリーダ、及びデジタルオーディオプレーヤー）、コンピュータ、及び電化製品を非限定的に含み得る。システム５９０のコンポーネントは、単一のユニットに収容され得、又は相互接続された複数のユニットに渡って（例えば、通信ネットワークを通じて）分散され得る。システム５９０のコンポーネントはまた、遠隔デバイスと、多種多様なコンピュータ可読媒体の内の何れかとを含み得る。

【００２９】

上述したことから、技術の具体的実施形態は、説明の目的で本明細書に記述されているが、開示から逸脱することなく様々な変更がなされ得ることが分かるであろう。また、特定の実施形態の文脈で説明した新たな技術の幾つかの側面はまた、その他の実施形態では組み合わせられてもよく、又は省かれてもよい。更に、新たな技術の幾つかの実施形態と関連する利点は、それらの実施形態の文脈で説明されているが、その他の実施形態もこうした利点を示してもよく、本技術の範囲内にあるために、全ての実施形態がこうした利点を必ずしも示す必要はない。したがって、開示及び関連する技術は、本明細書に明白には示されない又は説明されないその他の実施形態を包含し得る。

【図面】

【図１Ａ】

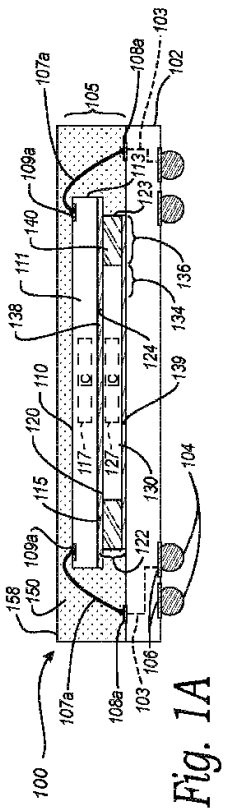


Fig. 1A

【図１Ｂ】

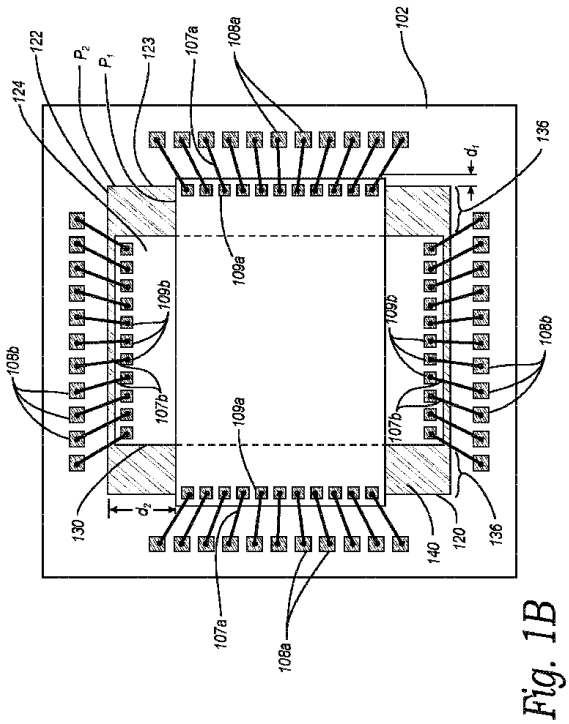


Fig. 1B

【図２Ａ】

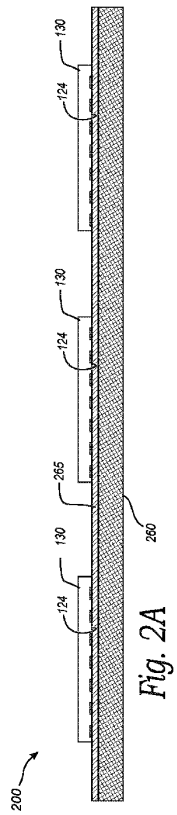


Fig. 2A

【図２Ｂ】

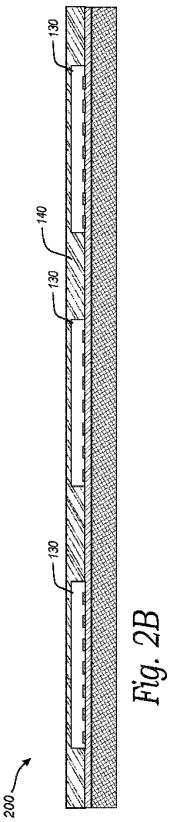


Fig. 2B

【図２Ｃ】

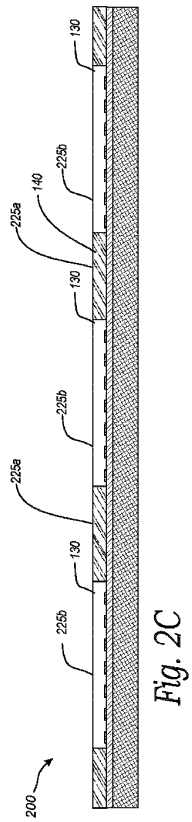


Fig. 2C

【図２Ｄ】

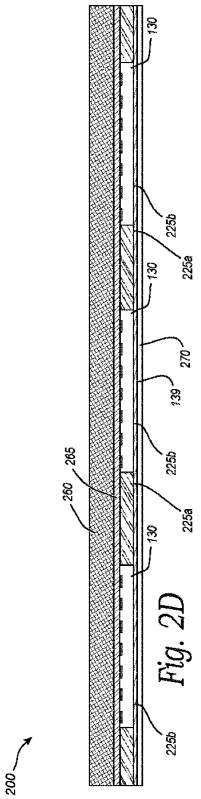


Fig. 2D

【図２Ｅ】

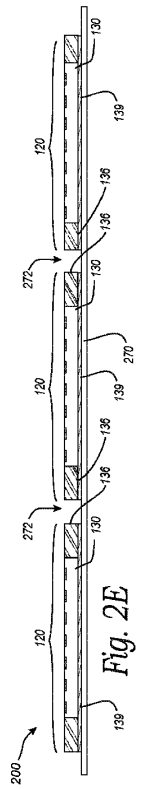


Fig. 2E

【図２Ｆ】

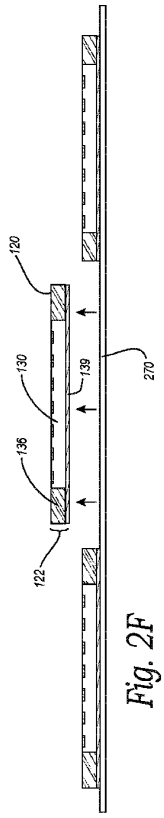


Fig. 2F

【図３】

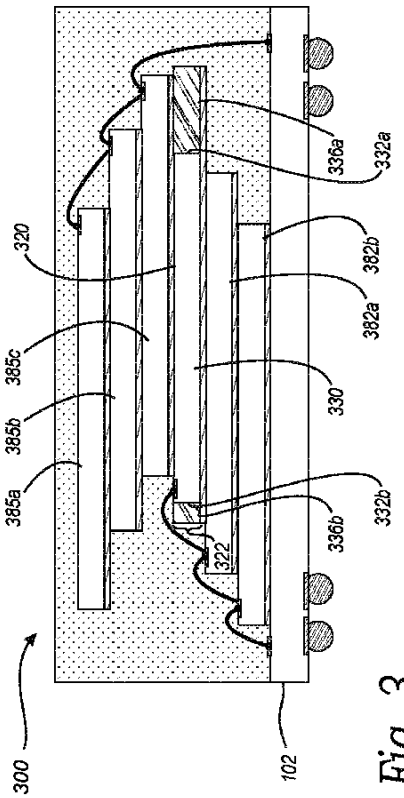


Fig. 3

【図４】

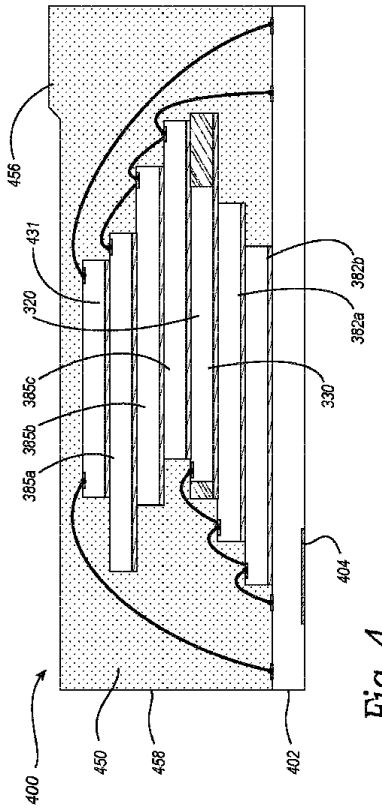
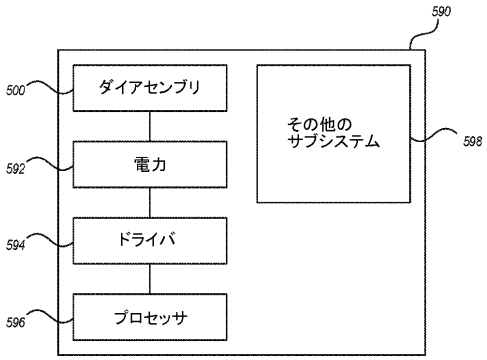


Fig. 4

【図５】



フロントページの続き

秋田県秋田市雄和石田山田８９－２ マイクロン秋田株式会社内

審査官 井上 和俊

(56)参考文献 国際公開第２０１３／１５３７４２（WO，Ａ１）
米国特許出願公開第２０１３／０１４７０６２（ＵＳ，Ａ１）
特開２００２－３７３９６８（ＪＰ，Ａ）
米国特許第０６３３７２２６（ＵＳ，Ｂ１）

(58)調査した分野 (Int.Cl.，ＤＢ名)
Ｈ０１Ｌ ２５／０６５