

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年6月12日 (12.06.2008)

PCT

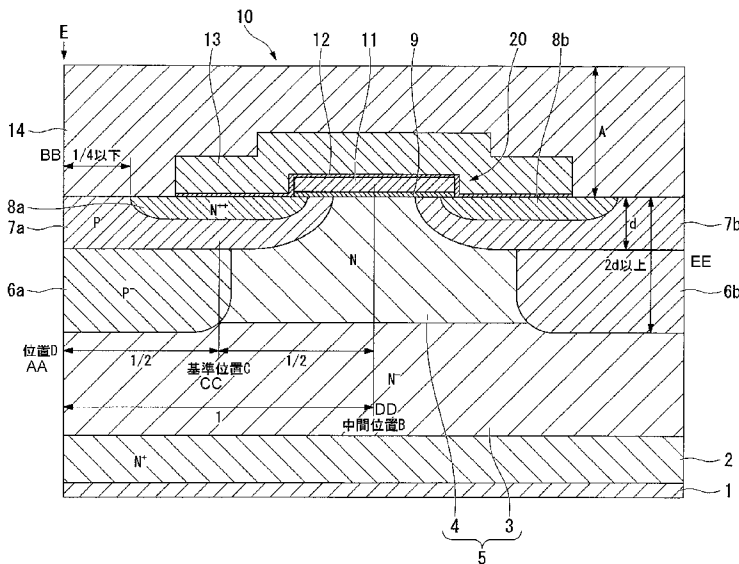
(10) 国際公開番号
WO 2008/069309 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2007/073676
- (22) 国際出願日: 2007年12月7日 (07.12.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-330270 2006年12月7日 (07.12.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町2丁目2番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 宮腰 宣樹 (MIYAKOSHI, Nobuki) [JP/JP]; 〒3570036 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP).
- (74) 代理人: 志賀 正武, 外 (SHIGA, Masatake et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法



AA. POSITION D
 BB. 1/4 OR LESS
 CC. REFERENCE POSITION C
 DD. INTERMEDIATE POSITION B
 EE. 2d OR MORE

(57) Abstract: A semiconductor device is provided with a reference concentration layer containing a first conductivity type impurity at a first reference concentration; a drift layer, which is arranged on a lower surface of the reference concentration layer, and is composed of a low concentration layer containing the first conductivity type impurity at a concentration lower than the first reference concentration; a gate electrode formed on an upper surface of the reference concentration layer; a pair of source regions, which are arranged in the vicinity of the end portions of the gate on a surface of the reference concentration layer and contain the first conductivity type impurity at a concentration higher than the first reference concentration; a pair of base regions, which surround a diffusion layer outer surface of each source region, and contain a second conductivity type impurity at a second reference concentration; a source electrode electrically connected to the source region and the base region; a depletion layer

extended region, which is arranged in the reference concentration layer at a lower portion of the diffusion layer of the base region, and includes the second conductivity type impurity at a concentration lower than the second reference concentration; a drain layer, which is arranged on a lower surface of the low concentration layer, and contains the first conductivity type impurity at a concentration higher than the first reference concentration; and a drain electrode, which is arranged on a lower surface of the depletion layer extended region, and has a voltage applied between the drain layer and the source electrode. A lower surface of the depletion layer extended region is formed deeper than the interface position between the low concentration layer and the reference concentration layer to enter the low concentration layer.

[続葉有]



WO 2008/069309 A1



SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

添付公開書類:
— 国際調査報告書

(57) 要約: 本発明の半導体装置は、第1導電型の不純物を第1基準濃度で含む基準濃度層、及び該基準濃度層の下面に設けられ第1基準濃度よりも低い濃度で第1導電型の不純物を含む低濃度層から構成されるドリフト層と、基準濃度層の上面に形成されたゲート電極と、基準濃度層の表面において、ゲートのそれぞれの端部の近傍に設けられ、第1の基準濃度よりも高い濃度の第1導電型の不純物を含む一対のソース領域と、ソース領域各々の拡散層外面を囲む、第2導電型の不純物を第2基準濃度で含む一対のベース領域と、ソース領域及びベース領域に電気的に接続されたソース電極と、ベース領域の拡散層の下部における基準濃度層内に設けられ、第2基準濃度より低い濃度の第2導電型の不純物を含む空乏層伸長領域と、低濃度層の下面に設けられ、第1基準濃度より高い濃度で第1導電型の不純物を含むドレイン層と、該ドレイン層の下面に設けられ、ソース電極との間で電圧が印加されるドレイン電極とを有し、空乏層伸長領域の下面が低濃度層および基準濃度層の界面位置より深く、低濃度層に入り込んで形成されている。

明 細 書

半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置およびその製造方法に関するものであり、特に電界効果型トランジスタ(MOSFET)の微細化に関する。

本願は、2006年12月07日に、日本に出願された特願2006-330270号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 半導体装置として特許文献1に開示されたNチャネル型電界効果型トランジスタ(MOSFET)は、当該文献1の図1に示されているように、N+型半導体基板21上にNドレイン層22と、該ドレイン層上に離間して対向するP-型電界緩和層31と、該電界緩和層31の表面に当該電界緩和層より高濃度のP型ベース領域24と、ベース領域の表面にN+型ソース領域26および高濃度のP+型拡散層25と、対向する電界緩和層31間に中濃度のN型接続領域23aおよび該N型接続領域23aの表面にN-型接続領域23bとを備えている。

[0003] 更に特許文献1の半導体装置は、ソース領域26の一部、ベース領域24、電界緩和層31およびN-型接続領域23b上にゲート酸化膜28aを介してゲート電極27と、ソース領域26と電氣的に接続されたソース電極29と、更にN+型半導体基板21ドレイン電極30とを備えている。

[0004] 前記した構成を備えた半導体装置は、ソース電極26およびドレイン電極間30に電圧が印加された状態で、ゲート電極27に制御電圧が印加されると、当該ゲート電極27下のベース領域24の表面および電界緩和層31の表面のチャンネルに電流が流れる。

特許文献1:特許第3484690号公報

発明の開示

発明が解決しようとする課題

[0005] しかしながら、上述した従来の半導体装置は、高耐圧化を図るべく、次のような構成

を採用している。すなわち従来の半導体装置は、空乏層の広がりによる電界集中を緩和するための電界緩和層31が表面を除くベース領域24の全体を覆うように形成されている。つまり従来の半導体装置は、ベース領域24の底面のみならず、ベース領域24の側面も覆うことから、対向する電界緩和層31との間隔が狭くなる。

[0006] すなわち、ベース領域24の側面を覆う電界緩和層31により、接続領域23aおよび23b間の幅間隔が狭くなり、形成されるMOSFETのオン抵抗が高くなってしまふ。

そのため、オン抵抗を低減するため、接続領域23aおよび23b間の幅寸法を広くすることが考えられるが、広げた接続領域23aおよび23b間の幅寸法によって、対向するP型電界緩和層31間のスペースを狭くすることができず、MOSFETの微細化が行えないことが問題となっていた。

[0007] 従って、本発明は上記した事情に鑑みてなされたものであり、本発明の目的は、高耐圧であり、MOSFETの微細化が可能な半導体装置を提供することにある。

課題を解決するための手段

[0008] 本発明の半導体装置は、第1導電型の不純物を第1基準濃度で含む基準濃度層、及び該基準濃度層の下面に設けられ前記第1基準濃度よりも低い濃度で前記第1導電型の不純物を含む低濃度層から構成されるドリフト層と、前記基準濃度層の上面に形成されたゲート電極と、前記基準濃度層の表面において、該ゲートのそれぞれの端部の近傍に設けられ、前記第1の基準濃度よりも高い濃度の第1導電型の不純物を含む一対のソース領域と、該ソース領域各々の拡散層外面を囲む、第2導電型の不純物を第2基準濃度で含む一対のベース領域と、前記ソース領域及び前記ベース領域に電氣的に接続されたソース電極と、該ベース領域の拡散層の下部における前記基準濃度層内に設けられ、前記第2基準濃度より低い濃度の第2導電型の不純物を含む空乏層伸長領域と、前記低濃度層の下面に設けられ、前記第1基準濃度よりも高い濃度で第1導電型の不純物を含むドレイン層と、該ドレイン層の下面に設けられ、前記ソース電極との間で電圧が印加されるドレイン電極とを有しており、前記空乏層伸長領域が、当該領域の下面が前記低濃度層および前記基準濃度層の界面位置より深く、前記低濃度層に入り込んで形成されていることを特徴とする。

[0009] 本発明の半導体装置は、前記空乏層伸長領域が、前記基準濃度層の表面から当

該空乏層伸長領域の下面までの深さ寸法を、前記基準濃度層の表面からベース領域の底面までの深さ寸法の2倍以上として形成されていることを特徴とする。

[0010] 本発明の半導体装置は、前記空乏層伸長領域が、前記ベース領域の拡散層の底面の平坦な部分に接して設けられていることを特徴とする。

[0011] 本発明の半導体装置は、前記ソース電極とドレイン電極との間に印加された逆バイアスの電圧が増加する過程にて、前記ベース領域と基準濃度領域との界面から空乏層Aが伸び、空乏層伸長領域と基準濃度領域との界面から空乏層Bが伸びる際、対向するベース領域及び空乏層伸長領域双方から延びる空乏層A、空乏層Bが対向距離の midpoint にて結合する対称位置に、前記ベース及び前記空乏層伸長領域が形成されていることを特徴とする。

[0012] 本発明の半導体装置は、前記ソース電極とドレイン電極との間に印加された逆バイアスの電圧が増加する過程にて、前記ベース領域と基準濃度領域との界面から空乏層Aが伸び、空乏層伸長領域と基準濃度領域との界面から空乏層Bが伸び、前記空乏層伸長領域と前記低濃度層との界面から空乏層Cが伸びる際、対向するベース領域及び空乏層伸長領域双方から延びる空乏層A、空乏層Bの対向距離の midpoint における結合が、前記空乏層Cが前記ソース領域または前記ドレイン層のいずれかに達する前に起こることを特徴とする。

[0013] 本発明の半導体装置は、前記空乏層A、B及びCのそれぞれ対応するPN接合が絶縁破壊を起こす電界強度に達するまで、前記各空乏層内の電界を同様の強度とするよう空乏層を伸張させる厚さ及び不純物濃度により、ベース領域、空乏層伸張領域、基準濃度層及び低濃度層の各拡散領域が形成されていることを特徴とする。

[0014] 本発明の半導体装置は、一对の前記空乏層伸長領域双方が、前記ゲート下の前記ドリフト層を介して対向しており、該対向距離の $1/2$ の位置を中間位置とし、該中間位置から当該空乏層伸長領域の対向する端部に対して逆の端部までの距離の $1/2$ の位置を基準位置とした際、前記空乏層伸長領域の対向する端部が、前記基準位置近傍に形成されていることを特徴とする。

[0015] 本発明の半導体装置は、前記空乏層伸長領域の端部が、ベース領域と接する上部が前記基準位置より前記中間位置側に突出し、前記低濃度層と接する下部が前

記基準位置より前記逆の端部側に突出して形成されていることを特徴とする。

- [0016] 本発明の半導体装置は、前記空乏層伸長領域の対向する端部が、前記ドリフト層を介して対向する側面が平行であり、前記端部の下側が湾曲して形成されていることを特徴とする。
- [0017] 本発明の半導体装置の製造方法は、第1導電型の不純物を所定濃度で含むドレイン層と、該ドレイン層の上面に設けられ、前記所定濃度よりも低い濃度で前記第1導電型の不純物を含む低濃度層とから構成される半導体基板を用いて半導体装置を形成する製造方法であり、前記低濃度層の不純物濃度より高い第1基準濃度により、第1導電型の不純物を前記低濃度層へ注入し、熱拡散して基準濃度層とすることで、該基準濃度層及び前記低濃度層からなるドリフト層を形成する工程と、第2導電型の不純物を、前記基準濃度層における一定間隔離れた領域に注入し、空乏層伸長領域を形成する工程と、前記空乏層伸長領域に注入された第2導電型の不純物を活性化するための熱拡散を行う拡散工程と、前記半導体基板上に酸化膜を形成した後、ポリシリコン層を堆積し、前記空乏層伸長領域間にゲートパターンを形成する工程と、前記ゲートパターンをベース領域を形成するためのマスクとし、前記空乏層伸長領域よりも高い濃度の第2基準濃度により、第2導電型の不純物を注入し、熱拡散を行いベース領域を形成する工程と、前記ゲートパターンをソース領域を形成するためのマスクとして用い、第1導電型の不純物を前記第1基準濃度より高い濃度により、前記ベース領域内へ注入し、熱拡散を行いソース領域を形成する工程とを有し、前記空乏層伸長領域の下面が前記低濃度層および前記基準濃度層の界面位置より深く、前記低濃度層に入り込む深さに形成されることを特徴とする。
- [0018] 本発明の半導体装置の製造方法は、前記ソース領域の不純物拡散面が前記ベース領域に覆われ、また、前記空乏層伸長領域が、前記ベース領域の拡散層の底面の平坦な部分に接して形成されていることを特徴とする。
- [0019] 本発明の半導体装置の製造方法は、前記空乏層伸長領域が前記ゲートパターン下において前記基準濃度層を介して対向して形成され、該空乏層伸長領域双方の対向距離の $1/2$ の位置を中間位置とし、該中間位置から当該空乏層伸長領域の対向する端部に対して逆の端部までの距離の $1/2$ の位置を基準位置とした際、前記

空乏層伸長領域の対向する端部が、前記基準位置近傍に形成されていることを特徴とする。

- [0020] 本発明の半導体装置の製造方法は、前記空乏層伸長領域が、前記低濃度層の表面に所定形状のマスクパターンを形成し、該マスクパターンに設けられた開口から前記第2導電型の不純物をイオン注入して拡散することで形成されており、前記マスクパターンが、前記基準位置に対してゲートパターン方向と逆方向に、前記中間位置と基準位置との距離の1/2以上離れて開口されていることを特徴とする。

発明の効果

- [0021] 本発明の半導体装置は、ソース領域を覆う各ベース領域の底面のみが当該ベース領域より低濃度で第2導電型の不純物を含む空乏層伸長領域で覆われ、ベース領域の側面が空乏層伸長領域で覆わないことから、対向するベース領域間の離間間隔が空乏層伸長領域の形成により狭くなることはない。

すなわち、従来のようにベース領域の側面に空乏層伸長領域(特許文献1の電界緩和層)を形成した場合には、ベース領域を覆う空乏層伸長領域間において所定の離間間隔を確保するために、半導体装置の幅を広げる必要がある。

- [0022] 一方、本発明の半導体装置は、ベース領域の拡散層の側面、すなわち対向する横方向に空乏層伸長領域が形成されていないため、対向するベース領域間において所定の離間間隔を確保すればよく、対向するソース領域間の離間間隔を従来例と比較して微細化できる。

より具体的には、本発明においては、半導体装置のオン抵抗を増加させることなく、ソース領域を覆うベース領域の間隔を、従来と比較して低減することができ、半導体装置の微細化が行える。

- [0023] また、本発明の半導体装置は、ベース領域の底面下にのみ空乏層伸長領域を形成すればよく、ベース領域の側面を覆うように形成する必要がない。

これにより、本発明においては、拡散させる不純物を広域に亘って注入する必要がなく、第1基準濃度と深さとの兼ね合いにより、指向性を有して不純物を深く注入することができ、ベース領域の拡散層底部の直下に空乏層伸長領域を十分な厚さの拡散層として形成でき、逆バイアスが印加された際、十分に空乏層を伸長させることがで

きる。

[0024] また、本発明の半導体装置は、空乏層伸長領域の下面が低濃度層および基準濃度層の界面位置より深く、基準濃度層の表面から空乏層伸長領域の下面までの深さ寸法が、基準濃度層の表面からベース領域の底面までの深さ寸法の2倍以上を有し、かつベース領域よりも低い濃度で形成されている。

これにより、本発明の半導体装置は、第1導電型および第2導電型の接合(PN接合)から広がる空乏層を空乏層伸長領域に十分に伸長させることができ、伸長する空乏層により電界を緩和することができる。

したがって、本発明の半導体装置は、電界を緩和することにより、電界集中によって起こる耐圧の低下を抑制することができ、良好な耐圧特性を得ることができる。

図面の簡単な説明

[0025] [図1]半導体装置の断面構造を示す概念図である。

[図2A]半導体装置の製造方法を示す図である。

[図2B]半導体装置の製造方法を示す図である。

[図3A]半導体装置の製造方法を示す図である。

[図3B]半導体装置の製造方法を示す図である。

[図3C]半導体装置の製造方法を示す図である。

[図3D]半導体装置の製造方法を示す図である。

[図4A]半導体装置の製造方法を示す図である。

[図4B]半導体装置の製造方法を示す図である。

[図5A]半導体装置の製造方法を示す図である。

[図5B]半導体装置の製造方法を示す図である。

[図6A]半導体装置の製造方法を示す図である。

[図6B]半導体装置の製造方法を示す図である。

[図6C]半導体装置の製造方法を示す図である。

[図7]本発明の半導体装置および従来の半導体装置の性能特性の比較を示すグラフである。

[図8]シミュレーションに用いた従来の半導体装置の断面構造を示す概念図である。

[図9]シミュレーションにおける従来構造のMOSFETの耐圧の電圧を示すグラフである。

[図10]図8の断面のS1-S1'の線の位置における深さ方向の不純物濃度を示すグラフである。

[図11]図8の断面のS2-S2'の線の位置における深さ方向の不純物濃度を示すグラフである。

[図12]図8の構造をシミュレーションのためにモデル化したものである。

[図13A]逆バイアス(5V)を印加した際の図12の出力点における電界強度を示すグラフである。

[図13B]逆バイアス(5V)を印加した際の図12の出力点における電界強度を示すグラフである。

[図14A]逆バイアス(30V)を印加した際の図12の出力点における電界強度を示すグラフである。

[図14B]逆バイアス(30V)を印加した際の図12の出力点における電界強度を示すグラフである。

[図15A]逆バイアス(300V)を印加した際の図12の出力点における電界強度を示すグラフである。

[図15B]逆バイアス(300V)を印加した際の図12の出力点における電界強度を示すグラフである。

[図16A]逆バイアス(610)を印加した際の図12の出力点における電界強度を示すグラフである。

[図16B]逆バイアス(610)を印加した際の図12の出力点における電界強度を示すグラフである。

[図17]シミュレーションに用いた本実施形態の半導体装置の断面構造を示す概念図である。

[図18]シミュレーションにおける本実施形態のMOSFETの耐圧の電圧を示すグラフである。

[図19]図17の断面のS1-S1'の線の位置における深さ方向の不純物濃度を示すグ

ラフである。

[図20]図17の断面のS2-S2'の線の位置における深さ方向の不純物濃度を示すグラフである。

[図21]図17の構造をシミュレーションのためにモデル化したものである。

[図22A]逆バイアス(5V)を印加した際の図21の出力点における電界強度を示すグラフである。

[図22B]逆バイアス(5V)を印加した際の図21の出力点における電界強度を示すグラフである。

[図23A]逆バイアス(20V)を印加した際の図21の出力点における電界強度を示すグラフである。

[図23B]逆バイアス(20V)を印加した際の図21の出力点における電界強度を示すグラフである。

[図24A]逆バイアス(300V)を印加した際の図21の出力点における電界強度を示すグラフである。

[図24B]逆バイアス(300V)を印加した際の図21の出力点における電界強度を示すグラフである。

[図25A]逆バイアス(660)を印加した際の図21の出力点における電界強度を示すグラフである。

[図25B]逆バイアス(660)を印加した際の図21の出力点における電界強度を示すグラフである。

[図26]逆バイアス(610)を印加した際の従来例における各部のPN接合における電界強度を示したグラフである。

[図27]逆バイアス(660)を印加した際の本実施形態における各部のPN接合における電界強度を示したグラフである。

符号の説明

- [0026]
- 1 ドレイン電極
 - 2 ドレイン層
 - 3 低濃度層

- 4 基準濃度層
- 5 ドリフト層
- 6a, 6b 空乏層伸長領域
- 7a, 7b ベース領域
- 8a, 8b ソース領域
- 9 ゲート酸化膜
- 10 半導体装置
- 11 ポリシリコン層
- 12 酸化膜
- 13 PSG
- 14 ソース電極
- 20 ゲート

発明を実施するための最良の形態

[0027] 本発明の半導体装置は、ゲートによって電流を制御するMOSFET(電界効果型トランジスタ)であり、該MOSFETとして構成が並列的に配置され、複数のMOSFET構成を備えている。尚、並列配置された各MOSFET構成は、同一の構成であることから、本実施例ではMOSFET構成の一つを代表例に以降の説明を行なう。

[0028] 本発明の半導体装置10は、図1に示すように第1導電型としてn型の不純物を所定の第1基準濃度で含む基準濃度層4、およびこの基準濃度層4に比較して低濃度のn型の不純物を含む低濃度層3から成るドリフト層5と、基準濃度層4の表面上に形成されるゲート20とを有している。また、このゲート20の形成された上記基準濃度層4の表面近傍に、所定の離間間隔を有してゲート電極20の対向する端部近傍の半導体基板表面に、それぞれ設けられた一对の拡散領域であり、第1基準濃度より高い濃度のn型の不純物を含むソース領域8a及び8bが形成されている。

このソース領域8a及び8bそれぞれと低濃度層3との間には、このソース領域8a及び8b各々を覆う拡散層として、第2導電型であるp型の不純物を第2基準濃度にて含んだベース領域7a、7bそれぞれが形成されている。

さらに、本実施形態による半導体装置10は、上記ベース領域7a、7b各々の拡散

層の底面領域にp型の不純物を第2基準濃度より低濃度で含んだ空乏層伸張領域6a、6bがそれぞれ設けられている。ここで、底面領域とは、例えば、ベース領域7a及び7bの拡散層の場合、半導体基板表面に対して平行となる、ベース領域7a及び7bにおける拡散層底部の平面領域の面を示している。

上記空乏層伸張領域6は、拡散層の下面が基準濃度層4と低濃度層3との界面に対して、低濃度層3側に食い込む形状、すなわち、上記拡散層下面(空防伸張領域6及び低濃度層3の界面)が低濃度層3と基準濃度層4との界面位置より深く形成されている。

[0029] ソース電極14は、それぞれ上記ソース領域8a、8b及びベース領域7a及び7bに電気的に接続されている。

ドレイン電極1は、上記ソース電極14との間で電圧が印加される電極であり、半導体装置における半導体基板の裏面側に設けられている。

また、上記ドレイン電極1と低濃度層3との間には、第1基準濃度より高い濃度でn型の不純物を含むドレイン層2が設けられている。

[0030] 上述した構成の本実施形態のMOSFETは、上記ソース電極14およびドレイン電極1との間に電圧が印加され、ゲート20に制御電圧を印加することにより、ソース領域8に隣接するソース領域8を覆うベース領域7にチャンネル(反転層)が形成され、ソース電極14とドレイン電極1との間にドリフト層5及びドレイン層2を介して電流が流れる。

[0031] また、上記ドリフト層5の基準濃度層4は、n型の不純物として例えばリンを $1 \times 10^{16} \text{ cm}^{-3}$ の表面濃度で含み、層の厚さが約 $6 \sim 7 \mu\text{m}$ で形成されている。また、低濃度層3は、n型の不純物として例えばリンを $3 \times 10^{14} \text{ cm}^{-3}$ の濃度で含み、層の厚さが約 $40 \mu\text{m}$ で形成されている。

また、ドレイン層2は、n型の不純物として、例えばリン又はアンチモンを $1 \times 10^{20} \text{ cm}^{-3}$ の濃度で含み、層の厚さが約 $200 \sim 300 \mu\text{m}$ で形成されている。

[0032] ソース電極14各々は、位置Aにおいて、アルミニウムを主とする材料により形成されており、例えば $4 \mu\text{m}$ の厚さ寸法を有して形成されている。

また、ドレイン電極1は、Ti-Ni-Agなどの多層金属膜により形成され、厚さが例

えば多層金属膜全体にて $0.5\mu\text{m}$ を有するように形成されている。

[0033] ゲート20は、図1に示すように、基準濃度層4の表面上に形成されており、その形成位置が、基準濃度層4の表面近傍に形成された一对のソース領域8において離間する位置に対応する基準濃度層4の表面上に形成されている。

[0034] ゲート20は、順に積層されたゲート酸化膜9およびポリシリコン層11を有し、更に積層するこれらの表面を覆う酸化膜12を有している。積層するゲート酸化膜9およびポリシリコン層11の表面を覆う酸化膜12は、ソース領域8上の一部に渡って延在しており、当該酸化膜12上には絶縁性を有する層間絶縁膜としてのPSG13が形成されている。PSG13を形成することで、後述するソース電極14およびゲート20が電氣的に接続することを防止することができる。

[0035] ところで、ゲート20のゲート酸化膜9は例えば $0.1\mu\text{m}$ の厚さ寸法、ポリシリコン層11は例えば $0.5\mu\text{m}$ の厚さ寸法で形成されている。また酸化膜12は例えば $0.05\mu\text{m}$ の厚さ寸法、PSG13は例えば $1\mu\text{m}$ の厚さ寸法を有して形成されている。

[0036] ゲート20下の基準濃度層4の表面近傍において離間して対向するソース領域8a(8b)は、約 $4\sim 6\mu\text{m}$ の離間間隔を有して形成されており、該ソース領域8a(8b)は、n型として例えば砒素(As)を、 $2\times 10^{20}\text{cm}^{-3}$ の表面濃度で含んでおり、約 $0.3\mu\text{m}$ の深さ寸法を有して形成されている。

[0037] ソース領域8a(8b)を覆うベース領域7a(7b)は、ドリフト層5の基準濃度層4を介して対向しており、当該ベース領域7はp型として例えばホウ素(B)を $3\times 10^{17}\text{cm}^{-3}$ の表面濃度で含み、約 $2\mu\text{m}\sim 2.5\mu\text{m}$ の深さ寸法を有して形成されている。

[0038] ベース領域7a(7b)および該ベース領域7a(7b)の底面下に形成される空乏層伸長領域6a(6b)は、ゲート20直下のドリフト層5を介して対向するように形成されている。ベース領域7aと7bとの間隔、すなわちベース領域7a及び7b間に挟まれたドリフト層5の横幅寸法を、離間間隔(対向距離)とし、以下の説明を行う。

[0039] ところで、対向する空乏層伸長領域6aの一方の端部、すなわちドリフト層5を介して空乏層伸長領域6bと対向する側の端部は、離間間隔の midpoint(中間位置B)と当該空乏層伸長領域6のドリフト層5を介して対向してない他方の空乏層伸長領域6bの端部Eとの midpoint(基準位置C)付近に位置するように形成されている。この端部Eは、図1

に示す複数のMOSFETが連続して形成されている折り返し点である。すなわち、端部Eは、図1のMOSFETと、このMOSFETの左側に連続して形成されている他のMOSFETと共通のベース領域7aの中心点となる。同様に、図1のMOSFETの右側に隣接する他のMOSFETも、ベース領域7bを共通に使用している。

より具体的には図1に示すように、当該ゲート20の横幅寸法の1/2の中点Bから当該半導体装置10の端までの距離を1とするとき、その距離の1/2となる位置C(基準位置)付近に空乏層伸長領域6の一方の端部が形成されている。

[0040] 更に、詳細に説明すると、位置C付近に形成される空乏層伸長領域6a(6b)は、半導体装置の断面を示す図1において、ベース領域7a(7b)底面下の上面側が位置Cより当該半導体装置の内側(位置B側の方向)に位置するように形成され、当該空乏層伸長領域6aの下面側が、位置Cより当該半導体装置10の外側(位置Dの方向)に位置するよう湾曲を有して形成されている。

すなわち、ソース電極14及びドレイン電極1間に電圧が印加され、MOSFETがオフ状態の場合、ベース領域7a及び基準濃度層4の界面と、ベース領域7b及び基準濃度層4の界面とから各々延びる空乏層が双方の中間位置Bにて接合し、空乏層伸長領域6a及び基準濃度層4の界面と、空乏層伸長領域6b及び基準濃度層4の界面とから各々延びる空乏層が双方の中間位置Bにて接合するように構成する。

[0041] また、湾曲形状を有する空乏層伸長領域6a(6b)の端部は、緩やかな湾曲形状より、できるだけ急峻な湾曲形状を有するように形成することが好ましく、より好ましくは上面側と下面側を除いては図1の位置Cに示す垂線に出来るだけ沿い、上面側で僅に位置Cより当該半導体装置の内側(位置B側)に位置し、かつ下面側で僅に位置Cより当該半導体装置の外側(位置C側)に位置する、いわゆる和菜切り包丁の切先に似た形状とし、対向する面を平行とすることが好ましい。

上述のように、空乏層伸長領域6a及び6bを形成することにより、従来の構造に比較して、空乏層伸長領域6a及び6bの対向距離を広く確保することができ、MOSFETのオン状態の場合、電子(キャリア)が移動する領域を広くすることができ、MOSFETのオン抵抗を低下させることができる。

[0042] 前記した形状により、ドリフト層5を介して互いに対向する空乏層伸長領域6a及び6

bの離間間隔は、図1に示すように、空乏層伸長領域6a及び6bを形成する拡散層の湾曲部に対応し、上面側から下面側に向かうに従い、次第に離間間隔が増加する。

[0043] また、空乏層伸長領域6a(6b)は、p型として例えばホウ素を約 $7 \times 10^{16} \sim 10 \times 10^{16} \text{ cm}^{-3}$ の表面濃度で含み、約 $7 \sim 8 \mu\text{m}$ の深さ寸法を有している。

また、該空乏層伸長領域6a(6b)は、下面までの深さ寸法(基準濃度層4表面から空乏層伸長領域6の底面までの深さ寸法)は、図1に示すように、ベース領域7の底面までの深さ寸法(基準濃度層4表面からベース領域7の底面までの深さ寸法d)の2倍以上(2d以上)を有するように設計されている。

このため、空乏層伸長領域6a(6b)は、対向する低濃度層3との間に逆バイアスが印加された際、低濃度層3との界面から、ベース領域7a及び7bと、低濃度領域3との双方に十分な厚さの空乏層が延び、上記界面における耐圧が向上するように、十分な層厚寸法を有している。

[0044] 前記した構成を備えた本発明の半導体装置10は、ソース電極14およびドレイン電極1間に電圧を印加し、ゲート電極にオンの制御電圧を印加したとき、すなわちソース電極14に負極の電圧(負電位)を印加し、ドレイン電極1に正極の電圧(正電位)を印加し、ソース電極14およびゲート20間においてゲート20に正極の電圧を印加し、負極の電圧をソース電極14に接続したとき、バックゲートとなるベース領域7a(7b)において、ゲート20との界面に反転層が形成される。

[0045] ソース電極14およびドレイン電極1間に電圧が印加された状態で、反転層が形成されると、ソース電極14から供給される電子は、ソース領域8a(8b)、ベース領域7a(7b)の反転層、基準濃度層4、低濃度層3、ドレイン層2を介してドレイン電極1へと順に移動し、当該電子の移動により、ドレイン電極1からソース電極14間に電流が流れる。

[0046] 一方、ソース電極14およびドレイン電極1間に電圧を印加し、ゲート電極にオフ制御電圧を印加したとき、すなわちソース電極14に負極の電圧およびドレイン電極1に正極の電圧を印加し、ソース電極14およびゲート20間に電圧が印加されないようにソース電極14およびゲート20間の電圧を0Vにした時、ゲート20に電圧が印加されないことにより、ベース領域7におけるゲート20との界面に反転層が形成されない。

- [0047] これにより、ソース電極14およびドレイン電極1間に印加される電圧により、上述したように、p型のベース領域7a(7b)および空乏層伸長領域6a(6b)と、n型のドリフト層5との接合部より空乏層が形成される。空乏層はソース電極14およびドレイン電極1間に印加される電圧に応じて次第に広がり、所定以上の電圧が印加されると、対向する空乏層伸長領域6a(6b)およびベース領域7a(7b)間に設けられたドリフト層5の基準濃度層4は広がる空乏層で満たされる。また、空乏層はドリフト層5の低濃度層3においても広がる。
- [0048] ところで、本発明の半導体装置10は、p型の不純物を低濃度で含み、かつ十分な層厚寸法を有する空乏層伸長領域6a(6b)を備えている。これにより、本発明の半導体装置10は、ソース電極14及びドレイン電極1に対して、逆バイアスが印加された際、従来のMOSFETに比較して耐圧を向上させるため、空乏層伸長領域6a(6b)及び低濃度層3間の電界強度、また空乏層伸長領域6a(6b)及び基準濃度層4間の電界強度の増加を抑制させるように、空乏層伸長領域6a(6b)内に空乏層の伸長を促すことを目的としている。上述したように、本発明は、特許文献1のように空乏層の広がりを抑制することを目的としておらず、逆に空乏層の広がる距離を伸ばすことにより、空乏層内の電界強度を緩和させる構造を用いている。
- [0049] すなわち、本実施形態における空乏層伸長領域6a(6b)は、拡散層が十分伸長するように、p型の不純物を低濃度で含み、かつ拡散層の厚さが従来例に比較して、より半導体装置表面からの距離、例えばベース領域7a(7b)の深さの2倍以上の十分な深さ寸法を有している。これにより、本実施形態においては、上記空乏層伸長領域6a(6b)に広がる空乏層を、電界強度を緩和させるために十分に伸長させることができ、伸長する空乏層により電界を緩和することができる。これにより、本発明の半導体装置10は、電界集中によって起こる耐圧の低下を改善することができ、良好な耐圧特性を得ることができる。
- [0050] そのため、ソース電極14及びドレイン電極1間に対し、逆バイアスが印加された場合、空乏層伸長領域6a(6b)及び低濃度層3の界面から、空乏層伸長領域6a(6b)及び低濃度層3双方に対して空乏層(空乏層C)が延びる。この空乏層は、印加される逆バイアスの電圧が増加するにつれて延びる距離も増加する。

このとき、同様に、ベース領域7a及び基準濃度層4の界面と、ベース領域7b及び基準濃度層4の界面とから、双方に対して空乏層(空乏層A)が伸び、また、空乏層伸長領域6a及び基準濃度層4の界面と、空乏層伸長領域6b及び基準濃度層4の界面とから、双方に対して空乏層(空乏層B)が伸び、中間位置Bにて接合する。

したがって、従来のように極端に電界が集中する部分を無くすことにより、すなわち、上記空乏層A、空乏層B及び空乏層C各々における電界強度を同様の数値にて増加させていくことにより、半導体装置10全体の耐圧を増加させることができる。

そのため、本発明の半導体装置によれば、各pn接合部分の電界の上昇をほぼ同様とすることができ、半導体装置全体の耐圧を、オン抵抗を増加させずに向上させることができる。

[0051] なお、上述した半導体装置の構造における各種の設定条件は、発明者が実際のデバイスを作成し、デザインルール及び濃度をパラメータとして、実験を繰り返すことで見出したものである。

上記設定条件に基づいて製造された半導体装置は、ベース領域7a(7b)の側面を空乏層伸長領域6a(6b)で覆わなくとも、ゲート・ソース間を短絡した状態でドレイン・ソース間に印加できる最大の電圧(以降、 V_{DSS} と略称する)を高くすることができ、かつ単位活性領域当りのオン抵抗(以降、 R_{onA} と略称する)を低く、図7に示すような良好な特性を得ることができる。

[0052] 上述したように、本実施形態による半導体装置10は、空乏層伸長領域6a(6b)をベース領域7a(7b)の対向する端部(拡散層の湾曲領域を含む)に設けないことにより、従来の半導体装置のベース領域の側面に空乏層伸長領域(特許文献1の電界緩和層)を形成する場合と異なり、ソース領域8a(8b)を覆うベース領域7a(7b)間の離間間隔を狭めることができ、これによりオン抵抗を増加させずに維持したままで微細化を図ることができる。

すなわち、本実施形態による半導体装置10は、ゲート電圧が0Vで、ソース電極14とドレイン電極1との間に印加された逆バイアスの電圧が増加する過程において、ベース領域7a(7b)と基準濃度領域4との界面から空乏層Aが伸び、空乏層伸長領域6a(6b)と基準濃度領域4との界面から空乏層Bが伸び、空乏層伸長領域6a(6b)と低

濃度層3との界面から空乏層Cが伸びる際、各空乏層A、B及びCのそれぞれ対応するPN接合が絶縁破壊を起こす電界強度に達するまで、各空乏層内の電界を同様の強度とするよう空乏層を伸張させる厚さ及び不純物濃度により、ベース領域、空乏層伸張領域、基準濃度層及び低濃度層の各拡散領域が形成されている。

[0053] 次に、本発明の半導体装置10の製造方法を図2～図6を用いて説明する。

まず、n型の不純物として例えばアンチモン又はリンを $1 \times 10^{20} \text{ cm}^{-3}$ の濃度で含む層と、層上にn型の不純物の例えばリンを $3 \times 10^{14} \text{ cm}^{-3}$ の濃度で含む層とが積層された半導体基板を用意する。用意した半導体基板の下層はドレイン層2のための層であり、上層はドリフト層5のための層である。尚、現段階において、ドリフト層5の基準濃度層4は未だ形成されていない(図2A)。

[0054] 用意した上記半導体基板の表面に対し、図1の基準濃度領域4を形成するためのn型不純物の磷(P)を100keVのエネルギーにより、 $2 \times 10^{12} \sim 4 \times 10^{12} \text{ cm}^{-2}$ にてイオン注入する(図2B)。

そして、下地の酸化膜を形成した後、イオン注入した上記磷の事前拡散を行い、予め所定の深さの拡散領域を形成しておく(図3A)。

下地の酸化膜上にレジストを塗布し、フォトリソグラフィを行い、イオン注入を行う開口パターンを形成する。

[0055] 上記マスクパターンは空乏層伸長領域6a(6b)を形成するためのものであり、このマスクパターンにおける開口部から不純物がイオン注入される(図3B)。ところで、当該マスクパターンにおけるイオン注入のための開口は、その開口寸法が所定値以下になるように形成されており、具体的には、図1に示す本発明の半導体装置10においてゲート20の横幅寸法の1/2の位置B(中間位置)から当該半導体装置10の端までの距離を1とするとき、その1/4以下になるように形成されており、本実施例では、 $0.5 \sim 2 \mu\text{m}$ (尚、実際の製造では図1に示す半導体装置をすでに述べたように連続してつなげて配置するので、この部分の窓空けは $1 \sim 4 \mu\text{m}$ となる)の開口寸法を有するようにマスクパターンが形成されている。

[0056] 尚、前記したマスクパターンにおけるイオン注入のための開口が1/4以下とする条件は、発明者が実験を繰り返すことで見出したものである。

すなわち、このマスクパターンにおける開口部は、位置Bと基準位置Cとの距離の1/2以上、基準位置Cからポリシリコン層11の方向と逆方向に形成することにより、後述する熱拡散等による不純物拡散面の横方向の端部を、ベース領域7の拡散層の湾曲部に達しない位置に形成することができる。

これにより、後に形成される空乏層伸長領域6a及び6bの対向距離が必要以上に狭くなることを抑制し、オン抵抗を維持することができる。

[0057] 上述したように、空乏層伸長領域6のためのp型不純物のホウ素(B)は、 $1 \times 10^{13} \sim 4 \times 10^{13} \text{ cm}^{-2}$ により、上記開口パターンをマスクとし、上記基準濃度領域4において一定間隔離にて離れた領域に対してイオン注入される。

[0058] 尚、前記した開口寸法が1/4以下となるようにパターン加工を施し、前記した注入条件でイオン注入することにより、その後の熱拡散によって形成される空乏層伸長領域6が所望形状に形成され、良好な特性を得ることができることが度重なる実験で確認されている。

[0059] 後述するp層である空乏層伸長領域6a(6b)における不純物のホウ素(B)を活性化させる熱工程において、事前にある程度の深さのn型不純物の拡散領域を形成しておくことにより、半導体装置面に平行な方向(横方向)に対するp型不純物の拡散を抑制させることができる。これにより、一方の空乏層伸長領域6aが対向する他方の空乏層伸長領域6bとの間隔を、広く、設計値の幅にて形成することができるため、基準濃度領域4の幅が従来例に比較して広く取れ、MOSFETのオン抵抗を増加させることがない。また、燐(P)のイオン注入量とホウ素(B)のイオン注入量とにおいて、ホウ素(B)の注入量がイオンの注入量に対して約1桁ほど多いため、燐に比較してホウ素(B)の拡散速度が速く、空乏層伸長領域6a(6b)をn型の基準濃度層4より深く拡散することができる。

[0060] その後、注入した不純物を活性化すべく、長時間拡散が行なわれる。これによって、半導体基板に基準濃度層4および空乏層伸長領域6a(6b)のための領域が形成される(図3C)。

上記基準濃度層4(n層)は、低濃度層3(n層)より不純物濃度が高く設定されている。また、低濃度層3及び基準濃度層4は、オン状態の場合に、電子が電界により

移動するドリフト層5を形成している。

[0061] 形成された酸化膜を取除いた後、新たに、ゲート酸化膜9となる酸化膜を形成し、当該酸化膜上に、更にゲート電極を形成するためのポリシリコン層を形成する。

[0062] その後、所定の位置にゲートを形成すべく、レジストを塗布し、ゲートのパターンを形成するマスクによるフォトリソグラフィ(写真工程)を行い、ポリシリコンをエッチングするためのレジストパターンを形成する(図3D)。

上記ポリシリコン層のエッチングを、上記レジストパターンをマスクとして、異方性エッチングまたは等方性エッチング等により行う。これにより、所定位置に所定形状のゲート酸化膜9およびゲート電極としてのポリシリコン層11が形成される(図4A)。その後、形成に用いた上記レジストを取除く。

[0063] その後、上記ポリシリコン層11をマスクとしてベース領域7a(7b)の拡散層を形成するためのホウ素(B)を、80keVのエネルギーにより、 $4 \times 10^{13} \sim 5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する(図4B)。

[0064] その後、ポリシリコン層11のゲートパターンが上部に形成されていない領域のゲート酸化膜9、すなわち露出されているゲート酸化膜9を除去し、露出されたシリコン表面に新たに酸化膜12を形成した後、拡散処理(チャンネル拡散)を行ないベース領域7a(7b)のための拡散層を形成する(図5A)。これにより、ゲート酸化膜9、ポリシリコン層11および酸化膜12から或るゲート20が形成される。

[0065] その後、ソース領域8a(8b)を形成するため、レジストを塗布し、ソース領域形成のマスクによりフォトリソグラフィを行いレジストパターンを形成する。そして、上記ゲート20および形成したレジストパターンを、マスクとして、ソース領域8a(8b)の拡散層を形成するための砒素(As)を、100keVのエネルギーにより、 $8 \times 10^{16} \sim 10 \times 10^{16} \text{ cm}^{-2}$ でイオン注入した後(図5B)、マスクに用いたレジストパターンを除去する。

[0066] 次に、半導体基板の表面一面に層間絶縁膜の層として、PSG(Phosphorus Silicon Glass)13をCVD(Chemical Vapor Deposition)で積層形成する(図6A)。

半導体基板の表面一面に層間絶縁膜としてのPSG13をCVDにより積層形成した後、熱処理により、ソース領域8a(8b)の拡散層を形成する拡散処理と、PSG13の焼き締め(膜表面を平坦化させるreflow処理)とを同時に行う。

[0067] その後、ベース領域7a(7b)及びソース領域8a(8b)に対するコンタクトを形成するため、レジストを半導体基板全面に塗布し、コンタクト形成のためのマスクにより、フォトリソグラフィを行い、コンタクトのレジストパターンを形成する。

そして、一面に形成したPSG13および酸化膜12を上記コンタクトのレジストパターンを用いてエッチングし、ベース領域7a(7b)及びソース領域8a(8b)の一部が露出されるコンタクトホール21を、PSG13および酸化膜12に対して形成し、その後レジストを除去する(図6B)。

[0068] 次に、PSG13が形成された半導体基板の表面に対し、スパッタ法(又は蒸着法)によりAl(アルミニウム)を堆積させ、ソース電極14(表面電極)を形成する。このソース電極14は、ソース領域8a(8b)およびベース領域7a(7b)に対し、コンタクトホール21内に堆積されたアルミニウムにより電氣的に接続されており、かつ層間絶縁層のPSG13により、ゲート20のポリシリコン層11と絶縁されている。尚、ゲート20は、ソース電極14との間で短絡することのないように加工が施された図示されないコンタクトホール内に埋設された導電物を介して外部と電氣的に接続される。

[0069] また、ゲート20等が形成されていない半導体基板の裏面に対し、スパッタ法(又は蒸着法)により、Ti-Ni-Agの多層金属膜を堆積し、ドレイン層2と電氣的に接続されたドレイン電極1(裏面電極)を形成する(図6C)。

以上の工程を経て、図1に示す半導体装置10が形成される。

[0070] 次に、上述した本実施形態の半導体装置10と、従来の構造による半導体装置との耐圧の違いについてのシミュレーション結果(2次元デバイスシミュレータMEDICI(登録商標)、TMA(Technology Modeling Associates)社)を、図8~図25を用いて、以下に説明する。

図8は、従来の一般的な2段ベース構造による半導体装置の断面構造を示す概念図であり、シミュレーション結果として図9に示すように、耐圧が615Vであった。図9は従来例の構造のMOSFETの耐圧結果の電圧を示すものであり、横軸が電圧であり、縦軸が電流値である。図8のP層(第1のベース領域)、P+層(第2のベース領域)、基準濃度層4及び低濃度層3の不純物濃度分布は、S1-S1'間において図10に示す分布であり、ゲート直下のS2-S2'間において図11に示す分布をしている。図

10及び図11において、横軸は深さ方向の半導体装置表面からの距離を示し、縦軸は不純物の濃度を示している。

次に、図8の構造のMOSFETに逆バイアスを印加し、その電圧を徐々に増加させ、耐圧が低い部位を検証した。図12は、シミュレーションのために、図8に示す半導体装置の断面をモデル化した概念図であり、縦軸が半導体装置表面から深さ方向への距離(A' - A")を示し、横軸が半導体装置表面に対して平行な軸の位置を示している。

また、図8においては、図1における中間位置Bの左側に相当するシミュレーションモデルを示している。しかしながら、実際には中間位置で折り返した対称構造でシミュレーションが行われている。

[0071] 図13～図16が、従来例の図8の構造のMOSFETに対して逆バイアスの電圧(V_{DSS})を印加した場合の空乏層の伸長状況と電界強度をと示すグラフである。図13～図16のそれぞれAの図は、空乏層の伸び及び電界を示すグラフであり、縦軸が表面からの深さ方向の距離を示し、横軸が表面に平行な軸の位置を示している。図13～図16それぞれBの図は、縦軸が電界強度を示し、横軸が図13～図16におけるAの図の縦軸に対応した深さ方向の距離を示しており、グラフの各線に付加されている数字が図12の横軸に示す距離に対応した位置を示している。ここで、深さ方向に関しては、シミュレーションとして設定した基板の厚さは40 μmであるが、図13～図16(後述する図22～25も同様)において、深さ方向が14 μmまでの結果のみを記載している、このため、各Aの図において深さ方向14 μmを超える空乏層の端部は記載せずに省略している。

図13がV_{DSS}=5の逆バイアスを印加した場合の空乏層の伸長状況と電界強度をと示すグラフである。図13Aに示すように空乏層が伸長し始めるが、図13Bから判るように、電界強度は高くない。

図14が30Vの電圧の逆バイアスを印加した場合の空乏層の伸長状況と電界強度をと示すグラフである。図14A及び図14Bにおいて、P層(第1のベース領域)の拡散層の湾曲部のエッジ部分の電界強度が他に比較して高くなることが判る。

[0072] 次に、図15がV_{DSS}=300Vの逆バイアスを印加した場合の空乏層の伸長状況と

電界強度をと示すグラフである。図15Aにおいて、P+層(第2のベース領域)の拡散層の下部の電界強度が、上記エッジ部分を含む他に比較して高くなることが、図15Bから判る。P層のエッジ部分については、P層(第1のベース領域)からの空乏層と、対向する他のP層(第1のベース領域)からの空乏層とが接合することにより、電界強度の増加を抑制すると考えられる。

[0073] 次に、図16は、耐圧の電圧に近い $V_{DSS}=610V$ の逆バイアスを印加した場合の空乏層の伸長状況と電界強度をと示すグラフである。図16Aにおいて、P+層(第2のベース領域)の拡散層の下部の電界強度が、図15の状態から継続して、他に比較して高くなることが、図16Bから判る。

[0074] 上述した従来構造のシミュレーションから、P+層(第2のベース領域)の底部における電界強度の上昇により、耐圧が決定されていることが判った。

[0075] 上述のようなシミュレーション結果に基づいて、本実施形態においては、P層(ベース領域7a及び7b)の拡散層の底面における電界強度の上昇を抑制するため、図1に示すように、P-層(空乏層伸長領域6)の底面を、N-層(低濃度層3)より深く形成し、かつP-層(空乏層伸長領域6a、6b)の厚さを、P層(ベース領域7a、7b)の厚さに比較して2倍以上に厚くし、空乏層の伸長を容易として、電界強度の他の部分に対する上昇と同様とした。

[0076] 次に、図17～図25を用いて本実施形態における耐圧のシミュレーション結果を説明する。

図17は、本実施形態の半導体装置(図1)の断面構造を示す概念図であり、シミュレーション結果として図18に示すように、耐圧が656Vであった。図18は本実施形態の構造のMOSFETの耐圧結果の電圧を示すものであり、横軸が電圧であり、縦軸が電流値である。

図17のP層(ベース領域7a、7b)、P-層(空乏層伸長領域6a、6b)、基準濃度層4及び低濃度層3の不純物濃度分布は、S1-S1'間において図19に示す分布であり、ゲート直下のS2-S2'間において図20に示す分布をしている。図19及び図20において、横軸は深さ方向の半導体装置表面からの距離を示し、縦軸は不純物の濃度を示している。

次に、図17の構造のMOSFETに逆バイアスを印加し、その電圧を徐々に増加させ、耐圧が低い部位を検証した。図21は、シミュレーションのために、図17に示す半導体装置の断面をモデル化した概念図であり、縦軸が半導体装置表面から深さ方向への距離(A' - A")を示し、横軸が半導体装置表面に対して平行な軸の位置を示し、また、図17においては、図1における中間位置Bの左側に相当するシミュレーションモデルを示している。しかしながら、実際には中間位置で折り返した対称構造でシミュレーションが行われている。

[0077] 図22～図25が、本実施形態の図17の構造のMOSFETに対して逆バイアスの電圧(V_{DSS})を印加した場合の空乏層の伸長状況と電界強度との関係を示すグラフである。図22～図25のAの図それぞれは、空乏層の伸びと電界強度との関係を示すグラフであり、縦軸が表面からの深さ方向の距離を示し、横軸が表面に平行な軸の位置を示している。図22～図25それぞれBの図は、縦軸が電界強度を示し、横軸が図22～図25におけるAの図の縦軸に対応した深さ方向の距離を示しており、グラフの各線に付加されている数字が図21における横軸に示す距離に対応した位置を示している。

[0078] 図22がV_{DSS} = 5Vの逆バイアスを印加した場合の空乏層の伸長状況と電界強度をと示すグラフである。図22Aに示すように空乏層が伸長し始めるが、図22Bから判るように、それほど電界強度は高くない。本実施形態の構造において、P層(空乏層伸長領域6a, 6b)では、図13Aの従来の状態に比較して空乏層が伸び、図13Bに示す電界強度に比較して小さな数値となっている。

次に、図23が20Vの電圧の逆バイアスを印加した場合の空乏層の伸長状況と電界強度をと示すグラフである。図23A及び図23Bにおいて、P層(ベース領域7a, 7b)の拡散層の湾曲部のエッジ部分の電界強度が他に比較して高くなることが判る。

[0079] 次に、図24がV_{DSS} = 300Vの逆バイアスを印加した場合の空乏層の伸長状況と電界強度をと示すグラフである。電界強度の最大値を有する場所が、上記P層(ベース領域7a, 7b)のN層(基準濃度層4)におけるエッジ部分ではなく、P層(ベース領域7a, 7b)及びP層(空乏層伸長領域6a, 6b)の接合部とにおけるP層(ベース領域7a, 7b)の底部側に移行する。図24A及び図24Bにおいて、P層(ベース領域7a

、7b)の拡散層の下部の電界強度が、上記エッジ部分と同等程度に高くなる。しかしながら、従来構造の場合の図15Bと比較すると、P層(ベース領域7a, 7b)の拡散層の下部の電界強度と、上記P層(ベース領域7a, 7b)のN層(基準濃度層4)におけるエッジ部分とにおいて、本実施形態では電界強度が同様となっていることが判る。P層(ベース領域7a, 7b)のN層(基準濃度層4)におけるエッジ部分については、P層(ベース領域7a)から伸びる空乏層と、対向する他のP層(ベース領域7b)から伸びる空乏層とが接合し、この空乏層の幅が広いため、電界強度の増加が抑制されると考えられる。また、従来においては、P+層(第2のベース領域)の電界強度が突出して高くなるのに対し、本実施形態においては、P-層(空乏層伸長領域6a, 6b)が低く緩やかな形状となる。

[0080] 次に、図25は、耐圧の電圧に近い $VDSS=660V$ の逆バイアスを印加した場合の空乏層の伸長状況と電界強度をと示すグラフである。図25Aにおいて示すように、P層の拡散層の上記下部の電界強度が、図24の状態から継続して、他に比較して高くなる。この電界強度の数値は図25Bに示されている。

[0081] 図16に示すように、基準濃度層におけるP+層(第2のベース領域)の接合部の電界強度の上昇により耐圧が決定している従来構造に対し、本実施形態は、基準濃度層におけるP-層との接合部の電界強度を低下させる構造として、P-層及びN-層の界面から双方に空乏層を伸張させるため、P-層(空乏層伸長領域6a, 6b)とN-層(低濃度層3)とが界面を有する構成としている。また、本実施形態においては、従来の構造に比較して、P-層(空乏層伸長領域6a, 6b)側において空乏層を広く伸ばすことにより電界集中を緩和することができ、従来構造でのP+層(第2のベース層)における電界集中の突出部を小さくし、緩やかな電界強度の分布を有し、他の部分と同様とすることにより、半導体装置の耐圧を向上させることができる。図25Bから判るように、本実施形態の構造は、特に電界強度が高くなる部分が無いことにより、全体的な耐圧が向上している。

[0082] すなわち、従来構造の場合、図13～図16のシミュレーション結果において説明したように、図26に示すように、P+層(第2のベース領域)の界面近傍にて電界強度が高くなり、最終的にこの界面近傍にてブレイクダウンが起こり、耐圧が決定することに

なる。図26は、縦軸が電界強度を示し、横軸が図13～図16におけるAの図の縦軸に対応した深さ方向の距離を示している。

一方、本実施形態の場合、上述したように、P層(空乏層伸長領域6a, 6b)が従来構造のP+層(第2のベース領域)に比較して厚くなり、直接にN層と接合している。そのため、本実施形態においては、P層とN層との界面から伸びる空乏層が、P層からP層に達するまでの距離が従来構造に比較して長いので、P層とP層との界面近傍にて電界強度が緩和され、いずれのPN接合部においても、図27に示すように、逆バイアス電圧の増加に対応して、同様の電界強度にて推移していくため、半導体装置全体の耐圧が上昇する。図27は、縦軸が電界強度を示し、横軸が図22～図25におけるAの図の縦軸に対応した深さ方向の距離を示しており、グラフの各線に付加されている数字が図21における横軸に示す距離に対応した位置を示している。

[0083] 前記した実施形態では、寸法、濃度、イオン注入条件、イオン注入順序、拡散順序、不純物物質などの一例を示して説明を行なったがこれに限定する必要はなく、本発明と同様の効果を奏することができるならば、これらを適宜変更してもよい。

[0084] また、前記した実施形態では、第1導電型としてn型および第2導電型としてp型を例に説明を行なったが、これに限る必要はなく第1導電型をp型および第2導電型をn型とする半導体装置にも、本発明を適用することができる。

[0085] また、前記した実施形態においては、本発明の半導体装置をMOSFETの構造を例に説明を行なったが、これに限る必要は無く例えばドレイン電極側にショットキ接合やP型の不純物層を有するIGBTと称する種類の半導体装置にも本発明を適用することができる。

請求の範囲

- [1] 第1導電型の不純物を第1基準濃度で含む基準濃度層、及び該基準濃度層の下面に設けられ前記第1基準濃度よりも低い濃度で前記第1導電型の不純物を含む低濃度層から構成されるドリフト層と、
前記基準濃度層の上面に形成されたゲート電極と、
前記基準濃度層の表面において、該ゲートのそれぞれの端部の近傍に設けられ、前記第1の基準濃度よりも高い濃度の第1導電型の不純物を含む一対のソース領域と、
該ソース領域各々の拡散層外面を囲む、第2導電型の不純物を第2基準濃度で含む一対のベース領域と、
前記ソース領域及び前記ベース領域に電氣的に接続されたソース電極と、
該ベース領域の拡散層の下部における前記基準濃度層内に設けられ、前記第2基準濃度より低い濃度の第2導電型の不純物を含む空乏層伸長領域と、
前記低濃度層の下面に設けられ、前記第1基準濃度より高い濃度で第1導電型の不純物を含むドレイン層と、
該ドレイン層の下面に設けられ、前記ソース電極との間で電圧が印加されるドレイン電極と
を有しており、
前記空乏層伸長領域が、当該領域の下面が前記低濃度層および前記基準濃度層の界面位置より深く、前記低濃度層に入り込んで形成されていることを特徴とする半導体装置。
- [2] 前記空乏層伸長領域が、前記基準濃度層の表面から当該空乏層伸長領域の下面までの深さ寸法を、前記基準濃度層の表面からベース領域の底面までの深さ寸法の2倍以上として形成されていることを特徴とする請求項1に記載の半導体装置。
- [3] 前記空乏層伸長領域が、前記ベース領域の拡散層の底面の平坦な部分に接して設けられていることを特徴とする請求項1または請求項2に記載の半導体装置。
- [4] 前記ソース電極とドレイン電極との間に印加された逆バイアスの電圧が増加する過程にて、前記ベース領域と基準濃度領域との界面から空乏層Aが伸び、空乏層伸長

領域と基準濃度領域との界面から空乏層Bが伸びる際、

対向するベース領域及び空乏層伸長領域双方から延びる空乏層A、空乏層Bが対向距離の midpoint にて結合する対称位置に、前記ベース及び前記空乏層伸長領域が形成されていることを特徴とする請求項1から請求項3のいずれかに記載の半導体装置。

- [5] 前記ソース電極とドレイン電極との間に印加された逆バイアスの電圧が増加する過程にて、前記ベース領域と基準濃度領域との界面から空乏層Aが伸び、空乏層伸長領域と基準濃度領域との界面から空乏層Bが伸び、前記空乏層伸長領域と前記低濃度層との界面から空乏層Cが伸びる際、

対向するベース領域及び空乏層伸長領域双方から延びる空乏層A、空乏層Bの対向距離の midpoint における結合が、前記空乏層Cが前記ソース領域または前記ドレイン層のいずれかに達する前に起こることを特徴とする請求項4に記載の半導体装置。

- [6] 前記空乏層A、B及びCのそれぞれ対応するPN接合が絶縁破壊を起こす電界強度に達するまで、前記各空乏層内の電界を同様の強度とするよう空乏層を伸張させる厚さ及び不純物濃度により、ベース領域、空乏層伸張領域、基準濃度層及び低濃度層の各拡散領域が形成されていることを特徴とする請求項5に記載の半導体装置。

- [7] 一対の前記空乏層伸長領域双方が、前記ゲート下の前記ドリフト層を介して対向しており、該対向距離の $1/2$ の位置を中間位置とし、該中間位置から当該空乏層伸長領域の対向する端部に対して逆の端部までの距離の $1/2$ の位置を基準位置とした際、

前記空乏層伸長領域の対向する端部が、前記基準位置近傍に形成されていることを特徴とする請求項1から請求項6のいずれかに記載の半導体装置。

- [8] 前記空乏層伸長領域の端部が、ベース領域と接する上部が前記基準位置より前記中間位置側に突出し、前記低濃度層と接する下部が前記基準位置より前記逆の端部側に突出して形成されていることを特徴とする請求項6に記載の半導体装置。

- [9] 前記空乏層伸長領域の対向する端部が、前記ドリフト層を介して対向する側面が平行であり、前記端部の下側が湾曲して形成されていることを特徴とする請求項7ま

たは請求項8に記載の半導体装置。

[10] 第1導電型の不純物を所定濃度で含むドレイン層と、該ドレイン層の上面に設けられ、前記所定濃度よりも低い濃度で前記第1導電型の不純物を含む低濃度層とから構成される半導体基板を用いて半導体装置を形成する製造方法であり、

前記低濃度層の不純物濃度より高い第1基準濃度により、第1導電型の不純物を前記低濃度層へ注入し、熱拡散して基準濃度層とすることで、該基準濃度層及び前記低濃度層からなるドリフト層を形成する工程と、

第2導電型の不純物を、前記基準濃度層における一定間隔離れた領域に注入し、空乏層伸長領域を形成する工程と、

前記空乏層伸長領域に注入された第2導電型の不純物を活性化するための熱拡散を行う拡散工程と、

前記半導体基板上に酸化膜を形成した後にポリシリコン層を堆積し、前記空乏層伸長領域間にゲートパターンを形成する工程と、

前記ゲートパターンをベース領域を形成するためのマスクとし、前記空乏層伸長領域よりも高い濃度の第2基準濃度により、第2導電型の不純物を注入し、熱拡散を行いベース領域を形成する工程と、

前記ゲートパターンをソース領域を形成するためのマスクとして用い、第1導電型の不純物を前記第1基準濃度より高い濃度により、前記ベース領域内へ注入し、熱拡散を行いソース領域を形成する工程と

を有し、

前記空乏層伸長領域の下面が前記低濃度層および前記基準濃度層の界面位置より深く、前記低濃度層に入り込む深さに形成されることを特徴とする半導体装置の製造方法。

[11] 前記ソース領域の不純物拡散面が前記ベース領域に覆われ、また、前記空乏層伸長領域が、前記ベース領域の拡散層の底面の平坦な部分に接して形成されていることを特徴とする請求項10に記載の半導体装置の製造方法。

[12] 前記空乏層伸長領域が前記ゲートパターン下において前記基準濃度層を介して対向して形成され、該空乏層伸長領域双方の対向距離の1/2の位置を中間位置と

し、該中間位置から当該空乏層伸長領域の対向する端部に対して逆の端部までの距離の $1/2$ の位置を基準位置とした際、

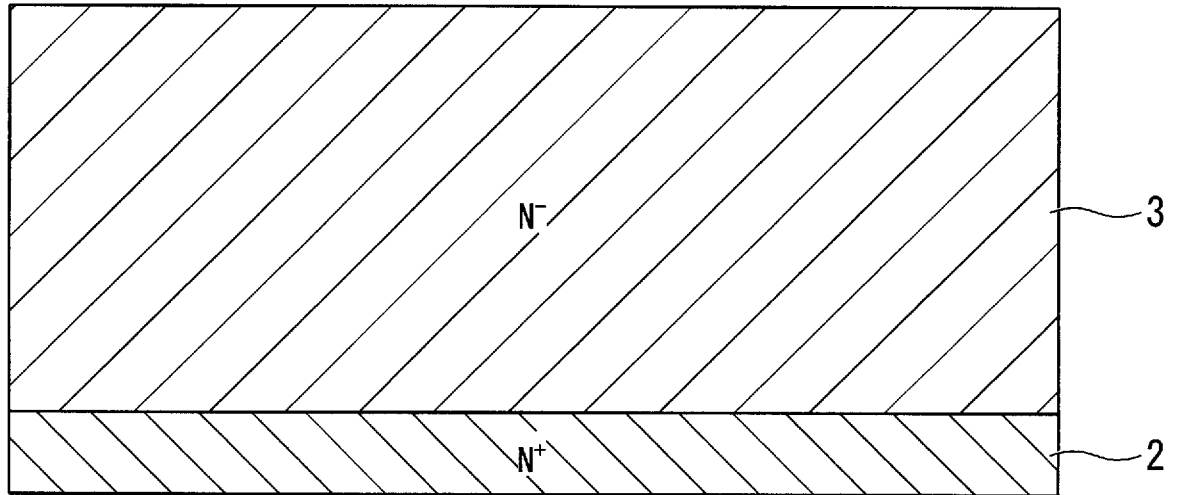
前記空乏層伸長領域の対向する端部が、前記基準位置近傍に形成されていることを特徴とする請求項10または請求項11に記載の半導体装置の製造方法。

[13] 前記空乏層伸長領域が、前記低濃度層の表面に所定形状のマスクパターンを形成し、該マスクパターンに設けられた開口から前記第2導電型の不純物をイオン注入して拡散することで形成されており、

前記マスクパターンが、前記基準位置に対してゲートパターン方向と逆方向に、前記中間位置と基準位置との距離の $1/2$ 以上離れて開口されていることを特徴とする請求項10から請求項12のいずれかに記載の半導体装置の製造方法。

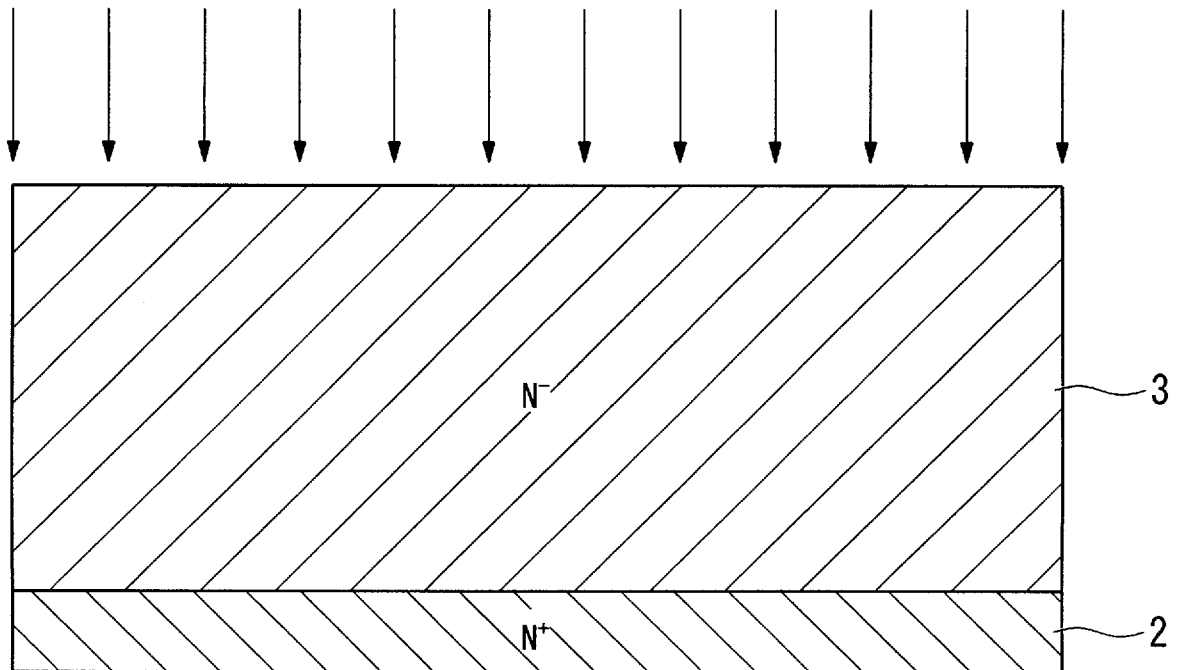
[図2A]

N⁻/N⁺ Si基板



[図2B]

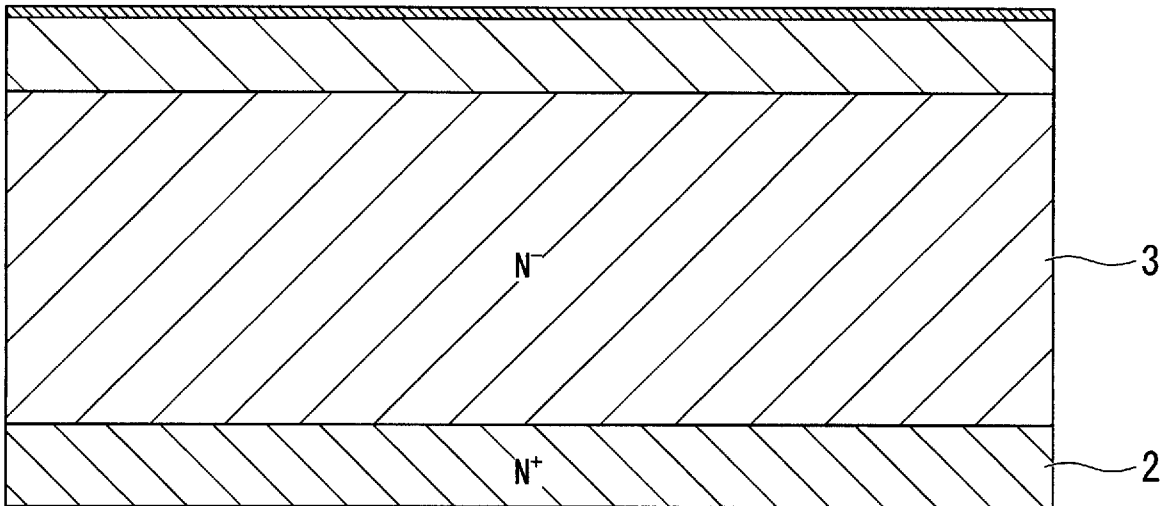
リンイオン注入



[図3A]

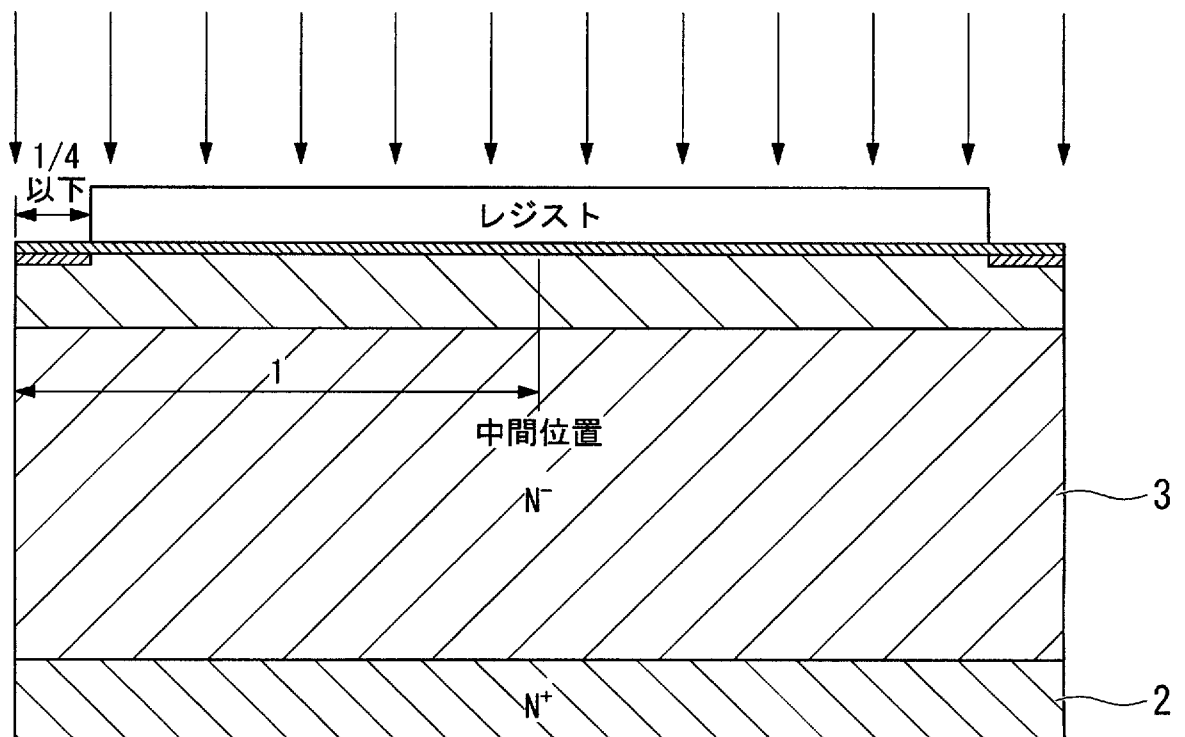
下地酸化膜形成
初期拡散 (n型の事前拡散)

事前にn型の拡散を所定の深さにいれておく



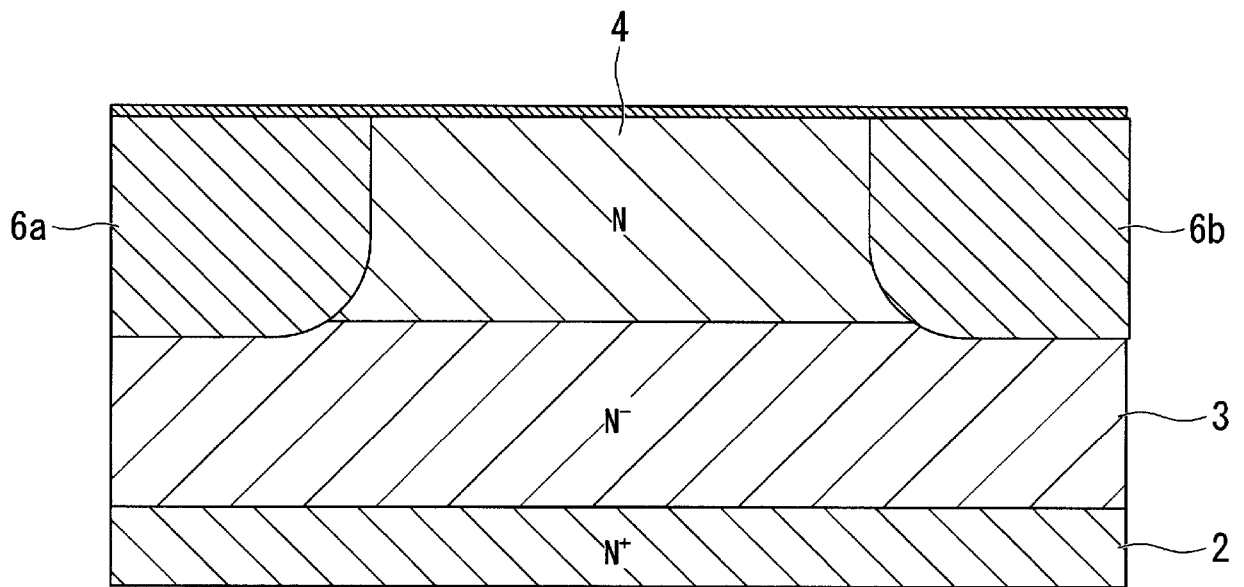
[図3B]

写真工程
ボロンイオン注入レジスト除去



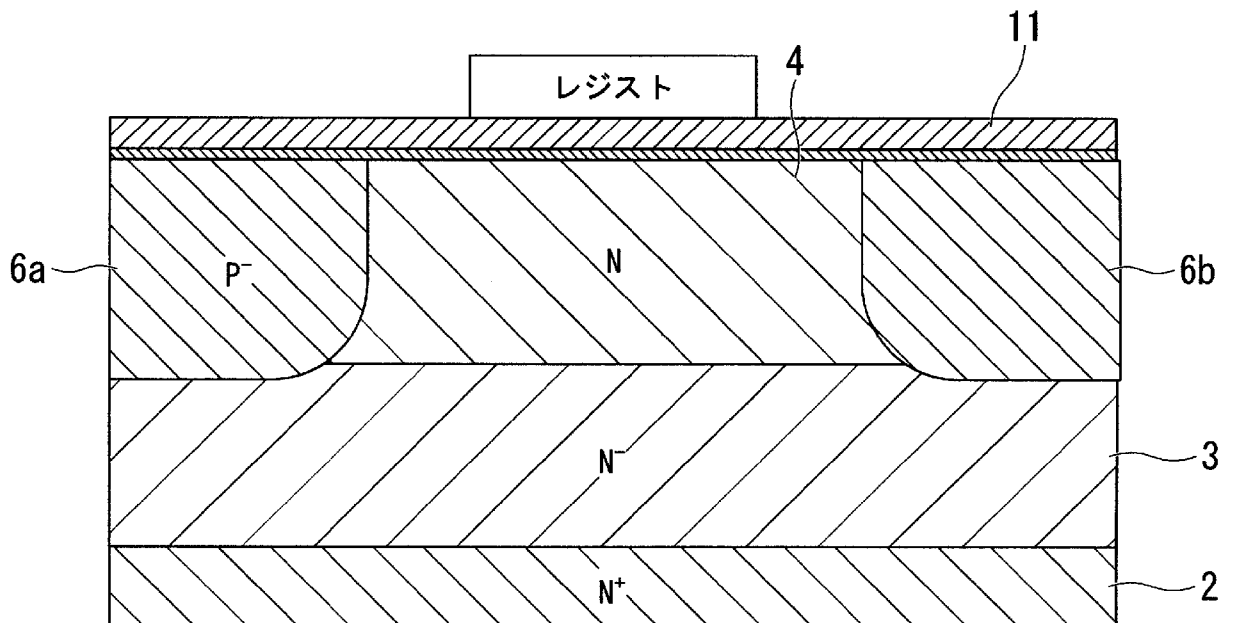
[図3C]

長時間拡散



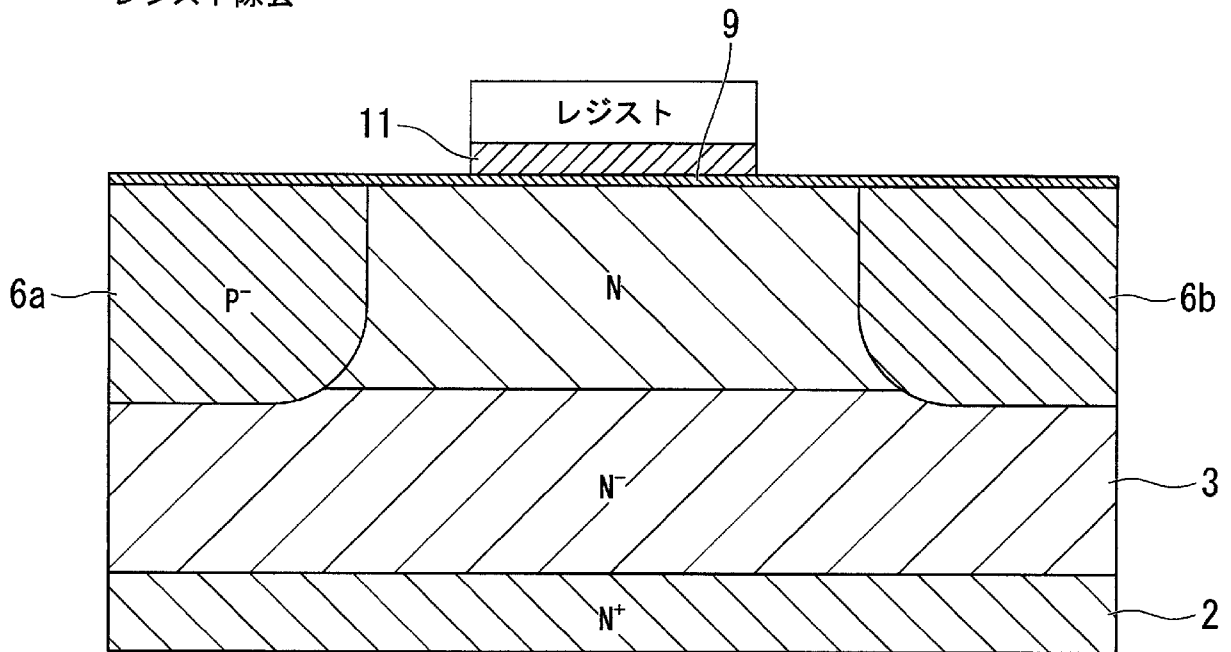
[図3D]

酸化膜エッチング
ゲート酸化膜形成
Poly-Si形成
写真工程



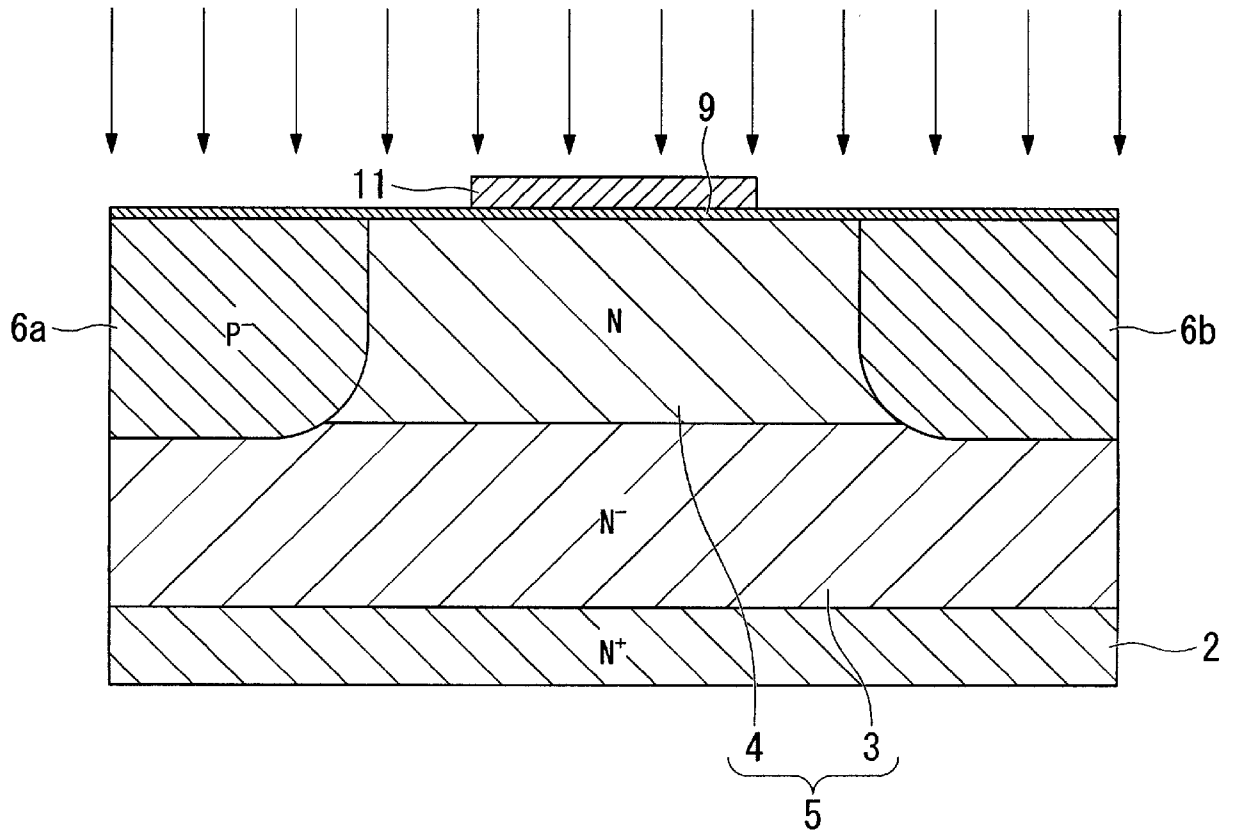
[図4A]

Poly-Si
エッチング
レジスト除去



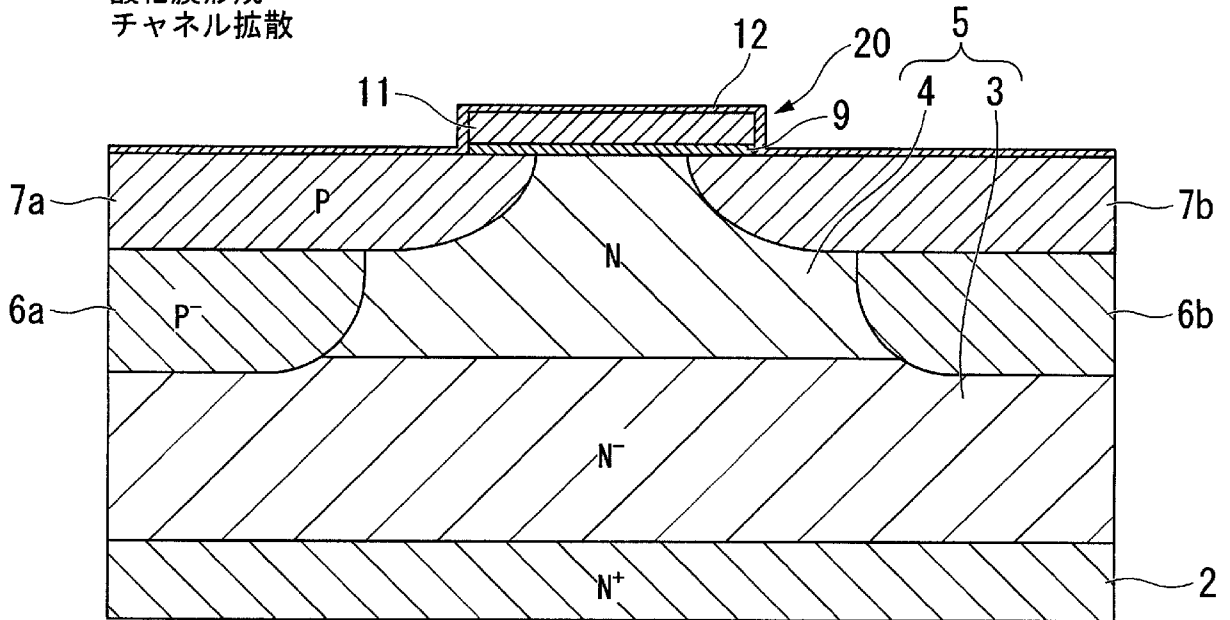
[図4B]

ボロンイオン注入



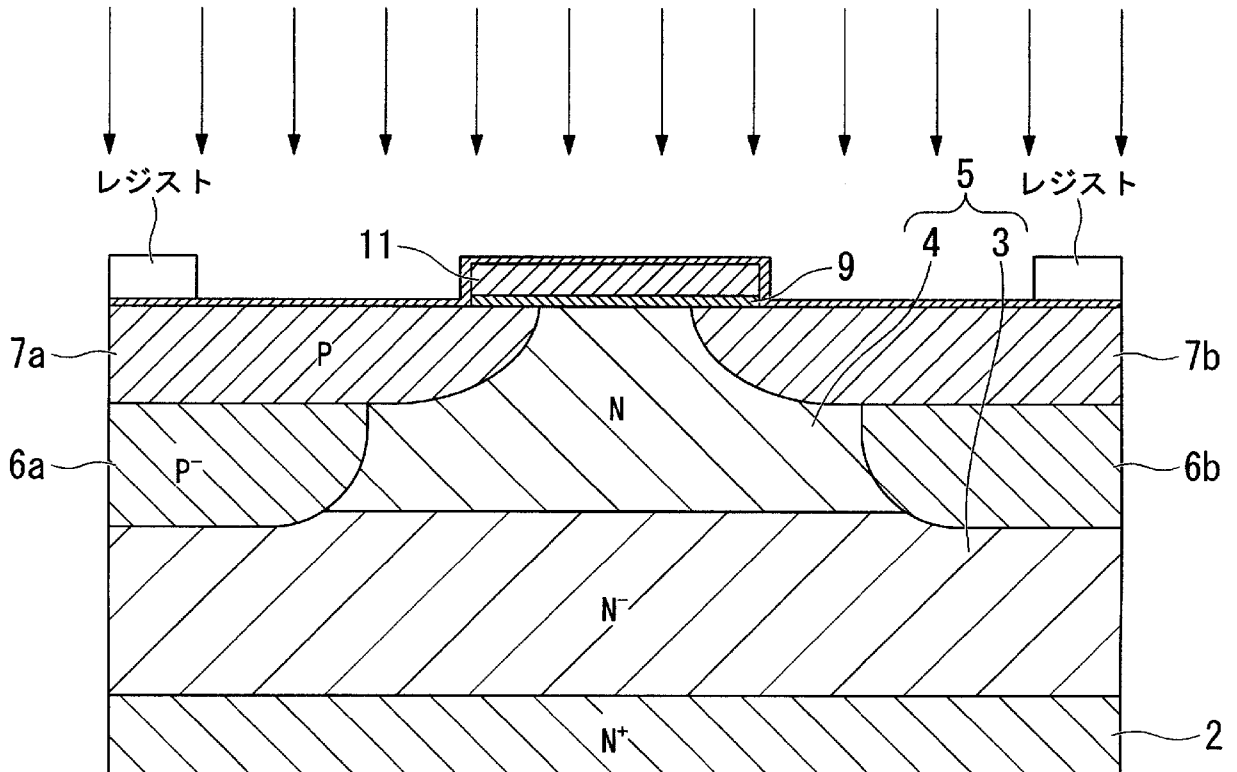
[図5A]

酸化膜エッチング
酸化膜形成
チャンネル拡散



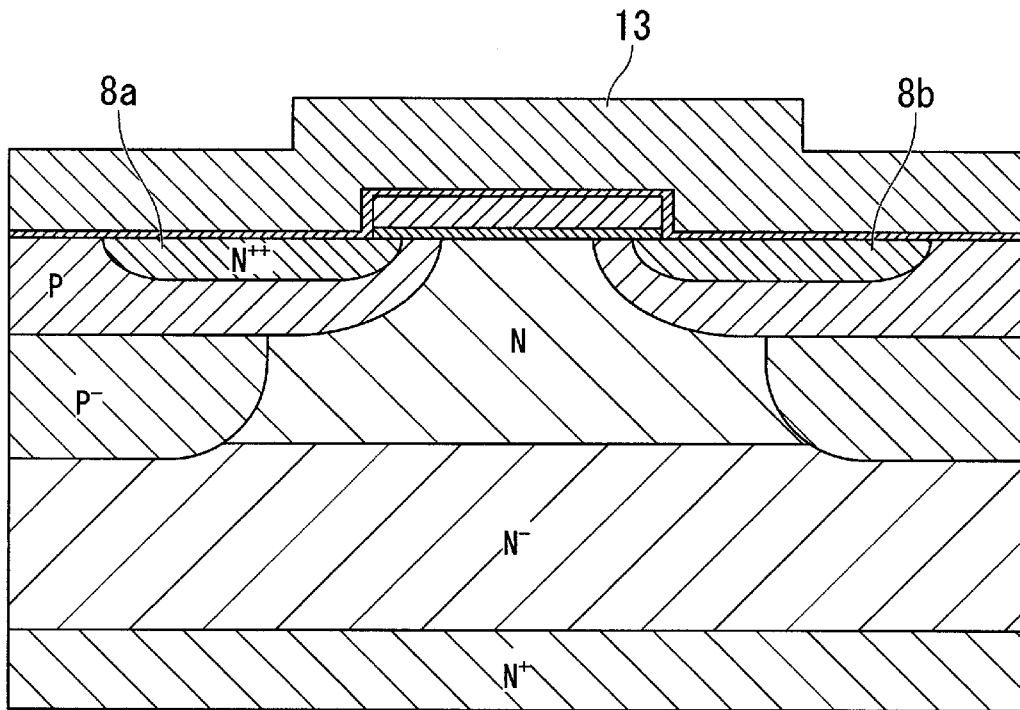
[図5B]

写真工程
ヒ素イオン注入
レジスト除去



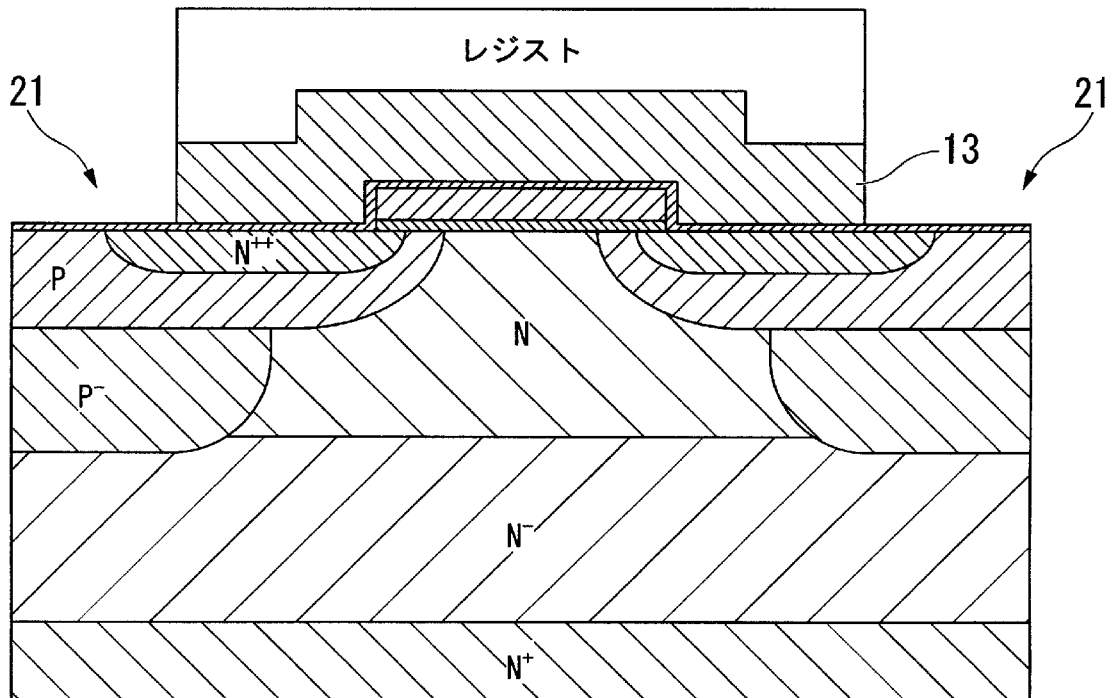
[図6A]

PSG形成
拡散



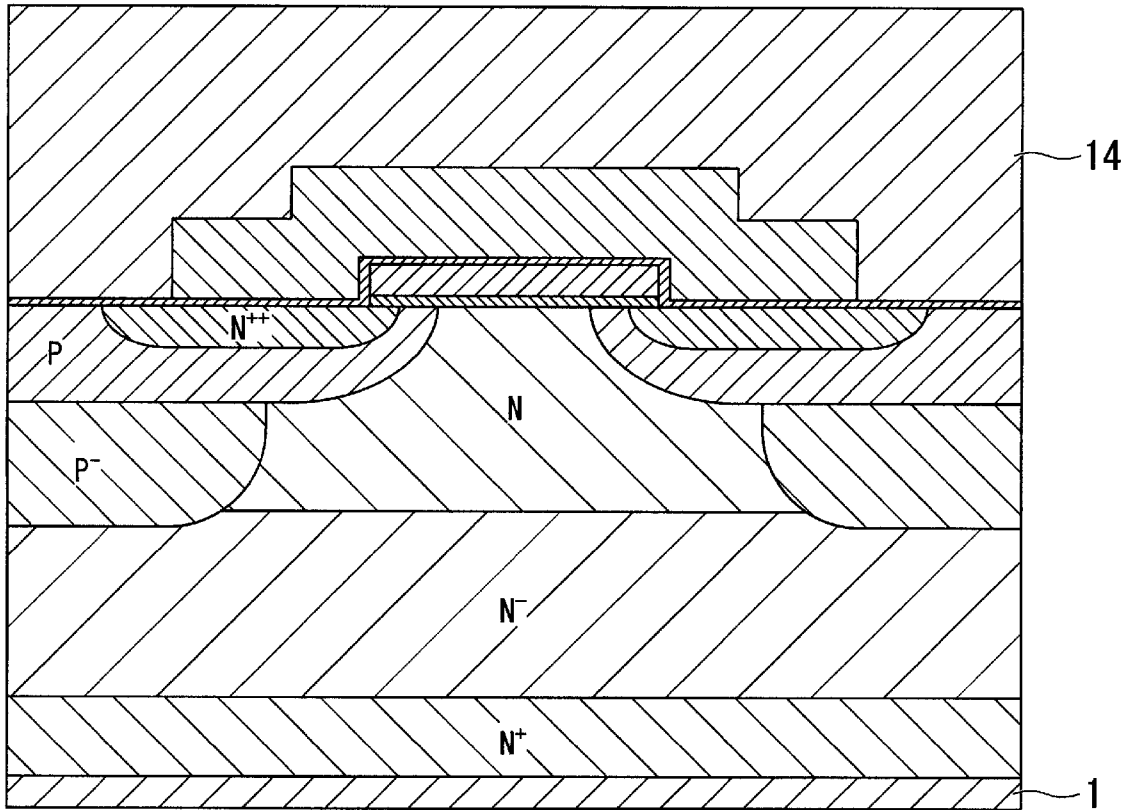
[図6B]

写真工程
エッチング
レジスト除去

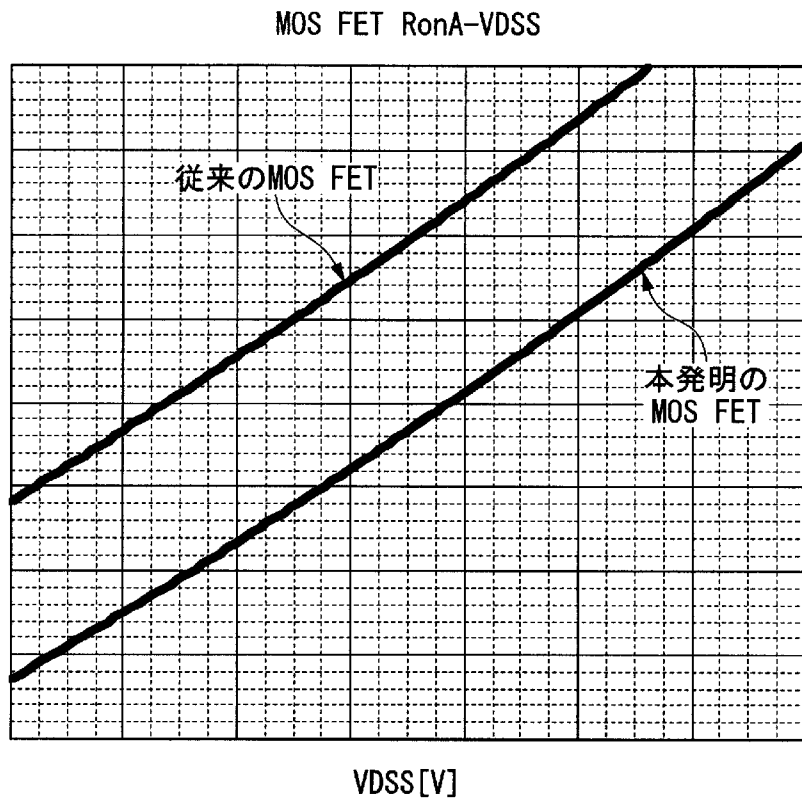


[図6C]

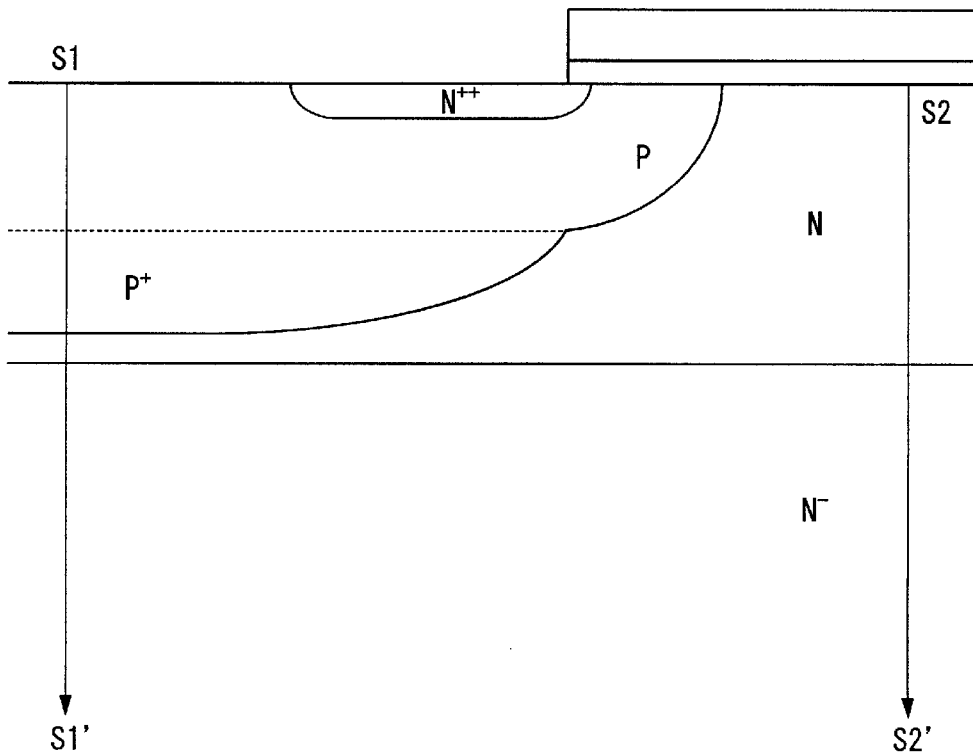
表面電極形成
裏面電極形成



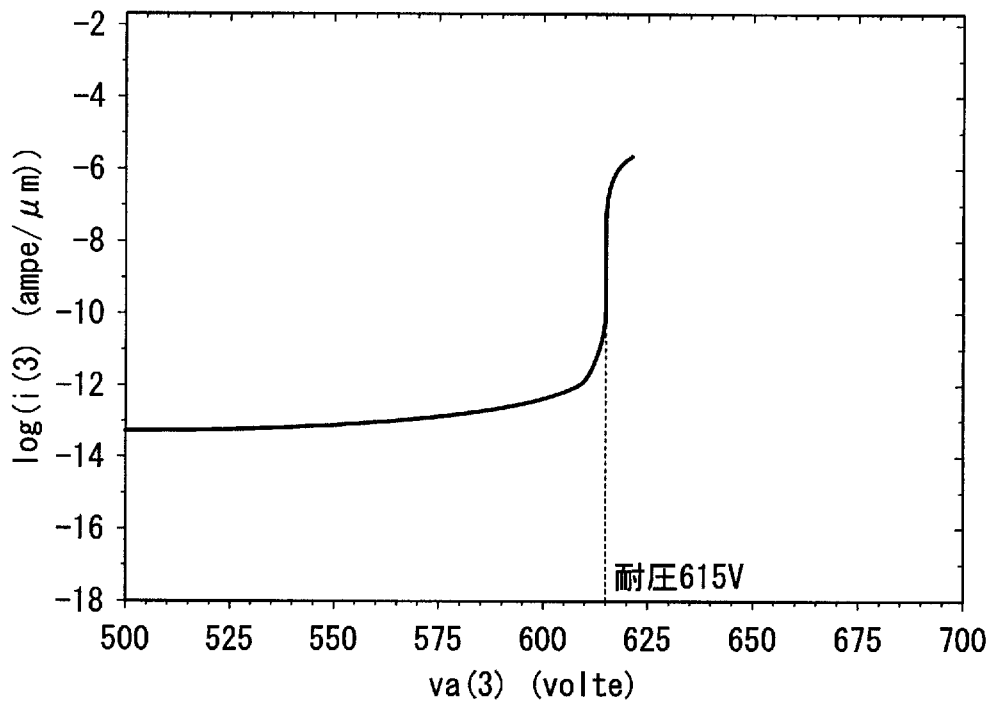
[図7]



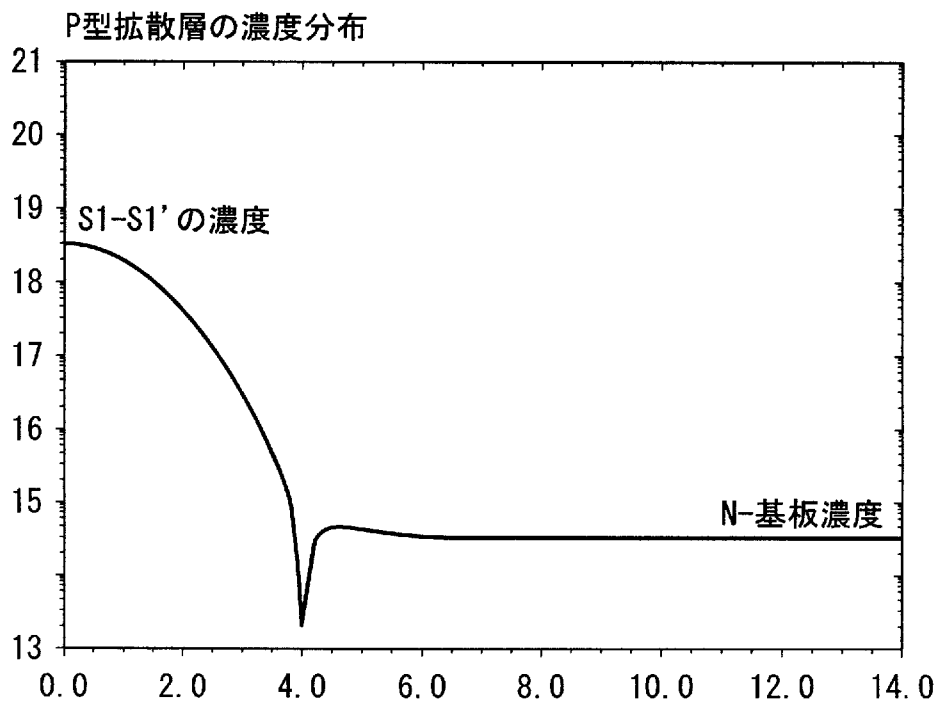
[図8]



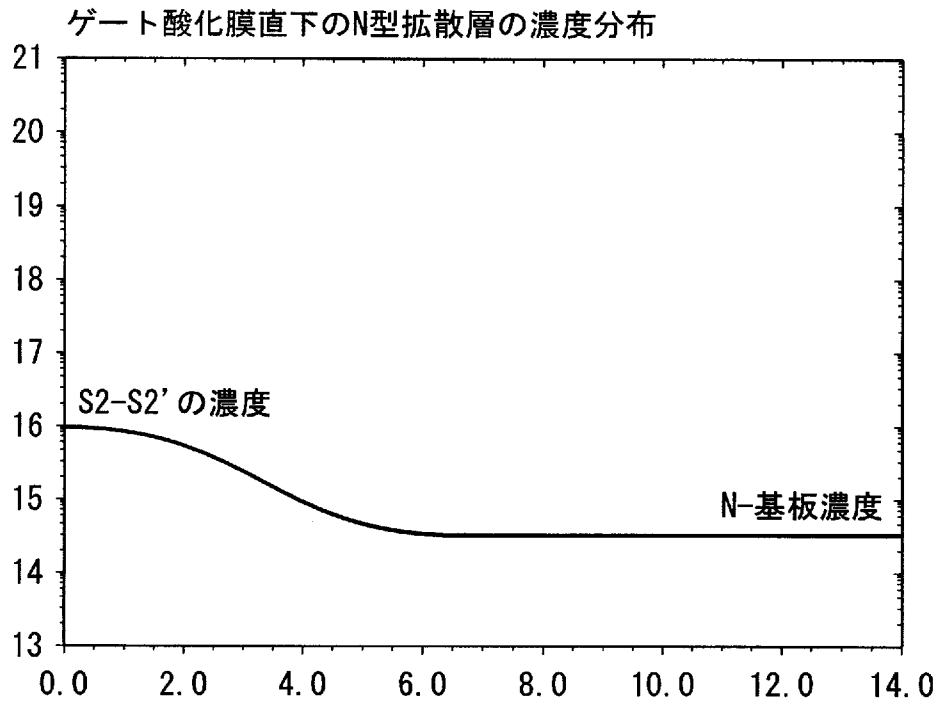
[図9]



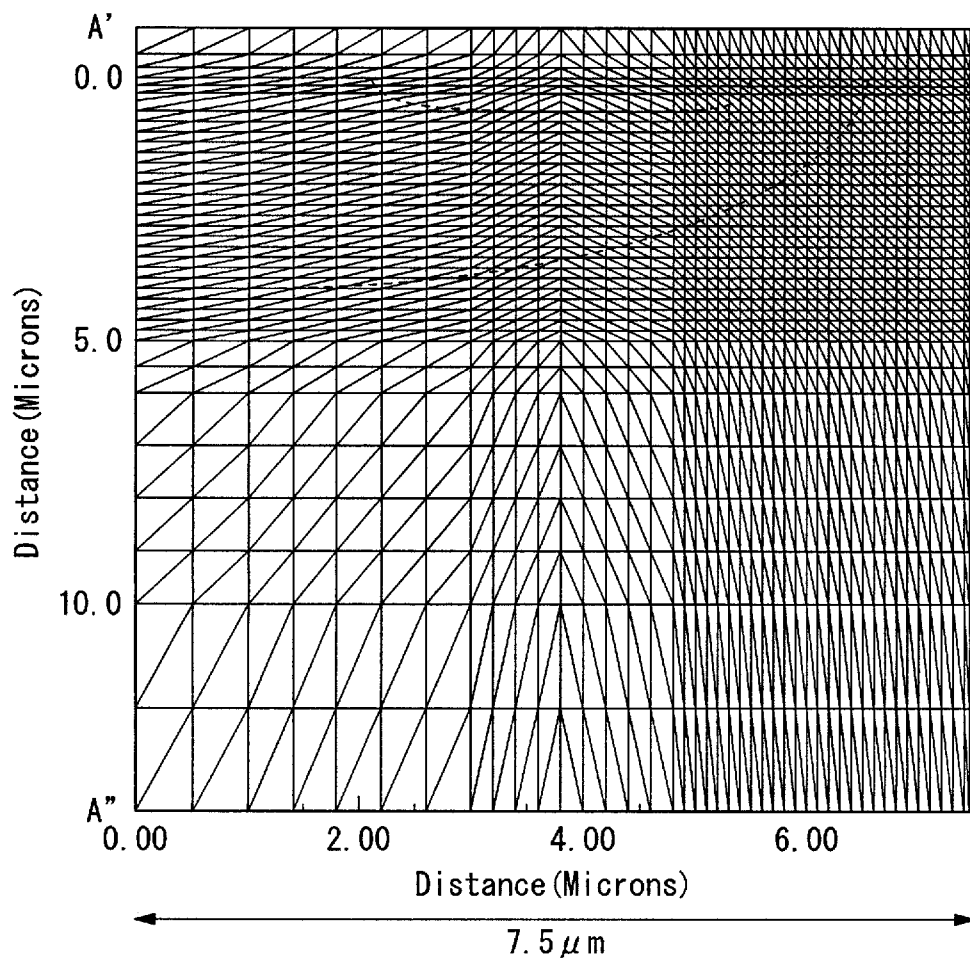
[図10]



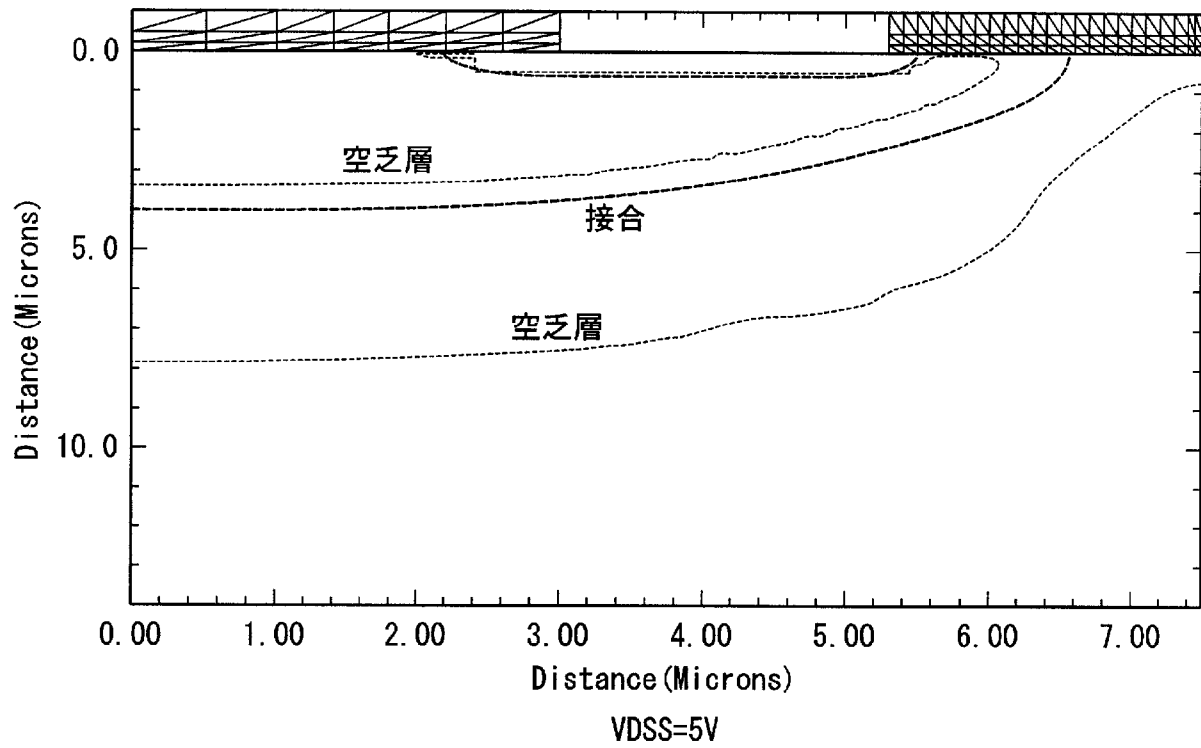
[図11]



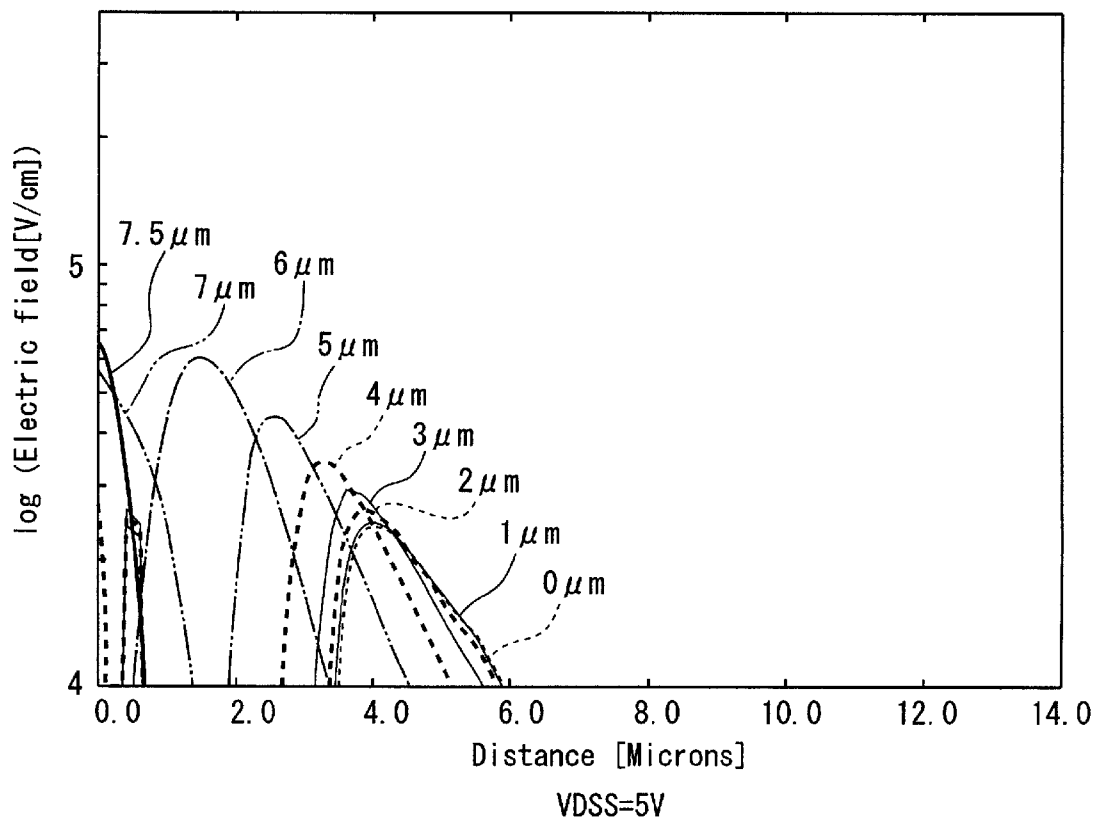
[図12]



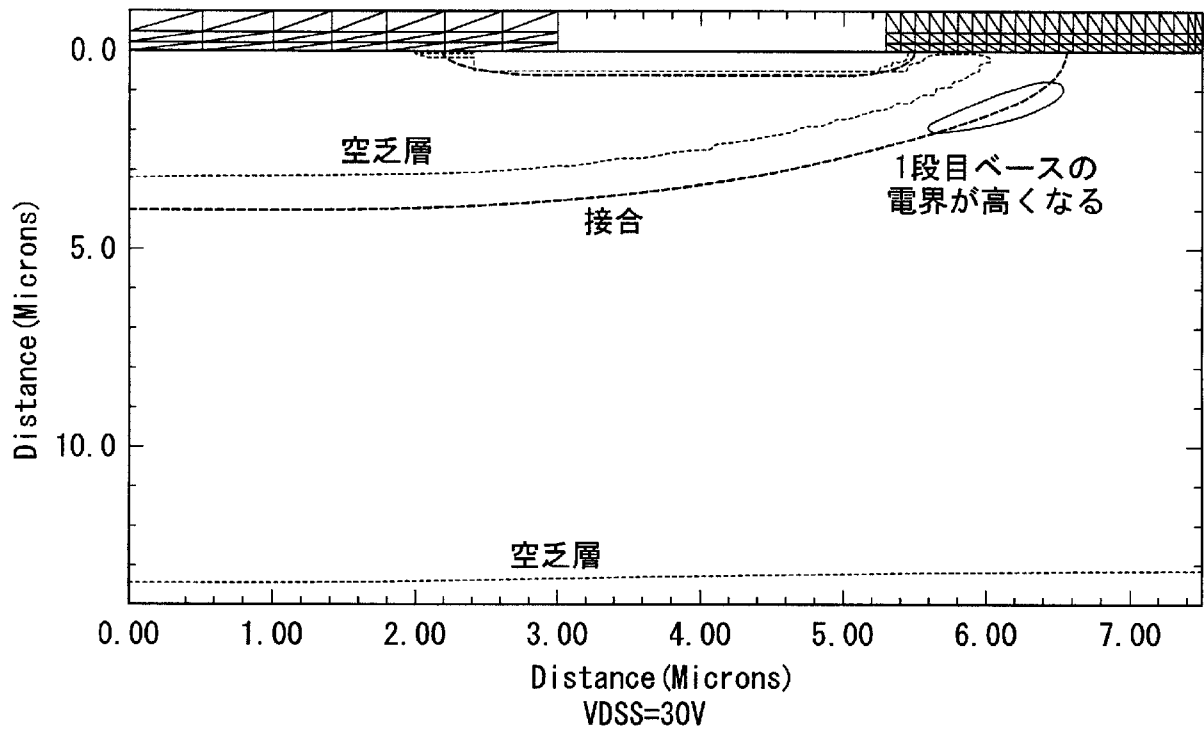
[図13A]



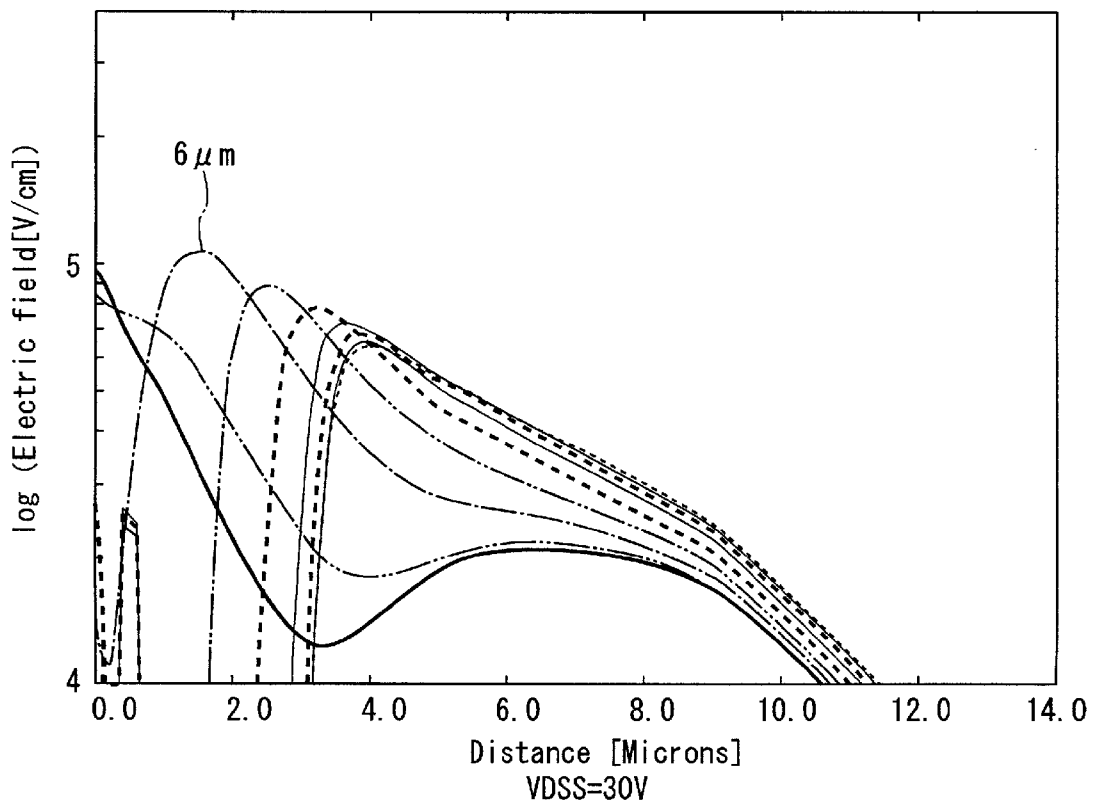
[図13B]



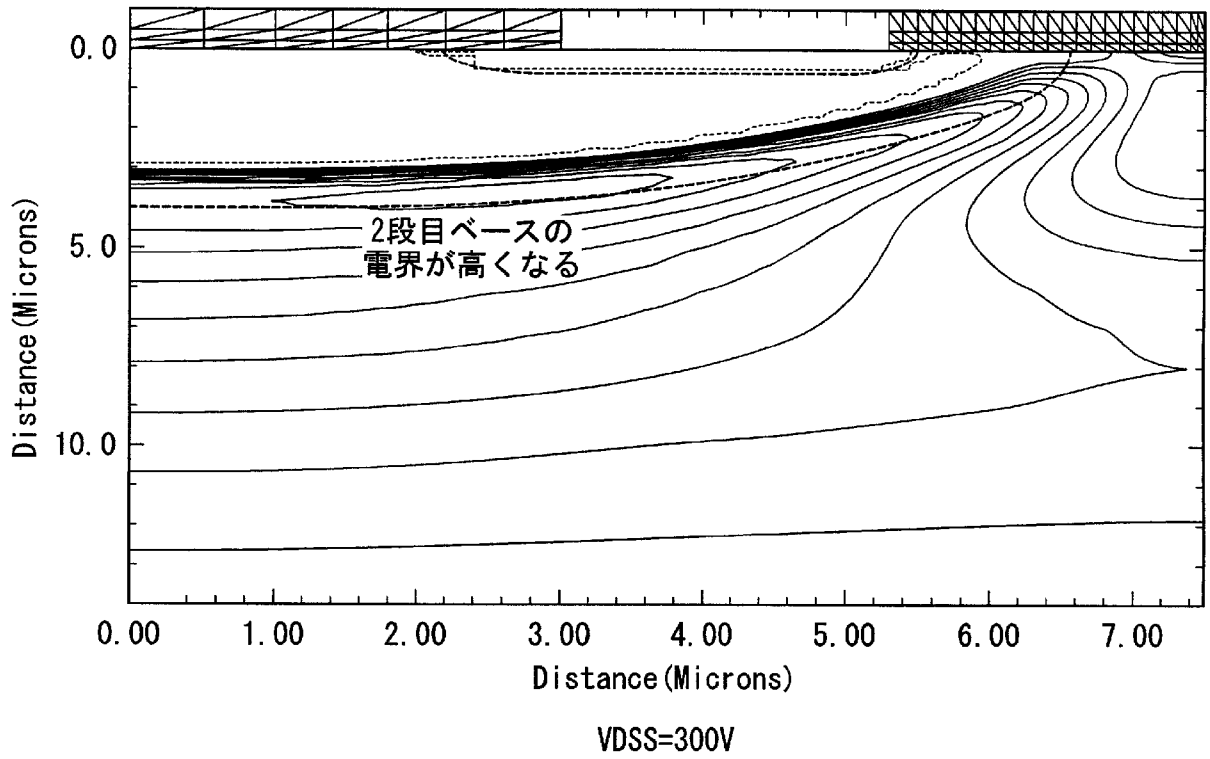
[図14A]



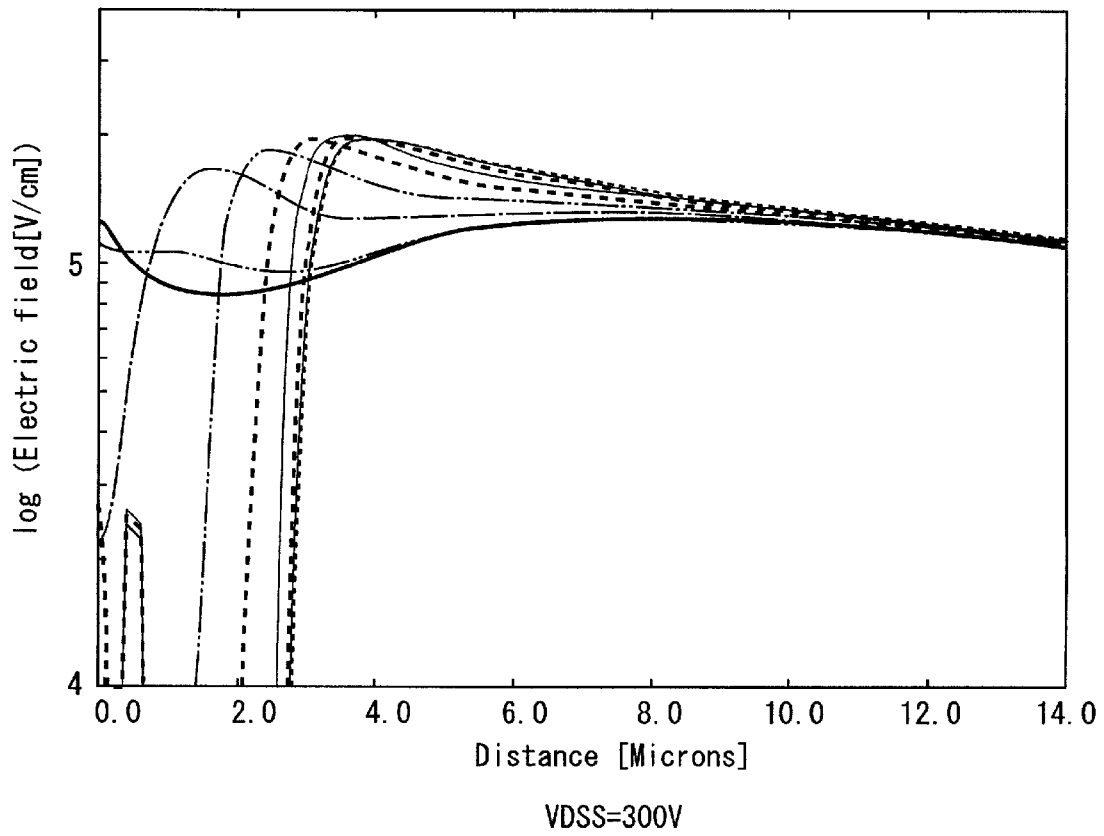
[図14B]



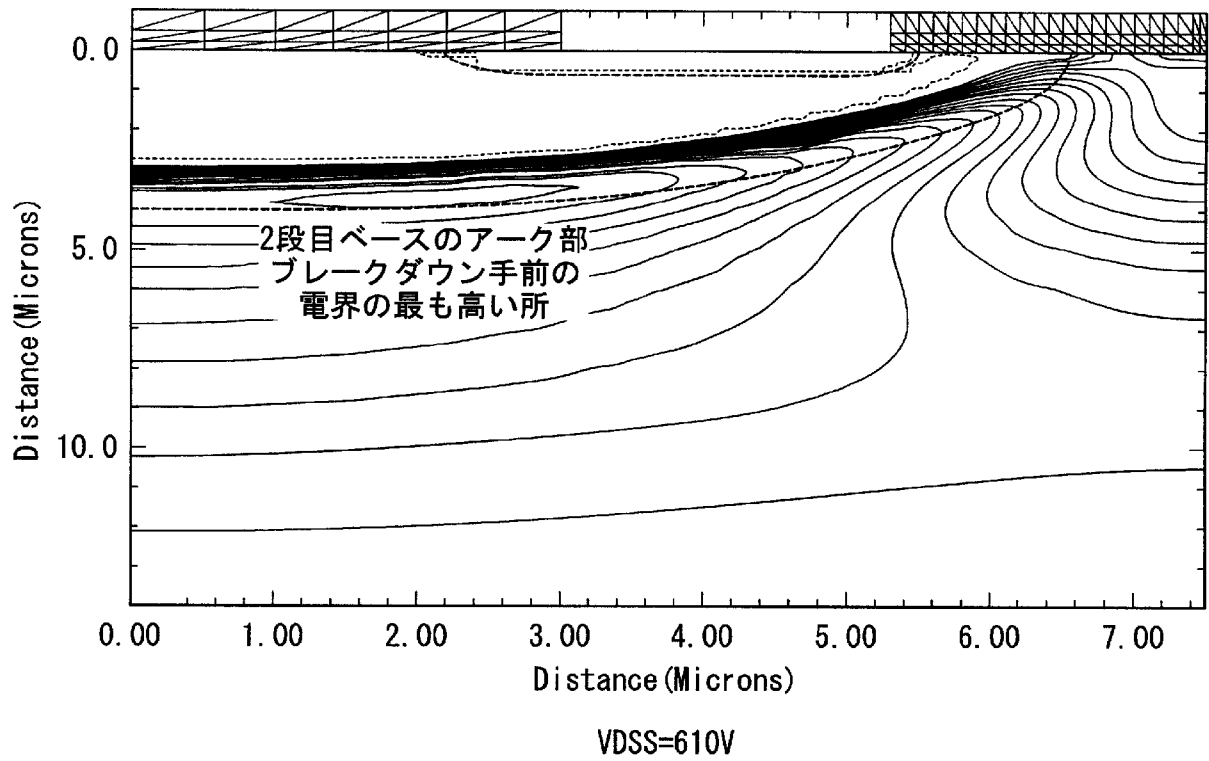
[図15A]



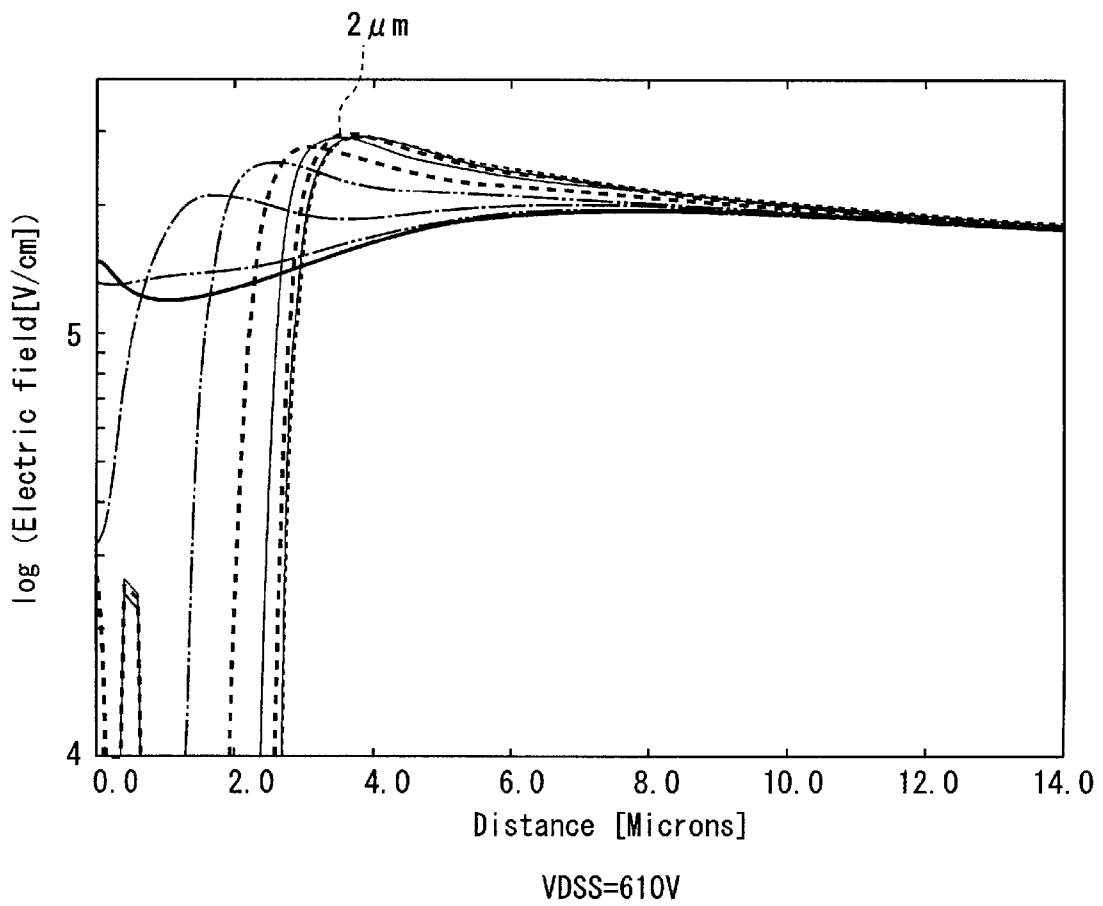
[図15B]



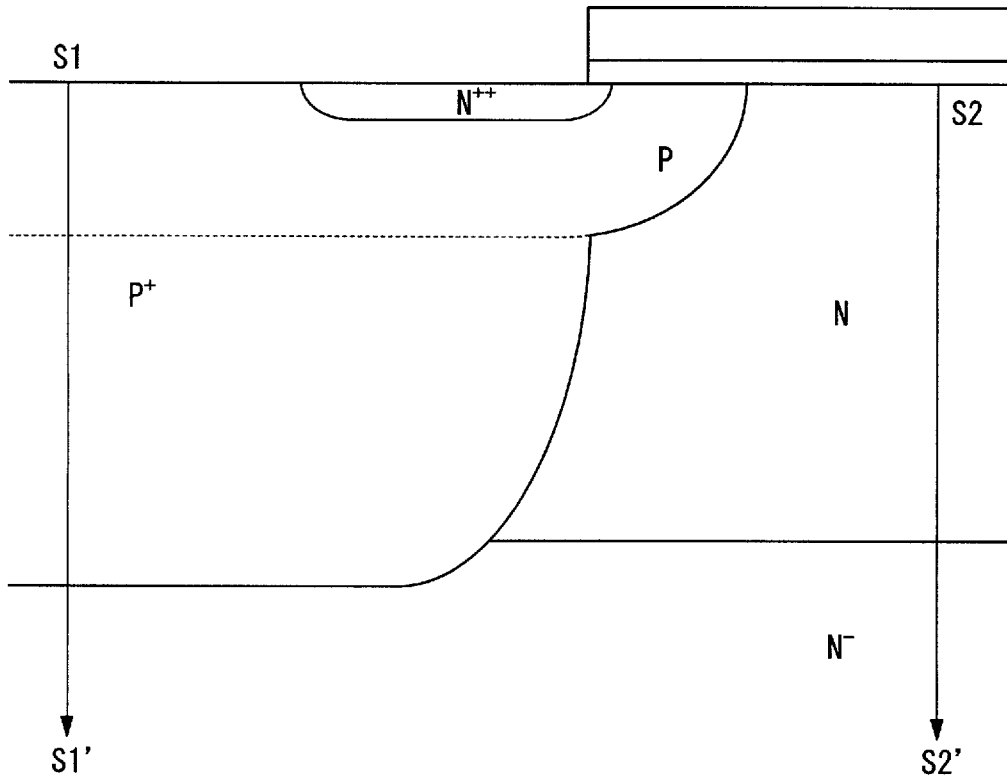
[図16A]



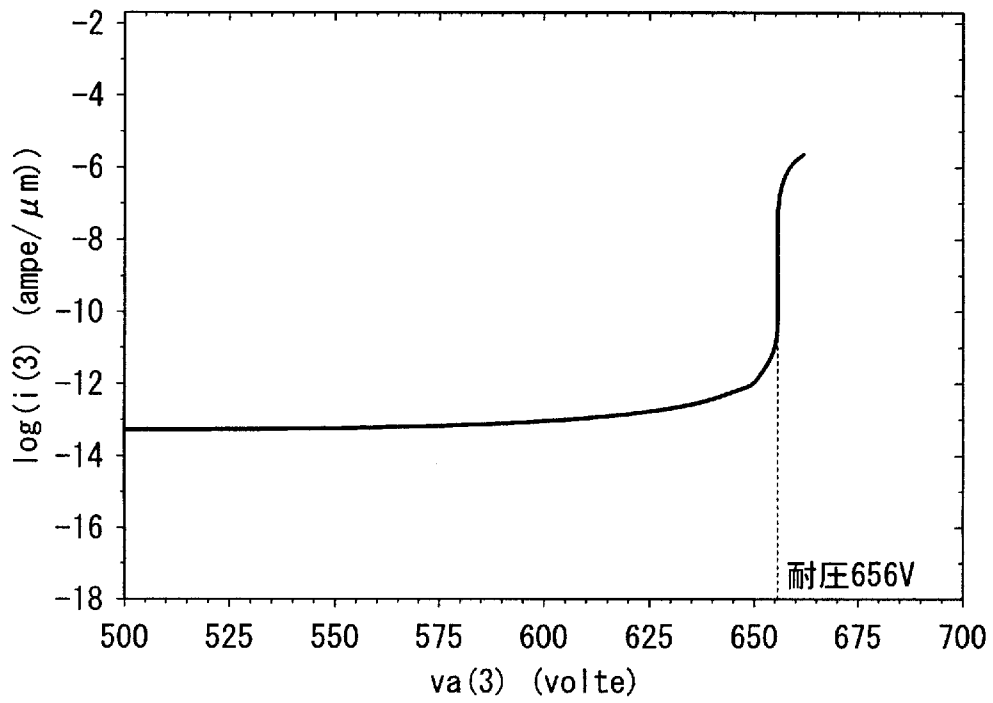
[図16B]



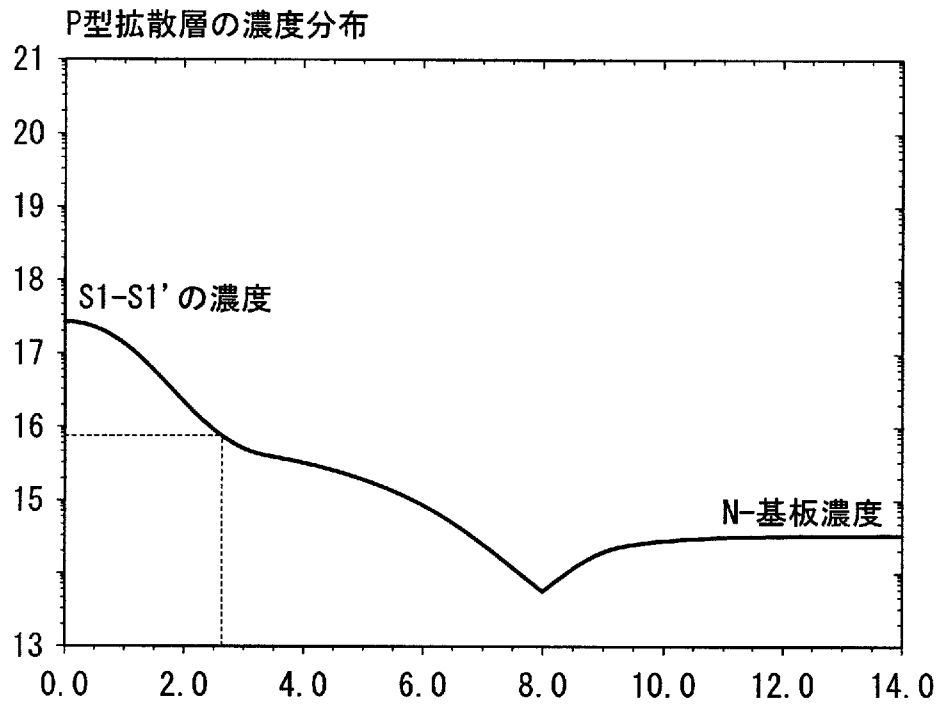
[図17]



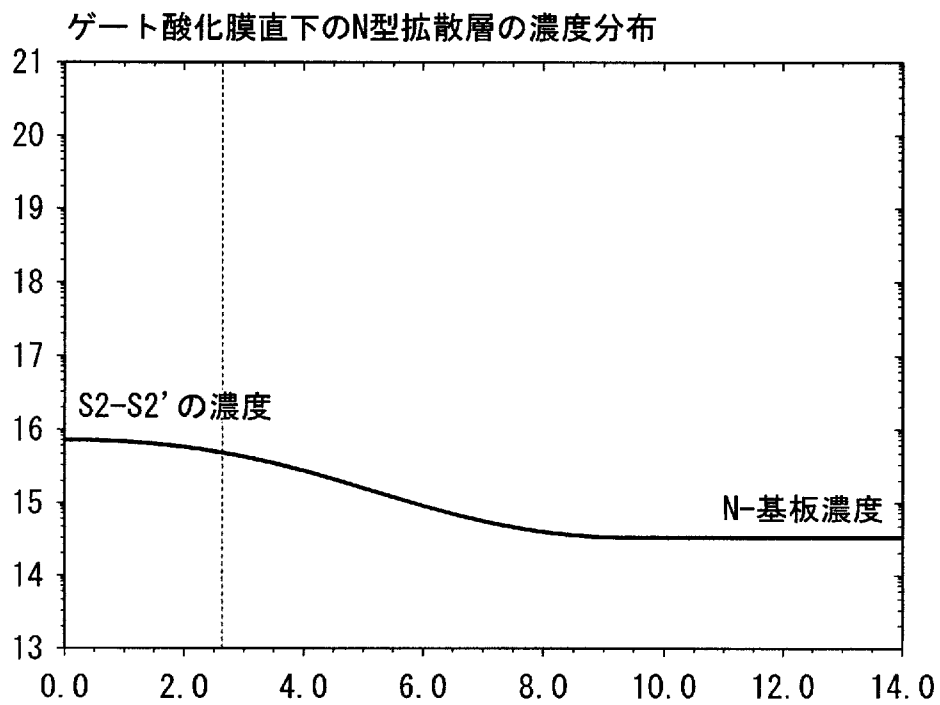
[図18]



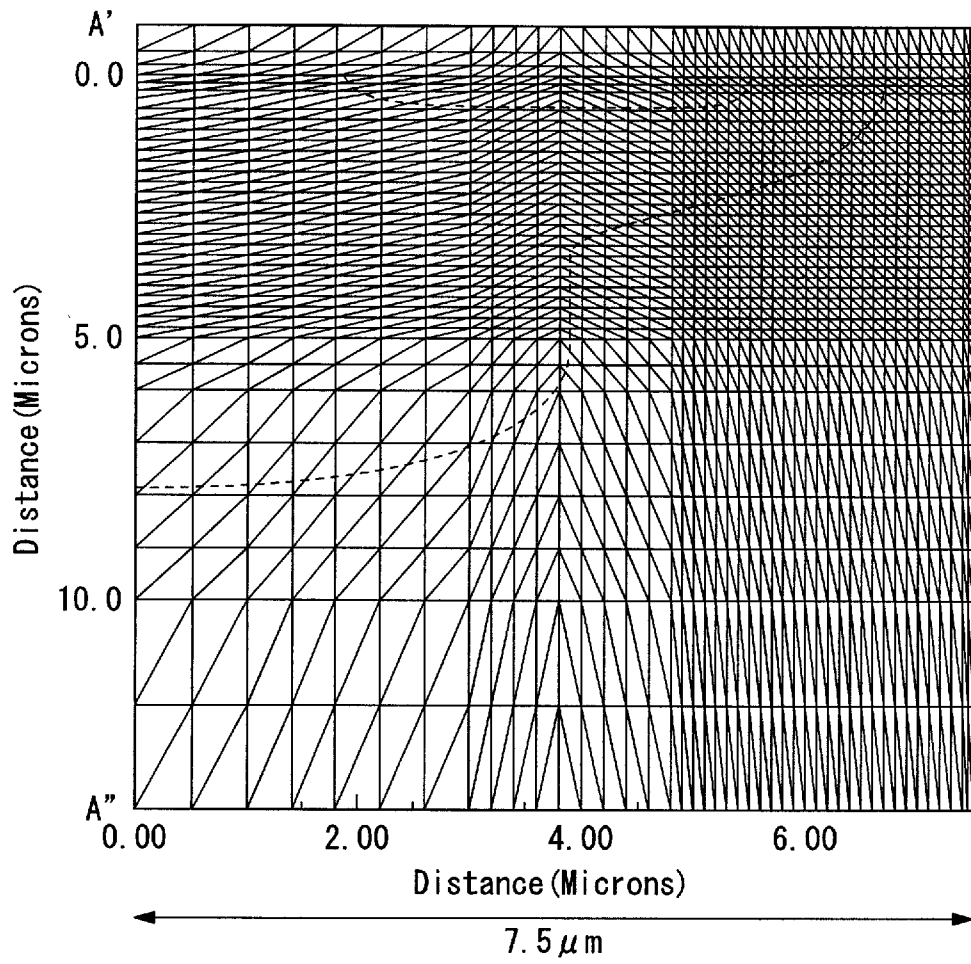
[図19]



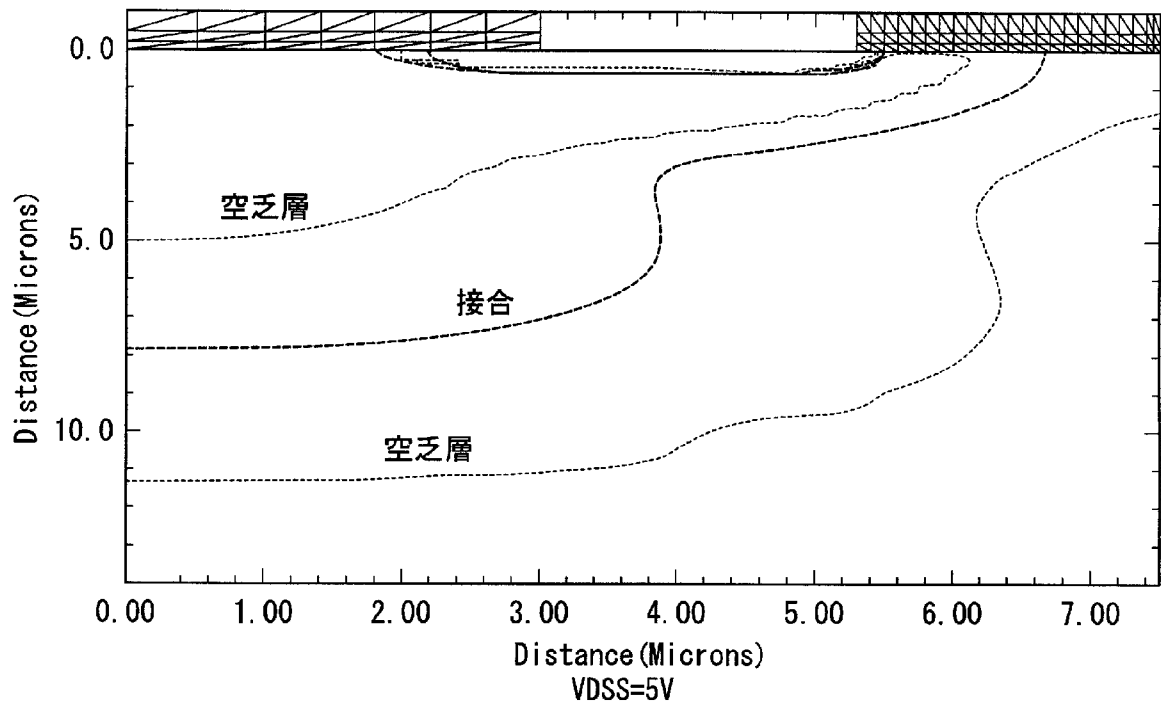
[図20]



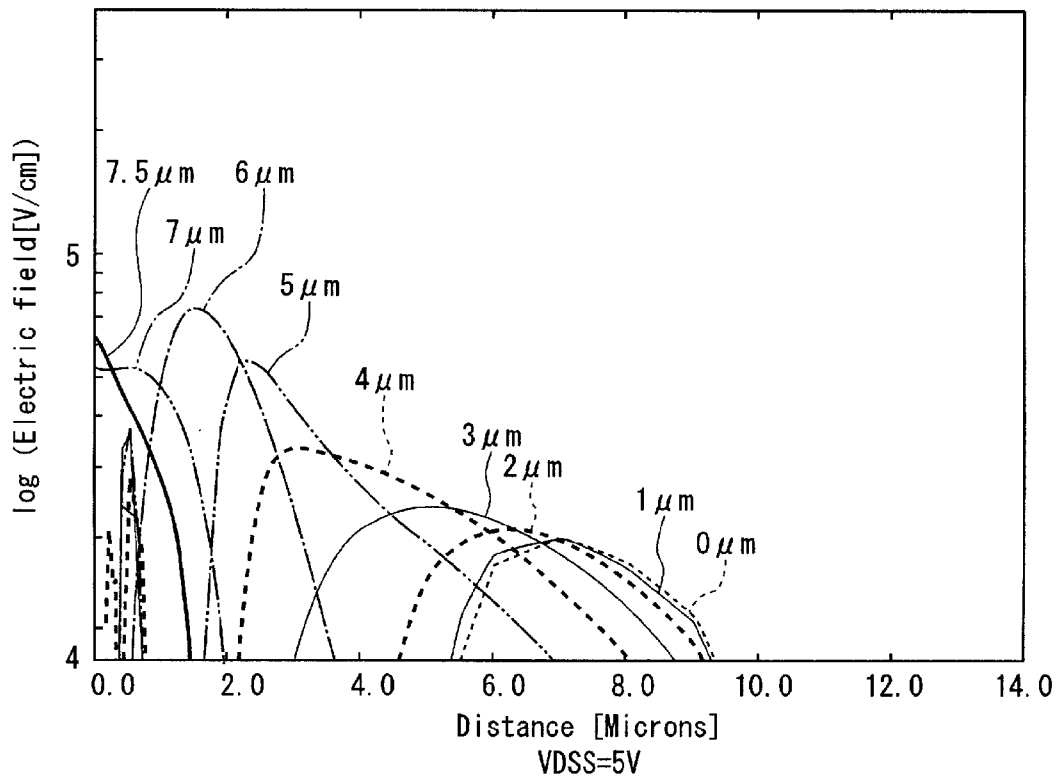
[図21]



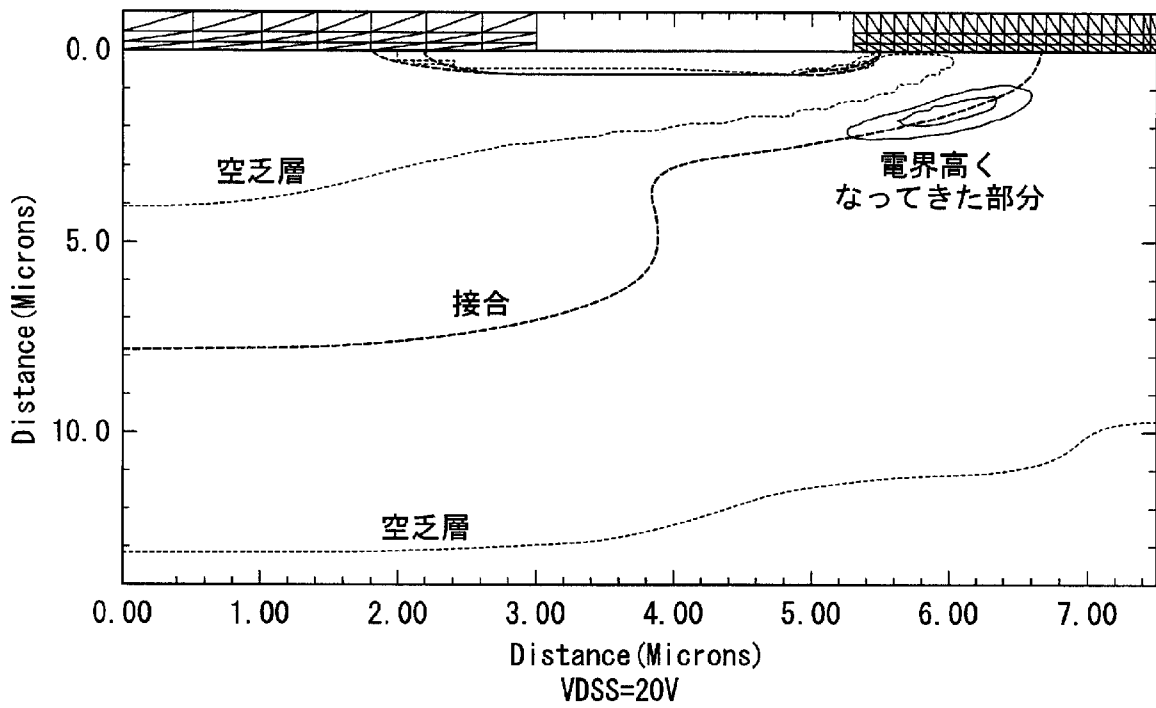
[図22A]



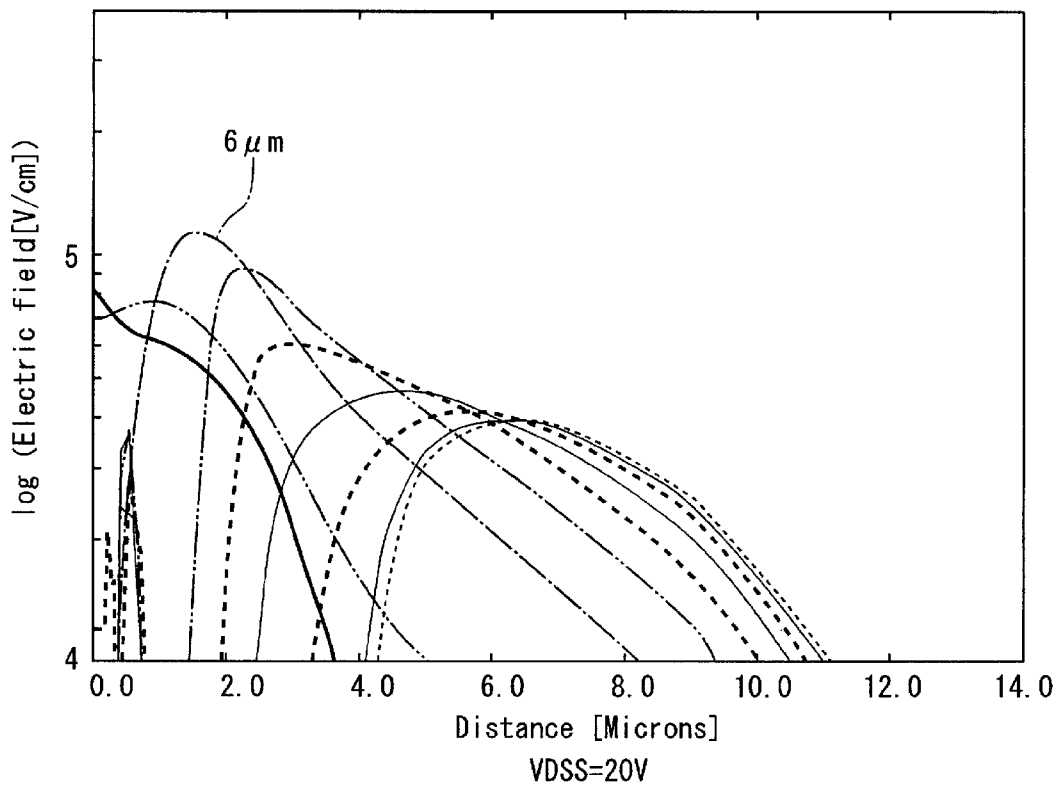
[図22B]



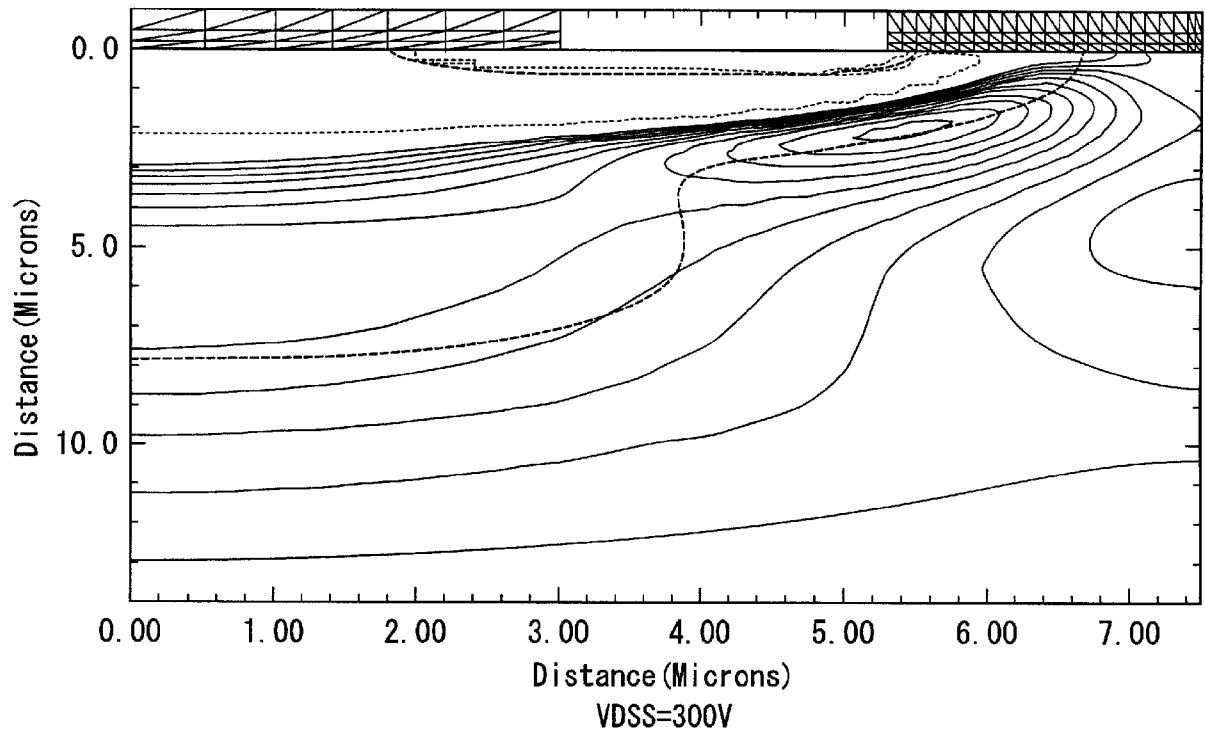
[図23A]



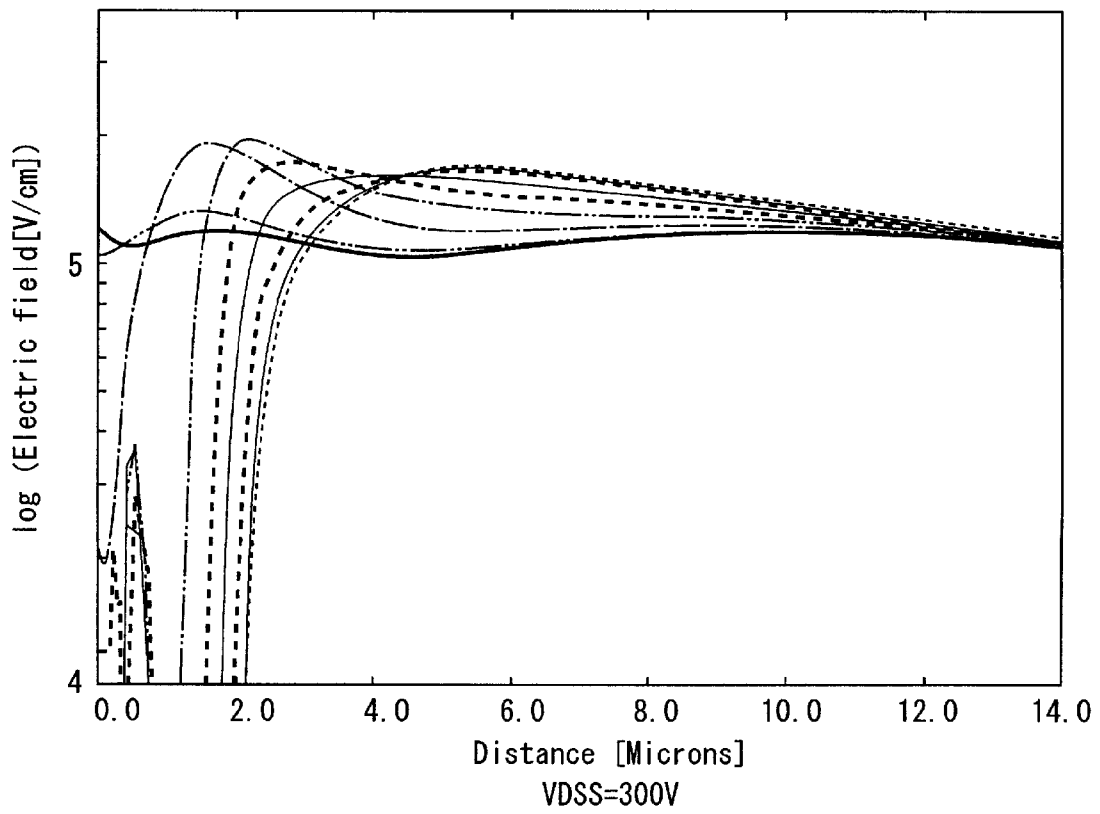
[図23B]



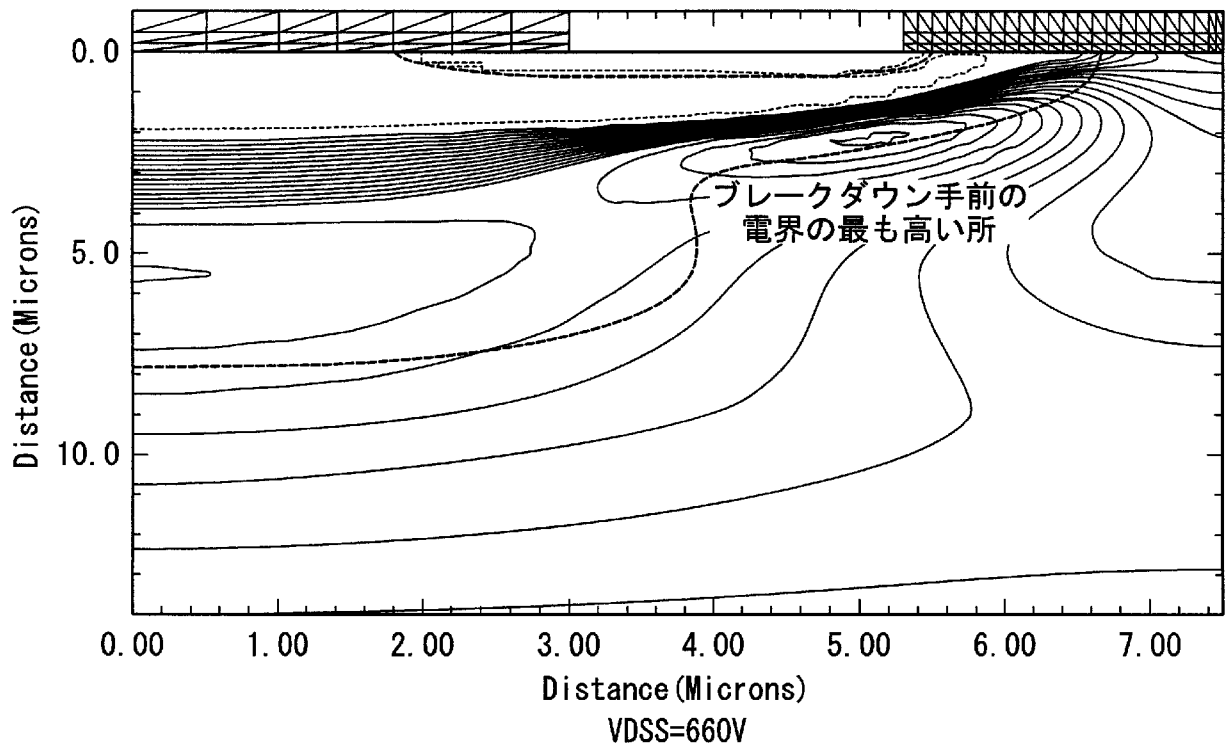
[図24A]



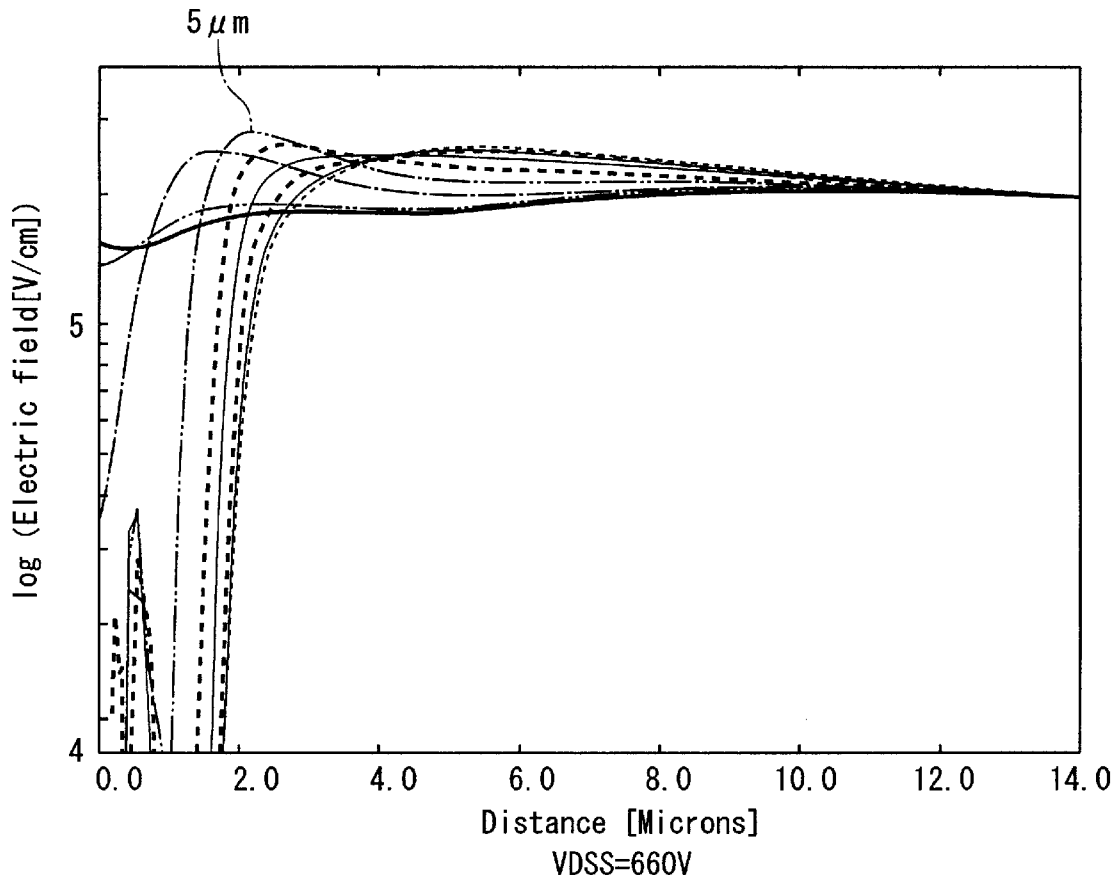
[図24B]



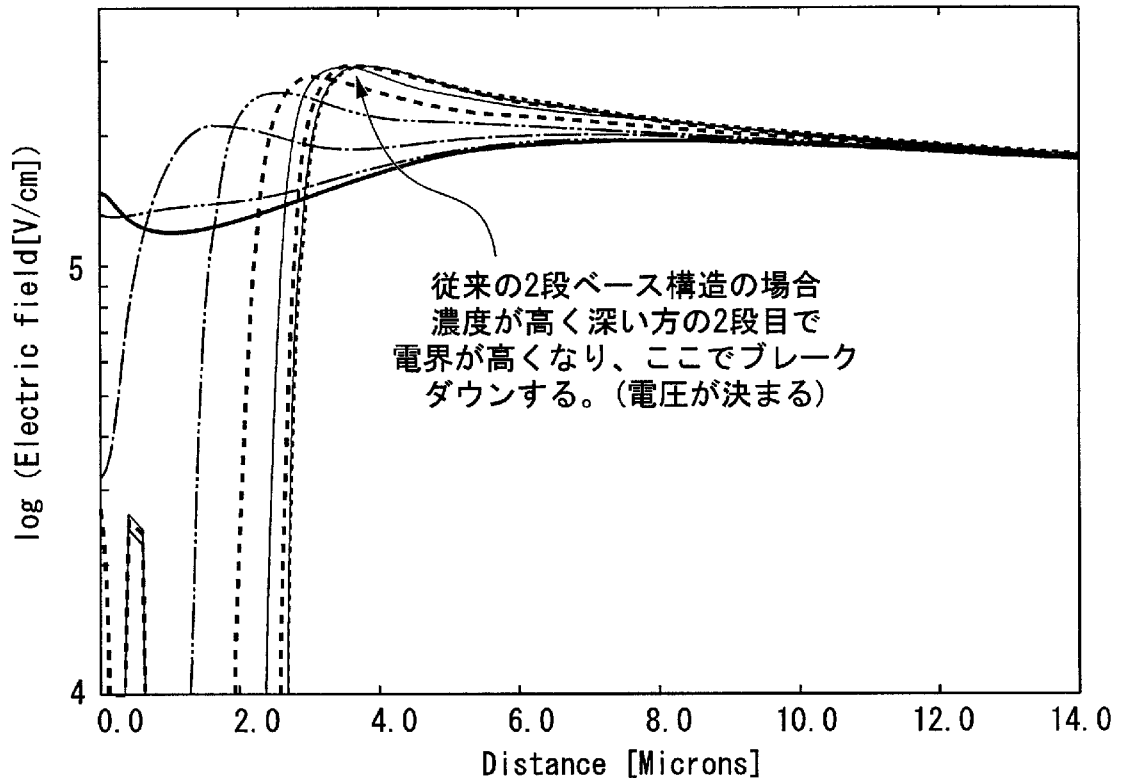
[図25A]



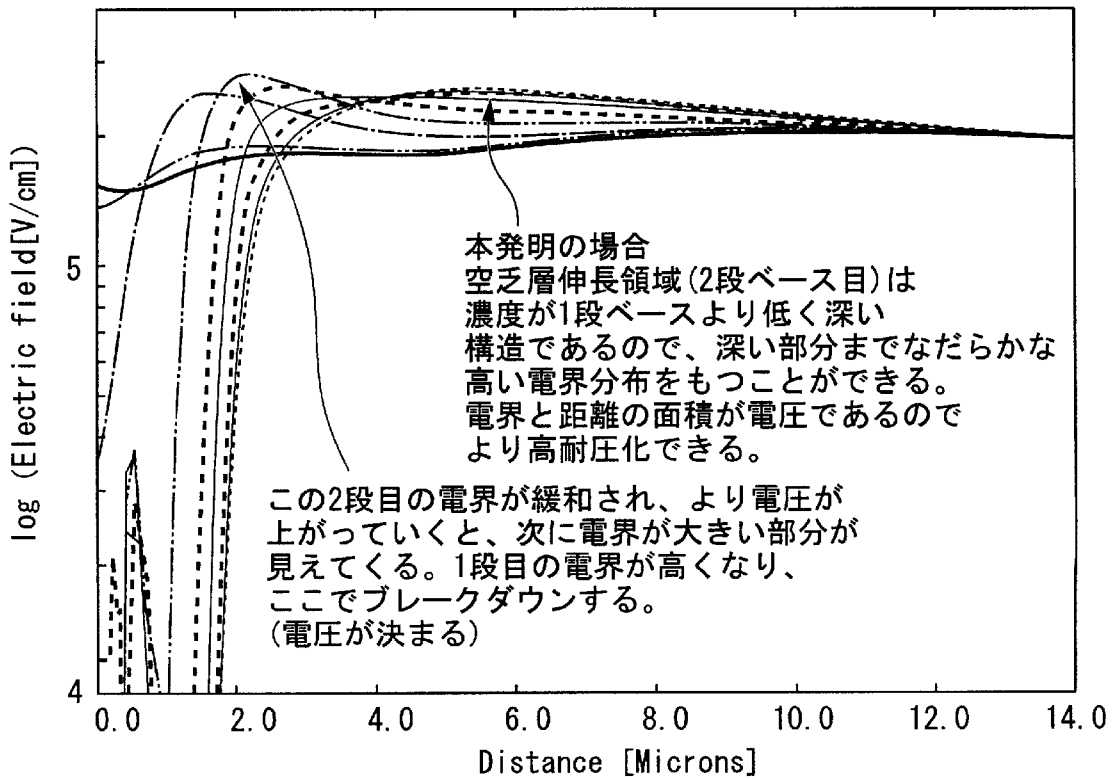
[図25B]



[図26]



[図27]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/073676

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2005/093844 A1 (Shindengen Electric Mfg. Co., Ltd.), 06 October, 2005 (06.10.05), Par. Nos. [0027] to [0044], [0103] to [0105]; Fig. 27 & JP 2005-285984 A & US 2007/069323 A1 & EP 1755169 A1	1-6 7-13
A	JP 2001-102577 A (Toshiba Corp.), 13 April, 2001 (13.04.01), Par. Nos. [0029] to [0046]; Fig. 3 (Family: none)	1-13

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 03 March, 2008 (03.03.08)	Date of mailing of the international search report 11 March, 2008 (11.03.08)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/073676

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-60685 A (Shindengen Electric Mfg. Co., Ltd.), 06 March, 2001 (06.03.01), Full text; all drawings & US 6703665 B1 & EP 1081768 A3	1-13
A	JP 2005-85990 A (Toshiba Corp.), 31 March, 2005 (31.03.05), Full text; all drawings & US 6849880 B1	1-13
A	JP 2003-152180 A (Toshiba Corp.), 23 May, 2003 (23.05.03), Par. Nos. [0011] to [0025]; Fig. 3 & US 2003/089947 A1 & EP 1313147 A2	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L29/78(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2008年
 日本国実用新案登録公報 1996-2008年
 日本国登録実用新案公報 1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	WO 2005/093844 A1 (新電元工業株式会社) 2005.10.06, 段落 [0027]-[0044], [0103]-[0105], 図 2 7 & JP 2005-285984 A & US 2007/069323 A1 & EP 1755169 A1	1-6 7-13
A	JP 2001-102577 A (株式会社東芝) 2001.04.13, 段落【0029】 -【0046】, 図3 (ファミリーなし)	1-13
A	JP 2001-60685 A (新電元工業株式会社) 2001.03.06, 全文, 全図 & US 6703665 B1 & EP 1081768 A3	1-13

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 03.03.2008	国際調査報告の発送日 11.03.2008
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 恩田 春香	4 L	8 9 3 4
	電話番号 03-3581-1101 内線 3498		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2005-85990 A (株式会社東芝) 2005.03.31, 全文, 全図 & US 6849880 B1	1-13
A	JP 2003-152180 A (株式会社東芝) 2003.05.23, 段落【0011】 - 【0025】, 図3 & US 2003/089947 A1 & EP 1313147 A2	1-13