



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0057036
(43) 공개일자 2009년06월03일

(51) Int. Cl.

H04L 7/02 (2006.01) H04B 10/158 (2006.01)

H04L 25/06 (2006.01)

(21) 출원번호 10-2009-7005860

(22) 출원일자 2009년03월23일

심사청구일자 2009년03월23일

번역문제출일자 2009년03월23일

(86) 국제출원번호 PCT/EP2007/057982

국제출원일자 2007년08월01일

(87) 국제공개번호 WO 2008/022886

국제공개일자 2008년02월28일

(30) 우선권주장

06300895.7 2006년08월25일

유럽특허청(EPO)(EP)

(71) 출원인

알까멜 루슨트

프랑스 75008 파리 튀 라 보에띠 54

(72) 발명자

프라이자흐, 헬무트

독일 베직하임 74354, 헤르만스트라쎄 13

(74) 대리인

장훈

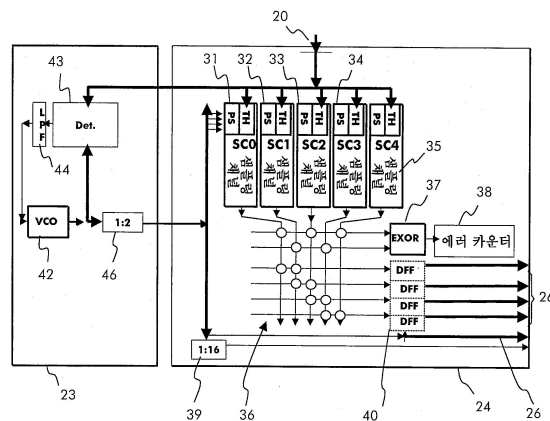
전체 청구항 수 : 총 11 항

(54) 큐-모니터를 갖춘 디지털 신호 수신기

(57) 요약

높은-비트레이트 디지털 신호용 디지털 신호 수신기는 직렬 신호 입력(20, 20') 및 $N > 1$ 인 다수의 N 개의 병렬 디지털 신호 출력들(26)을 갖는다. 수신기는 적어도 $N+1$ 개의 디지털 샘플링 채널들(31 내지 35), 샘플링 채널들(31 내지 35) 중 적어도 2개의 출력 신호를 비교하는 Q-모니터(37, 38), 및 샘플링 채널들(31 내지 35) 중 N 개를 출력 리드들(36) 및 샘플링 채널들(31 내지 35) 중 적어도 2개를 Q-모니터(37, 38)에 제어가능하게 접속시키는 스위치 패브릭(36)을 포함한다. 이것은 동시에 N 개의 출력 신호들을 제공하기 위해 샘플링 채널들 중 N 개를 사용하게 하고, 적어도 하나의 남은 샘플링 채널은 아이 다이어그램을 스캔하기 위해 Q-모니터에 의해 사용될 수 있다.

대표도 - 도3a



특허청구의 범위

청구항 1

$N > 1$ 인 N 개의 병렬 출력 리드들(parallel output leads)(26)을 가지는 디지털 신호 출력 및 직렬 신호 입력(20, 20')을 포함하는 높은-비트레이트 디지털 신호용 디지털 신호 수신기로서,

상기 수신기는 적어도 $N+1$ 개의 디지털 샘플링 채널들(31 내지 35), 상기 샘플링 채널들(31 내지 35) 중 적어도 2개의 출력 신호를 비교하기 위한 Q-모니터 회로, 및 상기 샘플링 채널들(31 내지 35) 중 N 개를 상기 N 개의 병렬 출력 리드들(26)에 및 상기 샘플링 채널들(31 내지 35) 중 적어도 2개를 상기 Q-모니터(37, 38)에 제어가능하게 접속시키기 위한 스위치 패브릭(switch fabric)(36)을 더 포함하는, 디지털 신호 수신기.

청구항 2

제 1 항에 있어서,

상기 Q-모니터는 EXOR 게이트(37) 및 에러 카운터(38)를 포함하는, 디지털 신호 수신기.

청구항 3

제 1 항에 있어서,

상기 스위치 패브릭(36)과 상기 출력 리드들(26) 사이에 접속된 D 플립-플롭들(flip-flops)(40)을 포함하는, 디지털 신호 수신기.

청구항 4

제 1 항에 있어서,

상기 스위치 패브릭을 구성하고, 상기 Q-모니터의 의사 에러 카운트 값들(pseudo error count values)을 판독하고 상기 스위치 패브릭(36)을 통해 상기 Q-모니터에 접속된 상기 샘플링 채널들(31 내지 35) 중 적어도 하나에 대해 적어도 하나의 최적화된 파라미터를 결정하기 위한 마이크로제어기를 더 포함하는, 디지털 신호 수신기.

청구항 5

제 4 항에 있어서,

가변 이득 증폭기(21) 및/또는 전기 등화기(22)를 더 포함하고,

상기 마이크로제어기(25)는 상기 Q-모니터에 의해 전달된 의사 에러 카운트 값들에 의존하여 상기 가변 이득 증폭기(21) 및/또는 상기 전기 등화기(22)의 적어도 하나의 동작 파라미터를 조정하도록 구성되는, 디지털 신호 수신기.

청구항 6

제 1 항에 있어서,

상기 샘플링 채널들은 샘플러, 문턱치/오프셋 보상(threshold/offset compensation; TH), 및 위상 시프터(phase shifter; PS)를 포함하는 모두 동일한 디자인인, 디지털 신호 수신기.

청구항 7

제 1 항에 있어서,

상기 입력 신호로부터 복원된 클록 신호를 생성하기 위한 클록 복원 회로(23)를 더 포함하는, 디지털 신호 수신기.

청구항 8

제 7 항에 있어서,

상기 복원된 클록 신호는 상기 입력 신호의 비트레이트의 $1/N$ 의 클록 레이트를 갖는, 디지털 신호 수신기.

청구항 9

제 7 항에 있어서,

상기 N개의 샘플링 채널들(31 내지 35)이 $2\pi/N$ 만큼 상호 시프트된 위상 값들을 갖도록 상기 스위치 패브릭(36)을 통해 상기 출력 리드들(26)에 접속된 상기 N개의 샘플링 채널들(31 내지 35)에서 위상 시프터들(PS)을 조정하도록 구성된 마이크로제어기(25)를 포함하는, 디지털 신호 수신기.

청구항 10

제 9 항에 있어서,

상기 위상 시프터들(PS)은 상기 클록 복원 회로(23)로부터 90° 만큼 상호 시프트된, 상기 클록 신호의 적어도 2개의 카피들(copies)을 수신하고,

상기 위상 시프터들(PS)은 상기 적어도 2개의 카피들의 가중된 합으로서 위상 시프트된 클록 신호를 생성하도록 구성되고,

상기 마이크로제어기(25)는 그들의 가중 팩터들(weighting factors)을 조정함으로써 상기 위상 시프터들(PS)을 조정하도록 구성되는, 디지털 신호 수신기.

청구항 11

높은-비트레이트 디지털 신호를 재생성하고 그것을 $N>1$ 인 N-비트 와이드 병렬 출력 신호로 전환하기 위한 방법에 있어서,

- 적어도 N+1개의 샘플링 채널들(31 내지 35)을 제공하는 단계;
- 상기 샘플링 채널들(31 내지 35) 중 N개를 병렬 출력 신호 출력(26)에 접속시키는 단계;
- 적어도 하나의 나머지 샘플링 채널을 포함하는 상기 샘플링 채널들(31 내지 35) 중 2개를 Q-모니터(37, 38)에 접속시키는 단계;
- 그의 위상 및/또는 문턱치를 변경시킴으로써 상기 적어도 하나의 나머지 샘플링 채널의 1 또는 2 차원 아이 다이어그램(eye diagram)을 측정하기 위해 상기 Q-모니터(37, 38)를 사용하는 단계; 및
- 모든 샘플링 채널들에 대한 아이 다이어그램들이 측정될 때까지 샘플링 채널들(31 내지 35)의 상이한 할당을 사용하여 상기 단계들을 반복하는 단계를 포함하는, 방법.

명세서

기술분야

- <1> 본 발명은 전기통신 분야에 관한 것으로, 특히, 매우 높은 비트레이트에서 동작하는 광학 전달 네트워크들(optical transport networks)에서 사용될 수 있는, Q-모니터를 갖춘 디지털 신호 수신기에 관한 것이다.

배경기술

- <2> 여기에서 참조문헌으로써 포함된, ITU 추천(recommendation) ITU-T 0.201은 통상 Q-모니터로서 언급되는 Q-팩터 측정 장비(Q-factor measurement equipment)를 설명한다. Q-모니터는 결정 문턱치, 결정 위상 및 전자 분산 보상(Electronic Dispersion Compensation; EDC) 기반의 수신기에서 증폭기 이득 또는 등화기 세팅과 같은 다른 파라미터들의 적응성 조정(adaptive adjustment)을 위한 센서뿐만 아니라, 고속 광학 신호들의 성능 모니터링을 위한 강력한 회로이다.
- <3> ITU-T 0.201로부터 취해지는 도 1에 도시된 기본적인 Q-모니터 회로는 2개의 결정 채널들을 사용하고, 그 하나의 채널은 최적 샘플링 포인트(재생성된 입력 신호)에서 동작되는 반면에, 다른 채널은 진폭/위상 차원들에서 입력 신호를 스캔(scan)한다. 2개의 결정 채널들의 출력들은 비교되고(EXOR), 상이한 모니터 문턱치들 및 위상들을 위해 통합된다(에러 카운터). 이것은 1 또는 2 차원적인 아이 컨투어(eye contour)를 야기한다. 알고리즘(algorithm)이 이 측정으로부터 최적 결정 문턱치 또는 위상을 유도하는데 사용되면, 수신기는 그의 최적 샘플링 포인트에서 동작되고 부가적으로, 성능을 모니터링하는 목적들을 위해 Q-팩터를 계산한다.

- <4> Q-팩터 측정은 광학 채널들의 특징화를 위해 확립된 방법이다. 특히, 낮은 비트 에러 레이트들에서, 방법은 통계적으로 상당한 시간 기간 동안 비트 에러들을 카운트하는 것을 필요로 하는, 기존의 BER 측정보다 시간이 덜 걸린다는 이점을 갖는다. Q-팩터는 디지털 신호 수신기의 결정 회로에서 전기적인 신호-대-잡음 비(signal-to-noise)로서 규정된다.
- <5> Q-모니터는 또한 여기에 참조문헌으로써 포함된, EP 0 923 204 A2에 설명되어 있다. 마찬가지로 여기에 참조문헌으로써 포함된, EP 1 445 879 A1은 2개의 결정 채널들이 모니터 및 데이터 샘플링 모드에서 선택적으로 동작될 수 있는 방식으로 기본 Q-모니터 컨셉(concept)을 수정한다. 2개의 결정 채널들에 이어지는 크로스오버 스위치(crossover switch)는 데이터 및 모니터 경로들에 대해 적절한 결정 채널을 선택한다. 이 방식에서, 회로에서의 모든 위상 및 진폭 오프셋들은 효과적으로 보상될 수 있다.
- <6> 그러나, 기존의 Q-모니터들은 10 Gib/s 이상에서 가장 높은 비트레이트 애플리케이션들(bitrate applications)에 대해 적합하지 않다. 게다가, 가장 높은 비트레이트 신호들을 추가적으로 처리(즉, 오버헤드 처리(overhead processing), FEC 등)하기 위해서, 이러한 신호들은 일반적으로 병렬 포맷(parallel format)으로 전환된다.
- <7> 그러므로, 본 발명의 목적은 가장 높은 비트레이트 애플리케이션들, 바람직하게는 40 Gib/s 이상에 적합한, Q-모니터를 디지털 신호 수신기에 제공하는 것이다.

발명의 상세한 설명

- <8> 아래에서 나타나는 이들 또는 다른 목적들은, 직렬 신호 입력 및 $N > 1$ 인 다수의 N개의 병렬 디지털 신호 출력들을 갖는 높은 비트레이트 디지털 신호를 위한 디지털 신호 수신기에 의해 달성된다. 수신기는 적어도 $N+1$ 개의 디지털 샘플링 채널들, 샘플링 채널들 중 적어도 2개의 출력 신호를 비교하기 위한 Q-모니터, 및 샘플링 채널들 중 N개를 출력 리드들(output leads) 및 샘플링 채널들 중 적어도 2개를 Q-모니터에 제어가능하게 접속시키기 위한 스위치 패브릭(switch fabric)을 포함한다.
- <9> 이러한 설계로, 동시에 N개의 출력 신호들을 제공하기 위해 N개의 샘플링 채널들을 사용하는 것이 가능하고, 적어도 하나의 남은 샘플링 채널은 아이 다이어그램(eye diagram)을 스캔하기 위해 Q-모니터에 의해 사용될 수 있다. 출력 신호들을 생성하고 아이 다이어그램을 스캔하기 위해 상이한 샘플링 채널들을 서로 다른 조치들로 사용함으로써, 모든 샘플링 채널들이 차례로 스캔될 수 있고 결정 위상 및/또는 문턱치와 같은 동작 파라미터들이 최적화된다. 스위치 패브릭, 샘플링 채널들, 및 Q-모니터는 수신기 내부 또는 외부에 있을 수 있는, 마이크로제어기에 의해 제어될 수 있다.
- <10> 기존의 구현예들에 비하여, 감도를 높이고, 전력 소모 및 실리콘 상에 필요한 리얼 에스테이트(real estate)를 줄이는 동일한 수준의 성능을 위해 부가적인 하드웨어가 불필요하기 때문에, 본 발명은 40 Gbps 및 다른 높은 레이트 애플리케이션들에 적합하다.
- <11> 지그-재그(zig-zag) 또는 라운드-로빈 스케줄링(round-robin scheduling)은 제한된 수의 교차점들만이 상주될(populated) 필요가 있으므로, 결정 채널들에 이어지는 스위치 매트릭스의 복잡도/크기를 줄인다.
- <12> 본 발명의 바람직한 실시예들은 이제 첨부된 도면들을 참조하여 설명될 것이다.

실시예

- <19> 도 1은 상술된 바와 같은 공지된 결정 회로를 도시한 도면이다. 수신된 O/E 변환 아날로그 입력 신호(10)는 2개의 결정 회로들(11, 12)에 제공되고, 그들 둘 모두는 복구된 클록 신호(16)에 의해 클록된다. 2개의 결정 회로들(11, 12)의 출력은 EXOR 게이트(13)에 의해 비교되고, 그것의 출력은 에러 카운터(14)에 제공된다. 카운트 값은 의사 에러들(pseudo errors)을 나타내고 결정 게이트(12)의 문턱치를 조정하기 위해 소프트웨어-구동 제어 유닛(15)에 의해 사용된다.
- <20> 이 접근법은 10 Gbit/s까지의 적절한 비트레이트들에 적합하다. 보다 높은 비트레이트들은 일반적으로 병렬 처리를 필요로 한다.
- <21> 도 2는 가변 이득 증폭기(variable gain amplifier; VGA)(21), 등화기(equalizer; EQ)(22), 클록 복원 회로(clock recovery circuit)(23), 조합된 Q-모니터 및 디멀티플렉싱 회로(demultiplexing circuit)(24) 및 마이크로제어기(25)를 갖춘 수신기를 도시한 도면이다. 마이크로제어기(25)는 수신기 외부에 있을 수 있고 예를 들면, 네트워크 노드에서 아주 많은 수의 수신기들을 제어할 수 있음에 주의해야 한다.

- <22> 수신된 O/E 전환 데이터 신호(20)가 가장 먼저 증폭기(21)에 의해 증폭되고, 광학 도메인에서 분산 효과들로 인해 신호에서 왜곡들에 대해 보상하는, 등화기(22)에 공급된다. 등화기(22)는 예를 들면, 선형 등화기, 결정-피드백 등화기, 또는 횡단 필터(transversal filter)로서 구현될 수 있다. 등화된 신호는 클록 복원 회로(23)와 Q-모니터 및 디멀티플렉싱 회로(24)에 브랜치된다(branched). 클록 복원(23)은 마이크로제어기(25)에 의해 관독된 의사 에러 신호(27) 및 병렬 포맷으로 수신된 신호(26)를 출력하는 Q-모니터 및 디멀티플렉싱 회로(24)에 복원된 클록 신호를 전달한다. 의사 에러 신호(27)에 응답하여, 마이크로제어기는 Q-모니터 및 디멀티플렉싱 회로(24)의 문턱치 및/또는 위상에 대한 조정 파라미터들(28)을 결정한다. 게다가, 마이크로제어기는 바람직하게, 등화기(22) 및 증폭기(21)에 대한 조정 파라미터들(28', 28'')을 또한 생성할 수 있다.
- <23> 도 2로부터 Q-모니터 및 디멀티플렉싱 회로(24)와 클록 복원(23)은 도 3a에 상세히 도시되어 있다. 도 2의 선택 등화기(22)로부터 인입하는(incoming) 수신된 신호(20')는 Q-모니터 및 디멀티플렉싱 회로(24)와 클록 복원(23)에 브랜치된다. 회로(24)는 신호 입력(20')을 병렬로 수신하는 5개의 샘플링 채널들(SC0 내지 SC4)(31 내지 35), 스위치 매트릭스(36), EXOR 회로(37), 에러 카운터(38), 신호 출력(26)에서의 선택(optional) D 플립-플롭들(flip-flops) 및 부가적인 클록 출력을 위한 선택 1:16 분할기를 포함한다.
- <24> SC0 내지 SC4로 붙여진 5개의 샘플링 채널들(31 내지 35)은 조정가능한 위상 및 문턱치들을 갖는 결정 게이트들이다. 각각의 샘플링 채널은 샘플러, 문턱치/오프셋 보상(offset compensation) 및 위상 시프터(phase shifter)를 포함한다. 위상 시프터는 스텝(step) 당 0.5ps 보다 낮은 높은 정확성을 갖고, 43 Gbit/s 클록에 대해 완전한 4 UI 위상 시프트를 허용한다. 각각의 샘플링 채널은 아날로그 입력 신호의 전체 범위를 커버(cover)하는 문턱치 범위를 허용한다. 실질적으로 유용한 값은 $\pm 250\text{mV}$ 이다.
- <25> 바람직한 일 실시예에서, 샘플링 채널들(31 내지 35)의 위상 시프터들은 간단한 벡터 부가 접근법을 사용하여 구현되고: 클록 신호들은 사인과 형태를 갖는다. 각각 90° 만큼 상호 시프트된 클록 신호의 4개의 카피들(copies)은 가중된 합으로 조합된다. 이 가중된 합의 결과는 다시 클록 신호이지만, 위상 시프트는 사용된 가중 팩터들에 의존한다. 위상 시프터들에서 가중 팩터들을 간단히 조정함으로써, 임의의 필요한 위상 시프트된 클록이 생성될 수 있다.
- <26> 가중 팩터들이 네거티브(negative)로 허용되면, 입력 클록의 4개의 상호 시프트된 카피들 대신에, 0° 및 90° 에서의 2개의 카피들이 동작한다는 것에 주의해야 한다.
- <27> 스위치 매트릭스(36)를 통해, 각 샘플링 채널은 EXOR 게이트(37) 및 4개의 병렬 출력 리드들(26) 중 하나에 교대로 접속될 수 있다. 스위치 매트릭스(36)는 샘플링 채널들(31 내지 35)이 4개의 출력 리드들(26) 및 EXOR 게이트(37)에 미리 결정된 스케줄에 따라 교대로 접속되는 방식으로 마이크로제어기(25)에 의해 제어된다.
- <28> 사용된 스케줄에 의존하여, 스위치 매트릭스(36)의 모든 교차점들이 스위치 소자들에 상주될 필요성은 없다. 바람직한 실시예에서, 도 5에 도시된 바와 같은 지그-재그 스케줄이 사용된다. 따라서, 스위치 매트릭스는 도 3a에 도시된 바와 같이 상주된다. 특히, 스위치 매트릭스는:
- <29> • 샘플링 채널들(31, 33, 또는 35)을 EXOR 게이트(37)의 제 1 입력에 스위칭하기 위한 3개의 스위치 소자들,
 - <30> • 샘플링 채널들(32 또는 34)을 EXOR 게이트(37)의 제 2 입력에 스위칭하기 위한 2개의 스위치 소자들,
 - <31> • 샘플링 채널(31 또는 32)을 제 1 출력 리드에 스위칭하기 위한 2개의 스위치 소자들,
 - <32> • 샘플링 채널(32 또는 33)을 제 2 출력 리드에 스위칭하기 위한 2개의 스위치 소자들,
 - <33> • 샘플링 채널(33 또는 34)을 제 3 출력 리드에 스위칭하기 위한 2개의 스위치 소자들,
 - <34> • 샘플링 채널(34 또는 35)을 제 4 출력 리드에 스위칭하기 위한 2개의 스위치 소자들을 갖는다
- <35> 스위칭 매트릭스에서 이롭게 사용될 수 있는 기본적인 스위치 소자는 여기에 참조문헌으로써 포함된 EP 1445863 호에 설명되어 있다.
- <36> 각 결정 게이트는 동일한 신호 입력(20')을 수신한다. 그러나, 5개의 결정 게이트들이 모두 동시에 동작하는 것이 아니고, 입력 신호의 1 비트에 대응하는 양만큼의 시간적으로 각각 시프트된다. 이를 달성하기 위해, 샘플링 채널들은 신호(20')의 데이터 레이트의 1/4인 액추에이팅 클록(actuating clock)만큼 클록되고 액추에이팅 클록의 상이한 위상 값들로 동작한다. 클록 시프트는 바람직하게 각 결정 게이트에서 적절한 위상 값들을 설정함으로써 달성된다. 예를 들면, 스위치 매트릭스(36)를 통해 출력 리드들에 동시에 접속되는 4개의 샘플링 채널들은 각각 0° , 90° , 180° , 270° 의 위상 값들을 가질 수 있다. N개의 출력 리드들을 갖는 일반적인 경우에, 각 샘플

플링 채널들의 위상들이 상호 시프트되는 값은 $2\pi/N$ 이다.

- <37> 대안적으로, 샘플링 채널들(31 내지 35)은 서로 대해 시간적으로 시프트된 상이한 클록 신호들로 동작할 수 있다. 그들은 입력 신호의 비트레이트에 대응하는 클록 신호에 대해 또한 동작할 수 있다. 후자의 경우에, 예를 들면 카운터들에 의해 구현되는, 클록 분할기들(clock dividers)은, 각각 샘플링 채널들의 클록 입력 전에 접속될 수 있다.
- <38> 본 발명의 원리에 따라, 제 5 샘플링 채널은 샘플링 채널들 중 다른 하나의 아이 다이어그램을 스캔하는데 동시에 사용된다. 이것은 도 5를 참조하여 아래에서 더 상세히 설명된다.
- <39> 데이터 레이트는 바람직한 실시예에서, OTU-3에 대해 규정된 레이트, 즉 43Gbit/s이다. 따라서, 액추에이팅 클록은 10.75GHz이다.
- <40> 본 발명의 선택적인 개선으로서, D("delay") 플립-플롭들(DFFs)(40)은 출력 리드들(26)에서 제공될 수 있다. DFF는 클록이 스트로브(strobe)될 때 그것의 입력을 출력에 전달한다. 따라서, 데이터 출력은 그것이 입력에 도달한 후에 출력된 하나의 클록 사이클에 포스트(post)된다. DFF들(40)은 액추에이팅 클록 신호(26')에 의해 클록되어, 모두 4개의 병렬 출력 리드들(26)은 동일한 클록 위상으로 그들 각각의 출력 신호들을 전달한다.
- <41> 클록 신호(26')는 클록 출력 리드에 제공된다. 또한, 액추에이팅 클록의 1/16인 보다 낮은 레이트 클록 신호는 클록 분할기(39)에 의해 얻어지고 본 발명의 범위를 넘는, 수신기에서의 부가적인 기능들(도시되지 않음)을 지원하도록 각각의 저속 클록 출력에 제공된다.
- <42> EXOR 게이트(37)의 출력은 에러 카운터(38)에 공급되고 의사 에러들로서 카운트된다. 마이크로제어기(25)는 미리 결정된 구간들에서 에러 카운터(38)를 판독 및 리셋(reset)할 수 있고, 조정 알고리즘에 따라 샘플링 채널들(31 내지 35)의 위상 및/또는 문턱치 파라미터들을 조정하기 위해 에러 카운트를 사용한다.
- <43> 에러 레이트로부터 조정 파라미터들을 결정하기 위한 다양한 알고리즘들은 공지되어 있고 부적절한 실험 없이 숙련자에 의해 구현될 수 있다. 공통 원리는 결정 위상 및 문턱치, 등화기 파라미터들, 또는 에러 레이트를 최소화하는 방식의 증폭(amplification)과 같은 각각의 파라미터들을 조정하는 것이다. 초기 위상 및 임계값들을 설정하도록 하는 알고리즘은 예를 들면, 여기에 참조문헌으로써 포함되고, 발명의 명칭이 "디지털 통신 신호들을 위한 수신기의 결정 포인트를 제어하는 방법 및 장치(Method and Apparatus for Controlling the Decision Point of a Receiver for Digital Communication Signals)"인, 공개되지 않은 유럽특허출원 제05292228호에 설명되어 있다.
- <44> 수신기에서의 결정 포인트의 정확한 제어의 중요성은 분산형 파이버 링크(dispersive fiber link)를 통과한 후에 수신된 신호의 아이 다이어그램을 나타내는 도 4에 도시되었다. 분산으로 인해, 인접한 비트 값들은 중첩하고, 따라서, 결정 포인트가 정확하게 설정되지 않으면 잘못된 결정을 야기한다. 특히, 아이들(eyes)(1, 3)은 "잘못된" 아이들이지만, 결정 위상 DPH 및 결정 임계 DTH에 의해 규정되는 최적 결정 포인트는 "오른쪽" 아이(2)의 중간에 놓인다.
- <45> 도 3a로 되돌아가면, 클록 복원(23)의 기능은 Q-모니터 및 디멀티플렉싱 회로(24)에 대해 복원된 클록을 생성 및 제공하는 것이다. 그것은 기본적으로, 위상 검출기(43), 저역통과 필터(44), 및 전압 제어된 발진기(VCO)(42)로 구성된 위상-로크된 루프(phase-locked loop)를 포함한다.
- <46> VCO(42)는 21.5GHz의 클록 신호를 전달한다. 위상 검출기(43)는 수신된 데이터 펄스와 VCO(42)로부터의 클록 신호 사이에서 위상 오프셋을 검출하고 저역 통과 필터링 후에 VCO(42)의 제어 리드에 인가된, 대응하는 조정 전압을 제공한다. 분할기(46)는 2로써 VCO(42)의 출력 클록 신호를 분할하고, 회로(24)에 대해 액추에이팅 클록들로서 0° , 90° , 180° , 270° 각각에서 4개의 10.75GHz 클록 신호들을 공급한다.
- <47> 이미 설명한 바와 같이, 샘플링 채널들(31 내지 35)에서의 위상 시프터들은 이들 상호 시프트된 클록들로부터, 간단한 벡터 부가를 통해 적절히 위상 시프트된 클록 신호를 생성한다. 위상 시프트는 사용된 가중 팩터들을 조정함으로써 조정될 수 있다.
- <48> 대안적으로, VCO(42) 및 위상 검출기(43)는 0° , 90° , 180° , 270° 클록들을 생성하기 위해 1:4 클록 분할기에 의해 수반되는 43GHz의 풀 레이트(full rate)에서 동작할 수 있다.
- <49> 클록 복원(23)의 대안적인 실시예가 도 3b에 도시되어 있다. 본 실시예에서, 클록 복원은 0° , 90° , 180° , 270° 의 위상 관계를 갖는 4개의 클록들을 생성하는, 쿼터레이트(quarter rate)(예를 들면, 10.75GHz 구적

(quadrature) VCO QVCO(45)에 기초한다. EXOR 게이트(41)는 QVOC(45)의 0° 및 90° 클록 출력들로부터, 도 3a에서와 같은 하프레이트 모드(halfrate mode)에서 동작되는, 위상 검출기(43)에 대한 21.5GHz 클록을 생성하기 위해 사용된다.

- <50> 쿼터레이트 QVCO(25)에 기초한 클록 복원에 대한 대안은 쿼터레이트 클록(예를 들면, 10.75GHz)로 위상 검출기(43)를 동작시키는 것이다.
- <51> 5개의 샘플링 채널들(31 내지 35)의 교호 동작의 일례가 도 5의 표에 도시되어 있다. 표의 각각의 라인은 Q-모니터의 측정치에 대응한다. 이와 같은 아이 다이어그램 측정은 종래의 Q-모니터로, 즉, 측정 동안 제 5 샘플링 채널의 위상 및/또는 문턱치를 변경하고, 각각의 위상/문턱치 구성에 대해 의사 에러들을 카운트함으로써 수행된다.
- <52> 하나의 측정을 위한 적절한 시간은, 제어 알고리즘에 의해 필요한 Q-팩터 측정을 위한 정확성에 의존하여 $1\mu s$ 와 $100\mu s$ 사이이다. 측정 시간들은 입력 신호의 노이즈 분배에 적응될 수 있다.
- <53> 제 1의 4개의 컬럼들(columns)은 샘플링 채널이 스위치 매트릭스(36)를 통해 4개의 병렬 출력 리드들(26) 중 하나에 접속되는 것을 나타낸다. 5개의 샘플링 채널들은 SC0, SC1, SC2, SC3, SC4로서 식별되고 병렬 출력 리드들은 DS0, DS1, DS2, DS3으로서 식별된다. 제 5 컬럼은, 샘플링 채널들이 그 측정 동안 EXOR 게이트(37)를 통해 에러 카운터(38)에 공급되는 것을 나타낸다. 마지막 컬럼은, 5개의 샘플링 채널들(31 내지 35) 중 하나가 측정 동안 최적화되는 것을 나타낸다. 이것은 항상 샘플링 채널이고, 출력 리드들 중 하나에 접속되지 않고, 위상 및 문턱치들이 그것의 아이 다이어그램을 스캔하기 위해 측정하는 동안 변경된다.
- <54> 따라서, 예를 들면 라인 1에서, SC0은 DS0에, SC1은 DS2에, SC2는 DS3에, 그리고 SC4는 DS3에 접속된다. EXOR(37)는, 활성 출력이 스캔되고 마이크로제어기(25)에 의해 최적화되기 때문에, 사용되지 않는 샘플링 채널들(SC1 및 SC2)의 출력을 동시에 수신한다.
- <55> 도 5로부터 이해할 수 있는 바와 같이, 단지 하나의 출력 신호의 조정이 하나의 측정으로부터 다음 측정으로 변경된다. 이 하나가 회색으로 도시되어 있다. 예를 들면, 라인 1 내지 라인 2로부터, 출력 리드(DS2)에 할당된 샘플링 채널만이 SC1으로부터 SC2로 변하는 반면에, SC1은 다음 측정 동안 최적화된다.
- <56> 도 5에서, 이것은 지그-재그 패턴을 야기하여, 이 동작 모드가 지그-재그 스케줄로 되도록 한다. 라운드 로빈 등과 같은 다른 스케줄들이 스위칭 매트릭스(36)가 어떻게 설계되는지에 의존하여, 동일하게 사용될 수 있도록 명확히 해야 한다.
- <57> 설명된 수신기의 특정한 이점은 그것이 데이터 출력을 위해 한 번에 샘플링 채널들 중 하나만을 사용함으로써 10Gbit/s 동작을 위해 또한 HF-경로에서 임의의 변경 없이 사용될 수 있다는 점이다.
- <58> 본 발명이 4 비트 와이드 병렬 데이터 출력(four bit wide parallel data output)에 제한되지 않지만, 임의의 다른 적절한 병렬 포맷이 유사한 방식으로 동일하게 구현될 수 있음을 명확히 해야 한다. 예를 들면, 도시된 4 비트 와이드 출력은 니블들(nibbles)(하프-바이트들(half-bytes))을 제공하고, 2 비트 병렬 출력은 "크럼프들(crumps)"(2비트들)을 공급하고 8 비트 와이드 출력은 클록 사이클 당 풀 바이트들(full bytes)을 전달한다.
- <59> N-비트 와이드 출력 신호에 대해, N+1개 이상의 샘플링 채널들이 제공될 수 있다는 점을 명확히 해야 한다. 이 경우에, 여러 개의 아이 다이어그램들이 병렬로 측정될 수 있다. 따라서, 예를 들면, 8 비트 와이드 출력 신호에 대해, 8개가 병렬 출력 신호들을 생성하는 반면에 2개가 Q-모니터 측정을 위해 사용되도록 10개의 샘플링 채널들이 제공된다.

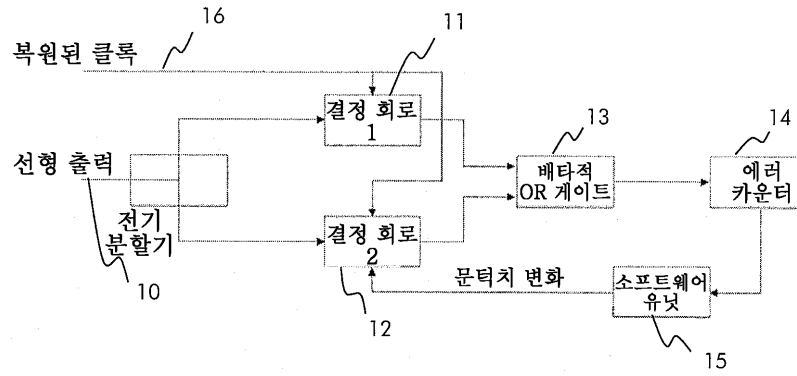
도면의 간단한 설명

- <13> 도 1은 Q-모니터를 갖춘 종래의 결정 회로를 도시한 도면.
- <14> 도 2는 Q-모니터를 갖춘 처리기-제어 수신기를 도시한 도면.
- <15> 도 3a는 본 발명에 따른 Q-모니터를 갖춘 수신기를 도시한 도면.
- <16> 도 3b는 교호 클록 생성기(alternate clock generator)를 갖춘 도 3a의 수신기를 도시하는 도면.
- <17> 도 4는 최적화된 결정 포인트를 갖는 아이 다이어그램을 도시하는 도면.
- <18> 도 5는 본 발명의 바람직한 실시예에 사용된 지그-재그 스케줄링 규칙들을 도시한 도면.

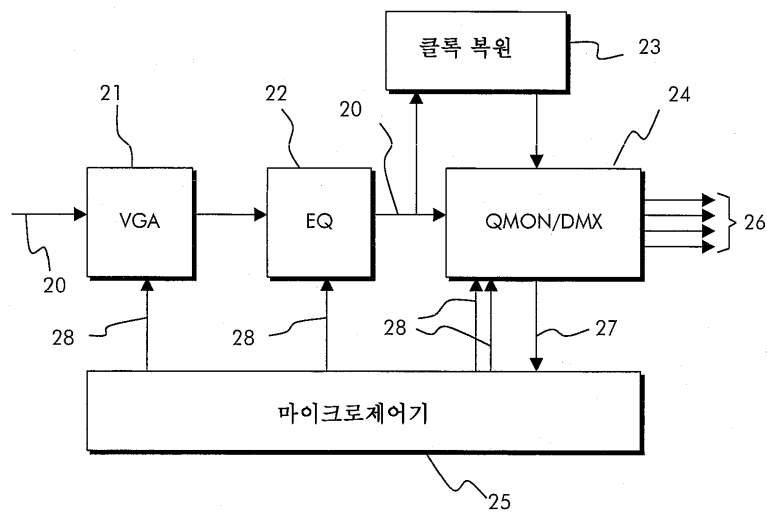
도면

도면1

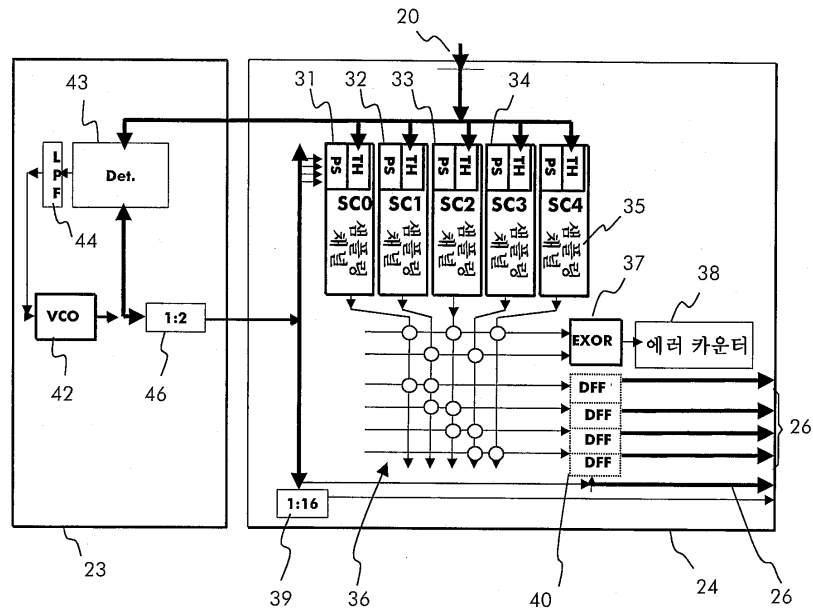
종래기술



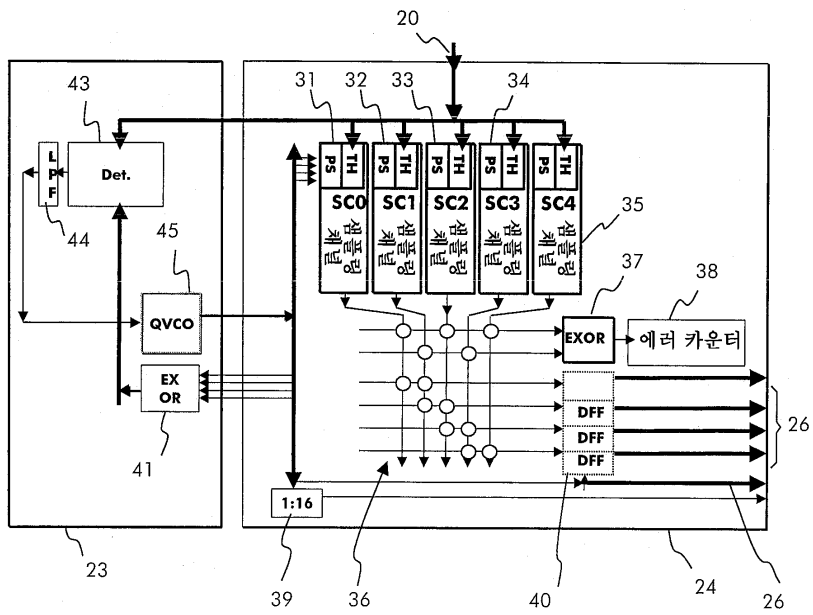
도면2



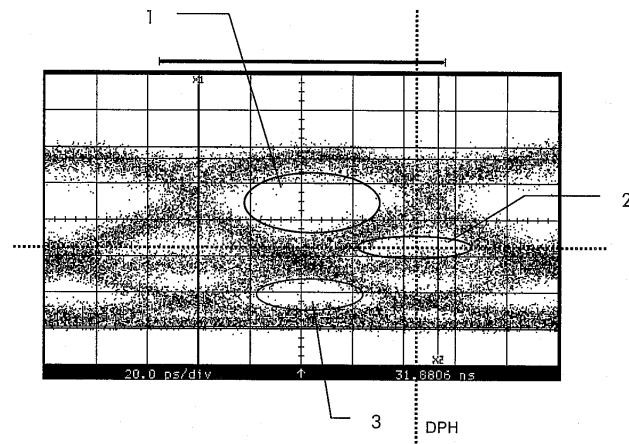
도면3a



도면3b



도면4



도면5

	출력 D0	출력 D1	출력 D2	출력 D3	에러 카운트	Opt.
7	SC0	SC1	SC3	SC4	SC1+SC2	SC2
8	SC0	SC2	SC3	SC4	SC0+SC1	SC1
1	SC1	SC2	SC3	SC4	SC1+SC0	SC0
2	SC0	SC2	SC3	SC4	SC2+SC1	SC1
3	SC0	SC1	SC3	SC4	SC3+SC2	SC2
4	SC0	SC1	SC2	SC4	SC4+SC3	SC3
5	SC0	SC1	SC2	SC3	SC3+SC4	SC4
6	SC0	SC1	SC2	SC4	SC2+SC3	SC3
7	SC0	SC1	SC3	SC4	SC1+SC2	SC2
8	SC0	SC2	SC3	SC4	SC0+SC1	SC1
1	SC1	SC2	SC3	SC4	SC1+SC0	SC0
2	SC0	SC2	SC3	SC4	SC2+SC1	SC1
3	SC0	SC1	SC3	SC4	SC3+SC2	SC2
4	SC0	SC1	SC2	SC4	SC4+SC3	SC3
5	SC0	SC1	SC2	SC3	SC3+SC4	SC4
6	SC0	SC1	SC2	SC4	SC2+SC3	SC3
7	SC0	SC1	SC3	SC4	SC1+SC2	SC2
8	SC0	SC2	SC3	SC4	SC0+SC1	SC1