

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

has the same structure as the first conductive pattern; a transparent resin layer which is on the second conductive layer; a light absorption layer which is on the resin layer; and a thin film transistor. The black dielectric layer contains carbon and covers the first and second conductive patterns when viewed in plan; parts of the first conductive pattern constitute a gate electrode of the thin film transistor, a scan line that drives the thin film transistor, and a capacitor pattern that is connected to the gate electrode; parts of the second conductive pattern constitute a source electrode and a drain electrode of the thin film transistor, and an output line of a first thin film transistor; a part of the oxide semiconductor layer constitutes a channel layer of the thin film transistor; the capacitor pattern is provided with a plurality of openings; and a part of the second insulating layer constitutes a gate insulating layer.

(57) 要約: 本発明のブラックマトリクス基板は、第1、第2面を有する透明基板と、前記第2面上の黒色誘電体層と、第1絶縁層と、該第1絶縁層上で、合金層等が導電性酸化物層で挟まれた第1導電パターンを含む第1導電層と、その上に第2絶縁層と、該第2絶縁層上の酸化物半導体層と、これらの上で、該第1導電パターンと同じ構造の第2導電パターンを含む第2導電層と、該第2導電層の上に透明樹脂層と、該樹脂層上に光吸収層と、薄膜トランジスタと、を備える。黒色誘電体層等は、カーボンを含み、平面視において第1及び第2導電パターンを覆い、第1導電パターンの一部は、薄膜トランジスタのゲート電極、薄膜トランジスタを駆動する走査線及び前記ゲート電極に接続された容量パターンを、第2導電パターンの一部は、薄膜トランジスタのソース電極、ドレイン電極、第1薄膜トランジスタの出力線を、酸化物半導体層の一部は、薄膜トランジスタのチャネル層を、構成し、前記容量パターンは、複数の開口部を具備し、第2絶縁層の一部は、ゲート絶縁層を構成する。

明 細 書

発明の名称：ブラックマトリクス基板及び表示装置

技術分野

[0001] 本発明は、タッチセンシング機能を具備したブラックマトリクス基板、及び、このブラックマトリクス基板を用いた表示装置に関する。

背景技術

[0002] 静電容量方式によるタッチセンシング機能を備えたスマートフォンやタブレット端末等、指やポインタで、直接、表示画面に入力できる表示装置が一般的になりつつある。タッチセンシング機能として、液晶、マイクロLED（微小なLEDチップがマトリクス状に配列したLEDディスプレイ）、有機EL（有機エレクトロルミネセンス）等のディスプレイ表面にタッチパネルを貼り付けたオンセル方式や、液晶や有機ELの表示装置の内側にタッチセンシング機能を持たせたインセル方式が知られている。近年では、オンセル方式からインセル方式に移行しつつある。

[0003] 指やペン等のポインタによるタッチセンシングにおいては、携帯端末機器等における一般的なタッチセンシングの他に、指紋の凹凸形状の検知による指紋認証、ペン入力、フェザータッチ入力（非接触に近い軽いタッチ入力）、基板に対して大きな押圧力を与えるタッチ入力といった、様々な検出が可能であり、かつ、基板に対する押圧力の許容範囲が広いタッチセンシングが要求されている。

[0004] タッチセンシングの方式には、自己容量タイプのタッチセンシング方式と、相互容量タイプのタッチセンシング方式が知られている。自己容量タイプのタッチセンシング方式は、ITO等の透明導電膜で形成された複数の電極等が電氣的に独立して形成された個々の電極パターンを用いて、各電極に発生する静電容量を検出する方式である。相互容量タイプのタッチセンシング方式は、X方向及びY方向にタッチセンシング配線（以下、タッチ配線と略称する）を並べ、X方向配線とY方向配線との間で発生する静電容量を検出

する方式である。

[0005] インセル方式は、表示装置に外付けされたタッチパネルとは異なり、液晶層などの表示機能層に近い位置にタッチ配線が形成された構造を有する。インセル方式は、タッチパネルのような余分な部材が不要であるため、薄くて軽量の表示装置や電子機器を提供することができる。特に、TFT（薄膜トランジスタ）を具備するアレイ基板にタッチ配線を貼り合わせたインセル方式では、タッチ配線が液晶層などの表示機能層に近い位置に設けられている。このため、表示機能層を駆動する薄膜トランジスタを構成するゲート配線やソース配線などの配線と、タッチ配線との間で寄生容量が生成されやすく、薄膜トランジスタがノイズの影響を受け易い。

[0006] 指によるタッチ入力の外、ペンによるタッチ入力、或いは、指紋認証を実現可能とするには、例えば、X方向及びY方向のそれぞれに延線される複数のタッチ配線の配線密度を高めた構造が必要となる。この場合、高精細の液晶表示装置と同程度、例えば、2400画素×1200画素といった画素数が必要になってくる。また、上記したようにペンによるタッチ入力可能なタッチスクリーンを実現するためには、X方向及びY方向のそれぞれに延線される複数のタッチ配線の配線密度を高めた構造が必要となる。この構造は、有効表示画面の面積を増やす狭縁構造に適用することができる。

[0007] また、ペン入力のタッチセンシングに関して、例えば、表示装置内に電磁誘導センサ基板が配設され、電池を備えたスタイラスペンを用いて表示装置の表示面にペン入力を行うタブレット端末等が市販されている。しかしながら、電磁誘導方式のペン入力では、電磁誘導センサ基板やスタイラスペン等の余分な部材が必要となる問題がある。

[0008] 静電容量方式のタッチセンシング技術は、指紋認証技術として古くから検討されてきている。特許文献1には、格子状に配置したMOS-FETを用いた指紋入力装置が開示されている。しかしながら、特許文献1は、透明基板上に形成されるタッチパネル構成を開示していない。

[0009] 特許文献2は、複数のトランジスタを用いたタッチセンシング技術が適用

された液晶表示装置を開示している。しかしながら、特許文献2においては、段落[0026]～[0030]及び図2に示すように、センサ回路45は、トランジスタM3と容量素子CS1とを有する。電極ECSは、電極COMと重なり、電極CS1は、電極ECS、電極COM、及び絶縁層65で構成される。電極ECS及び電極COMは、透光性を有する導電膜であり、構成が複雑である。液晶駆動を行う表示装置において電極ECS及び電極COMが透光性を有する導電膜で形成されている場合、別な問題がある。この点については、後述する。

[0010] 特許文献3においては、請求項3及び段落[0040]～[0043]に開示されるように、第1ラインと第2ラインとの間における静電容量結合によってタッチセンシングを行う。また、段落[0066]に記載されているように、第1ラインの主要部である第1ブロック、及び、第2ラインの主要部である第2ブロックの各々は、透明導電層をパターニングすることで形成されている。透明導電層としては、ITO、IZO、ITZOが例示されている。特許文献3に開示された技術は、第1ラインと第2ラインの間における静電容量の変化を検出する相互容量方式のタッチセンシング技術であると言い換えることができる。特許文献3が開示する方法において、第1ライン及び第2ラインのパターン形成工程と、第2ブリッジのパターン形成とが必要であり、形成工程が複雑である。また、第1ライン及び第2ラインの主要部は、高い抵抗値を有する透明導電層であることから、時定数の大きなタッチセンシングが行われるため、好ましくない。タッチ信号の応答が遅くなり、かつ、高いS/N比（シグナルとノイズとの比）を期待しにくい。第1ブロックと第2ブロックが透明導電層（あるいは透光性を有する導電膜）である場合は、別な問題がある。この点については、後述する。

[0011] 特許文献4においては、請求項17に開示されるように、1対の配線のうち一方が検出配線として機能し、他方が駆動配線として機能するタッチセンシング技術を開示している。特許文献4の図4、図5、及び段落[0108]の開示が代表的な配線事例である。換言すれば、特許文献3及び特許文献

4は、共に相互容量方式のタッチセンシング技術を開示している。しかしながら、特許文献4は、銅層あるいは銅合金層が導電性酸化物で挟持された構成を有する導電パターンを開示しておらず、1個以上の開口部を具備するキャパシタパターンに導電パターンが用いられた構造を開示しておらず、かつ、キャパシタパターンが延線して薄膜トランジスタのゲート電極を構成する構造も開示していない。

先行技術文献

特許文献

- [0012] 特許文献1：日本国特許第3418479号公報
特許文献2：日本国特開2015-215606号公報
特許文献3：日本国特開2013-222202号公報
特許文献4：日本国特開2017-54926号公報

発明の概要

発明が解決しようとする課題

- [0013] 本発明は、上記の課題に鑑みてなされたものであって、指やペン等のポイントによる一般的なタッチセンシングの他に、指紋の凹凸形状の検知による指紋認証等が可能なタッチセンシング機能を備えたブラックマトリクス基板、このブラックマトリクス基板を用いた表示装置を提供する。また、透明導電膜（透明電極）を用いることなく、かつ、余分な部材を用いずに簡単な構成を有するブラックマトリクス基板を提供する。

課題を解決するための手段

- [0014] 本発明の第1態様に係るブラックマトリクス基板は、第1面と第2面とを有する透明基板と、前記第2面上に設けられた黒色誘電体層と、前記黒色誘電体層上に設けられた第1絶縁層と、前記第1絶縁層上に設けられ、金属層あるいは合金層が導電性酸化物層で挟持された構成を有する第1導電パターンを含む第1導電層と、前記第1導電パターン上に設けられた第2絶縁層と、前記第2絶縁層上に設けられた酸化物半導体層と、前記酸化物半導体層及

び前記第2絶縁層上に設けられ、金属層あるいは合金層が導電性酸化層で挟持された構成を有する第2導電パターンを含む第2導電層と、前記第2導電パターン上に設けられた透明樹脂層と、前記透明樹脂層上に設けられた光吸収層と、第1ゲート電極、第1ソース電極、第1ドレイン電極、第1チャンネル層、及びゲート絶縁層を有する第1薄膜トランジスタと、を備え、前記黒色誘電体層は、カーボンを含み、かつ、前記第1面から見た平面視において前記第1導電パターン及び前記第2導電パターンを覆う構成を有し、前記光吸収層は、カーボンを含み、かつ、前記第2面から見た平面視において前記第1導電パターン及び前記第2導電パターンを覆う構成を有し、前記第1導電パターンの一部は、前記第1ゲート電極を構成し、前記第2導電パターンの一部は、前記第1ソース電極及び前記第1ドレイン電極を構成し、前記酸化層の一部は、前記第1チャンネル層を構成し、前記第1導電パターンの一部は、前記第1薄膜トランジスタを駆動する走査線を構成し、前記第2導電パターンの一部は、前記第1薄膜トランジスタの出力線を構成し、前記第1導電パターンの一部は、前記第1ゲート電極に接続されたキャパシタパターンを構成し、前記キャパシタパターンは、平面視において、1個以上の第1開口部を具備し、前記第2絶縁層の一部は、前記ゲート絶縁層を構成する。

[0015] 本発明の第1態様に係るブラックマトリクス基板は、前記第1ゲート電極と電氣的に繋がる第2ゲート電極、第2ソース電極、前記第2ゲート電極と電氣的に繋がる第2ドレイン電極、第2チャンネル層、及びゲート絶縁層を有する第2薄膜トランジスタを備え、前記第1導電パターンの一部は、前記第2ゲート電極を構成し、前記第2導電パターンの一部は、前記第2ソース電極及び前記第2ドレイン電極を構成し、前記酸化層の一部は、前記第2チャンネル層を構成し、前記第2絶縁層の一部は、前記第2薄膜トランジスタの前記ゲート絶縁層を構成してもよい。

[0016] 本発明の第1態様に係るブラックマトリクス基板においては、平面視において、前記走査線は第1方向に平行に延線し、前記出力線は前記第1方向と

直交する第2方向に平行に延線し、前記キャパシタパターンは、前記走査線と前記出力線とで区画される領域内に配設されてもよい。

[0017] 本発明の第1態様に係るブラックマトリクス基板においては、前記第1開口部は、矩形あるいは平行四辺形の形状を有する開口部であり、前記黒色誘電体層及び前記光吸収層の各々は、前記開口部と相似する矩形あるいは平行四辺形である第2開口部を有し、前記第2開口部の中心位置は、前記第1開口部の中心位置と重なってもよい。

[0018] 本発明の第1態様に係るブラックマトリクス基板においては、前記黒色誘電体層は、カーボンと、少なくとも金属酸化物で構成された誘電体の微粒子と、を含む樹脂分散体であってもよい。

[0019] 本発明の第1態様に係るブラックマトリクス基板においては、前記金属酸化物で構成された誘電体は、フォルステライト、酸化アルミニウム、及び酸化チタンからなる群より選ばれる1以上の常誘電体の微粒子を少なくとも含んでもよい。

[0020] 本発明の第1態様に係るブラックマトリクス基板においては、前記黒色誘電体層は、カーボンと、少なくとも、酸化チタン、窒化チタン、及び酸窒化チタンからなる群より選ばれる1以上の微粒子とを含んでもよい。

[0021] 本発明の第1態様に係るブラックマトリクス基板においては、前記黒色誘電体層は、カーボン濃度の異なる2層の樹脂分散体で構成され、前記2層の樹脂分散体のうち少なくともいずれか一方の樹脂分散体は、金属酸化物で構成された誘電体を含んでもよい。

[0022] 本発明の第1態様に係るブラックマトリクス基板においては、前記導電性酸化物層は、酸化インジウムを含んでもよい。

[0023] 本発明の第1態様に係るブラックマトリクス基板においては、前記酸化物半導体層は、酸化インジウムと、酸化アンチモン及び酸化ビスマスのうち少なくともいずれか1つと、を含んでもよい。

[0024] 本発明の第1態様に係るブラックマトリクス基板においては、前記酸化物半導体層は、酸化セリウム及び酸化錫のうち少なくともいずれか1つを含ん

でもよい。

[0025] 本発明の第2態様に係る表示装置は、第1態様に係るブラックマトリクス基板と、薄膜トランジスタアレイが配置された基板面を有するアレイ基板と、表示機能層と、を備え、前記表示機能層を介して、前記ブラックマトリクス基板の第2面と前記アレイ基板の前記基板面とが互いに向かい合うよう貼り合わせてなる。

発明の効果

[0026] 本発明の態様によれば、指やペン等のポインタによる一般的なタッチセンシングの他に、指紋の凹凸形状の検知による指紋認証等が可能なタッチセンシング機能を備えたブラックマトリクス基板、このブラックマトリクス基板を用いた表示装置を提供する。また、透明導電膜（透明電極）を用いることなく、かつ、余分な部材を用いずに簡単な構成を有するブラックマトリクス基板を提供することができる。

図面の簡単な説明

[0027] [図1]本発明の第1実施形態に係るブラックマトリクス基板の構成を示す部分拡大図であり、キャパシタパターン及び薄膜トランジスタ（第1薄膜トランジスタ）を含むセンサユニット（単位セル）を示す回路図である。

[図2]図1に示すA-A'線に沿うセンサユニットを示す断面図である。

[図3]本発明の第1実施形態に係るブラックマトリクス基板の構成を示す部分拡大図であり、黒色誘電体層上に配設される第1導電層の第1導電パターン及び第2導電層の第2導電パターンの配置を示す平面図である。

[図4]図3に示すB-B'線に沿うセンサユニットを示す断面図である。

[図5]図3に示すC-C'線に沿うセンサユニットを示す断面図である。

[図6]本発明の第1実施形態に係るブラックマトリクス基板を示す部分拡大図であり、黒色誘電体層上において第1絶縁層上に配設される導電層の構造を示す断面図である。

[図7]本発明の第1実施形態に係るブラックマトリクス基板の構成を示す部分拡大図であり、ブラックマトリクス基板の第1面に指等のポインタが接触し

たときの状況を説明する断面図である。

[図8]本発明の第1実施形態の変形例に係るブラックマトリクス基板を示す図であって、カーボン濃度の異なる樹脂分散体の層を、第2面と黒色誘電体層との間に挿入した場合において、可視光の反射の状況を説明する断面図である。

[図9]本発明の第1実施形態の変形例に係るブラックマトリクス基板を構成するセンサユニットを示す回路図である。

[図10]本発明の第1実施形態の変形例に係るブラックマトリクス基板を構成するセンサユニットを示す回路図である。

[図11]本発明の第1実施形態の変形例に係るブラックマトリクス基板を示す部分拡大図であり、黒色誘電体層上に配設される第1導電層の第1導電パターン及び第2導電層の第2導電パターンの配置を示す平面図である。

[図12]本発明の第2実施形態に係る表示装置を示す図であって、本発明の第1実施形態に係るブラックマトリクス基板が適用されたマイクロLED表示装置を部分的に示す断面図である。

[図13]本発明の第2実施形態に係る表示装置を示す図であって、マイクロLEDを搭載したアレイ基板の部分断面図である。

[図14]本発明の第2実施形態に係る表示装置を示す図であって、図13の符号Cで示された領域の拡大断面図である。

[図15]本発明の第2実施形態に係る表示装置を示す図であって、図13に示す第1薄膜トランジスタの拡大断面図である。

[図16]本発明の第2実施形態に係る表示装置に適用されるマイクロLEDを駆動する薄膜トランジスタを備えた代表的な回路図である。

[図17]本発明の第3実施形態に係る表示装置を示す図であって、ブラックマトリクス基板が適用された有機EL表示装置を部分的に示す断面図である。

[図18]本発明の第3実施形態に係る表示装置を示す図であって、有機EL層を搭載したアレイ基板の部分断面図である。

[図19]本発明の第4実施形態に係る表示装置を示す図であって、ブラックマ

トリクス基板が適用された液晶表示装置を部分的に示す断面図である。

[図20]本発明の第4実施形態に係る表示装置に適用される液晶層を駆動する薄膜トランジスタを備えた代表的な回路図である。

[図21]従来の水平配向液晶（FFSモード）を採用した液晶表示装置を部分的に示す断面図であって、画素電極と共通電極との間に液晶駆動電圧を印加した時の、等電位線の状況を説明する断面図である。

[図22]従来の水平配向液晶（FFSモード）を採用した液晶表示装置を部分的に示す断面図であって、基板の透明樹脂層上に透明電極が配設された場合の等電位線の状況を説明する断面図である。

発明を実施するための形態

[0028] 以下、図面を参照しながら本発明の実施形態について説明する。

以下の説明において、同一又は実質的に同一の機能及び構成要素には、同一の符号を付し、その説明を省略又は簡略化し、或いは、必要な場合のみ説明を行う。各図においては、各構成要素を図面上で認識し得る程度の大きさとするため、各構成要素の寸法及び比率を実際のものとは適宜に異ならせてある。必要に応じて、図示が難しい要素、例えば、半導体のチャネル層を形成する複数層の構成、また、導電層を形成する複数層の構成等の図示や一部の図示が省略されている。

[0029] また、本発明の実施形態を分かり易く説明するため、電気的な回路要素、表示機能層などの図示を簡略化することがある。

[0030] 以下に述べる各実施形態においては、特徴的な部分について説明し、例えば、通常の電子機器に用いられている構成要素と本実施形態に係る電子機器との差異がない部分については説明を省略することがある。

[0031] なお、明細書中において、文言「第1面から見た平面視」は、透明基板の第2面（裏面）に積層された黑色誘電体層、導電パターン、及び光吸収層を、観察者が第1面から見た平面視を意味する。また、文言「第2面から見た平面視」は、透明基板の第2面に積層された導電パターン及び黑色誘電体層を、第2面（観察者の視認面とは反対の面）から見た平面視を意味する。文

言「第1面から見た平面視」と文言「第2面から見た平面視」とが、実質、等価である場合は、単に「平面視」と言う。

[0032] また、明細書中において、「第1」や「第2」等の序数詞は、構成要素の混同を避けるために付しており、数量を限定しない。第1導電パターンと第2導電パターンは、単に導電パターン、あるいは導電層と呼称することがある。なお、上記導電層（導電パターン）はいずれも、金属層あるいは合金層が導電性酸化物層で挟持された3層構成を有する。

[0033] 本発明の実施形態において、表示装置が備える「表示機能層」には、LED (Light Emitting Diode) と呼称される複数の発光ダイオード素子、OLEDとも呼称される複数の有機EL（有機エレクトロルミネセンス）素子、或いは液晶層のいずれかを用いることができる。

[0034] (第1実施形態)

(ブラックマトリクス基板の回路構成)

図1は、本発明の第1実施形態に係るブラックマトリクス基板の構成を示す部分拡大図であり、キャパシタパターン及び薄膜トランジスタ（第1薄膜トランジスタ）を含むセンサユニット（単位セル）を示す回路図である。図1に示す回路図においては、説明を分かり易くするため、区画領域19の構成として、最少の素子構成が示されている。即ち、図1は、区画領域19内に第1薄膜トランジスタ31を1つのみを含む最小の素子構成を例示している。

なお、図1は、回路図を示しているが、後の説明を分かり易くするために、3個の開口部9によってキャパシタパターン12が構成されている実際の形状、即ち、センサユニットの概略構成を示している。キャパシタパターン12は、走査線と出力線とで区画される区画領域19（領域）内に配設されている。

[0035] (区画領域)

区画領域19は、薄膜トランジスタを駆動する走査線13と、薄膜トランジスタから出力信号が付与される出力線21とによって区切られる領域であ

る。なお、後述するように、表示領域の最外周に限定すれば、走査線13もしくは出力線21の一方が配置されていないセンサユニットも存在するが、本発明の実施形態では、このようなセンサユニットも同様に「センサユニット」として扱う。また、センサユニットは、「タッチセンシングに関わる検知ユニット」と称することもできる。

[0036] また、後述するように、黒色誘電体層、金属層あるいは合金層が導電性酸化物で挟持された導電層（導電パターン）、光吸収層、薄膜トランジスタ、1個のキャパシタパターン等で構成されるセンサユニットを単位セルと定義している。ブラックマトリクス基板には、複数の単位セルがマトリクス状に配列している。以下の説明では、センサユニットあるいは単位セルを説明の技術用語として用いることがある。センサユニットあるいは単位セルは、キャパシタが形成される領域、即ち、走査線と出力線で区画される領域と同義である。

平面視において、走査線は第1方向に平行に延線し、出力線は第1方向と直交する第2方向に平行に延線している。

[0037] （センサユニット）

図1に示すように、センサユニットSUは、第1導電パターン10、第2導電パターン20、及び第1薄膜トランジスタ31を含む。

第1薄膜トランジスタ31は、第1ゲート電極11、第1ソース電極22、第1ドレイン電極23、第1チャネル層16（後述、酸化物半導体層）、及びゲート絶縁層（後述、第2絶縁層48）を有する。第1ソース電極22は、コンタクトホール29を介して、走査線13に接続されている。第1ドレイン電極23は出力線21と繋がっている。

[0038] 第1ドレイン電極23は、出力線21と接続されている。出力線21、第1ソース電極22、及び第1ドレイン電極23は、第2導電パターン20を構成する。換言すれば、第2導電パターン20は第2導電層で形成され、第1導電パターン10は第1導電層で形成される。

第1導電パターン10、第2導電パターン20は、単に導電パターンと呼

称することがある。第1導電層及び第2導電層は、単に導電層と呼称することがある。導電層は、後述するように、金属層あるいは合金層が導電性酸化物層で挟持された構成を指す。

[0039] (第1導電層)

第1ゲート電極11、キャパシタパターン12（キャパシタ電極）、及び走査線13は、第1導電パターン10を有する第1導電層を構成する。キャパシタパターン12は、平面視において、1個以上の開口部9（第1開口部）を具備する。

開口部9の形状は、図1に示す矩形に限らず、平行四辺形であってもよい。

[0040] キャパシタパターン12は、第1ゲート電極11と接続されている。キャパシタパターン12は、指などのポイントが第1面1に接触又は近接したときの静電容量の変化を、信号として第1薄膜トランジスタ31に供給する。この意味で、キャパシタパターン12をキャパシタ電極と言い換えてもよい。

[0041] 図1において、符号R、G、Bは、ブラックマトリクス基板がカラー表示を行う表示装置に適用された場合において、ブラックマトリクス基板に対向する（ブラックマトリクス基板に貼り合わされる）アレイ基板の赤色画素R、緑色画素G、及び青色画素Bに各々対応する。即ち、キャパシタパターン12は、表示に用いられる1個以上の画素の大きさに対応した大きさを有する。例えば、赤・緑・青の3画素による画像表示の場合は、キャパシタパターンの大きさは3の整数倍であればよい。例えば、赤・緑・青・白の4画素による画像表示の場合は、キャパシタパターンの大きさを4の整数倍とすることができる。後述する第4実施形態においては、ブラックマトリクス基板の開口部9に赤色画素、緑色画素、青色画素を含むカラーフィルタが配置された構成が例示されている。

[0042] (第2導電層)

出力線21、第1ソース電極22、及び第1ドレイン電極23は、第2導

電パターン20を有する第2導電層を構成する。なお、走査線及び出力線の役割（機能）は、入れ替えることができる。また、ソース電極及びドレイン電極の役割（機能）は、入れ替えることができる。つまり、図1において、符号13が出力線、符号21が走査線、符号22が第1ドレイン電極、符号23が第1ソース電極であってもよい。

[0043]（第1導電層及び第2導電層の構造）

第1導電層及び第2導電層は、金属層あるいは合金層が導電性酸化物層で挟持された構成を有する。

第1導電層を構成する第1ゲート電極11、キャパシタパターン12、走査線13、及び第2導電層を構成する出力線21は、導電性に優れた金属あるいは合金で構成されているため、静電容量検知の応答性、S/N比を改善することができる。上述したように高い導電率を有する金属としては、銀、銅、アルミニウム等が挙げられる。信頼性を考慮して、銀合金、銅合金、アルミニウム合金が採用されてもよい。キャパシタパターン12、走査線13、及び出力線21の構成として、金属層あるいは合金層が導電性酸化物層で挟持された導電層（導電パターン）を用いることで、以下に示す複数のメリットが得られる。

[0044] 第1のメリット：

例えば、導電層の構造として銅合金の単層を有する配線（銅合金配線）が採用されている場合（導電性酸化物を用いない構成の場合）、指などのポイントが有する静電容量の大きさによっては、静電破壊が発生し、銅合金配線の欠けや剥がれを生じることがある。更に、銀、銅、又は銅合金は、樹脂やガラスに対する密着力が不十分である。

これに対し、本実施形態においては、金属層あるいは合金層が導電性酸化物層で挟持された導電層が採用されている。導電性酸化物は、銀、銅、又は銅合金等に対する密着性が極めて高く、さらに、樹脂やガラスに対する密着性が極めて高い。このため、静電破壊に起因する銅合金配線の欠けや剥がれを生じることが殆どない。

[0045] 第2のメリット：

例えば、導電層の構造として銀合金配線あるいは銅合金配線が採用されている場合（導電性酸化物を用いない構成の場合）、銀や銅が樹脂やガラス基材に対して拡散し、信頼性の低下をもたらすことがある。特に、製造工程が250℃を超える処理工程を有する場合は、銅や銅合金が酸化し易い。

これに対し、本実施形態のように金属層あるいは合金層が導電性酸化物層で挟持された導電層が採用されている場合、導電性酸化物層が銀や銅のガラス基材に対する拡散を抑制し、銅の酸化を抑制する。

[0046] 第3のメリット：

銀、銅、又は銅合金は、比較的柔らかい金属である。このため、銀、銅、又は銅合金で構成される配線は、タッチパネル端部における電気的実装の際に、傷がつき易い。

これに対し、本実施形態のように金属層あるいは合金層が導電性酸化物層で挟持された導電層が採用されている場合、導電性酸化物はセラミック材料の一つでもあるため、導電性酸化物層が銅、銀合金、又は銅合金を挟持することで、硬く、確実な実装が可能となる。

[0047] 第4のメリット：

本実施形態では、コンタクトホール29を介して、第1ソース電極22が走査線13に電気的に接続されている。導電性酸化物層によって、コンタクトホール29における良好な電気的接続が得られる。上述したように、銅や銅合金の表面においては、銅の酸化物が形成され易い。銅酸化物は、経時的に厚みを増やし、電気的実装を不安定にさせる。同様に、銀の表面においては、酸化物や硫化物が形成され易い。銅や銅合金が導電性酸化物層で挟持された構成においては、導電層（導電パターン）の表面に導電性酸化物層が形成され、オーミックコンタクトが可能となる。同様に、金属層あるいは合金層が導電性酸化物層で挟持された構成を有する導電層を薄膜トランジスタの構成に適用することも有効である。換言すれば、本発明の実施形態に係る導電層は、種々のTFT（薄膜トランジスタ）のソース配線、ソース電極、ド

レイン電極、ゲート電極、ゲート配線、さらには、タッチセンシング配線などに適用できる。

[0048] (導電性酸化物層)

導電性酸化物層の材料としては、酸化インジウムを50at%以上含む混合酸化物が適用できる。2層の導電性酸化物層によって銅層や銅合金層が挟持された3層構成を形成する方法としては、まず、例えば、ガラス等の基板上に、[混合酸化物層A/銅合金層B/混合酸化物層C]で構成される3層を成膜する。その後、ウエットエッチング工程によって、3層が等しい線幅を有するように加工する。あるいは、ウエットエッチング工程によって、ガラス基板の表面上に順に形成される混合酸化物層A、銅合金層B、及び混合酸化物層Cの線幅が、条件「混合酸化物層Aの線幅 > 銅合金層Bの線幅 > 混合酸化物層Cの線幅」を満たすように、線幅が順に小さくなるように加工する必要がある。

[0049] 通常、ITO(酸化インジウム及び酸化錫を含む混合酸化物)は、酸化物が銅や銅合金より貴(noble)である。このため、選択的に銅がエッチングされてしまい、3層の線幅が上記条件を満たさない。そこで、酸化インジウムに、酸化亜鉛、酸化ガリウム、酸化アンチモンなどの易溶性の酸化物を添加することで腐食電位を調整し、腐食電位が揃った混合酸化物層を得る。

[0050] (金属層、合金層)

以下、金属層あるいは合金層について具体的に説明する。

本発明の実施形態に係る導電層(第1導電層、第2導電層)は、上述したように金属層あるいは合金層が導電性酸化物で挟持された3層構成を有する。金属層あるいは合金層としては、導電性に優れた銀、銅、アルミニウム、亜鉛等の金属、あるいは、上記金属の合金層を適用できる。以下、銅、銅合金を典型例として説明するが、本発明の実施形態に係る基本的な技術手段は、銀や亜鉛などの金属にも適用できる。

[0051] 銅に添加する合金元素としては、銅合金層の比抵抗上昇率が $1\mu\Omega\text{cm}/$

a t %以下の合金元素を選択することができる。銅合金層の比抵抗（電気抵抗率）は、 $1.9 \mu\Omega\text{cm} \sim 6 \mu\Omega\text{cm}$ の範囲内にすることができる。

[0052] 銅合金に添加される元素として、銅合金の電気抵抗率への影響の小さい電気抵抗率の小さい添加元素（銅の合金元素）は、パラジウム（P d）、マグネシウム（M g）、ベリリウム（B e）、金（A u）、カルシウム（C a）、カドミウム（C d）、亜鉛（Z n）、銀（A g）が挙げられる。このような元素を純銅に対して1 a t %添加したときの電気抵抗率の増加は、略 $1 \mu\Omega\text{cm}$ 以下となる。カルシウム（C a）、カドミウム（C d）、亜鉛（Z n）、銀（A g）を純銅に対して添加したときの電気抵抗率の増加は、 $0.4 \mu\Omega\text{cm} / \text{a t \%}$ 以下である。このため、カルシウム（C a）、カドミウム（C d）、亜鉛（Z n）、銀（A g）を合金元素として用いることが好ましい。経済性及び環境負荷を考慮すると、亜鉛及びカルシウムを合金元素として用いることが好ましい。亜鉛及びカルシウムは、各々、5 a t %まで、銅への合金元素として添加することができる。

[0053] 銅層あるいは銅合金層の膜厚を 100nm 以上或いは 150nm 以上とすると、導電層は可視光を殆ど透過しなくなる。したがって、本実施形態に係る導電層を構成する銅層あるいは銅合金層は、例えば、 $100 \text{nm} \sim 500 \text{nm}$ の膜厚を有していれば、十分な遮光性を得ることができる。銅合金層の膜厚は、 500nm を超えてもよい。なお、後述するように、上記導電層の材料は、後述するアレイ基板に設けられる配線や電極にも適用することができる。また、本実施形態においては、アクティブ素子（薄膜トランジスタ）と電氣的に連携する配線の構造として、例えば、ゲート電極やゲート配線の構造として、導電性金属酸化物層によって銅合金層が挟持された積層構造を採用することができる。換言すれば、本発明の実施形態に係る導電層（導電パターン）に、導電性金属酸化物層によって銅合金層が挟持された積層構造を採用することができる。

[0054] （ブラックマトリクス基板の断面構造）

図2は、図1に示すA-A'線に沿うセンサユニットSU（単位セル）を

示す断面図である。図2は、本発明の実施形態に係るブラックマトリクス基板100を示す断面図と言い換えることができる。

[0055] ブラックマトリクス基板100は、第1面1と第2面2とを具備する透明基板102（第1基板）を有する。

ブラックマトリクス基板100に適用できる透明基板102の具体的な基板材料は、可視域において透明な材料であれば特に限定されない。サファイア基板、アルミノ珪酸塩ガラス製の基板、アクリル基板、ポリエステルフィルム、ポリイミドフィルム、あるいは、偏光板に用いられるTACフィルムや、ICカードに用いられる塩化ビニールをラミネートした樹脂基板等、種々な透明基板を用いることができる。しかしながら、ブラックマトリクス基板100が指紋認証を行う装置に用いられる場合、ガラス基板のようにリジッドで、平面性や平坦度の精度の高い表面を有する基板であることが望ましい。

[0056] 透明基板102の第2面2上には、黒色誘電体層3と第1絶縁層17がこの順で積層されている。即ち、第2面2上に黒色誘電体層3が設けられており、第2面2の露出面（表面）と黒色誘電体層3の表面とを覆うように、黒色誘電体層3上に第1絶縁層17が設けられている。さらに、第1絶縁層17上には、第1導電パターン10が設けられている。

[0057] 第1導電パターン10として、第1ゲート電極11、キャパシタパターン12、及び走査線13が黒色誘電体層3上に形成されている。第1導電パターン10（第1ゲート電極11、キャパシタパターン12、走査線13を含む）及び第1絶縁層17の露出面（表面）を覆うように第2絶縁層48が積層されている。即ち、第1導電パターン10上に第2絶縁層48が設けられている。

[0058] 第2絶縁層48上には、第1透明樹脂層37（透明樹脂層）が配設されている。即ち、第2導電パターン20（第2導電層）上に透明樹脂層が設けられている。第1透明樹脂層37上には、光吸収層8、第2透明樹脂層38（樹脂層、接着層）が積層されている。第2透明樹脂層38は、第1透明樹脂

層 37 の露出面（表面）と光吸収層 8 とを覆っている。

[0059]（第 1 絶縁層）

第 1 絶縁層 17 の材料としては、後述するように二酸化ケイ素、窒化ケイ素、あるいは高誘電率の透明無機酸化物、透明窒化物を適用できる。第 1 透明樹脂層 37 や第 2 透明樹脂層 38 の材料としては、アクリル樹脂、ポリイミド樹脂、ベンゾシクロブテン樹脂、ポリアミド樹脂等を用いてもよい。あるいは、低誘電材料（low-k 材料）を用いることができる。第 1 透明樹脂層 37 と光吸収層 8 との界面に、平面視、第 1 透明樹脂層 37 と同じパターンを有する導体層が挿入されてもよい。この導体層は、必要に応じて接地し、導体層とキャパシタパターン 12 との間で、補助的な容量を形成してもよい。

[0060] 第 1 絶縁層 17 は、例えば、1 nm ~ 1000 nm の膜厚を有してもよい。第 1 絶縁層 17 の材料として、二酸化ケイ素、酸化窒化ケイ素、酸化セリウムや酸化チタンの 1 以上を含む酸化物層としてもよい。キャパシタパターン 12 と第 1 絶縁層 17 との間の界面において高い比誘電率を有する材料で第 1 絶縁層 17 が形成されてもよい。

[0061] 第 1 絶縁層 17 を構成する材料は、特に限定する必要ないが、酸化ケイ素、酸化窒化ケイ素、窒化ケイ素などを例示できる。第 1 絶縁層 17 の厚みについても限定する必要ないが、例えば、1 nm ~ 1000 nm の範囲が例示できる。

[0062]（黒色誘電体層）

本発明の実施形態に係る黒色誘電体層 3 は、カーボンを含む。具体的に、黒色誘電体層 3 は、カーボンを樹脂に分散した分散体、或いは、カーボンに対してさらに金属酸化物等の微粒子である誘電体が分散された分散体で構成されている。即ち、黒色誘電体層 3 は、カーボンと、少なくとも金属酸化物で構成された誘電体の微粒子とを含む樹脂分散体で構成されてもよい。黒色誘電体層 3 は、平面視において第 1 導電パターン 10 及び前記第 2 導電パターン 20 を覆う構成を有する。なお、以下の記載において、微粒子を単に粉

末と呼称することがある。

[0063] 黒色誘電体層3におけるカーボン等の分散状態、濃度、組成、膜厚等を調整することにより、例えば、10~700といった高い比誘電率を有するように、黒色誘電体層3の電気特性を調整することが可能である。カーボンの分散状態を調整したり、強誘電体の微粒子や常誘電体の微粒子を黒色誘電体層3に添加したりすることによって、黒色誘電体層3の比誘電率を150以上にすることができる。

[0064] しかしながら、黒色誘電体層3の誘電損失 ($\tan \delta$) によって消費電力の増加が問題となる電子機器に本実施形態に係るブラックマトリクス基板が適用される場合 (例えば、モバイル機器)、黒色誘電体層3の比誘電率を、15~100の範囲に抑えてもよい。

[0065] 本発明の実施形態に係るブラックマトリクス基板100は、透明基板102の第2面2とキャパシタパターン12との間に黒色誘電体層3が挿入された構成を有する。本発明の実施形態に係る黒色誘電体層3を構成する材料としては、黒色顔料であるカーボンを、アクリル、エポキシ、ポリイミド等の樹脂に分散させた分散体を用いることができる。さらには、カーボンナノチューブ、カーボンナノホーン、カーボンナノブラシ等を樹脂に混合分散してもよい。あるいは、黒色誘電体層3の構成の一部を、カーボンと置き換えて、カーボンナノチューブを樹脂に分散させてもよい。黒色誘電体層3は、以下、単に黒色誘電体と称することがある。

[0066] 本発明の実施形態に係る黒色誘電体層3には、カーボンの他に、カーボンの分散状態を調整する目的と比誘電率の調整等の目的で、酸化カルシウム、炭酸カルシウム、硫酸バリウム、二酸化ケイ素、カオリン、クレーなどの体質顔料を黒色誘電体層3に加えることができる。あるいは、カーボンの他に、酸化チタン、チタン酸バリウム、チタンブラック、ジルコン酸バリウム、チタン酸マグネシム、硫酸カルシウムなどの高誘電率を有する誘電体の粉末が添加された樹脂の分散体を用いることができる。

更には、カーボンの他に、酸化チタン、窒化チタン、及び酸窒化チタンの

いずれかを有する誘電体の粉末が添加された樹脂の分散体を用いることができる。

[0067] 上記の誘電体に関し、黒色誘電体層3中のカーボンの分散状態の改善と、誘電損失を大きくしない目的で常誘電体を採用することが望ましい。常誘電体は、電場を加えない状態では電気分極を有しておらず、誘電損失が小さい誘電体である。常誘電体である、フォルステライト ($MgSiO_2$)、酸化アルミニウム (Al_2O_3)、酸化チタン (TiO_2) などの金属酸化物を上記黒色誘電体に加えることができる。

[0068] 樹脂に強誘電体を加えて分散させた黒色誘電体の誘電率は高くなるが、タッチ検出を行うタッチ駆動では消費電力を増やすことになる。樹脂に常誘電体を加え分散させた黒色誘電体は、静電容量の変化量（リセット時容量とタッチ時容量との差）を大きくすることができ、かつ、消費電力を抑えることができる。なお、本発明の実施形態において、常誘電体の金属酸化物は、比誘電率が110以下、誘電損失が0.00001~0.1の範囲内にある金属酸化物あるいは金属酸化物の粉末と定義する。ここで、これら電気特性の測定周波数は、以下の説明するタッチセンシング周波数であり、20℃の室温において測定された周波数である。

[0069] 本発明の実施形態に係る黒色誘電体層3は、カーボンや酸化チタンなどの金属酸化物の微粒子が樹脂に分散され、10~700、あるいは15~100の比誘電率を有する分散体で構成されている。黒色誘電体層3の分散体（固形）の誘電損失 ($\tan \delta$) は、例えば、200Hz~500KHzの範囲のタッチセンシング周波数において、0.005~0.2の範囲内にあればよい。さらに、誘電損失の値は、0.08以下であることは好ましい。後述するキャパシタパターン12のリセット時に、リセットが終了するように黒色誘電体層3の抵抗率を調整してもよい。換言すれば、グラウンドなどのリセット電位に設定するために、例えば、黒色誘電体の抵抗率を $1 \times 10^{13} \Omega \cdot cm$ 未満に設定し、緩和時間（あるいは時定数）を短くすることができる。

[0070] また、タッチによる静電容量を保持する目的で、例えば、黒色誘電体の抵

抗率を $1 \times 10^{13} \Omega \text{ cm}$ 以上としてもよい。

しかしながら、黒色誘電体の抵抗率を $1 \times 10^{14} \Omega \text{ cm}$ 以上とする場合、上記緩和時間に悪影響を及ぼす可能性ある。従って、黒色誘電体の抵抗率を $1 \times 10^{14} \Omega \text{ cm}$ 以上とする技術価値は低い。黒色誘電体の電気的特性は、上記のようにタッチセンシングの内容に応じて種々、調整できる。なお、上記微粒子は、平均粒径が $0.02 \sim 2 \mu \text{ m}$ の範囲にある微粒子である。

[0071] (光吸収層)

本発明の実施形態に係る光吸収層8は、例えば、光学濃度が1～4の範囲を有する光吸収層であればよい。例えば、アクリル樹脂等の透明樹脂にカーボン等の黒色顔料を分散させた分散体が光吸収層8として用いられていればよい。光吸収層の誘電率等の電気特性は、上述した黒色誘電体層3と異なってもよく、同じであってもよい。光吸収層8は、平面視において第1導電パターン10及び前記第2導電パターン20を覆う構成を有する。

[0072] アレイ基板を有する表示装置にブラックマトリクス基板100が適用された構成において、図2に示す光吸収層8は、アレイ基板に設けられた薄膜トランジスタのチャンネル層やダイオード等の発光素子に対して、金属層である導電パターンからの反射光が入射することを防ぐ目的で配設される。

チャンネル層や発光素子は、光を感知する半導体で構成されているため、チャンネル層や発光素子の誤動作を防止する目的で光吸収層8が配設される。光吸収層8は、カーボンや有機顔料等の光吸収剤を含む。寄生容量を減らすために、光吸収層の構成には、強誘電体が含まれないことが好ましい。

[0073] 図2に示すように、黒色誘電体層3及び光吸収層8は、複数の開口部OP(第2開口部)を備えた開口パターンを有するように形成されている。開口部OPは開口部9と相似する形状を有している。即ち、本実施形態では、開口部OPは、開口部9と同様に、矩形形状を有する。開口部9の形状が平行四辺形であれば、開口部OPの形状も平行四辺形となる。開口部OPの中心位置は、開口部9の中心位置と重なる。

[0074] (第1薄膜トランジスタ)

第1薄膜トランジスタ31は、第1ゲート電極11（図1参照）とともに第1絶縁層17上に形成されている。第1ゲート電極11（第1導電パターン10）上には、ゲート絶縁層として機能する第2絶縁層48が設けられている。

第2絶縁層48上には、第1チャンネル層16、第1ソース電極22（第2導電パターン20）、及び第1ドレイン電極23（第2導電パターン20）が設けられている。第1ソース電極22及び第1ドレイン電極23は、第2絶縁層48上だけでなく、第1チャンネル層16上にも形成されている。具体的に、第1ソース電極22及び第1ドレイン電極23は、第1チャンネル層16の両側に位置する部位を覆うように形成されている。図2に示す例では、第1ソース電極22は第1チャンネル層16の左端を覆っており、第1ドレイン電極23は第1チャンネル層16の右端を覆っている。第1チャンネル層16は、酸化物半導体で形成される。

[0075] 図2に示す第1薄膜トランジスタ31は、ボトムゲート構造を有するが、トップゲート構造を有してもよい。第1薄膜トランジスタ31の形成工程において、第1導電パターン10や第2導電パターン20等を形成する順序を変えることで、トップゲート構造を有する第1薄膜トランジスタを形成することができる。

[0076] （第1チャンネル層）

酸化物半導体層を構成する第1チャンネル層16に適用できる酸化物半導体には、酸化インジウム、酸化亜鉛、酸化ガリウム、酸化シリコン、酸化アンチモン、酸化ビスマス、酸化セリウム、酸化錫などから2以上選ばれる酸化物半導体がある。例えば、酸化物半導体層は、酸化インジウムと、酸化アンチモン及び酸化ビスマスのうち少なくともいずれか1つと、を含んでもよい。また、酸化物半導体層は、酸化セリウム及び酸化錫のうち少なくともいずれか1つを含んでもよい。

[0077] 酸化インジウムに、酸化アンチモン及び酸化ビスマスのうち少なくともいずれか1つを加えた酸化物半導体は、340℃以下の低温アニールで結晶化

できるメリットがある。350℃を超える熱処理では、上記導電層（導電パターン）の構成に含まれる銅の拡散が生じる問題がある。銅の拡散は、銅配線の抵抗値が増加する問題や薄膜トランジスタの特性を損なう。このため、350℃以下のアニールで結晶化する酸化物半導体の採用は好ましい。

[0078] 第1薄膜トランジスタ31は、第1チャネル層16を低温で成膜して形成できる酸化物半導体を用いている。このため、上述したような耐熱性に劣る樹脂基板を透明基板102に適用できる。一方、第1チャネル層16がポリシリコン半導体で構成されている場合は、半導体の形成工程に600℃前後で加熱するレーザーアニール工程が含まれるため、樹脂基板を適用することが困難である。

[0079] なお、一般的に、薄膜トランジスタの構成として、チャネル層がアモルファスシリコン半導体で構成された構造、または、ポリシリコン半導体で構成された構造が知られている。アモルファスシリコン半導体を用いる構造の場合、電子移動度が低く、タッチセンサ用途の半導体としては不十分である。ポリシリコン半導体を用いる構造の場合、ポリシリコン半導体は高い電子移動度を有するが、トランジスタの性能として漏れ電流が大きくなり、タッチセンシング時の静電容量を保持しにくいという欠点がある。特に、アモルファスシリコン半導体、ポリシリコン半導体、ともに電氣的な耐圧が低く、タッチセンシング時の静電容量の変化の程度によっては、トランジスタが破壊されてしまう欠点がある。

これに対し、本実施形態に係る酸化物半導体は、電氣的な耐圧が、シリコン系半導体と比較すると100倍以上高く、電子移動度も高い。酸化物半導体は、タッチセンサを駆動する、薄膜トランジスタのチャネル層として好ましい。

[0080] （ブラックマトリクス基板の平面構造）

図3は、ブラックマトリクス基板100の構成を示す部分拡大図であり、黒色誘電体層3上に積層される第1導電パターン10を構成するキャパシタパターン12及び走査線13と、第2導電パターンを構成する出力線21と

を示す平面図である。図3は、透明基板102の第2面2から見た平面図であるが、光吸収層8及び第1薄膜トランジスタ31の図示を省いている。

[0081] 図3に示す複数の開口部9は、ブラックマトリクス基板100が適用された表示装置の光の出射部分に相当する。具体的に、本発明の実施形態に係るブラックマトリクス基板100と、表示機能層を介して、TFT (Thin Film Transistor) 等のアクティブ素子が形成されたアレイ基板とを貼り合わせて構成された表示装置において、複数の開口部9は、光の出射部分である。

キャパシタパターン12は、走査線13と出力線21で区画される区画領域19内に形成される。なお、表示装置における表示有効領域の最外周部に位置するキャパシタパターン12'は、走査線13と出力線21とで完全に区画されなくてもよい。

[0082] 図4は、図3に示すB-B'線に沿うセンサユニットSUを示す断面図である。図5は、図3に示すC-C'線に沿うセンサユニットSUを示す断面図である。

図4及び図5の各々は、幅P_x及び長さP_yを有する1つの表示ユニットを示している。図4においては、例えば、表示ユニットが3個の開口部9を含む。

上述したように、キャパシタパターン12に含まれる開口部9の数は、例えば、3や4の倍数とすることができる。また、開口部9の数は1個以上あればよく、後述する変形例に示すように、1つの区画領域19内に2個の開口部9を設けてもよい。キャパシタパターン12の静電容量は、キャパシタパターン12の面積に比例するため、2個以上、さらには、3や4の倍数で開口部9の数を設定することができる。

[0083] 通常、表示装置におけるカラー表示は、RGB (赤色画素、緑色画素、青色画素) の3画素で、あるいはRGBW (赤色画素、緑色画素、青色画素にさらに白画素) の4画素で、1つの表示ユニットを構成することが多い。従って、3や4の倍数で開口部9の数を設定することは、表示ユニットとキャ

パシタパターン12との関係で好都合である。あるいは、後述するように、タッチセンシングを行う走査線13とキャパシタパターン12との寄生容量を減らす必要性（換言すれば配線間距離を調整する必要性）に応じて、開口部9の数を1個以上や2個以上としてもよい。

[0084] なお、本発明の実施形態に係るブラックマトリクス基板100においては、複数の開口部9の各々に、赤色画素R、緑色画素G、及び青色画素Bのカラーフィルタを加えることでカラーフィルタ基板を実現することができる。

また、図4に示すブラックマトリクス基板100上に、第2透明樹脂層38（接着層）を介して、保護ガラス（カバーガラス）を積層し、ブラックマトリクス基板100をタッチパネルとして用いることも可能である。

[0085] また、キャパシタパターン12の全体に、さらにITOなどの透明導電性酸化物を透明電極として積層する技術的手段を適用すること可能である。しかしながら、ITOに含まれるインジウムが高価であること、さらに、ITOの成膜と、ITO膜をパターニングするための工程数が増加するため、製造コストの増加の要因となる。

[0086] 一般的に、ITO等の透明電極を支持する支持体であるガラスや樹脂の基材の比誘電率は、おおよそ3～6の範囲内であることが多い。例えば、特許文献2の図2に開示される電極ECS（透光性を有する導電膜）は、段落[0054]に記載されているように、ガラスや樹脂の基板62と接している。ITO等の透明電極を静電容量検出素子であるキャパシタ電極（キャパシタパターン）として用いる場合、この透明電極の近くに配置される基材として、高い誘電率を有する基材を用いることが望ましい。しかしながら、ガラスや樹脂の比誘電率は小さく、好ましい材料ではない。また、ITO等の透明電極の形成に要するコストの増加によるメリットは得られ難い。また、ITOは、おおよそ $2 \times 10^{-4} \Omega \text{cm}$ 前後の抵抗率を有する。

[0087] これに対し、金属である銅は、例えば、 $1.6 \times 10^{-6} \Omega \text{cm}$ の抵抗率を有しており、ITOの100倍優れた導電性を有する。このため、静電容量検出素子であるキャパシタ電極（キャパシタパターン）、走査線、出力線の

材料としては、銀、銅、アルミニウム、亜鉛などの金属、あるいは上記材料を含む合金を用いることが好ましい。

[0088] 図6を用いて、本発明の実施形態に係る導電層7（第1導電層）の構成について説明する。

図6は、ブラックマトリクス基板100を示す部分拡大図であり、透明基板102上に、黒色誘電体層3、第1絶縁層17、導電層7をこの順で積層した構成を示す部分断面図である。導電層7は、金属層5が導電性酸化物層4で挟持された3層構成を有する。図6に示す金属層5は、合金層であってもよい。上述したように、金属層5や合金層は、銅層あるいは銅合金層とすることができる。導電性酸化物層4の上下に位置する2層の膜厚は異なってもよい。

なお、導電層7の構成は、上述した第2導電層に適用することができる。

[0089] (タッチ検出プロセス)

図7は、ブラックマトリクス基板100の構成を示す部分拡大図であり、ブラックマトリクス基板100の第1面1に指F等のポインタが接触したときの状況を説明する断面図である。以下、図1～図7を参照して、タッチ検出プロセスについて説明する。

[0090] まず、図7に示すブラックマトリクス基板100においては、指F等のポインタが第1面1に接触又は近接すると、キャパシタパターン12は、黒色誘電体層3とともに、静電容量の変化を検知する。キャパシタパターン12は、第1薄膜トランジスタ31を介して、出力線21にタッチ検出信号を送る。具体的に、キャパシタパターン12で検出された静電容量の変化（静電容量の変化量、電位の変化値）は、第1薄膜トランジスタ31の第1ゲート電極11に入力される。走査線13（走査線は、電源線と言い換えることができる）は、センサユニットSUに設けられている第1薄膜トランジスタ31に選択信号を送る。第1ゲート電極11に入力された静電容量の変化量は、第1薄膜トランジスタ31により増幅され、出力線21に出力される。これにより、出力線21に接続された制御部（不図示）は、タッチ検出信号を

検出し、タッチセンシングが行われる。

[0091] 一般的に、指の指紋の密度は、3本/mm程度である。例えば、10本/mm~100本/mm程度の解像度のタッチパネルであれば指紋認証が可能である。本実施形態に係るブラックマトリクス基板100は、100本/mm以上の解像度を有してもよい。ペン入力の場合、ペン先に相当する数十ミクロンの解像度があればよい。400ppiを超える画素解像度に相当するスマートフォンやタブレット端末等に本実施形態に係るブラックマトリクス基板100が適用される場合、100本/mmを超えるタッチ解像度が可能となる。

[0092] 例えば、図3及び図4に示すように赤色画素R、緑色画素G、及び青色画素Bのそれぞれ画素ピッチを15 μ mとすると、これら3つの画素に対応するキャパシタパターン12の幅Pxは、3画素分の45 μ m相当となる。タッチセンサの単位セル幅（単位セルのピッチ、あるいは前記の表示ユニットの大きさと同義）が45 μ mであれば、十分に指紋認証やペン入力が可能となる。指紋の凹凸（指紋の稜線、谷線）のピッチはおおよそ3本/mmであるため、キャパシタパターン12は、例えば、10本/mm~100本/mm程度の解像度を有していればよい。これによって、指紋認証が可能である。

[0093] 図7に示すように、第1面1に指F等のポイントが接触又は近接すると、黒色誘電体層3は電荷を蓄え、静電気のキャパシタ（容量）素子として機能する。ポイントがペン先であれば、ペン先の面積に近いサイズの黒色誘電体層3に静電容量の変化が発生する。指Fが第1面1を強い圧力で押した場合は、指Fの接触面積に対応した個数の黒色誘電体層3に静電容量の変化が発生する。指Fの指紋は、指紋の凹凸（谷線：valley line、稜線：ridge line）に応じて、指紋模様が2次元的に検出される。

[0094] 図7に示す、黒色誘電体層3から指Fまでの距離Pzは、実用的には0.1mmから1.5mm程度の範囲であればよい。この距離Pzには、例えば、保護のためのカバーガラスの厚み、偏光板や位相差板の厚みを含んでもよ

い。本発明の実施形態に係る高い比誘電率を持つ黒色誘電体層3と、高い導電率を持つ金属層5（あるいは合金層）の構成により、透明基板102が、0.4mmを超えた厚みであっても、指紋認証は可能である。もっとも代表的な金属層5（あるいは合金層）の材料は、銅及び銅合金である。

[0095]（第1実施形態の変形例）

次に、上述した第1実施形態の変形例1～4について説明する。

以下に説明する変形例において、上述した第1実施形態と同一部材には同一符号を付して、その説明は省略または簡略化する。

[0096]（変形例1）

図8は、第1実施形態の変形例に係るブラックマトリクス基板を構成する黒色誘電体層3を示す断面図であって、カーボン濃度の異なる樹脂分散体の層を、第2面2と黒色誘電体層3との間に挿入した場合において、可視光の反射の状況を説明する断面図である。

本変形例1においては、黒色誘電体層は、カーボン濃度の異なる2層の樹脂分散体（黒色誘電体層3、低濃度カーボン層6）で構成されている。2層の樹脂分散体のうち少なくともいずれか一方の樹脂分散体は、金属酸化物からなる誘電体を含んでいる。

[0097] 低濃度カーボン層6及び黒色誘電体層3のカーボン濃度を厳密に規定する必要はない。低濃度カーボン層6の実効的な光学濃度は、例えば、0.05～0.4の範囲内に設定されている。低濃度カーボン層6の膜厚を0.1 μ m～0.7 μ mの範囲内に設定すればよい。黒色誘電体層3の実効的な光学濃度は、例えば、0.5以上3未満の範囲内に設定されている。黒色誘電体層3の膜厚を0.5 μ m～2 μ mの範囲内に設定すればよい。黒色誘電体層3の光学濃度を、3を超える値としてもよいが、金属層や合金層と接触する黒色誘電体層3の光学濃度を3以上に設定することには技術的な意味はない。低濃度カーボン層6の膜厚を0.8 μ mよりも厚くしてもよいが、低濃度カーボン層6の膜厚を大きくすることには技術的な意味が薄い。

[0098] 図8に示す低濃度カーボン層6を設けることで、第1面1（視認方向）か

ら見た第2面2と黒色誘電体層3との間での可視光の反射率を0.4%以下にすることができる。この0.4%以下の低反射率は、光の波長400nm～700nmの間で略フラットな反射率であり、通常の光学多層の低反射膜とは異なる。SiO₂/TiO₂等が積層された構成を有する光学多層の低反射膜では、広い波長域でフラットな低い反射率を得ることは難しい。

[0099] ここで、反射率とは、外部からの入射光33に対する反射光34の比率である。反射光34は、入射光33が低濃度カーボン層6と第2面2との界面で反射する光である。反射率の測定は、顕微分光器を用いて行うことができる。なお、黒色誘電体層3と第2面2との間で観察される色度、及び、低濃度カーボン層6及び黒色誘電体層3の2層の間で観察される色度（即ち、同じく第2面2で観察される色度）は、±2.0以下の小さい数値内に収まり、色づきのないニュートラル色となる。なお、黒色誘電体層3の単層と第2面との界面での反射率は、およそ3%に設定することができる。

[0100] 黒色誘電体層3の構成としては、比誘電率や抵抗率などの電気的特性の異なる多層構成を採用することができる。あるいは、指F等のポインタからの法線方向、即ち、黒色誘電体層3の膜厚方向に比誘電率や抵抗率等の電気的特性を変えることができる。その膜厚方向において、キャパシタパターン12の近くに位置する黒色誘電体の比誘電率を高くして、キャパシタパターンから離れた位置にある黒色誘電体の比誘電率を低くしてもよい。これらの観点から、黒色誘電体層3に含まれるカーボン濃度を、黒色誘電体層3の厚み方向に調整してもよい。さらには、カーボンの分散状態を、黒色誘電体層3の厚み方向に沿って変えてもよい。

[0101] 黒色誘電体層3は、厚さ方向に沿って、誘電率の勾配を有してもよい。キャパシタパターン12と第1絶縁層17との間の界面の近くにおいて、黒色誘電体層3が部分的に高い比誘電率を有してもよい。

透明基板102としては、比誘電率が低い基板、比誘電率が8以下の材料を用いることができる。透明基板102の比誘電率は、例えば、比誘電率5以下であってもよい。また、透明基板102とキャパシタパターン12との

界面に位置する部材の比誘電率が高いことが望ましい。換言すれば、透明基板102とキャパシタパターン12との界面に位置する黒色誘電体層3の比誘電率が高いことが良い。

[0102] なお、例えば、黒色誘電体層が $1 \times 10^{14} \Omega \text{cm}$ 以上さらには $1 \times 10^{15} \Omega \text{cm}$ 以上の抵抗率を有する場合、指F等のポイントによるタッチセンシング後のリセット期間内に、リセット（例えば、グランド電位に戻す）を完全に行うことが難しい場合がある。黒色誘電体層3の抵抗率を、 $10^8 \Omega \text{cm}$ 以上 $10^{13} \Omega \text{cm}$ 未満とすることで、リセット期間を短縮することができる。黒色誘電体層が $10^7 \Omega \text{cm}$ より小さい抵抗率を有する場合、十分な静電容量を確保できず、タッチセンシング精度を低下させる懸念がある。

[0103] (変形例2)

図9は、第1実施形態の変形例2に係るブラックマトリクス基板を構成するセンサユニットを示す回路図である。図9に示すように、本変形例2に係るブラックマトリクス基板は、センサユニットSU1を備える。センサユニットSU1は、図1に示す第1薄膜トランジスタ31を備えるセンサユニットSUの構成に加えて、リセットトランジスタ32（第2薄膜トランジスタ）を備えている。

[0104] リセットトランジスタ32は、第1ゲート電極11と電氣的に繋がる第2ゲート電極27、第2ソース電極25、第2ゲート電極27と電氣的に繋がる第2ドレイン電極26（第2ゲート電極27に短絡している第2ドレイン電極26）、第2チャネル層24A、及びゲート絶縁層24Bを備える。

第1導電パターン10の一部は、第2ゲート電極27を構成する。第2導電パターン20の一部は、第2ソース電極25及び第2ドレイン電極26を構成する。酸化物半導体層の一部は、第2チャネル層24Aを構成する。第2絶縁層48の一部は、第2薄膜トランジスタのゲート絶縁層24Bを構成する。第2チャネル層24Aは、第1チャネル層16を形成する際に同時に形成される。同様に、ゲート絶縁層24Bは、第2絶縁層48を形成する際に同時に形成される。

[0105] 本変形例2においては、走査線13は、第1薄膜トランジスタ31の第1ソース電極22に走査信号を供給するだけでなく、リセットトランジスタ32にリセット信号（例えば、グランド電位）を供給する。このような走査信号の供給及びリセット信号の供給は、時分割により行われる。

リセットトランジスタ32は、走査線13からリセット信号を受けて、キャパシタパターン12の電位をリセットする。

[0106] (変形例3)

図10は、第1実施形態の変形例3に係るブラックマトリクス基板を構成するセンサユニットを示す回路図である。図10において、図9に示すセンサユニットSU1と同一部材には同一符号を付して、その説明は省略または簡略化する。

[0107] 図10に示すように、本変形例3に係るブラックマトリクス基板は、センサユニットSU2を備える。センサユニットSU2は、図1に示す第1薄膜トランジスタ31を備えるセンサユニットSUの構成に加えて、図9に示すリセットトランジスタ32と、リセットトランジスタ32の第2ソース電極25を延線したソース延線28と、リセット線15とを備えている。

リセット線15は、第2ソース電極25及びソース延線28を介して、リセットトランジスタ32にリセット信号を供給する。

[0108] ソース延線28は、走査線13に接続されておらず、リセット線15とコンタクトホール29を介して接続されている。図10に示される回路図においては、センサユニットSU2は、走査線13からの走査信号とは独立して、リセット線15からのリセット信号を受けることができる。

センサユニットSU2においては、図9に示すような走査信号及びリセット信号の供給を時分割で行う必要が無い。図1に示すセンサユニットSUと同様に、走査線13は、走査信号のみを第1薄膜トランジスタ31に供給すればよい。

[0109] 図1は、1つのセンサユニットが1つの薄膜トランジスタを備えた回路図である。図9及び図10は、1つのセンサユニットが2つの薄膜トランジスタ

タを備えた回路図である。ただし、1つのセンサユニットにおける薄膜トランジスタの個数は、必要に応じて増やすことができる。

[0110] (変形例4)

図11は、第1実施形態の変形例4に係るブラックマトリクス基板を示す部分拡大図であり、黒色誘電体層3上に配設される第1導電パターン10及び第2導電パターン20の配置を示す平面図である。また、図11は、図3に示すキャパシタパターン12の変形例を示しており、区画領域19内に2つの開口部9が形成されている場合を示す。

キャパシタパターン12の一部を構成する導電線B1、B2、B3の線幅は、各々異ならせてもよい。

[0111] (第2実施形態)

(マイクロLED表示装置)

図12は、本発明の第2実施形態に係る表示装置を示す図であって、第1実施形態に係るブラックマトリクス基板100が適用されたマイクロLED表示装置200を部分的に示す断面図である。

[0112] 図12においては、上述した第1実施形態に係るブラックマトリクス基板100のセンサユニットSUが形成されている第2面2が第2アレイ基板201に対向している。第2面2に対向する第2アレイ基板201の面には、発光素子CHIPが配列している。透明樹脂である接着層108を介して、ブラックマトリクス基板100と第2アレイ基板201とが貼り合わされている。

[0113] なお、ブラックマトリクス基板100においては、静電容量検知方式が採用されており、上述した黒色誘電体層3が用いられている。ブラックマトリクス基板100のセンサユニットSU（単位セル、図1参照）は、キャパシタパターン12と第1薄膜トランジスタ31とを備え、個別読み出し方式が採用されている。このような個別読み出し方式を用いる技術は、自己容量方式に近い技術である。

[0114] 表示装置の先行技術として例示した特許文献3、特許文献4が開示する技

術は、いずれも、X方向の配線とY方向の配線を用いた相互容量方式を用いており、タッチセンシングによる静電容量の検知方式の点で、第2実施形態とは大きく異なる。また、特許文献2が開示する技術では、静電容量の容量素子CS1が、透光性を有する導電膜である電極ECS、電極COM、及び絶縁層で構成される。特許文献2においては、銅配線上に黒色誘電体が積層された構成が開示されていない。

[0115] (第2アレイ基板)

次に、図13～図15を参照し、マイクロLED表示装置200が備える第2アレイ基板201の構造について説明する。

[0116] 図13は、第2実施形態に係るマイクロLED表示装置200が備える第2アレイ基板201を部分的に示す拡大図であって、第3薄膜トランジスタ68を部分的に示す断面図である。

図14は、第2実施形態に係るマイクロLED表示装置200に搭載される発光素子(マイクロLED)を示す断面図であって、図13の符号Cの領域を部分的に示す拡大図である。

図15は、第2実施形態に係るマイクロLED表示装置200を示す拡大断面図であって、図13に示す第3薄膜トランジスタ68の第3チャンネル層58上に積層された第3ソース電極54と第3ドレイン電極56の積層構造を説明する図である。

[0117] 第2アレイ基板201の第2基板202を構成する材料は、透明基板に限定する必要はない。例えば、第2基板202に適用可能な基板として、ガラス基板、セラミック基板、石英基板、サファイア基板、シリコン、炭化シリコンやシリコンゲルマニウム等の半導体基板、あるいはプラスチック基板等が挙げられる。第2基板202は、透明基板であってもよいし、不透明な基板、あるいは着色した基板であってもよい。

[0118] 第2基板202の表面43上には、第4絶縁層47が形成されている。第4絶縁層47上には、第3薄膜トランジスタ68、第4絶縁層47及び第3薄膜トランジスタ68を覆うように形成された第3絶縁層148、第3薄膜

トランジスタ68の第3チャンネル層58に対向するように第3絶縁層148上に形成された第3ゲート電極55、第3絶縁層148及び第3ゲート電極55を覆うように形成された第6絶縁層49、及び第6絶縁層49を覆うように形成された第1平坦化層96が、順に積層されている。

[0119] 第1平坦化層96、第6絶縁層49、及び第3絶縁層148には、第3薄膜トランジスタ68の第3ドレイン電極56に対応する位置にコンタクトホール93が形成されている。また、第1平坦化層96上には、第3チャンネル層58に対応する位置にバンク94（図13参照）が形成されている。断面視において互いに隣り合うバンク94の間の領域には、即ち、平面視においてバンク94に囲まれた領域には、第1平坦化層96の上面、コンタクトホール93の内部、及び第3ドレイン電極56を覆うように反射電極89（画素電極）が形成されている。なお、反射電極89は、バンク94の上面には形成されていなくてもよい。反射電極89は、導電性の接合層77を介して発光素子CHIPの下部電極88と電氣的に接続されている。

[0120] コンタクトホール93の内部を埋めるように、かつ、反射電極89及び発光素子CHIPを覆うように、第2平坦化層95が形成されている。第2平坦化層95上には、ITOと呼称される透明導電膜76が形成されており、透明導電膜76（第2電源線52と同義）には、発光素子CHIPを構成する上部電極87が接続されている。さらに、透明導電膜76上には補助導体75が形成されており、透明導電膜76は補助導体75と電氣的に接続されている。また、透明導電膜76の表面には、補助導体75を覆うように封止層109（接着層）が形成されている。補助導体75は、平面視において、透明導電膜76の抵抗値を減少させるための導体である。

[0121] バンク94の材料としては、アクリル樹脂、ポリイミド樹脂、ノボラックフェノール樹脂等の有機樹脂を用いることができる。バンク94には、更に、酸化シリコン、酸化窒化シリコン等の無機材料を積層してもよい。

[0122] 第1平坦化層96及び第2平坦化層95の材料としては、アクリル樹脂、ポリイミド樹脂、ベンゾシクロブテン樹脂、ポリアミド樹脂等を用いてもよ

い。低誘電率材料（low-k材料）を用いることもできる。

[0123] なお、視認性を向上させるため、第1平坦化層96、第2平坦化層95、封止層109のいずれかが、光散乱の機能を有してもよい。

[0124] 図13及び図15に示すコンタクトホール93においては、反射電極89が、第3ドレイン電極56（第4配線）と接触している。反射電極89は、上層として導電性金属酸化物層を備えており、第3ドレイン電極56と導電性金属酸化物層とが接触している。

図15に示すように、反射電極89は、銀合金が導電性金属酸化物層で挟持された3層構成を有する。反射電極89の導電性金属酸化物層及び第3ドレイン電極56の導電性金属酸化物層の各々は、導電性金属酸化物で形成されており、オーミックコンタクトが可能である。

[0125] 仮に、図15に示す構成において、コンタクトホール93内で反射電極89と接触する面が、酸化された銅表面であったり、或いは、アルミニウムであったりする場合では、オーミックコンタクトを得ることが難しい。アルミニウムは、ITO等の導電性金属酸化物に対する物理的な密着性が不十分である。第2実施形態に係るマイクロLED表示装置200で採用されている構成は、このようにオーミックコンタクトが可能な配線構造を提供することができる。

[0126] （発光素子CHIPの構造）

本実施形態において、発光素子CHIPは、表示機能層として機能する垂直型発光ダイオードであり、第2基板202上に位置する複数の画素の各々に設けられている。

[0127] 発光素子CHIPは、上部電極87、n型半導体層90、発光層92、p型半導体層91、及び下部電極88が、この順で積層された構造を有する。換言すると、発光素子CHIPは、下部電極88上に、p型半導体層91、発光層92、n型半導体層90、及び上部電極87がこの順で積層された構成を有する。図13に示すように、LED発光に用いられる電極は、異なる面に形成され、互いに対向する面に形成されている。また、互いに平行とな

るように積層されているn型半導体層90及びp型半導体層91の各々に対向する面の外側に上部電極87及び下部電極88が配置されている。このような構造を有する発光素子CHIPを本実施形態では、垂直型発光ダイオードと呼称している。断面視において、LED構造が、角錐形状等の異型である場合、本発明の垂直型発光ダイオードに含めない。LED構造において片側の面に電極が並ぶように形成される構造、あるいは、水平方向に電極が並ぶように形成される構造は、水平型発光ダイオードと呼ぶ。

[0128] 図14に示すように、発光素子CHIP上において、透明導電膜76は上部電極87と重なっており、電氣的に接続されている。発光素子CHIPの角部74は、第2平坦化層95で覆われている。発光素子CHIP上には、第2平坦化層95と上部電極87とが重なる重なり部71が形成されている。上部電極87の両端に重なり部71が形成されているので、上部電極87上において第2平坦化層95は凹部形状を有している。

[0129] 図14においては、透明導電膜76の断線のリスクを減らす目的で、上部電極87上に形成される第2平坦化層95は角度 θ のテーパを有している。第2平坦化層95のテーパ面に沿って透明導電膜76が形成されている。

具体的に、重なり部71は、角部74において透明導電膜76と上部電極87との間に位置しており、例えば、 $5^{\circ} \sim 70^{\circ}$ の角度 θ で上部電極87の面に対して傾斜している。このように重なり部71が傾斜を有することで、透明導電膜76の断線を防ぐことができる。

[0130] 発光素子CHIPの上面78（表層）が、第2平坦化層95から突出して第2平坦化層95と重ならない状態となると、即ち、重なり部71が形成されていない状態では、透明導電膜76が断線し易くなり、発光素子CHIPの点灯不良が生じる懸念がある。

[0131] 上記のような凹部形状を有する第2平坦化層95を形成する方法や、発光素子CHIPに重なる重なり部71を形成する方法としては、周知のフォトリソグラフィが採用される。さらに、周知のフォトリソグラフィの手法に加え、ドライエッチング技術を適用してもよい。

- [0132] 発光素子CHIPの形状は、例えば、平面視において、1辺の長さが $3\mu\text{m}$ ~ $500\mu\text{m}$ の正方形形状が適用できる。ただし、正方形や矩形以外の形状が適用されてもよい。あるいは、1辺の大きさを $500\mu\text{m}$ 以上としてもよい。また、平面視において、第3ゲート配線69と第3ソース配線66（図16参照）で区画される画素には、1個、あるいは2個以上の発光素子を実装できる。発光素子CHIPの実装では、例えば、正方形形状の発光素子CHIPの向きを、 90 度単位でランダムに回転させて実装することができる。ランダム実装することで、LED結晶成長のわずかなバラツキから生じる画面全体の色ムラ、輝度ムラを軽減できる。
- [0133] 下部電極88の構成材料としては、銀、銀合金、アルミニウム、アルミニウム合金を適用することができる。さらに、下部電極88の構成として、後述するように、銀あるいは銀合金層が導電性金属酸化物層によって挟持された構成が適用されてもよい。下部電極88の構成の一部には、Ti層、Cr層、Pt層、AuGe層、Pd層、Ni層、TiW層、Mo層などの金属層や、上述した導電性金属酸化物層を含む多層構成を導入してもよい。なお、平面視で下部電極88の面積割合を減らすことにより、半透過型や透過型の表示装置を実現することができる。
- [0134] 上部電極87は、導電性金属酸化物で形成された層を含む構成が好ましい。特に、少なくとも上部電極87の表層が導電性金属酸化物で形成されていることが好ましい。更に、上部電極87の表層を構成する導電性金属酸化物が、導電性金属酸化物で構成された導電層と電氣的に接続されていることが好ましい。
- [0135] 接合層77は、例えば、 150°C から 340°C の温度範囲内で、発光素子CHIPの下部電極88と反射電極89とを融着させ、電氣的な接続ができる導電性材料を適用できる。この導電性材料には、銀、カーボン、グラファイト等の導電性骨材 (conductive filler) を熱フロー性樹脂に分散してもよい。あるいは、接合層77を、In (インジウム)、InBi合金、InSb合金、InSn合金、InAg合金、InGa合金、

SnBi合金、SnSb合金など、あるいはこれら金属の3元系、4元系である低融点金属を用いて形成できる。

[0136] これら低融点金属は、上述した導電性金属酸化物に対する濡れ性が良いため、下部電極88と反射電極89とのおおよそのアライメントを行った後、下部電極88と反射電極89とを自己整合的に融着させることができる。融着に必要なエネルギーとしては、熱、加圧、電磁波、レーザー光やこれらと超音波の併用など種々のエネルギーが用いられる。なお、垂直型発光ダイオードは、接合不良が生じた場合、リペアを行い易いといった利点がある。融着時に、下部電極88及び反射電極89と、加熱溶融する接合層77との接触角（濡れ性）を小さくすることで、自己整合（セルフアライメント）により、発光ダイオード（発光素子CHIP）の位置合わせが可能である。下部において同一方向に電極が並ぶ水平型発光ダイオードでは、個々ダイオードの接合検査がやりにくいことと、リペア（不良ダイオードの交換など）時に、電極が短絡しやすい不都合がある。この観点で、垂直型発光ダイオードが好ましく用いられる。接合層77は、真空成膜等の膜形成の後、周知のフォトリソグラフィの方法や、リフトオフの手段でパターン形成できる。

[0137] （第3薄膜トランジスタ）

図13及び図15は、反射電極89（画素電極）に接続されている第3薄膜トランジスタ68として用いられるトップゲート構造を有する薄膜トランジスタ（TFET）の構造の一例を示している。第3薄膜トランジスタ68の構造は、後述する第4薄膜トランジスタ67にも適用される。

[0138] 第3薄膜トランジスタ68は、第3チャンネル層58上に、第3ソース電極54及び第3ドレイン電極56が積層された構成を有する。具体的に、第3薄膜トランジスタ68は、第3チャンネル層58の一端（図15における第3チャンネル層58の左端）に接続された第3ドレイン電極56と、第3チャンネル層58の他端（図15における第3チャンネル層58の右端）に接続された第3ソース電極54と、ゲート絶縁層（第3絶縁層148）を介して第3チャンネル層58に対向配置された第3ゲート電極55とを備える。

第3ゲート電極55は、図6に示す導電層7と同様の構成を有する。即ち、第3ゲート電極55は、金属層5（合金層）が導電性酸化物層4で挟持された3層構成を有する。

[0139] 第3薄膜トランジスタ68の構成においては、第3チャネル層58と第3ソース電極54とが接触する界面である重畳部161、及び、第3チャネル層58と第3ドレイン電極56とが接触する界面である重畳部162が形成されている。第3チャネル層58と導電性酸化物層4との界面でのコンタクト抵抗は小さく、オーミックコンタクトが得られる。導電性酸化物層4の導電率が高いため、実質的に高移動度の導電性金属酸化物が第3チャネル層58上に形成されている。この結果、トランジスタ特性を向上させることができる。図15では、導電性酸化物層4が、第3チャネル層58の高移動度の半導体層の役割を果たす。

[0140] 後述するように、第3チャネル層58は酸化物半導体で構成され、ゲート絶縁層である第3絶縁層148と接触している。第3薄膜トランジスタ68は、発光素子CHIPを駆動する。

[0141] また、図13や図15に示される第3チャネル層58の重畳部161、162の断面、第3ソース電極54、第3ドレイン電極56、及び第3ゲート電極55の各々が図示されている断面図にはテーパ面が形成されていない。断線等を避ける目的で、第3薄膜トランジスタ68を構成する電極やチャネル層には、テーパ面（傾斜面）が形成されていることが好ましい。

[0142] 図13は、第3薄膜トランジスタ68を構成する第3チャネル層58、第3ソース電極54、及び第3ドレイン電極56が第4絶縁層47上に形成されている構造を示しているが、本発明はこのような構造を限定しない。第4絶縁層47を設けずに、第2基板202上に第3薄膜トランジスタ68を直接形成してもよい。また、ボトムゲート構造の薄膜トランジスタが適用されてもよい。

[0143] 図13に示す第3ソース電極54及び第3ドレイン電極56は、同一工程において、同時に形成される。また、第3ソース電極54及び第3ドレイン

電極 5 6 は、同じ構成を有する導電層を備える。即ち、第 2 実施形態では、第 3 ソース電極 5 4 及び第 3 ドレイン電極 5 6 の構造として、いずれも銅あるいは銅合金層を導電性酸化物層で挟持する 3 層構成を採用した。なお、第 3 ソース電極 5 4 及び第 3 ドレイン電極 5 6 の構造として、チタン／アルミニウム合金／チタン、モリブデン／アルミニウム合金／モリブデン等の 3 層構成を採用することができる。ここで、アルミニウム合金は、アルミニウム－ネオジムが代表的な合金である。

[0144] 第 3 薄膜トランジスタ 6 8 の閾値電圧 (V_{th}) の安定化、あるいは安定したノーマリーオフのトランジスタ特性を得るために、バックゲート電極を設けてもよい。バックゲート電極は、図 1 3 に示す第 3 ゲート電極 5 5 に対向するように第 3 チャネル層 5 8 の反対側、例えば、第 4 絶縁層 4 7 と第 2 基板 2 0 2 との界面に、金属膜をパターニングすることで、バックゲート電極を形成することができる。バックゲート電極を金属膜で形成することで、第 3 チャネル層 5 8 に向かう外部光の入射を防止し、安定した「正（プラス）」の V_{th} を得ることができる。なお、バックゲート電極には、通常、負の電圧を印加する。第 3 ゲート電極 5 5 とバックゲート電極との間に形成される電界によって、第 3 チャネル層 5 8 を電気的に取り囲むことができる。この電界により、第 3 薄膜トランジスタ 6 8 のドレイン電流を大きくすることができ、第 3 薄膜トランジスタ 6 8 のオフ電流であるリーク電流をさらに小さくできる。従って、第 3 薄膜トランジスタ 6 8 に求められるドレイン電流に対して、第 3 薄膜トランジスタ 6 8 の相対的な大きさを小さくでき、半導体回路としての集積度を向上できる。

[0145] 酸化物半導体で形成されたチャネル層を備える薄膜トランジスタはリーク電流が極めて少ないために、走査信号や映像信号の入力の後の安定性が高い。ポリシリコン半導体で形成されたチャネル層を備える薄膜トランジスタは、酸化物半導体のトランジスタと比較して 2 桁以上リーク電流が大きい。このリーク電流が少ないことは、高精度のタッチセンシングに寄与するため、好ましい。

[0146] 酸化物半導体の代表的な複合酸化物である、IGZO（酸化インジウムと酸化亜鉛と酸化ガリウム）を、本実施形態に係る薄膜トランジスタのチャンネル層に適用できる。IGZOと称される酸化物半導体は、スパッタリング等の真空成膜で一括して形成される。酸化物半導体が成膜された後においては、TFE等のパターン形成後の熱処理も一括して行われる。このため、チャンネル層に関わる電気的特性（例えば、 V_{th} ）のばらつきが極めて少ない。LEDの駆動はその輝度のばらつきを抑えるため、薄膜トランジスタの V_{th} のばらつきを小さい範囲に抑える必要がある。ただし、IGZOと称される酸化物半導体は、結晶化による信頼性を確保するため、 400°C から 700°C の温度範囲（高温アニール）で熱処理を行うことが多い。液晶表示装置等の製造工程では、この熱処理のときに、銅の拡散が発生し、銅配線の導電率が大幅に悪化することが多い。

[0147] 350°C を超えるアニーリングは、銅の拡散を増長し、場合により酸化物半導体の特性を劣化する可能性がある。銅配線がMo/Cu、Ti/Cuである従来構成では、 400°C を超える熱処理では銅とチタン等との相互拡散が生じ、銅配線の電気抵抗率を悪化させることがある。

[0148] 180°C ～ 340°C の温度範囲での低温アニールが可能な酸化インジウムと酸化アンチモンの2種酸化物を中心とする複合酸化物の酸化物半導体を適用することができる。さらに、第3チャンネル層58を構成する酸化物半導体は、酸化物半導体中に酸化セリウムを含ませることができる。このとき、酸素をカウントしない元素の合計を $100\text{at}\%$ とすると（金属元素換算）、 $0.2\text{at}\%$ 以上 $10\text{at}\%$ 以下のセリウムの量とする。より具体的には、酸化物半導体は、酸化インジウムと、酸化アンチモンと、酸化インジウム、及び酸化アンチモンの各々の量より少ない量を有する酸化セリウムとを含む複合酸化物であり、かつ、酸素をカウントしない元素の合計を $100\text{at}\%$ とすると、インジウム及びアンチモンの各々の量は $40\text{at}\%$ 以上となる。例えば、この酸化物半導体において酸素をカウントしない元素の合計を $100\text{at}\%$ とすると、インジウム及びアンチモンの各々の量を $48\text{at}\%$ とし

、セリウムの量を4 a t %としている。なお、酸化アンチモンや酸化セリウムは、酸化ガリウムや酸化インジウムとは異なり、廉価に入手できるので産業価値が高い。

[0149] 酸化物半導体の電気的特性や移動度を調整するために、第3チャンネル層58の厚み方向に、例えば、酸化インジウム濃度や酸化セリウムの濃度を変えてもよい。あるいは酸化セリウムの濃度が異なる複数層を用いて第3チャンネル層58を形成してもよい。あるいは、ソース電極等のウエットエッチング加工性を拓げるため、第3チャンネル層58の表面層における組成を酸化セリウムリッチとすることで、第3チャンネル層58の耐酸性を高めることができる。第3チャンネル層58上にエッチングストップ層を積層してもよいが、酸化セリウムを含む複合酸化物薄膜は、180℃以上のアニーリングで耐酸性の高い膜となるため、エッチングストップ層の積極的な挿入は不必要であり、エッチングストップ層形成工程を省くことができる。この耐酸性は、複合酸化物膜中の酸化セリウムの濃度を上げることで得られる。

[0150] 酸化物半導体層が酸化錫を含む場合も、上記と同様である。主材として酸化インジウムを含む複合酸化物において、酸化錫の濃度を上げることにより、複合酸化物の耐酸性が向上する。酸化物半導体層が酸化セリウムを含む場合と同様に、180℃以上のアニーリングを行うことで、耐酸性をさらに向上できる。主材として酸化インジウムを含む複合酸化物に、酸化セリウムと酸化錫の両者を添加した場合でも、同様に、耐酸性を向上でき、エッチングストップ層を不要とすることができる。

[0151] なお、このアニーリング温度は、180℃から340℃の範囲でよく、200℃より高い温度がより好ましい。ソース電極等のパターンを形成する前に、例えば、220℃前後のプレアニールを実施することで、酸化物半導体層（複合酸化物膜）のエッチャントへの耐性を向上できる。このプレアニールは、ソース電極を形成するための導電層の成膜前に実施してもよい。

[0152] （発光ダイオード素子の駆動）

図16は、マイクロLEDを駆動する薄膜トランジスタを備えた代表的な

回路図である。第2実施形態では発光ダイオード素子として、発光素子CHIPを例示している。複数の画素PXはマトリクス状に配置されている。以下、画素PXを画素開口部PXと記載することがある。

なお、図16に示す回路図は、後述する第3実施形態に係る有機EL表示装置300にも適用可能である。この場合、発光ダイオード素子として有機EL層が用いられる。

[0153] 図16においては、複数の画素PXが模式的に示されており、各画素PXは、映像の信号線であるソース配線66（第3ソース配線）と、走査線であるゲート配線69（第3ゲート配線）とで区画された画素開口部PXである。

[0154] 第3薄膜トランジスタ68は、第3ソース電極54を介して第1電源線51と接続されている。第1電源線51は、発光素子86（発光素子CHIP）に電力を供給する電源線である。第2電源線52は、透明導電膜76及び補助導体75を介して、発光素子86を構成する上部電極87と接続されている。第2電源線52は、定電位に維持されており、例えば、グランド（筐体等）に接地してもよい。補助導体75は、導電性良好な金属配線を用いることができ、画素開口部（画素PX）を避けた位置に形成できる。図13に示す補助導体75は、導電性金属酸化物と銅合金と導電性金属酸化物の積層構成としている。補助導体75の構成の一部に熱伝導性の高い銅や銅合金を用いることで、発光ダイオード素子の熱放散を助け、安定した発光を得ることができる。

[0155] 図16に示すように、ソース配線66とゲート配線69とで区画される画素PX（画素開口部）内には、第3薄膜トランジスタ68、第4薄膜トランジスタ67、発光素子86、容量素子79などが配置されている。

[0156] 第4薄膜トランジスタ67は、ソース配線66とゲート配線69とに電氣的に連携されている。第3薄膜トランジスタ68は、第4薄膜トランジスタ67及び第1電源線51と電氣的に連携されている。第3薄膜トランジスタ68は、第4薄膜トランジスタ67からの信号を受けて垂直型発光ダイオ-

ドである発光素子86を駆動する。第3薄膜トランジスタ68の第3ゲート電極55は、容量素子79を介して、第1電源線51と接続されている。第3薄膜トランジスタ68及び第4薄膜トランジスタ67は、薄膜トランジスタアレイを構成する。

[0157] 図16は、第1電源線51を含めて、第2基板202の表面43に配設される主な電氣的要素を示す。マトリクス状に配列された複数の画素PXは、表示装置の有効表示領域を形成している。図16に示されている薄膜トランジスタ67、68以外に、さらに容量のリセット処理を行う薄膜トランジスタなどを、別途、スイッチング素子として設けてもよい。この場合、リセット処理を行うスイッチング素子は、第2基板202の表面43上に形成されたリセット信号線に接続される。

[0158] ゲート配線69は、シフトレジスタを含む走査駆動回路82（ゲート信号スイッチング回路）に接続されている。ソース配線66は、シフトレジスタ、ビデオライン、アナログスイッチを含むソース信号回路81（ソース信号スイッチング回路）に接続されている。ソース信号回路81及び走査駆動回路82は、表示制御部からの信号を受けて表示機能層である発光素子86を制御する。

[0159] 本実施形態では、第1電源線51及びソース配線66は、Y方向（第2方向）に延在している。ゲート配線69は、X方向（第1方向）に延在している。

なお、本実施形態においては、ソース配線66、ゲート配線69、第1電源線51、及び第2電源線52の位置関係を限定しない。

1つの画素PX内における薄膜トランジスタ個数、あるいは補助導体75の向きによって、透明導電膜76のパターンの向きを変えることもできる。

[0160] 複数の画素PXの各々においては、ゲート配線69からのゲート信号及びソース配線66からの映像信号を受けて第4薄膜トランジスタ67がオンとなると、スイッチングトランジスタとして機能する第4薄膜トランジスタ67からの信号（ドレイン電極からの出力）は、第3ゲート電極55に出力さ

れる。即ち、画素P Xに電力を供給する第3薄膜トランジスタ68の第3ゲート電極55にオンの信号が入力される。駆動トランジスタとして機能する第3薄膜トランジスタ68は、第3ゲート電極55からの信号を受け、第1電源線51から発光素子86に電源供給する。このとき、第3薄膜トランジスタ68の第3チャンネル層58を介して、第1電源線51から発光素子86に電流が供給され、その電流量に応じて画素P X（発光素子86）が発光する。

[0161]（第3実施形態）

（有機EL表示装置）

図17は、本発明の第3実施形態に係る表示装置を示す図であって、第3ブラックマトリクス基板303が適用された有機EL表示装置300を部分的に示す断面図である。

図18は、第3実施形態に係る有機EL表示装置300において、有機EL層を搭載した第3アレイ基板301の部分断面図である。

[0162] 有機EL表示装置300は、第3ブラックマトリクス基板303と有機EL層80を具備した第3アレイ基板301とを向かい合うように貼り合わせている。第3ブラックマトリクス基板303は、赤色画素R、緑色画素G、及び青色画素Bを含むカラーフィルタを備えている。赤色画素R、緑色画素G、及び青色画素Bは、光吸収層8の開口部に設けられている。

第3ブラックマトリクス基板303の他の構成は、第1実施形態において説明したブラックマトリクス基板100と同じである。発光層92を含む有機EL層80については、後に詳述する。

[0163] 次に、有機EL表示装置300の構造について説明する。

第3アレイ基板301の第3基板302としては、透明基板に限定する必要はなく、例えば、適用可能な基板として、ガラス基板、セラミック基板、石英基板、サファイア基板、シリコン、炭化シリコンやシリコンゲルマニウムなどの半導体基板、あるいはプラスチック基板等が挙げられる。

[0164] 第3アレイ基板301の第3基板302には、第4絶縁層47が形成され

ている。第4絶縁層47上には、第5薄膜トランジスタ70、第4絶縁層47及び第5薄膜トランジスタ70を覆うように形成された第5絶縁層248、第5薄膜トランジスタ70の第3チャンネル層58に対向するように第5絶縁層248上に形成された第5ゲート電極155、第5絶縁層248及び第5ゲート電極155を覆うように形成された第6絶縁層49、及び第6絶縁層49上に形成された第1平坦化層96が、順に積層されている。

[0165] 第1平坦化層96、第6絶縁層49、及び第5絶縁層248には、第5薄膜トランジスタ70の第5ドレイン電極156に対応する位置にコンタクトホール93が形成されている。また、第1平坦化層96上には、第3チャンネル層58に対応する位置にバンク94が形成されている。断面視において互いに隣り合うバンク94の間の領域においては、即ち、平面視においてバンク94に囲まれた領域においては、第1平坦化層96の上面、コンタクトホール93の内部、及び第5ドレイン電極156を覆うように下部電極189（画素電極）が形成されている。なお、下部電極189は、バンク94の上面には形成されていなくてもよい。

[0166] 更に、下部電極189、バンク94、及び第1平坦化層96を覆うようにホール注入層191が形成されている。ホール注入層191上には、順に、発光層92、上部電極87、及び封止層195が積層されている。

[0167] 下部電極189は、後述するように、銀あるいは銀合金層が導電性酸化物層によって挟持された構成を有する。

上部電極87は、例えば、膜厚11nmの銀合金層が膜厚40nmの複合酸化物で挟持された透明導電膜である。下部電極88は、膜厚250nmの銀合金層が膜厚30nmの複合酸化物で挟持された構成を有する。なお、上記複合酸化物層を導電性金属酸化物層に適用し、銀合金層の膜厚を、例えば、9nmから15nmの範囲に設定し、導電性金属酸化物層によって銀合金層が挟持された3層積層構造を用いることが好ましい。この場合、高い透過率の透明導電膜を実現することができる。

[0168] また、上記複合酸化物層を導電性金属酸化物層に適用し、銀合金層の膜厚

を、例えば、100nmから250nmの範囲内、あるいは、300nm以上の膜厚に設定し、導電性金属酸化物層によって銀合金層が挟持された3層積層構造を採用してもよい。この場合、可視光に対して高い反射率を有する反射電極を実現することができる。

[0169] バンク94の材料としては、アクリル樹脂、ポリイミド樹脂、ノボラックフェノール樹脂等の有機樹脂を用いることができる。バンク94には、更に、酸化シリコン、酸化窒化シリコン等の無機材料を積層してもよい。

[0170] 第1平坦化層96の材料としては、アクリル樹脂、ポリイミド樹脂、ベンゾシクロブテン樹脂、ポリアミド樹脂等を用いてもよい。低誘電率材料（low-k材料）を用いることもできる。

[0171] なお、視認性を向上させるため、第1平坦化層96、封止層109、あるいは、第3基板302のいずれかが、光散乱の機能を有してもよい。あるいは、第3基板302の上方に光散乱層を形成してもよい。

第5薄膜トランジスタの構造は、第2実施形態と同様であるため、説明を省く。

[0172] (第4実施形態)
(液晶表示装置)

図19は、本発明の第4実施形態に係る表示装置を示す図であって、第4ブラックマトリクス基板403が適用された液晶表示装置400を部分的に示す断面図である。

図20は、第4実施形態に係る表示装置に適用される液晶層を駆動する薄膜トランジスタを備えた代表的な回路図である。

図21は、従来の水平配向液晶（FFSモード）を採用した液晶表示装置を部分的に示す断面図であって、画素電極と共通電極との間に液晶駆動電圧を印加した時の、等電位線の状況を説明する断面図である。

図22は、従来の水平配向液晶（FFSモード）を採用した液晶表示装置を部分的に示す断面図であって、対向する基板の透明樹脂層上に透明電極が配設された場合の等電位線の状況を説明する断面図である。

[0173] 液晶表示装置400は、液晶層60を介して、第4ブラックマトリクス基板403のセンサユニットSUが形成されている第2面2と、第4アレイ基板401とが貼り合わされた構成を有する。

図19において、偏光板を含む光学フィルム、配向膜、バックライトユニットなどの図示は省略している。また、通常の液晶表示装置では、薄膜トランジスタ等のアクティブ素子は周知であるので、薄膜トランジスタの図示も省略している。

[0174] 第4ブラックマトリクス基板403は、第3実施形態の第3ブラックマトリクス基板303と同様の構成を有する。光吸収層8の開口部の各々には、赤色画素R、緑色画素G、及び青色画素Bのカラーフィルタが配設されている。

[0175] 本実施形態において、液晶層60は、FFS方式と称される水平配向液晶が用いられているが、本実施形態は、水平配向やFFS駆動に限定しない。垂直配向の液晶を採用し、この液晶を縦電界（液晶層の厚み方向にかかる駆動電圧）で駆動してもよい。

液晶層60を駆動する画素電極及び共通電極は、いずれも透明導電膜を電極形状にパターニングすることによって形成されている。

[0176] 図20に示すように、アクティブ素子は、第6薄膜トランジスタ171として赤色画素R、緑色画素G、及び青色画素Bのそれぞれに1個配設されている。液晶は、図20において、容量63として記載される。第6薄膜トランジスタ171は、走査信号回路72から延線されるゲート配線164、映像信号回路73から延線されるソース配線165で駆動される。

[0177] ところで、上述した特許文献2や特許文献3は、透明導電性酸化物あるいは透光性を有する導電膜（以下、透明電極と称する）をタッチセンサとして用いる液晶表示装置を開示している。特許文献2や特許文献3で示されるタッチセンサにおいては、タッチセンサと向かい合うように配置されたアレイ基板によって、液晶層が駆動する。換言すれば、タッチセンサに用いる透明電極は、液晶層と略接する構造となる。

[0178] 近年、液晶方式としては、視野角、コントラスト、応答性の観点から、F F S（あるいはI P S）と呼称される水平配向の液晶方式が主に採用されている。

一般的な構成として、図21に示すようなF F S方式の液晶表示装置700が知られている。液晶表示装置700は、アレイ基板605とカラーフィルタ基板500とによって液晶層607が挟持された構造を有する。

アレイ基板605は、基板606上に形成された絶縁層604、絶縁層604上に形成された共通電極602、共通電極602上に形成された絶縁層603、及び絶縁層603上に形成された画素電極601を備える。

アレイ基板605と対向するカラーフィルタ基板500においては、透明基板501上に、電気の流れない材料（不導体）で形成されたカラーフィルタCFや透明樹脂層614などが積層されている。なお、図21に示す例では、配向膜の図示は省略されている。

[0179] 液晶表示装置700のアレイ基板605においては、画素電極601と共通電極602との間に印加される電圧によって液晶層607は駆動される。このとき、図21に示すように、画素電極601から生じる電界を示す等電位線609は、液晶層607を貫通するように、画素電極601からカラーフィルタCFに向けて延び、液晶層607の水平配向の液晶は、等電位線609を中心に水平に回転し、液晶表示装置700は、標準的な表示を行う。

[0180] 一方、図22に示すように、F F S方式の液晶表示装置として、透明樹脂層614を覆うように透明電極612を有するカラーフィルタ基板500を備えた液晶表示装置800も知られている。透明電極612は、タッチセンシングの駆動電極や検出電極として用いられる。

液晶表示装置800においては、透明電極612と画素電極601との間に液晶層607が配置されている。なお、透明電極612がカラーフィルタ基板500に形成されている点で、液晶表示装置800は、液晶表示装置700とは異なっている。液晶表示装置800が備えるその他の構成は、液晶表示装置700と同じである。

[0181] 図22に示すように透明電極612がカラーフィルタ基板500に形成されている構成では、FFS方式の液晶駆動に支障が生じる。カラーフィルタ基板500に向かって画素電極601から延びる等電位線610は、導電膜である透明電極612を通過できない。このため、図22に示されるように、等電位線610の形状は、カラーフィルタ基板500とアレイ基板605との間に等電位線610が閉じ込められたように変形した形状になる。このような形状を有する等電位線610においては、図21で説明したような、等電位線609を中心に水平に回転する標準的な液晶回転ができず、液晶表示装置として十分な透過率を確保できない。

[0182] 加えて、カラーフィルタ基板500の表示面に指等の電荷を有するポイントが接触すると、水平配向の液晶分子は、ポイントに向かうように立ち上がってしまうことがある。液晶分子は、分子の長軸方向（立ち上がる方向）と短軸方向で誘電率が異なり、表示画素の容量が変化することになる。従って、表示画素を含むような大きさを有する透明電極をタッチセンシングの容量素子（駆動電極や検出電極）として使う場合に、この表示画素の容量変動がタッチの容量変動（ノイズ）となる。

上述した特許文献2や特許文献3に開示された技術はこのようなノイズ発生のリスクを伴う。従って、特許文献2や特許文献3で示されるタッチセンサは、FFS方式の液晶表示装置に適用するには上記の問題がある。

[0183] これに対し、第4実施形態に係る第4ブラックマトリクス基板403においては、画素の大きさに相当する透明電極が開口部9に設けられていない構造が可能である。このため、上述したように液晶分子が透明電極に向けて立ち上がることがない。さらに、特許文献2や特許文献3において問題となり得る表示画素の容量変動も生じない。第4実施形態に係る第4ブラックマトリクス基板403は、FFS方式の液晶表示装置だけでなく、他の表示装置にも適用可能である。更に、上述した実施形態においても、タッチの容量素子として透明電極を用いていない。

[0184] 第4実施形態では、赤色画素R、緑色画素G、及び青色画素Bの各々のカ

ラーフィルタの液晶層60に接する面には、透明電極等の導電性の部材（導体）が存在しないので、FFS方式で駆動される液晶層60の透過率に大きな悪影響なく、高い透過率の液晶表示が可能となる。

[0185] 上述の実施形態に係るブラックマトリクス基板、あるいは、このブラックマトリクス基板を備えた表示装置は、種々の応用が可能である。上述の実施形態に係る表示装置が適用可能な電子機器としては、携帯電話、携帯型ゲーム機器、携帯情報端末、パーソナルコンピュータ、電子書籍、ビデオカメラ、デジタルスチルカメラ、ヘッドマウントディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、自動販売機、現金自動預け入れ払い機（ATM）、個人認証機器、光通信機器、ICカードなどの電子デバイス等が挙げられる。上記の各実施形態は、自由に組み合わせて用いることができる。

[0186] 本発明の好ましい実施形態を説明し、上記で説明してきたが、これらは本発明の例示的なものであり、限定するものとして考慮されるべきではないことを理解すべきである。追加、省略、置換、およびその他の変更は、本発明の範囲から逸脱することなく行うことができる。従って、本発明は、前述の説明によって限定されていると見なされるべきではなく、請求の範囲によって規定されている。

符号の説明

[0187] 1 第1面、2 第2面、3 黒色誘電体層、4 導電性酸化層、5 金属層、6 低濃度カーボン層、7 導電層、8 光吸収層、9 開口部（第1開口部）、10 第1導電パターン、11 第1ゲート電極、12、12' キャパシタパターン、13 走査線、15 リセット線、16 第1チャンネル層、17 第1絶縁層、19 区画領域、20 第2導電パターン、21 出力線、22 第1ソース電極、23 第1ドレイン電極、24A 第2チャンネル層、24B ゲート絶縁層、25 第2ソース電極、26 第2ドレイン電極、27 第2ゲート電極、28 ソース延線、29、93

コンタクトホール、31 第1薄膜トランジスタ、32 リセットトランジスタ、33 入射光、34 反射光、37 第1透明樹脂層、38 第2透明樹脂層、43 表面、45 センサ回路、47 第4絶縁層、48 第2絶縁層、49 第6絶縁層、51 第1電源線、52 第2電源線、54 第3ソース電極、55 第3ゲート電極、56 第3ドレイン電極、58 第3チャンネル層、60、607 液晶層、62、606 基板、63 容量、65、603、604 絶縁層、66、165 ソース配線（第3ソース配線）、67 第4薄膜トランジスタ（薄膜トランジスタ）、68 第3薄膜トランジスタ（薄膜トランジスタ）、69、164 ゲート配線（第3ゲート配線）、70 第5薄膜トランジスタ、71 重なり部、72 走査信号回路、73 映像信号回路、74 角部、75 補助導体、76 透明導電膜、77 接合層、78 上面、79 容量素子、80 有機EL層、81 ソース信号回路、82 走査駆動回路、86、CHIP 発光素子、87 上部電極、88、189 下部電極、89 反射電極、90 n型半導体層、91 p型半導体層、92 発光層、94 バンク、95 第2平坦化層、96 第1平坦化層、100 ブラックマトリクス基板、102、501 透明基板、108 接着層、109、195 封止層、148 第3絶縁層、155 第5ゲート電極、156 第5ドレイン電極、161、162 重畳部、171 第6薄膜トランジスタ、191 ホール注入層、200 マイクロLED表示装置、201 第2アレイ基板、202 第2基板、248 第5絶縁層、300 有機EL表示装置、301 第3アレイ基板、302 第3基板、303 第3ブラックマトリクス基板、400、700、800 液晶表示装置、401 第4アレイ基板、403 第4ブラックマトリクス基板、500 カラーフィルタ基板、601 画素電極、602 共通電極、605 アレイ基板、609、610 等電位線、612 透明電極、614 透明樹脂層、B 青色画素、B1、B2、B3 導電線、CF カラーフィルタ、F 指、G 緑色画素、OP 開口部（第2開口部）、PX 画素（画素開口部）、R 赤色画素、SU、SU1、S

U 2 センサユニット。

請求の範囲

[請求項1]

第1面と第2面とを有する透明基板と、
前記第2面上に設けられた黒色誘電体層と、
前記黒色誘電体層上に設けられた第1絶縁層と、
前記第1絶縁層上に設けられ、金属層あるいは合金層が導電性酸化
物層で挟持された構成を有する第1導電パターンを含む第1導電層と
、
前記第1導電パターン上に設けられた第2絶縁層と、
前記第2絶縁層上に設けられた酸化物半導体層と、
前記酸化物半導体層及び前記第2絶縁層上に設けられ、金属層ある
いは合金層が導電性酸化物層で挟持された構成を有する第2導電パタ
ーンを含む第2導電層と、
前記第2導電パターン上に設けられた透明樹脂層と、
前記透明樹脂層上に設けられた光吸収層と、
第1ゲート電極、第1ソース電極、第1ドレイン電極、第1チャネ
ル層、及びゲート絶縁層を有する第1薄膜トランジスタと、
を備え、
前記黒色誘電体層は、カーボンを含み、かつ、前記第1面から見た
平面視において前記第1導電パターン及び前記第2導電パターンを覆
う構成を有し、
前記光吸収層は、カーボンを含み、かつ、前記第2面から見た平面
視において前記第1導電パターン及び前記第2導電パターンを覆う構
成を有し、
前記第1導電パターンの一部は、前記第1ゲート電極を構成し、
前記第2導電パターンの一部は、前記第1ソース電極及び前記第1
ドレイン電極を構成し、
前記酸化物半導体層の一部は、前記第1チャンネル層を構成し、
前記第1導電パターンの一部は、前記第1薄膜トランジスタを駆動

する走査線を構成し、

前記第2導電パターンの一部は、前記第1薄膜トランジスタの出力線を構成し、

前記第1導電パターンの一部は、前記第1ゲート電極に接続されたキャパシタパターンを構成し、

前記キャパシタパターンは、平面視において、1個以上の第1開口部を具備し、

前記第2絶縁層の一部は、前記ゲート絶縁層を構成する、

ブラックマトリクス基板。

[請求項2]

前記第1ゲート電極と電氣的に繋がる第2ゲート電極、第2ソース電極、前記第2ゲート電極と電氣的に繋がる第2ドレイン電極、第2チャンネル層、及びゲート絶縁層を有する第2薄膜トランジスタを備え、

前記第1導電パターンの一部は、前記第2ゲート電極を構成し、

前記第2導電パターンの一部は、前記第2ソース電極及び前記第2ドレイン電極を構成し、

前記酸化物半導体層の一部は、前記第2チャンネル層を構成し、

前記第2絶縁層の一部は、前記第2薄膜トランジスタの前記ゲート絶縁層を構成する、

請求項1に記載のブラックマトリクス基板。

[請求項3]

平面視において、前記走査線は第1方向に平行に延線し、前記出力線は前記第1方向と直交する第2方向に平行に延線し、

前記キャパシタパターンは、前記走査線と前記出力線とで区画される領域内に配設される、

請求項1に記載のブラックマトリクス基板。

[請求項4]

前記第1開口部は、矩形あるいは平行四辺形の形状を有する開口部であり、

前記黒色誘電体層及び前記光吸収層の各々は、前記開口部と相似す

る矩形あるいは平行四辺形である第2開口部を有し、

前記第2開口部の中心位置は、前記第1開口部の中心位置と重なる

、

請求項1に記載のブラックマトリクス基板。

[請求項5]

前記黒色誘電体層は、カーボンと、少なくとも金属酸化物で構成された誘電体の微粒子と、を含む樹脂分散体である、

請求項1に記載のブラックマトリクス基板。

[請求項6]

前記金属酸化物で構成された誘電体は、フォルステライト、酸化アルミニウム、及び酸化チタンからなる群より選ばれる1以上の常誘電体の微粒子を少なくとも含む、

請求項5に記載のブラックマトリクス基板。

[請求項7]

前記黒色誘電体層は、

カーボンと、

少なくとも、酸化チタン、窒化チタン、及び酸窒化チタンからなる群より選ばれる1以上の微粒子と、

を含む、

請求項1に記載のブラックマトリクス基板。

[請求項8]

前記黒色誘電体層は、カーボン濃度の異なる2層の樹脂分散体で構成され、

前記2層の樹脂分散体のうち少なくともいずれか一方の樹脂分散体は、金属酸化物で構成された誘電体を含む、

請求項1に記載のブラックマトリクス基板。

[請求項9]

前記導電性酸化物層は、酸化インジウムを含む、

請求項1に記載のブラックマトリクス基板。

[請求項10]

前記酸化物半導体層は、

酸化インジウムと、

酸化アンチモン及び酸化ビスマスのうち少なくともいずれか1つと

、

を含む、

請求項 1 又は請求項 2 に記載のブラックマトリクス基板。

[請求項11]

前記酸化物半導体層は、

酸化セリウム及び酸化錫のうち少なくともいずれか 1 つを含む、

請求項 10 に記載のブラックマトリクス基板。

[請求項12]

請求項 1 又は請求項 2 に記載のブラックマトリクス基板と、

薄膜トランジスタアレイが配置された基板面を有するアレイ基板と

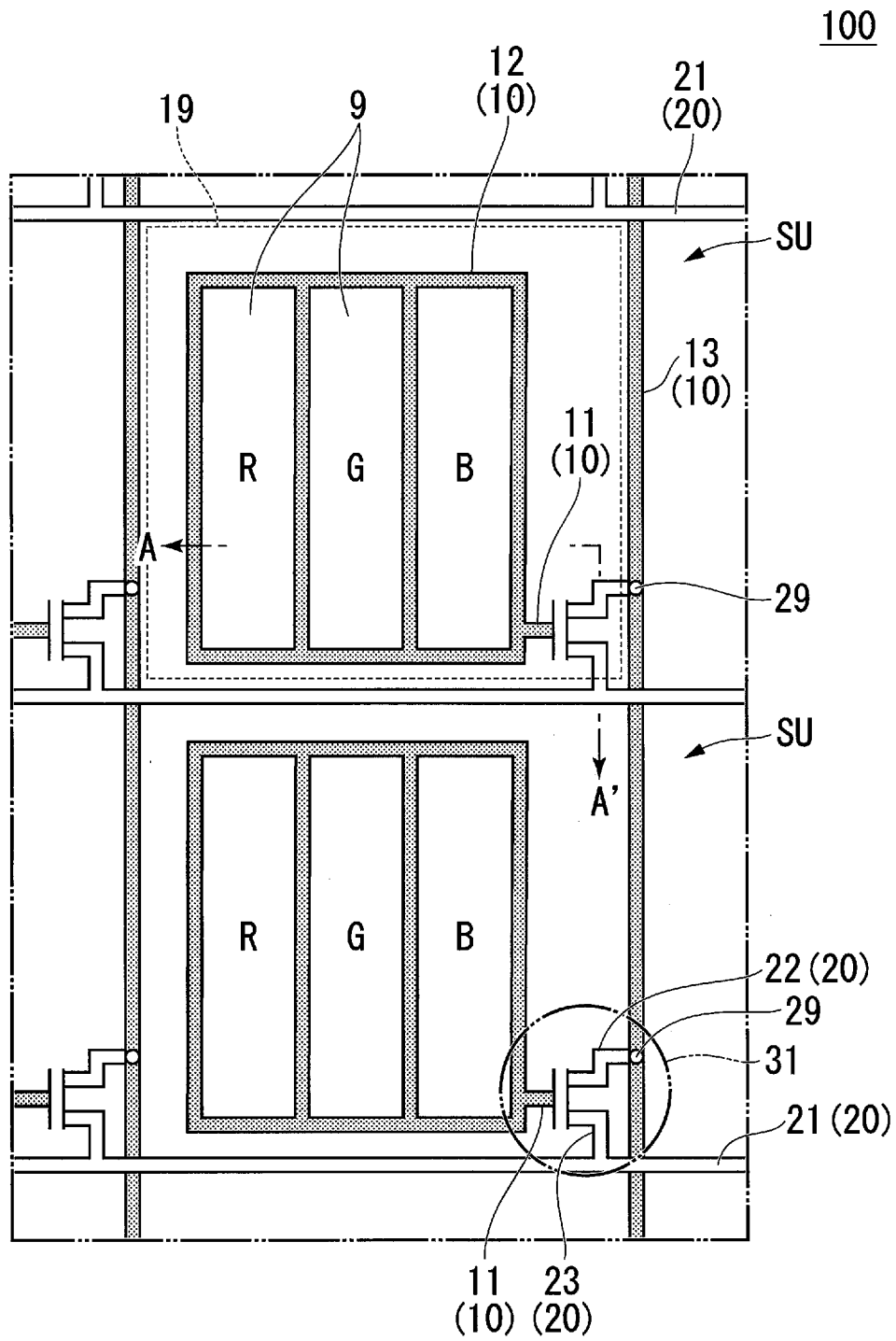
、

表示機能層と、

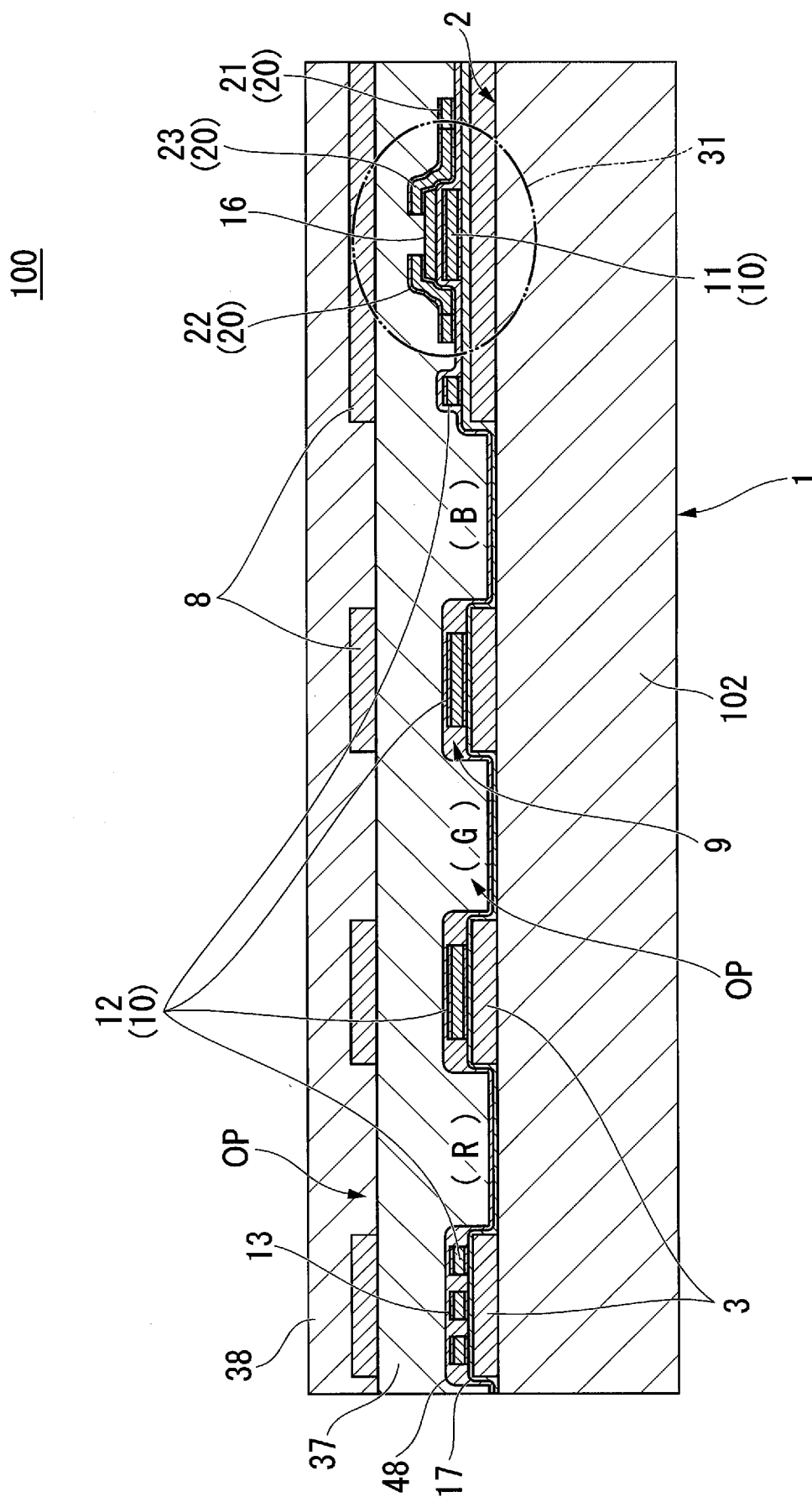
を備え、

前記表示機能層を介して、前記ブラックマトリクス基板の第 2 面と前記アレイ基板の前記基板面とが互いに向かい合うよう貼り合わせてなる表示装置。

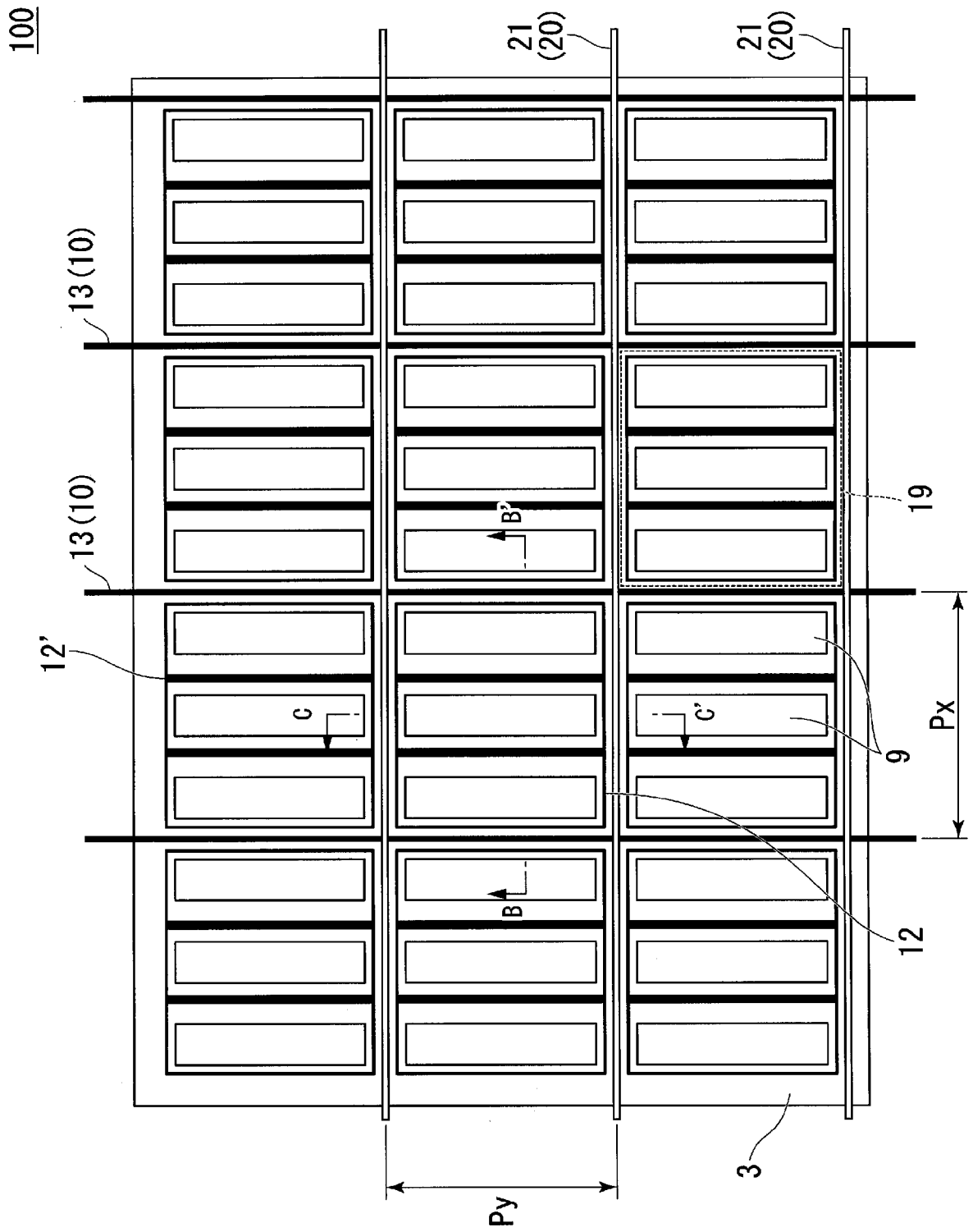
[図1]



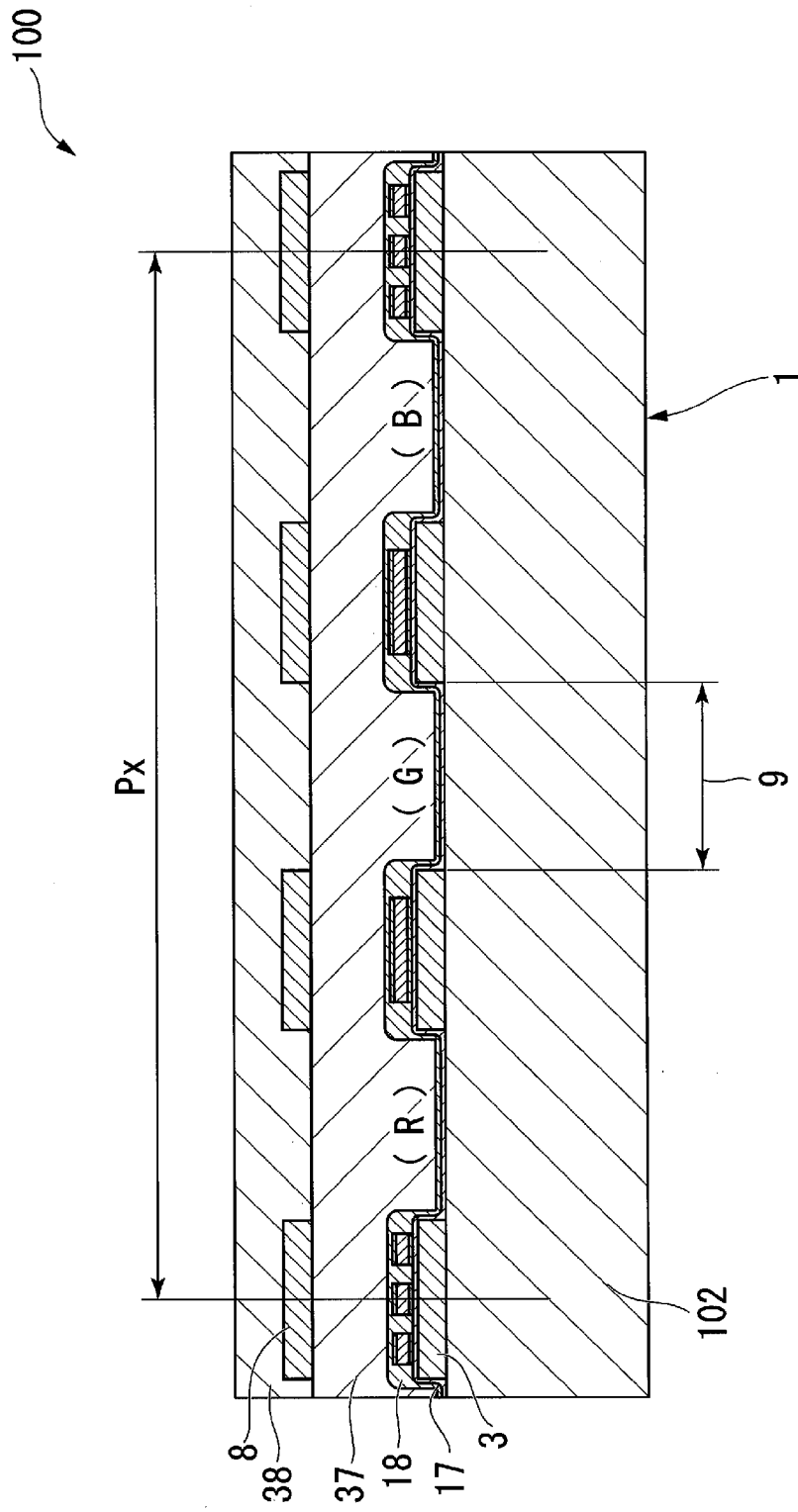
[図2]



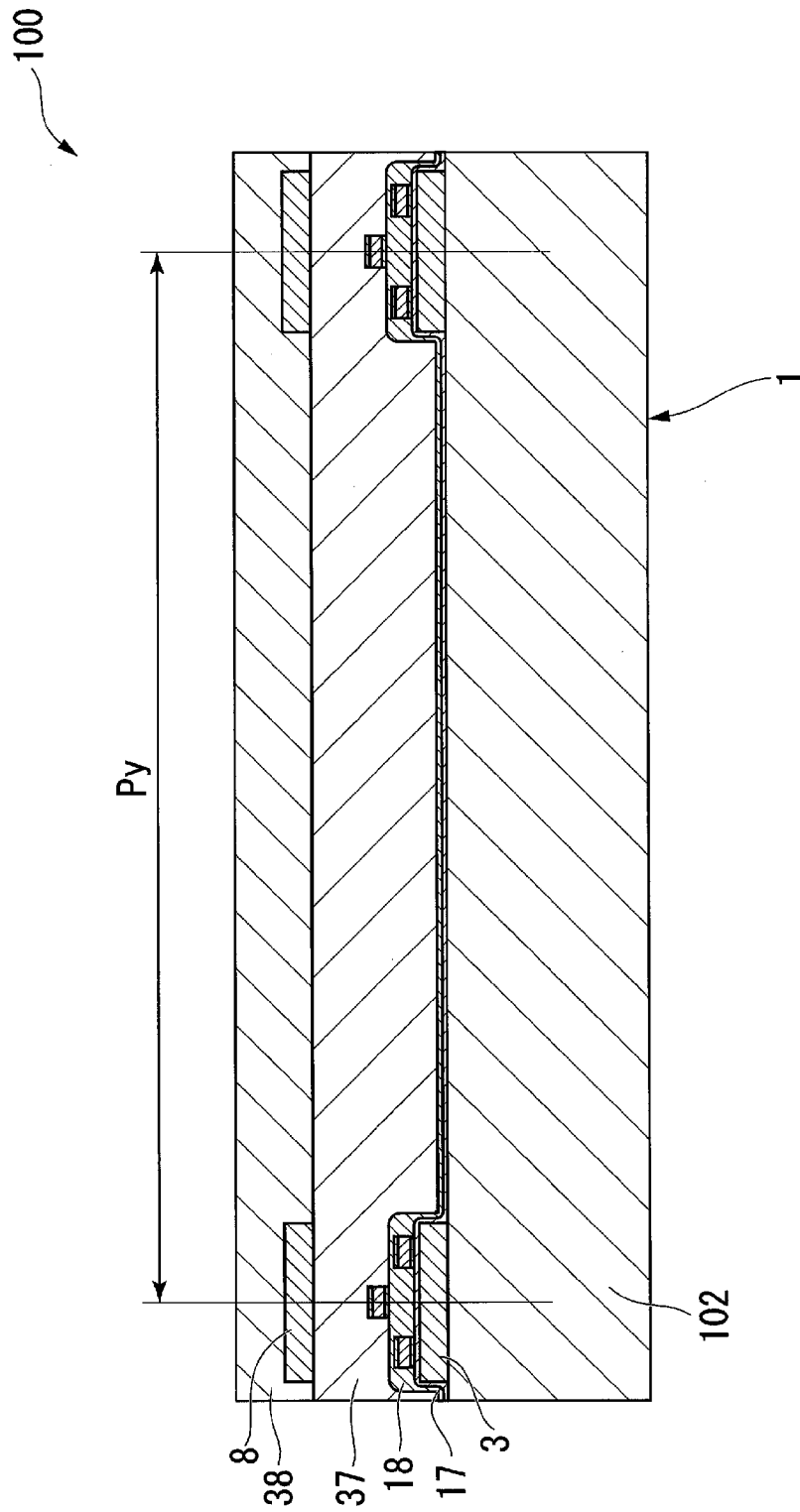
[図3]



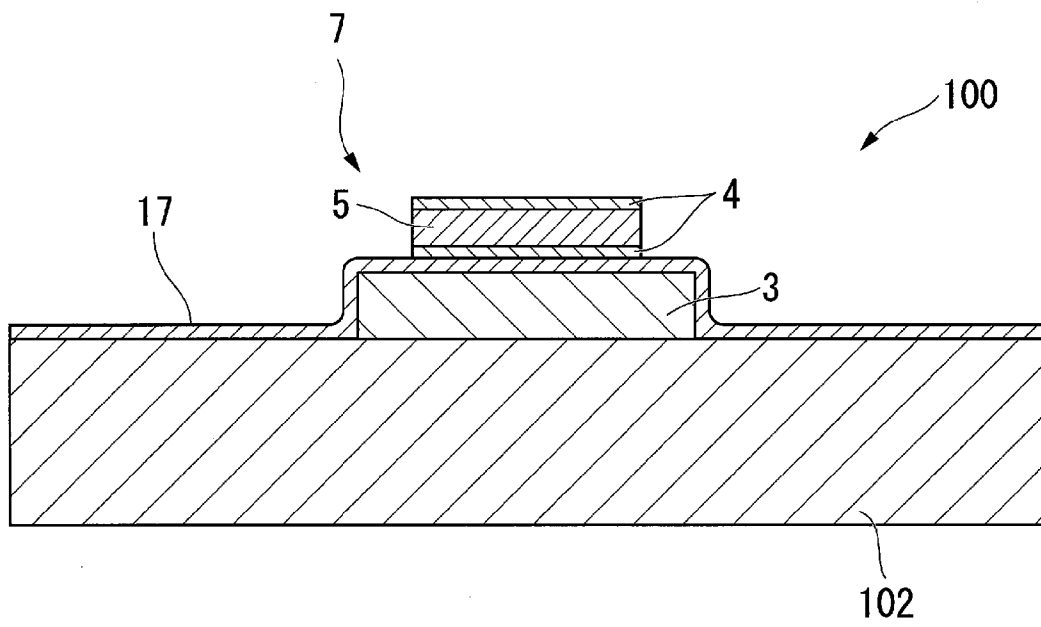
[図4]



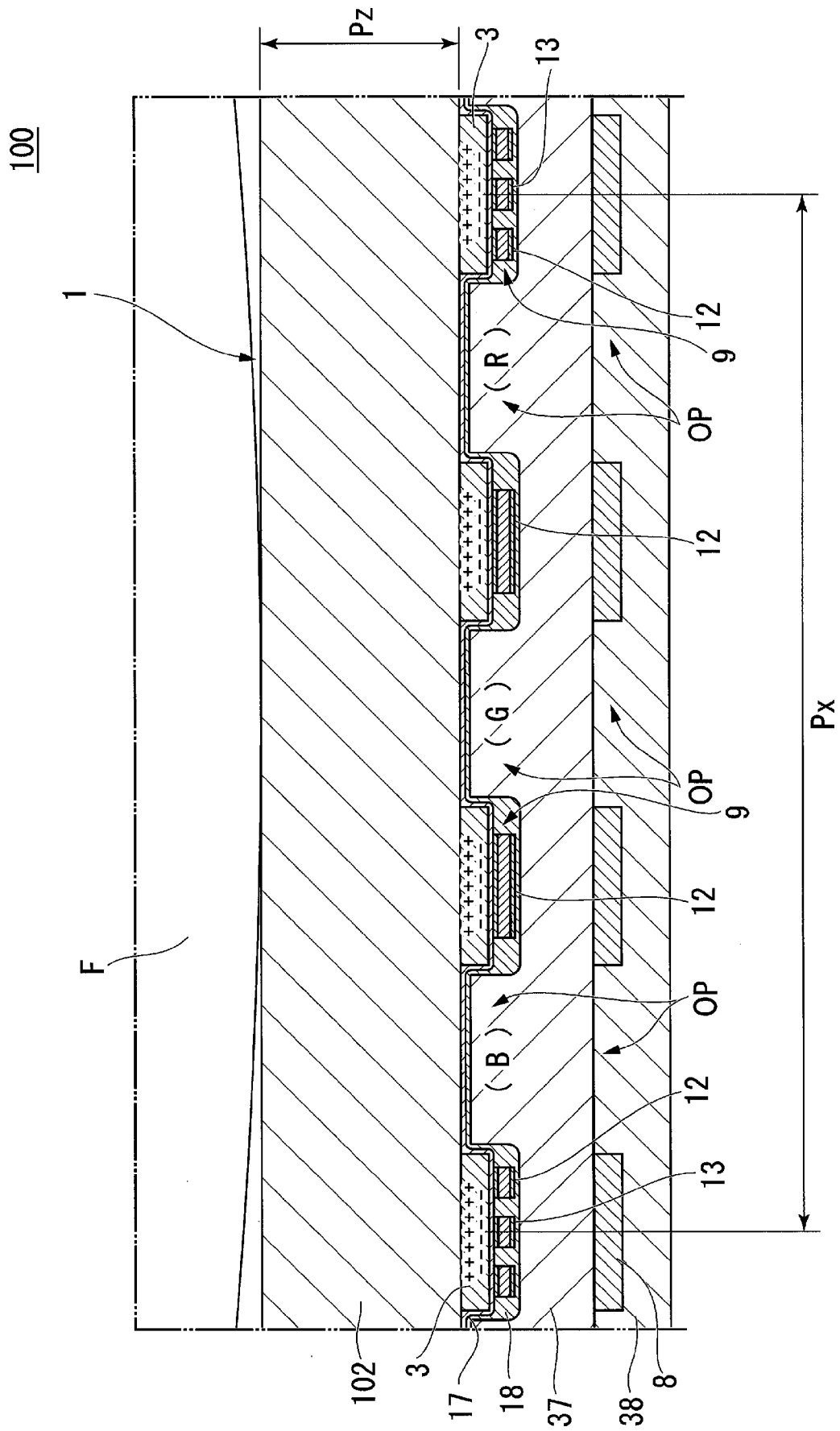
[図5]



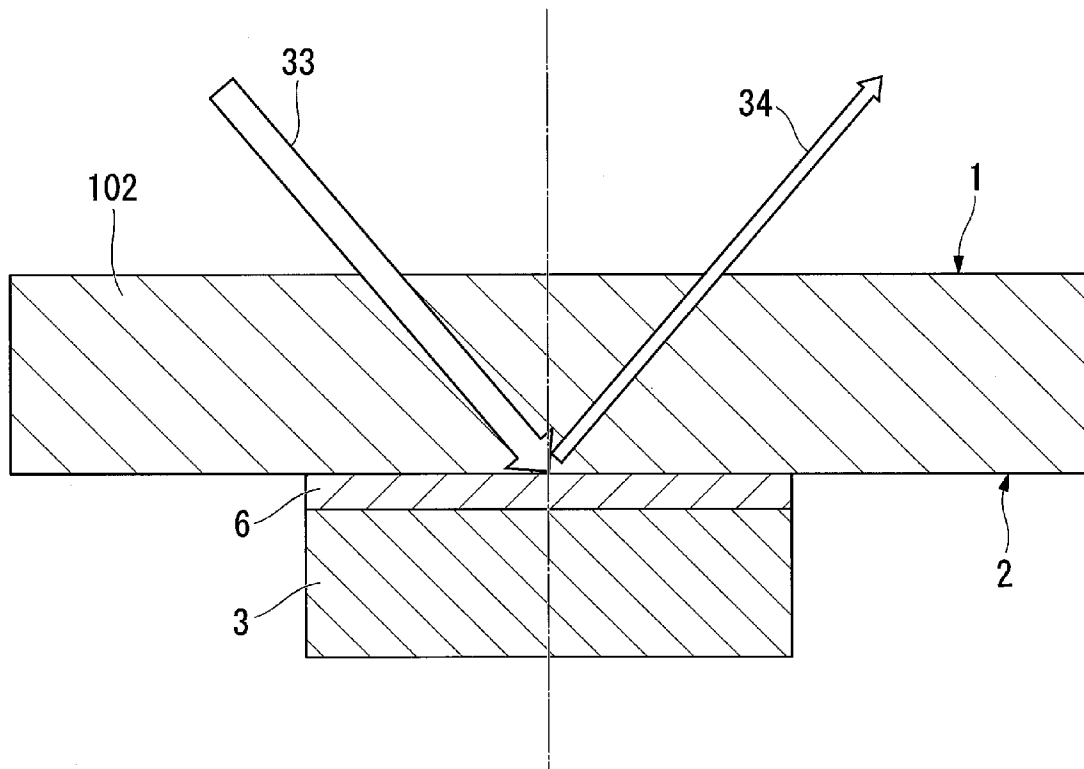
[図6]



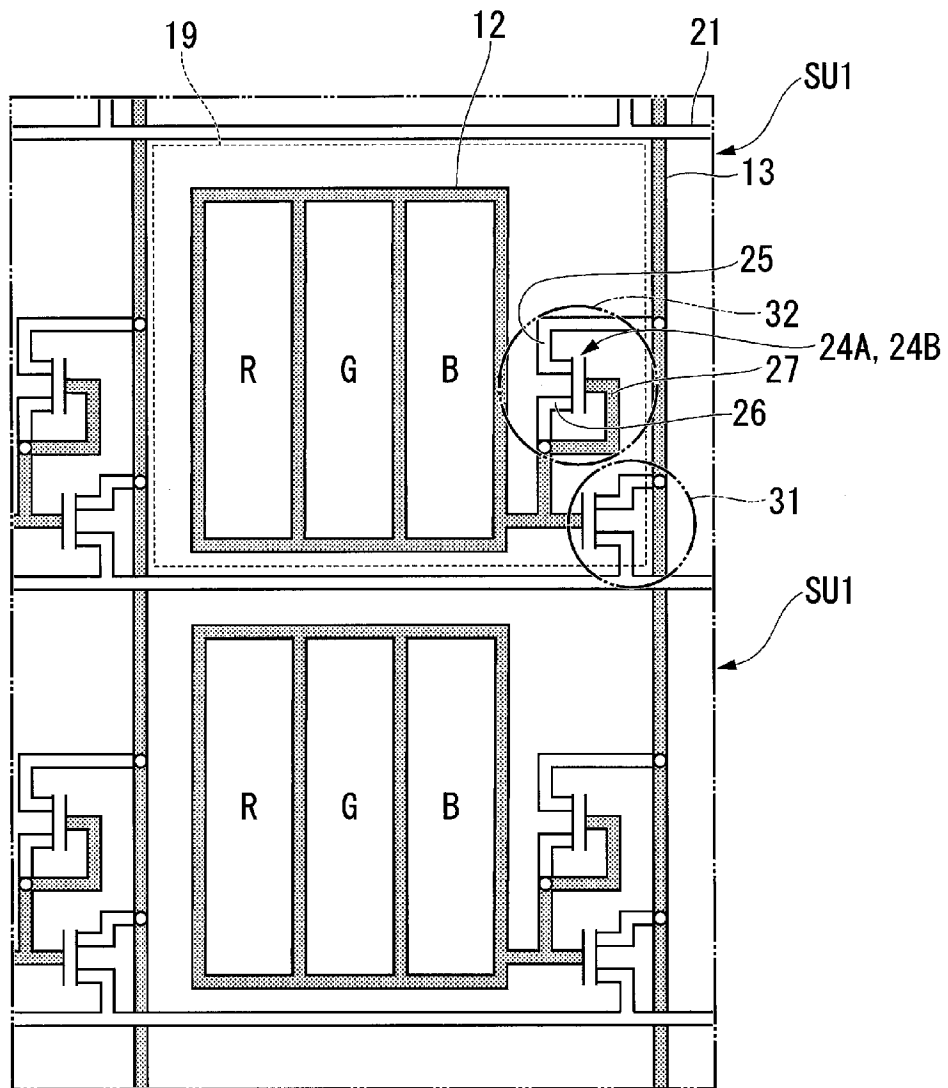
[図7]



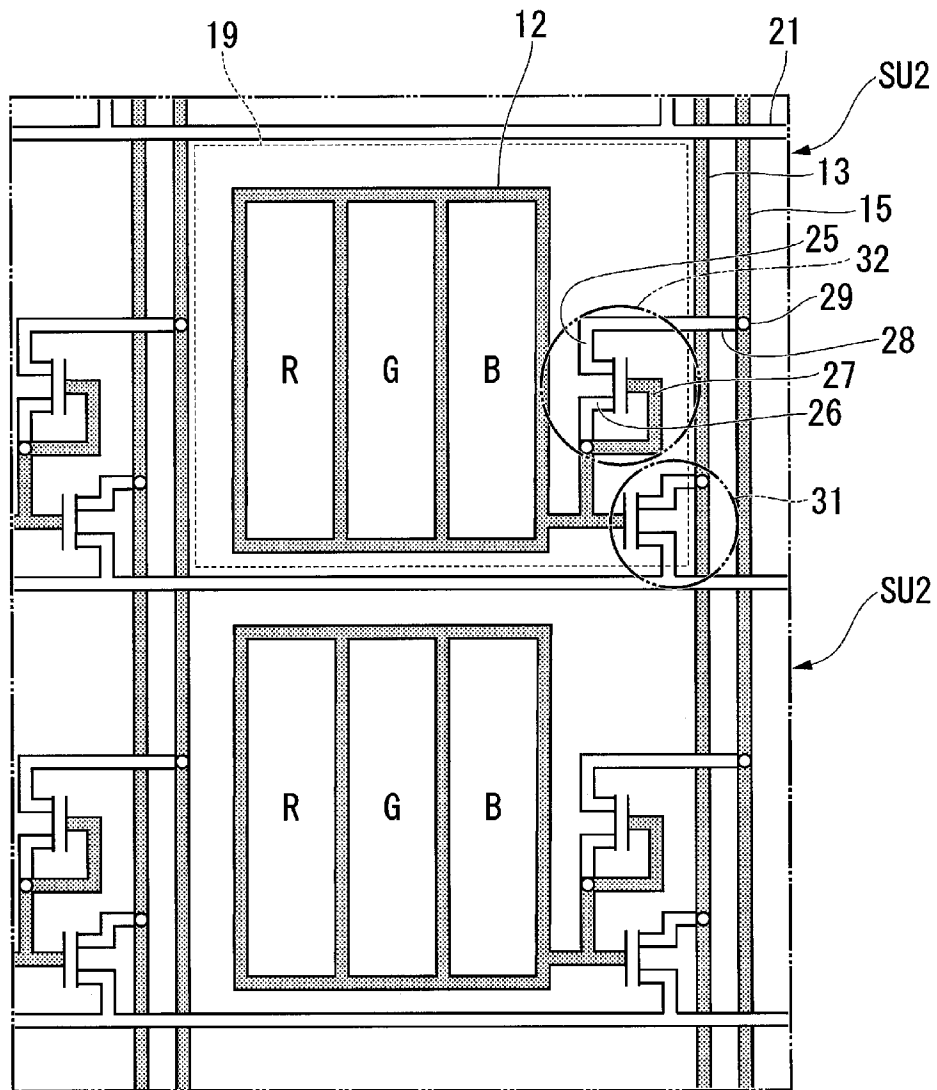
[図8]



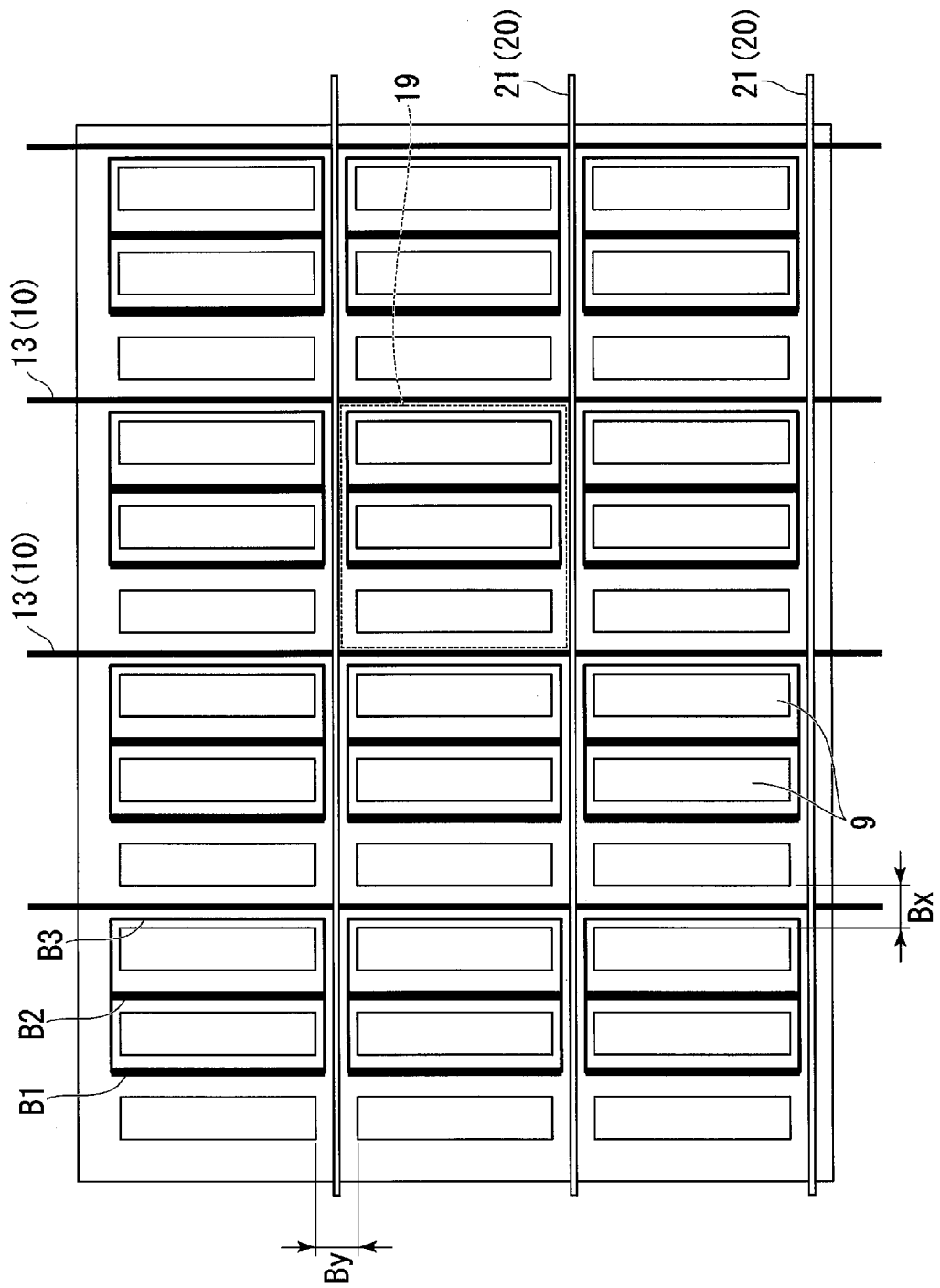
[図9]



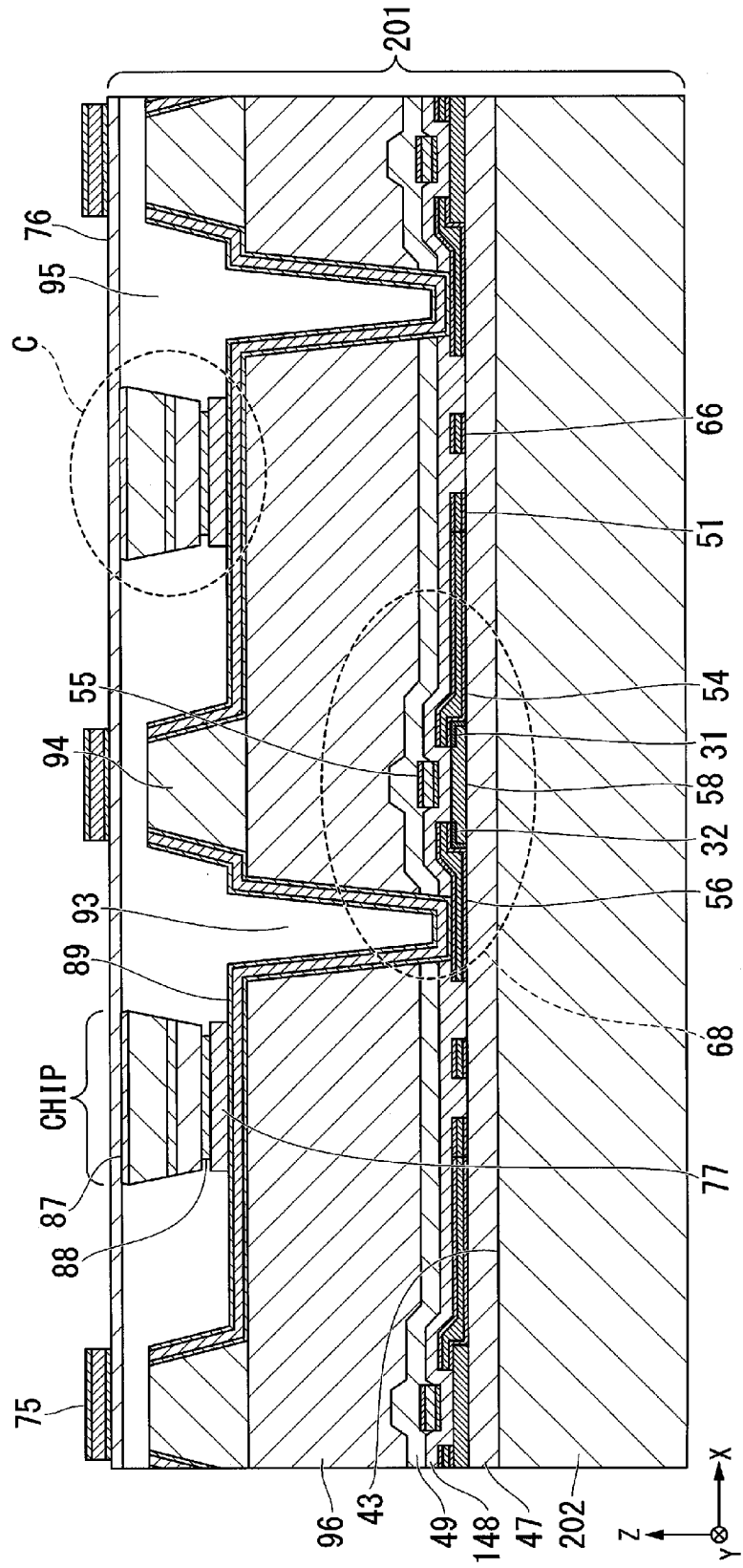
[図10]



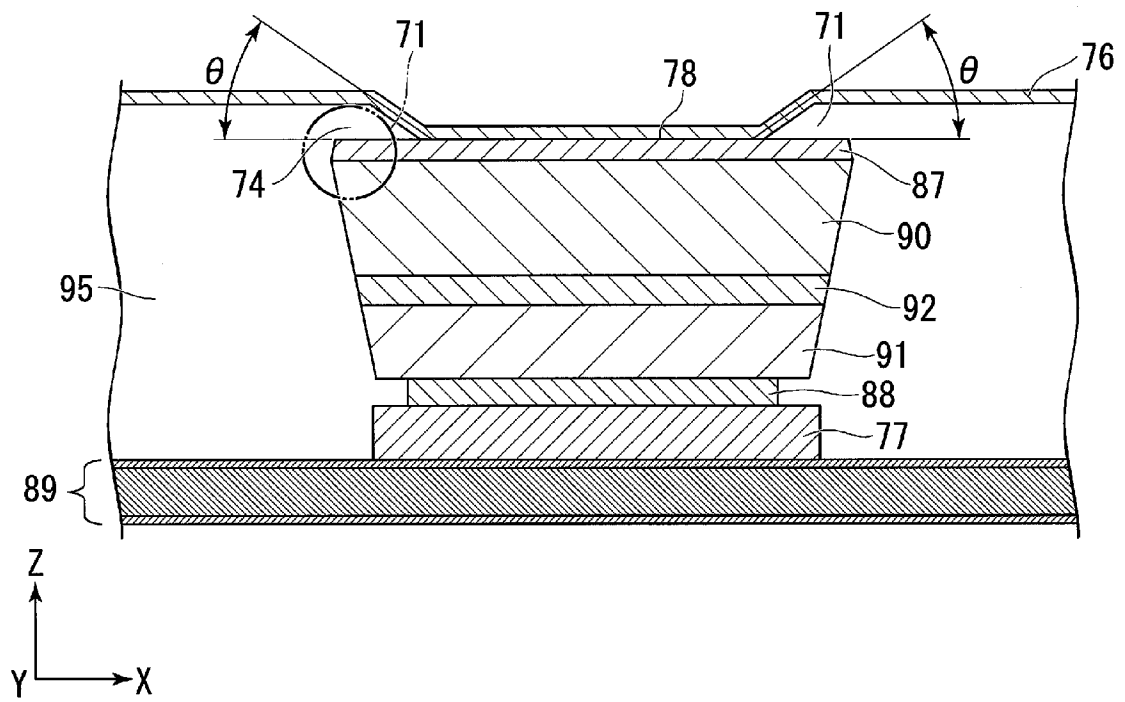
[図11]



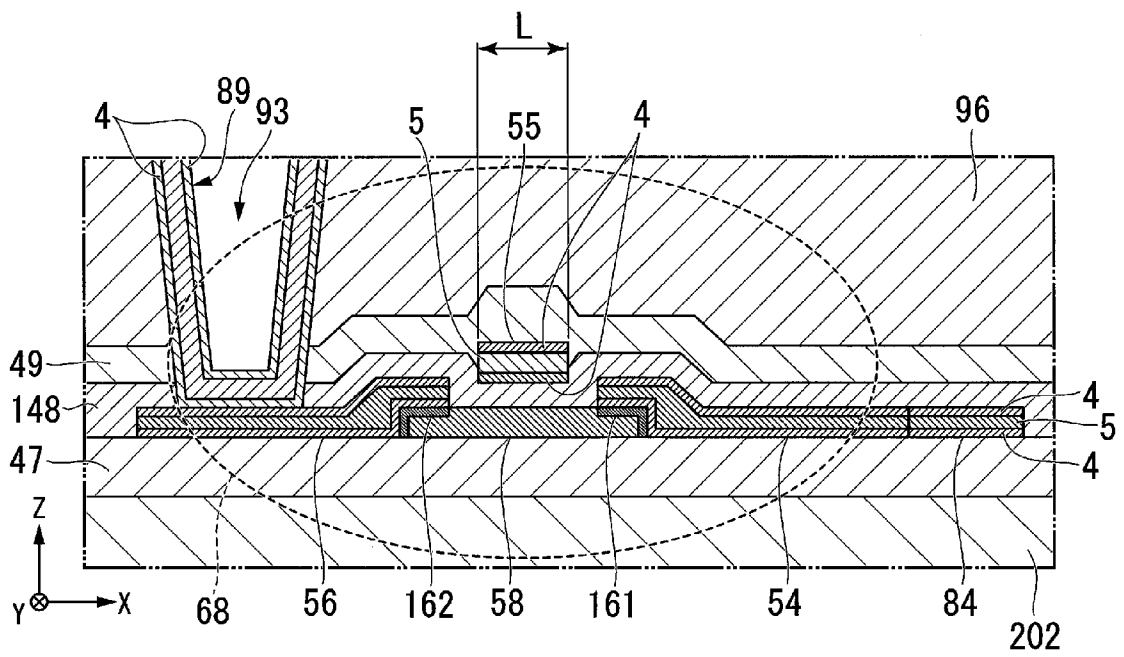
[図13]



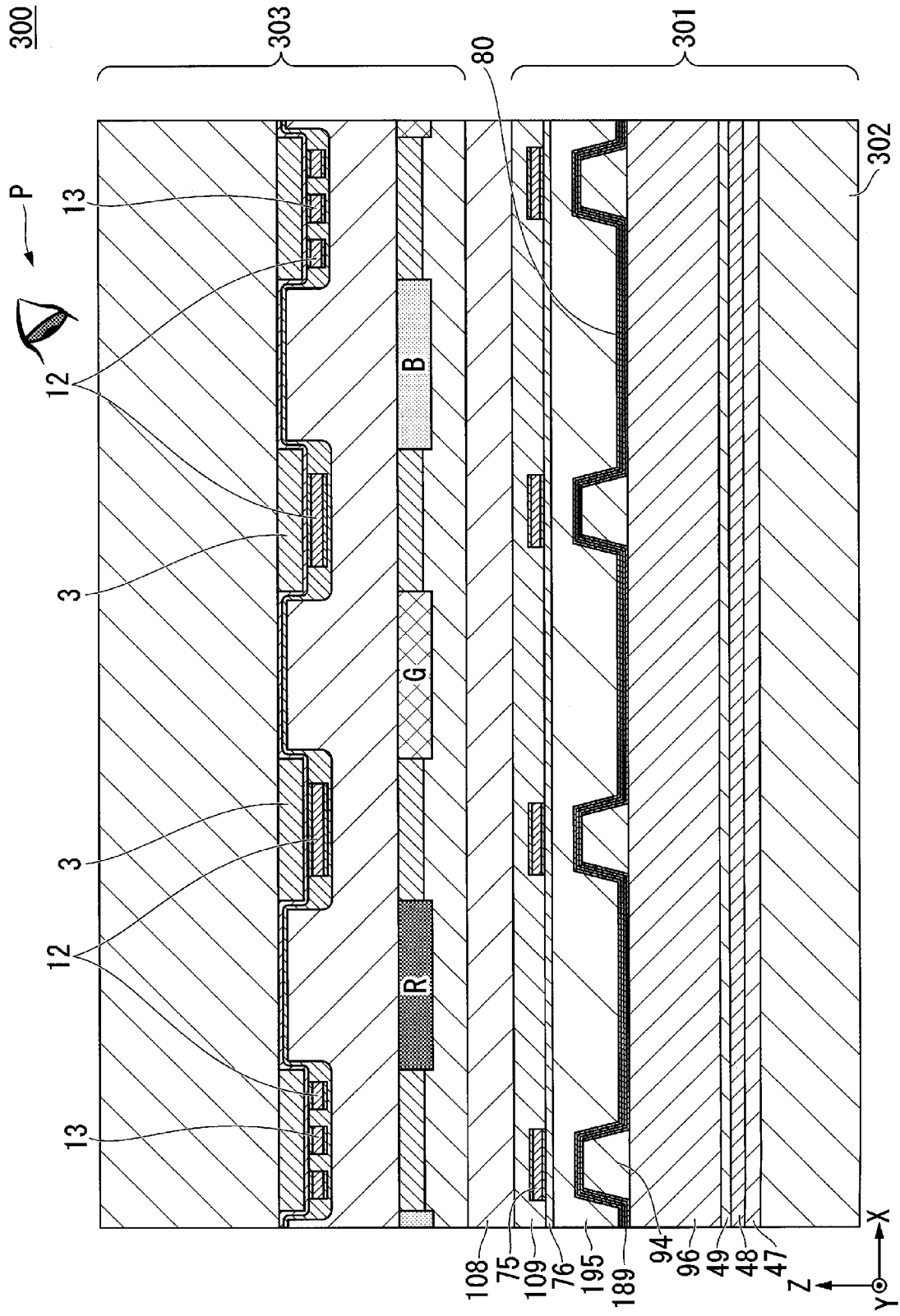
[図14]



[図15]

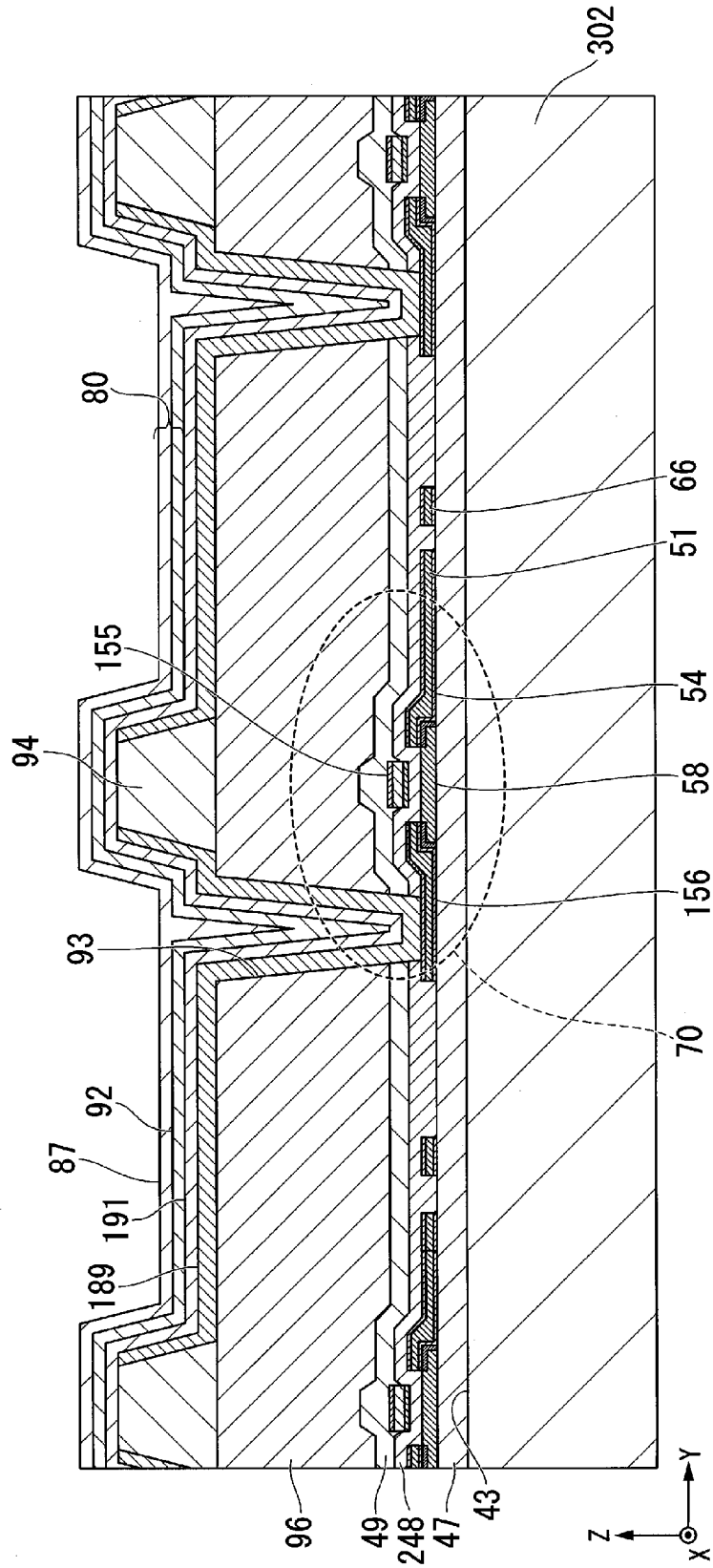


[図17]

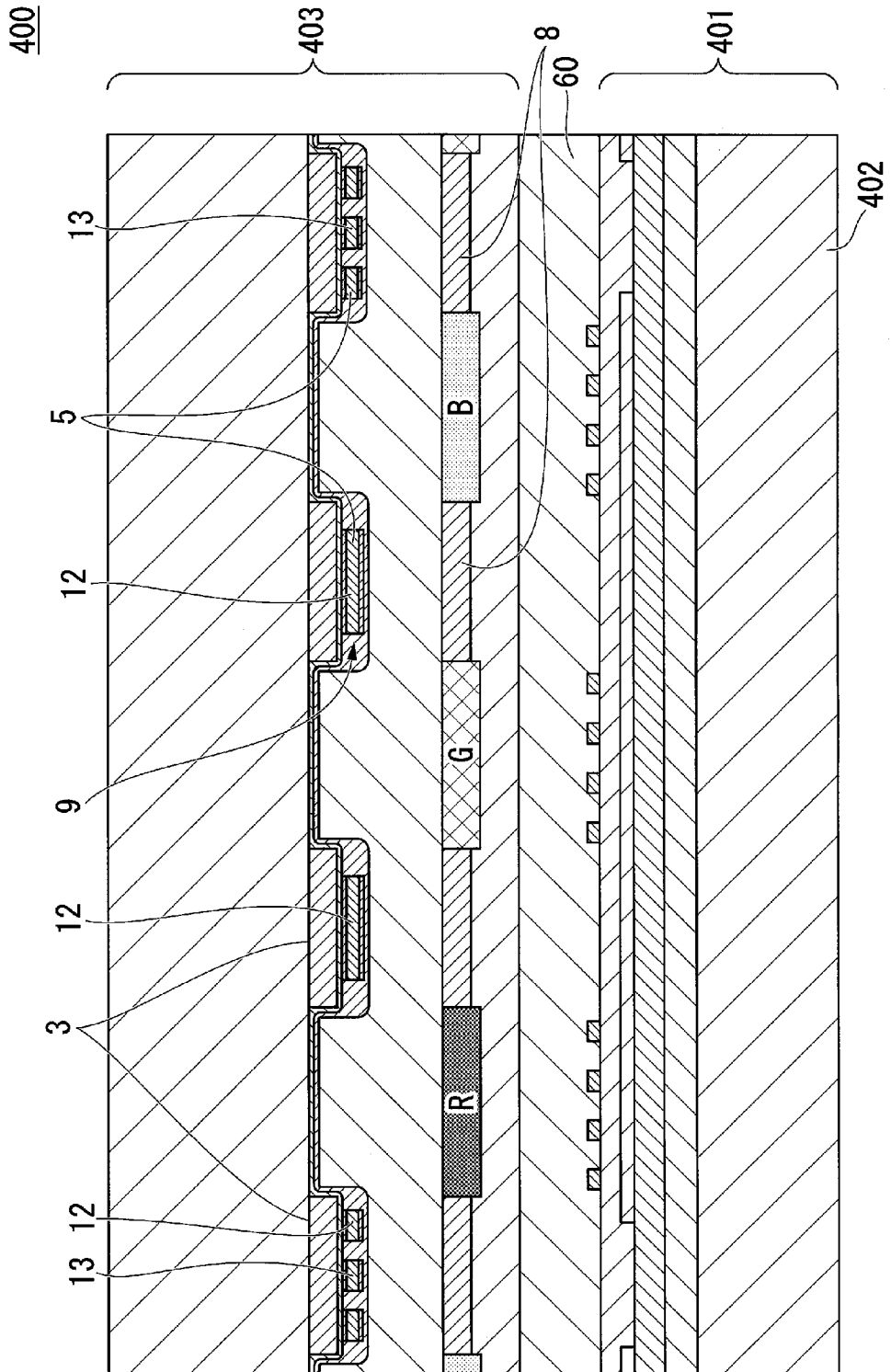


[18]

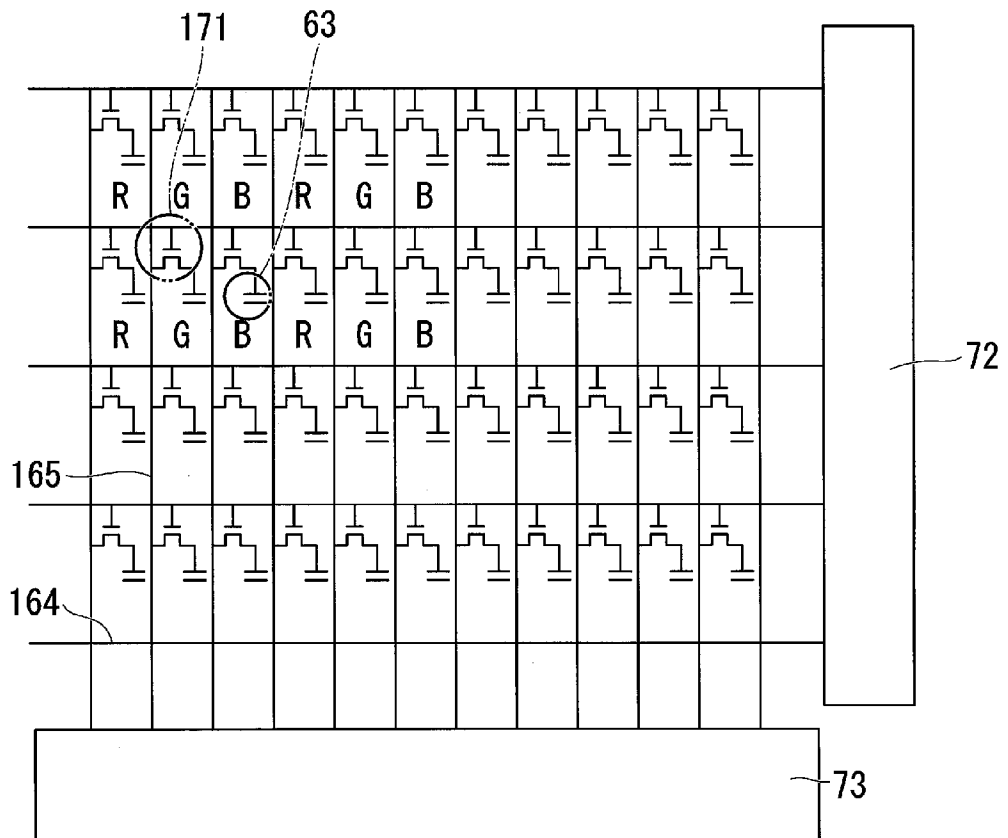
301



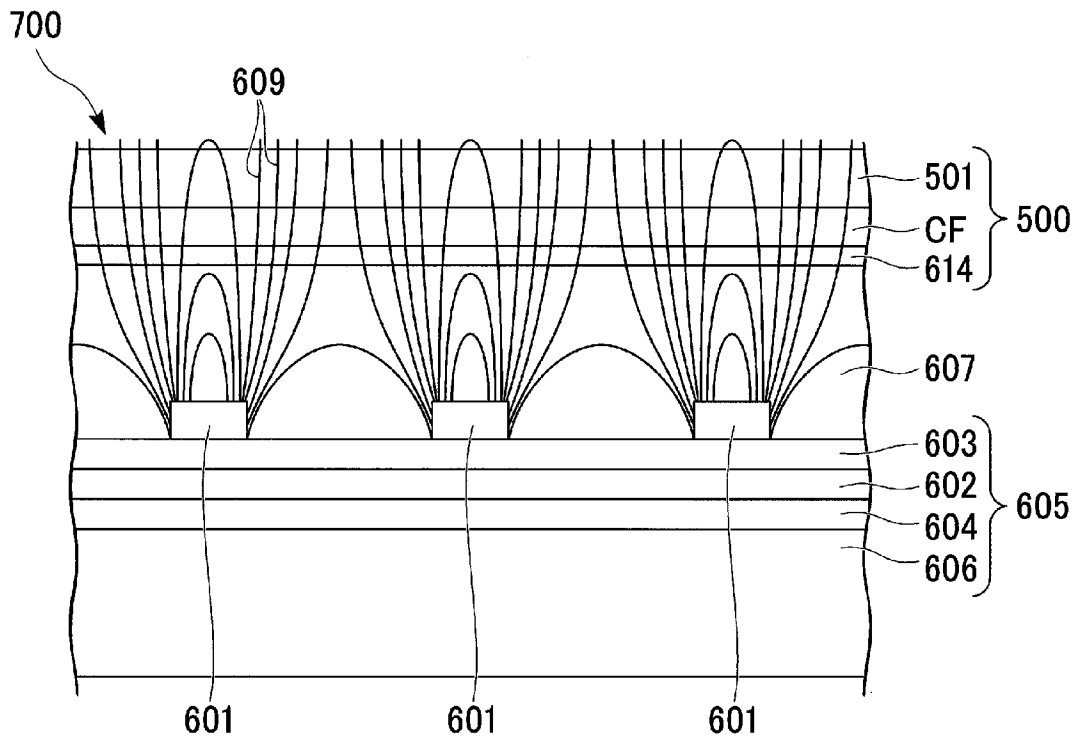
[図19]



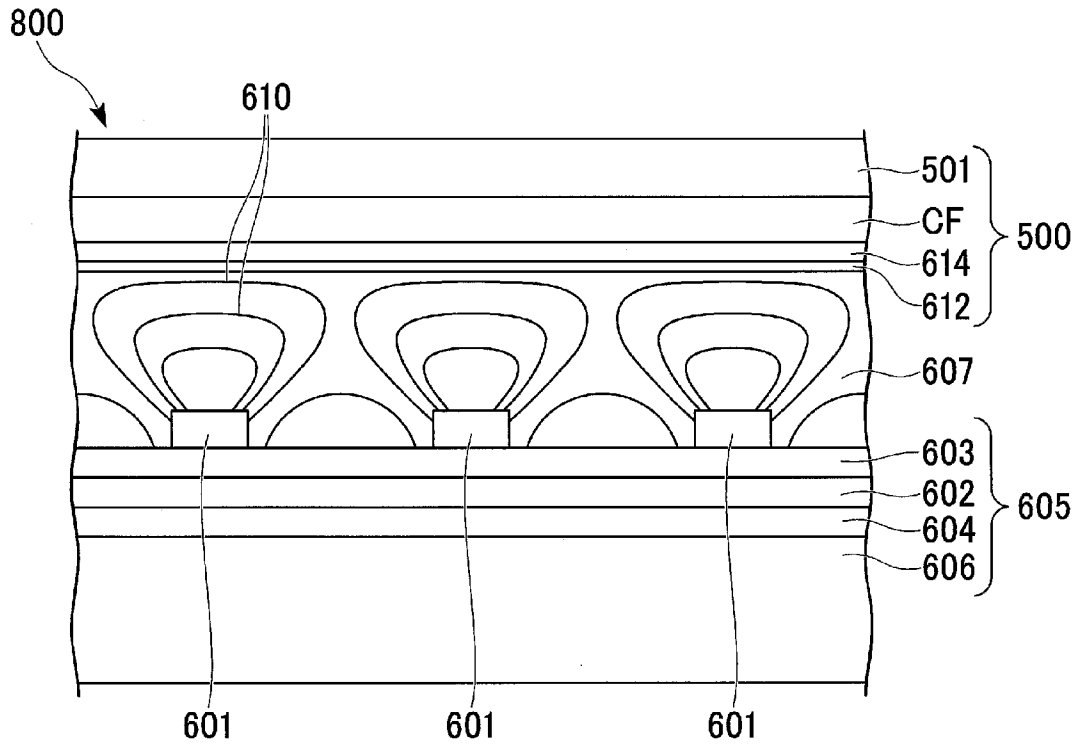
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/024079

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G06F3/044 (2006.01) i, G06F3/041 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G06F3/044, G06F3/041

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-228210 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17 December 2015, paragraphs [0057]-[0099], [0154]-[0172], fig. 3, 6, 7, 9-11 & US 2015/0317020 A1, paragraphs [0073]-[0115], [0170]-[0188], fig. 3A, 6A-7, 9A-11C & KR 10-2015-0126297 A	1-12
A	JP 5807726 B1 (TOPPAN PRINTING CO., LTD.) 10 November 2015, paragraphs [0064]-[0066], fig. 8-9A & US 2017/0115786 A1, paragraphs [0106]-[0114], fig. 8-9A & WO 2016/006081 A1 & EP 3168719 A1 & CN 106537298 A & KR 10-2017-0030495 A	1-12

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search 24.07.2018	Date of mailing of the international search report 07.08.2018
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2018/024079

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/051486 A1 (TOPPAN PRINTING CO., LTD.) 22 March 2018, paragraphs [0041]-[0049], [0080]- [0082], fig. 2, 8 (Family: none)	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F3/044(2006.01)i, G06F3/041(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F3/044, G06F3/041

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-228210 A（株式会社半導体エネルギー研究所） 2015.12.17, 段落[0057]-[0099], [0154]-[0172], 図3, 6-7, 9-11 & US 2015/0317020 A1, 段落[0073]-[0115], [0170]-[0188], 図3A, 6A-7, 9A-11C & KR 10-2015-0126297 A	1-12

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

24.07.2018

国際調査報告の発送日

07.08.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

星野 裕

電話番号 03-3581-1101 内線 3521

5E

6301

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5807726 B1 (凸版印刷株式会社) 2015.11.10, 段落[0064]-[0066], 図 8-9A & US 2017/0115786 A1, 段落[0106]-[0114], 図 8-9A & WO 2016/006081 A1 & EP 3168719 A1 & CN 106537298 A & KR 10-2017-0030495 A	1-12
A	WO 2018/051486 A1 (凸版印刷株式会社) 2018.03.22, 段落[0041]-[0049], [0080]-[0082], 図 2, 8 (ファミリーなし)	1-12