

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2007年6月7日(07.06.2007)

PCT

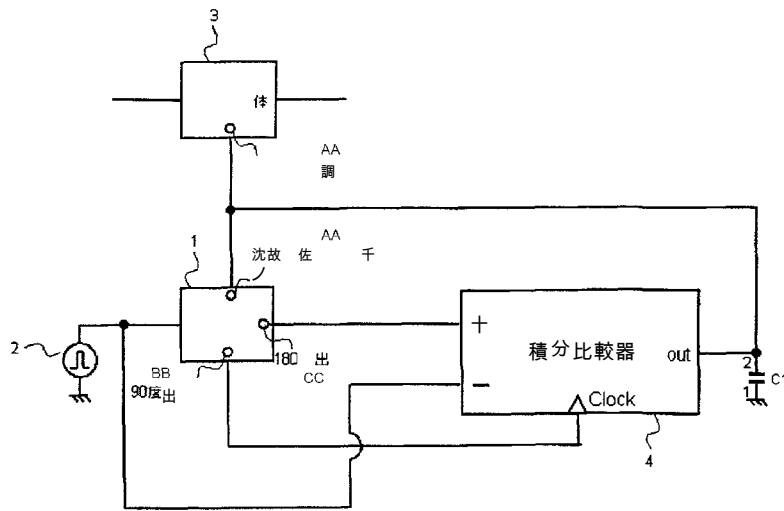
(10) 国際公開番号  
WO 2007/063643 A1

- (51) 国際特許分類:  
H03H 11/04 (2006.01)
- (21) 国際出願番号: PCT/JP2006/320185
- (22) 国際出願日: 2006年10月10日(10.10.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権子ータ:  
特願 2005-343921  
2005年11月29日(29.11.2005) JP
- (71) 出願人(米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 堀真一 (HORI, Shinichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 宮崎昭夫, 外 (MIYAZAKI, Teruo et 他); 〒1070052 東京都港区赤坂1丁目9番20号第16興和ビル8階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NR, NI, NO, NZ, OM, PA, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), -X-ラシ T (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: AUTOMATIC ADJUSTMENT CIRCUIT, AND FILTER CIRCUIT

(54) 発明の名称: 自動調整回路およびフィルタ回路



3- FILTER BODY  
 AA- FREQUENCY CHARACTERISTIC ADJUSTING TERMINAL  
 1- REPLICIA  
 BB- 90 DEGREE OUTPUT SIGNAL  
 CC- 180-DEGREE OUTPUT SIGNAL  
 4- INTEGRATING COMPARATOR

(57) Abstract: An automatic adjustment circuit comprises a replica (1) constituted of either a circuit block of a portion of a filter body (3) or a combination of the circuit block, and fed with a reference signal (2) from the outside, for outputting signals having a phase delays of 90 degrees and 180 degrees with respect to the reference signal (2), and an integrating comparator (4) fed at its input terminal with an output signal, as having a phase delay of 180 degrees, of the replica (1) and the reference signal (2), and at its clock terminal with an output signal, as having a phase delay of 90 degrees, of the replica (1), and having an output terminal connected with a capacity (C1) and a frequency characteristic adjusting terminal of the replica (1). The automatic adjusting circuit is characterized in that the integrating action of the integrating comparator (4) is performed across the two high/low states of the input signal.

[続葉有]

WO 2007/06\_64\_ A1



OAPI のF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

要約: 本発明の自動調整回路は、外部から参照信号(2)が入力され、参照信号(2)に対して90度および180度の位相遅延を持つ信号を出力する、フィルタ本体(3)の一部の回路ブロックもしくはその回路ブロックの組み合わせで構成されたレプリカ(1)と、入力端子にレプリカ(1)の180度の位相遅延を持つ出力信号および参照信号(2)が入力され、クロック端子にレプリカ(1)の90度CM位相遅延を持つ出力信号が入力され、出力端子が容量(C1)およびレプリカ(1)の周波数特性調整端子に接続された積分比較器(4)とを有し、積分比較器(4)の積分動作は、入力信号のハイ/ローの両状態にまたがって行われることを特徴とする。

## 明 細 書

### 自動調整回路およびフィルタ回路

#### 技術分野

[0001] 本発明は、周波数特性を自動的に目標特性に調整する自動調整回路に関し、特に、高精度で高速動作が可能な自動調整回路に関する。

#### 背景技術

[0002] 近年のプロセス技術の発展にともない、無線機などに代表されるように、多種の回路ブロックをつなぎ合わせて構成する高機能デバイスを、1チップIc (Integrated Circuit) として作成することが可能となった。

[0003] 無線機を構成する回路ブロックの1つであるフィルタ回路は、不要な周波数帯の信号を除去する役割を持つ。このため、フィルタ回路には、他の回路ブロックに比較して、より高精度な周波数特性を持つことが要求される。通常、フィルタ回路には、製造プロセスのばらつきによる、設計値と実際の周波数特性のずれを調整する、自動調整回路が組み込まれている。

[0004] フィルタ回路の日動調整回路の最も一般的な手段は、フィルタ本体を構成する回路ブロックの一部で構成したレプリカを用いる手段である。チップレイアウト上で、レプリカとフィルタ本体を近接させておくことで、製造プロセス工程における素子のばらつきに起因する、レプリカとフィルタ本体の周波数特性の乖離量を等しくすることができる。レプリカの周波数特性を調整し、レプリカの周波数特性調整端子に与える調整信号を、フィルタ本体の周波数特性調整端子にも与えることで、フィルタ本体の周波数特性を調整することが可能となる。

[0005] 図1に、一般的なフィルタの周波数特性の例として、2次BPF (Band-Pass Filter) の利得の周波数特性と、位相の周波数特性を示す。

[0006] 利得および位相の周波数特性は、一方の周波数特性が決まれば他方の周波数特性も決まる、1対1の関係にある。製造プロセス工程におけるばらつきによって、実際の周波数特性が設計値からずれると、図中破線で示したように、利得および位相の周波数特性は、等しい割合で変化する。このことは、利得もしくは位相の周波数特性

のうち、一方の周波数特性を調整すれば、他方の周波数特性も調整されることを意味している。

[000] 図<sub>2</sub>は、従来の自動調整回路の回路図である。

[000] レプリカ<sub>9</sub>は、フィルタ本体10を構成する回路ブロックの一部で構成される。フィルタ本体10およびレプリカ<sub>9</sub>は、周波数特性調整端子を有しており、両者は同時に調整されることが可能となっている。位相比較器1<sub>2</sub>には、参照信号<sub>11</sub>と、この参照信号11が入力されたレプリカ<sub>9</sub>の出力が入力され、位相比較器1<sub>2</sub>からは、両者の位相差と設計値との差に応じた誤差信号が出力される。この誤差信号を、レプリカ<sub>9</sub>の周波数特性調整端子に与えることで、誤差信号が0に近づく方向に回路動作が修正される。最終的には、レプリカ<sub>9</sub>およびフィルタ本体10の周波数特性が設計値に等しくなったところで、回路動作が安定する。以上により、レプリカ<sub>9</sub>およびフィルタ本体10の周波数特性は、設計値に調整される(例えば、特許文献1<sub>1,2</sub>参照)。

[000] 上述したように、従来の自動調整回路において、フィルタ本体の周波数特性の調整精度は、位相比較器に大きく依存する。位相比較器の精度を向上するためには、寄生的な位相遅延の寄与が、参照信号およびレプリカ<sub>9</sub>の出力に均等に加えられなければならない。

[000] そのためには、位相比較器の構成が、参照信号およびレプリカ<sub>9</sub>の出力に対して、完全に対称的でなければならないが、従来の単純な構成(ダブルバランスミキサ型位相比較器や、論理回路を用いた位相比較器等)では、実現不可能である。また、位相比較器の規模を大きくしてしまうと、寄生的な位相遅延量が増加することによって、高速動作が困難になり、チップ面積の増大、消費電力の増加を招いてしまう。

[001] 以上により、従来の自動調整回路では、フィルタ回路の周波数特性の調整精度の向上が困難であるという問題点がある。

特許文献<sub>1</sub>:特開平06-299971号公報

特許文献<sub>2</sub>:特開2006-347901号公報

## 発明の開示

[002] 本発明の課題は、上述した従来の問題点を解決することであって、本発明の目的は、チップ占有面積が小さく、消費電力が低い、高精度で高速動作が可能な自動調

整回路およびフィルタ回路を実現することである。

[0013] 上記の目的を達成するため、本発明によれば、以下のことを特徴とするフィルタ回路の周波数特性を自動調整する自動調整回路が提供される。

[0014] (a) 外部から参照信号が入力される、フィルタ本体の一部の回路ブロックもしくはその回路ブロックの組み合わせで構成されたレプリカと、

(b) 入力信号として、参照信号、または、レプリカから出力される信号が入力されるとともに、クロック信号として、参照信号、または、レプリカから出力される信号が入力され、クロック信号に同期して積分動作を行い、出力をレプリカおよびフィルタ本体の周波数特性調整端子に与える積分回路とを有し、

(c) 積分回路に入力されるクロック信号と入力信号は、90度の位相差を持つことを特徴とする、周波数特性の日動調整回路。

[0015] このように、積分回路の入力信号の1つとクロック信号を、参照信号と参照信号に対して90度の位相差を持つレプリカの出力信号の組み合わせにすることにより、入力信号を、ハイレベル/ローレベルの切り替えの瞬間を含んだ時間領域で積分できる。

[0016] この構成では、複数の入力信号において、ハイレベル/ローレベルの切り替えの瞬間に発生する位相オフセット誤差は、お互いに打ち消しあい、位相比較の精度は高くなる。

[0017] また、積分回路は、複数の入力信号のそれぞれが出力されるまでのパスを、対称性を高く回路設計することが容易であり、回路の非対称性から発生する、寄生的な位相遅延を最小限に抑えることができる。

[0018] 以上の理由により、本発明によれば、周波数特性を高精度に調整可能で、高速動作が可能な自動調整回路を得ることができる。

#### 図面の簡単な説明

[0019] [図1]2次バンドパスフィルタの周波数特性図である。

[図2]自動調整回路の従来例である。

[図3]本発明の第1の実施形態の自動調整回路を示す回路図である。

[図4]本発明の第1の実施形態に含まれる、レプリカの一例を示す回路図である。

[図5]本発明の第1の実施形態に含まれる、積分比較器の第1例を示す回路図である。

[図6]本発明の第1の実施形態に含まれる、積分比較器の第2例を示す回路図である。

[図7]本発明の第1の実施形態の動作を示す第1のタイミングチャートである。

[図8]本発明の第1の実施形態の動作を示す第2のタイミングチャートである。

[図9]本発明の第1の実施例の自動調整回路を示す回路図である。

[図10]本発明の第2の実施形態の自動調整回路を示す回路図である。

[図11]本発明の第2の実施形態に含まれる、積分差検出器の一例を示す回路図である。

[図12]本発明の第3の実施形態の自動調整回路を示す回路図である。

[図13]本発明の第3の実施形態の動作を示すタイミングチャートである。

[図14]本発明の第4の実施形態の自動調整回路を示す回路図である。

[図15]本発明の第4の実施形態に含まれる、レプリカの一例を示す回路図である。

[図16]本発明の第4の実施形態の動作を示すタイミングチャートである。

### 発明を実施するための最良の形態

[0020] 次に、本発明の実施形態について図面を参照して詳細に説明する。

(第1の実施形態)

図3は、本発明の第1の実施形態の自動調整回路の構成を示す図である。この自動調整回路は、フィルタ回路の内部に設けられている。

[0021] 図3において、3は、フィルタ本体であり、1は、フィルタ本体3を構成する回路ブロックの一部で構成されたレプリカである。フィルタ本体3およびレプリカ1は周波数特性調整端子を有しており、この周波数特性調整端子に与えられる電圧が高いほど、周波数は高い方向に調整される。レプリカ1およびフィルタ本体3の周波数特性調整端子は、互いに接続されており、レプリカ1およびフィルタ本体3は、同時に周波数特性を最適状態に調整される。レプリカ1からは、レプリカ1に入力された参照信号2からの位相遅延が180度および90度になるように設計された、180度出力信号と90度出力信号が出力される。積分比較器4は、プラス端子、マイナス端子、クロック端子、出

カ端子を有しており、これら端子のそれぞれは、180度出力信号、参照信号、90度出力信号、レプリカ1およびフィルタ本体3の周波数特性調整端子に接続される。容量C1は、積分比較器4の出力端子とグラウンドの間に接続される。

[0022] フィルタ本体3が、電圧電流変換素子であるgmアンプと容量を組み合わせて構成されたgm-Cフィルタである場合、レプリカ1は、フィルタ本体3と同様の回路トポロジーを持つgmアンプと容量を組み合わせて構成される。また、レプリカ1は、後述のように、入力信号に対する2次伝達関数により出力信号を得る2次バイクアット回路である。

[0023] 図4に、レプリカ1の構成の一例を示す。

[0024] 図中、gm1, gm2, gm3, gm4は、フィルタ本体3を構成するgmアンプと同様の回路トポロジーで設計されたgmアンプである。CG1, CG2は、容量である。レプリカ1の入力端子は、内部でgm1の入力端子と接続される。レプリカ1の180度出力端子は、gm1の出力端子、gm2の入出力端子、gm3の出力端子、gm4の出力端子、端子1が接地されたCG1の端子2と並列に接続される。90度出力端子は、gm3の出力端子、gm4の入力端子、端子1が接地されたCG2の端子2と並列に接続される。レプリカ1の周波数特性調整端子は、各gmアンプのgm値調整端子と並列に接続される。gm値調整端子は、入力される電圧に応じてgm値を調整する。上記のように、各gmアンプのgm値調整端子を接続して、各gm値調整端子に等しい電圧を与えることで、全てのgm値を等しい割合で変化させることができる。

[0025] ここで、gm1, gm2, gm3, gm4のgm値を、それぞれ、-g1, -g2, -g3, g4とし、CG1, CG2の容量値を、それぞれ、C1, C2とする。すると、180度出力信号および90度出力信号の、入力信号に対する伝達関数 $F_{180}(s)$  および $F_{90}(s)$ は、それぞれ、次の数式1, 2のように表される。

[0026] [数1]

$$F_{90}(s) = \frac{-s \frac{g_1}{C_1}}{s^2 + \frac{g_2}{C_1} s + \frac{g_3 \cdot g_4}{C_1 \cdot C_2}}$$

[0027] [数2]

$$耳_0(s) = \frac{\frac{g_1 \cdot g_3}{C_1 \cdot C_2}}{s^2 + \frac{g_2}{C_1} s + \frac{g_3 \cdot g_4}{C_1 \cdot C_2}}$$

[0028] 数式1,2は、角周波数の $\omega_0$ が次の数式3の値である入力信号に対して、それぞれ、180度および90度の位相遅延が生じることを示している。

[0029] [数3]

$$\omega_0 = \sqrt{\frac{g_3 \cdot g_4}{C_1 \cdot C_2}}$$

[0030] 参照信号2の周波数は、 $\omega_0 / 2\pi$ に設定されているため、レプリカ1の180度出力信号および90度出力信号は、参照信号2に対して、それぞれ、180度および90度の位相遅延を持つように設計されている。

[0031] また、周波数特性調整端子に調整信号を与えると、レプリカ1の周波数特性が調整されることを以下に示す。周波数特性調整端子に調整信号を与えると、全てのgm値は、等しい割合で変化する。gm値の変化の割合を $\beta$ とすると、伝達関数および $\omega_0$ は、次の数式4,5,6のように表される。

[0032] [数4]

$$耳_{\beta\omega_0}(s) = \frac{-\left(\frac{s}{\beta}\right) \cdot \frac{g_1}{C_1}}{\left(\frac{s}{\beta}\right)^2 + \frac{g_2}{C_1} \cdot \left(\frac{s}{\beta}\right) + \frac{g_3 \cdot g_4}{C_1 \cdot C_2}}$$

[0033] [変式5]

$$F_{\beta\omega_0}(s) = \frac{\frac{g_1 \cdot g_3}{C_1 \cdot C_2}}{\left(\frac{s}{\beta}\right)^2 + \frac{g_2}{C_1} \cdot \left(\frac{s}{\beta}\right) + \frac{g_3 \cdot g_4}{C_1 \cdot C_2}}$$



[0034] [数6]

$$\omega_{\beta 0} = \frac{R_D}{C_1 \cdot C_2} \cdot \sqrt{g_3 \cdot g_4}$$

[0035] 数式4,5,6は、周波数特性が $\beta$ 倍スケールリングされたことを意味している。よって、レプリカ1の周波数特性調整端子は、レプリカ1の周波数特性を調整できることが示された。

[0036] 積分比較器4は、レプリカ1の180度出力信号がプラス端子への入力信号として入力され、参照信号2がマイナス端子への入力信号として入力され、90度出力信号がクロック信号として入力される。クロック信号がハイレベルの間、両入力信号をそれぞれサンプリングして積分値をとり、クロック信号がローレベルに転ずると、積分値の比較を行う。プラス端子の入力信号の積分値がマイナス端子の入力信号の積分値よりも高ければ、吐き出し方向に電流を出力し、逆に低ければ、引き込み方向に電流を出力する。

[0037] 図5に、積分比較器4の構成の一例を示す。

[0038] CP1, CP11, CP2は、チャージポンプであり、入力信号がハイレベルのとき、電流を一定にして吐き出し方向に出力し、入力信号がローレベルのとき、吐き出し方向に出力された電流と同じ値の電流を一定にして引き込み方向に出力する。SW1, SW11, SW2, SW22, SW3は、スイッチ回路であり、端子3への入力信号がハイレベルのとき端子1と端子2を接続し(ON状態)、入力信号がローレベルのとき端子1と端子2間を開放する(OFF状態)。INV1は、反転回路であり、ハイレベル信号をローレベル信号に変換し、ローレベル信号をハイレベル信号に変換する。OA1は、電圧比較回路であり、プラス端子に入力される電圧がマイナス端子に入力される電圧よりも高い場合、ハイレベル信号を出力し、逆の場合、ローレベル信号を出力する。D-FF5は、デレイフリップフロップであり、クロック信号がローレベルかハイレベルに変化する瞬間に、入力信号を出力信号として出力し、次にクロック信号がローレベルからハイレベルに変化するまで、その出力信号を保持する回路である。C2, C22は、容量である。Vccは、定電源回路である。このVccとSW2, SW22でリセット回路1を構

成する。V<sub>CC</sub>は、マイナス端子がグラントに接続され、プラス端子が、SW2, SW22の端子1に接続されている。CP1, CP11の出力端子には、それぞれSW1, SW11の端子2が接続され、SW1, SW11の端子1には、それぞれリセット回路1内部のSW2, SW22の端子2が接続されている。また、SW1, SW11の端子1には、それぞれ並列に、端子1が接地された容量C2, C22の端子2と、OA1のプラス端子、マイナス端子が接続されている。OA1の出力端子には、D-FF5の入力端子が接続され、D-FF5の出力端子には、CP2の入力端子が接続されている。CP2の出力端子には、SW3の端子2が接続されている。SW3の端子1が、積分比較器4の出力端子となり、図3中C1の端子2に接続される。外部クロック信号は、SW1, SW11の端子3に入力され、また、INV1を介してSW2, SW22, SW3の端子3およびD-FFのクロック端子に入力される。

[0039] 積分比較器4は、クロック信号がハイレベルのとき、次のような積分動作を行う。SW1, SW11は、端子3にハイレベル信号を受けるので、ON状態となる。そのため、CP1, CP11の出力電流は、C2, C22に電荷として蓄積される。SW2, SW22は端子3にローレベル信号を受けるので、OFF状態となる。この状態では、リセット回路1は、容量C2, C22の端子2から切り離されているため、積分比較器4の回路動作に影響を与えない。C2, C22に蓄積された電荷は、それぞれ電圧信号に変換され、OA1は、両電圧信号の大小の比較を判定する。OA1は、C2の電圧がC22の電圧よりも高ければハイレベルを出力し、逆ならローレベルを出力する。SW3は、OFF状態であるので、積分比較器4から電流は出力されない。

[0040] 積分比較器4は、クロック信号がハイレベルからローレベルに転ずると、次のような電流出力動作を行う。INV1の出力に接続されたD-FF5のクロック端子の入力信号は、ローからハイに転ずる。D-FF5に入力されるOA1の出力信号は、D-FF5の出力信号として転送される。D-FF5の出力信号がハイレベルかローレベルかに応じて、CP2から、ON状態となったSW3を介して、積分比較器4の出力として、電流が吐き出し方向もしくは引き込み方向に出力される。リセット回路1内部のSW2およびSW22はON状態となり、C2, C22の端子2の電圧値は、定電源V<sub>CC</sub>の電圧値にセットされる。

- [0041] 次にクロック信号がローレベルからハイレベルに転ずると、SW1, SW11はON状態となり、再び、CP1, CP11からC2およびC22に電荷の供給が開始される。SW3はOFF状態となるので、積分比較器4からの電流は打ち切られる。
- [0042] 図6に、積分比較器4の別の一例を示す。
- [0043] 図6において、図3と同様の素子およびブロックには、同じ名称および番号が記されている。積分比較器4の入力端子と内部で接続されたCP1, CP2の出力端子は、スイッチ回路SW5の端子2に接続される。SW5の端子1は、端子1が接地された容量C3の端子2およびOA1のマイナス端子に並列に接続されている。リセット回路2は、スイッチ回路SW4およびV<sub>CC</sub>から構成される。V<sub>CC</sub>のプラス端子は、SW4の端子2およびOA1のプラス端子と並列に接続され、SW4の端子1は、SW5の端子1に接続されている。OA1の出力端子は、D-FF5の入力端子に接続され、D-FF5の出力端子は、CP2の入力端子に接続される。CP2の出力端子は、SW3の端子2に接続され、SW3の端子1は、積分比較器4の出力端子と内部で接続される。外部クロック信号は、SW5の端子3および反転回路INV2の入力端子に入力され、INV2の出力端子は、SW4の端子3、SW3の端子3、およびD-FF5のクロック端子に接続される。
- [0044] クロック信号がローレベルのとき、SW4がON状態であるので、C3の端子2の電圧は、電圧源V<sub>CC</sub>の電圧値に設定されている。クロック信号がハイレベルになると、SW4はOFF状態、SW5はON状態となり、CP1とCP2の出力電流がC3に電荷として蓄積される。CP1の入力信号がCP2の入力信号に対して、180度の位相遅延量を持つ場合、一方がハイレベルであれば、他方はローレベルである。そのため、CP1, CP2からC3に供給される電流は、互いに打ち消し合うので、C3に新たに蓄積される電荷は0である。本実施形態のように、クロック信号がCP2の入力信号に対して90度付近の位相遅延を持ち、CP1の入力信号がCP2の入力信号に対して180度付近の位相遅延を持つ場合、CP1の入力信号の位相が180度よりも遅れると、CP1の入力信号がハイレベルとなる時間が少なくなる。よって、C3に蓄積される電荷量は減少し、V<sub>CC</sub>の電圧値を下回る。よって、OA1の出力電圧はハイレベルとなる。逆に、CP1の入力信号の位相が180度よりも進むと、回路動作は逆に働き、OA1の出力電圧は、ローレベルとなる。クロック信号がローレベルとなると、D-FF5が、OA1の出力信

号をCP2の入力端子に転送する。そのため、クロック信号がローレベルに変化する直前のOA1の出力電圧のハイ／ローに応じて、図5の例と同様に、電流を吐き出し方向もしくは引き込み方向に出力する。このとき、クロック信号がINV2を通して端子3に入力されたSW4はON状態となるので、C3の端子2の電圧は、Vccに再設定される。

[0045] 以上、2つの例を挙げた積分比較器4の出力電流Ioutは、吐き出し方向を正として、以下の数式7に従って電圧Vout'に変換される。

[0046] [数7]

$$V_{out}' = \frac{I_{out} \cdot t_s}{C} + V_{out}$$

[0047] ここで、Cは、容量C1の容量値、tsは、クロック信号がローレベルを維持する時間、Voutは、クロック信号がローレベルになる直前の容量C1の電圧値である。

[0048] 図7は、本実施形態の回路動作を示すタイミングチャートである。

[0049] 図中、上段は、レプリカ1の180度出力信号、下段は、参照信号の時間推移を示す。図中、縦の破線は、積分比較器4のクロック端子に入力される、レプリカ1の90度出力信号の、ハイレベル／ローレベル間の変遷のタイミングを表す。図中、区間s1, s2, s3, s4は、クロック信号がハイレベルで、積分比較器4が積分動作をしている区間であり、その区間の幅はサンプリング時間と定義される。区間h1, h2, h3, h4は、クロック信号がローレベルで、積分比較器4が直前区間の2つの入力信号の積分値に応じた電流を出力している区間であり、その区間の幅はホールディング時間と定義される。

[0050] 以下、製造プロセス工程のばらつきに起因して、レプリカ1の180度出力信号および90度出力信号の位相遅延量が、設計値の180度および90度よりも大きい場合の回路動作について述べる。

[0051] 180度信号と90度出力信号の位相遅延は、それぞれ、ばらつきから同程度の位相遅延の影響を受けると考えられるので、両者の位相遅延差は、ばらつきの影響を受けた後でも90度である。よって、サンプリング時間での180度出力信号のハイレベル

状態の時間  $AT_{180}$  は、常にほぼサンプリング時間の半分の時間であり、積分値は、ほぼ一定となる。

[0052] 一方、参照信号は、クロック信号よりも90度以上位相が進んでいるため、サンプリング時間内でのハイレベル状態の時間  $AT_{ref}$  は、サンプリング時間の半分よりも短く、積分値は小さくなる。 $AT_{ref}$  は、 $AT_{180}$  よりも短いため、区間h1においては、積分比較器4は、吐き出し方向に電流を出力する。容量C1の端子2の電位は上昇するので、レプリカ1の周波数特性は、高周波側にシフトするように調整される。図1から分かるように、周波数特性が高周波側にシフトすると、位相は進み、参照信号と180度出力信号の位相遅延量は180度に近づく。

[0053] また、レプリカ1の180度出力信号および90度出力信号の位相遅延量が、設計値の180度および90度よりも小さい場合、回路動作は、上記とは逆の方向に動作し、180度出力信号の位相遅延量は180度に近づく。最終的には、180度出力信号の位相遅延量はほぼ設計値の180度になって、回路動作は安定する(図7では区間s4)。

[0054] 本実施形態は、レプリカ1に、新たに入力信号との位相差が0度の0度出力信号の端子を設け、この端子を、180度出力信号端子に替えて、積分比較器4のプラス端子に接続した構成でも、同様の効果を得ることができる。0度出力信号は、例えば、180度出力信号に反転回路を接続することで得られる。この場合の、本実施形態の回路動作を示すタイミングチャートを図8に示す。

[0055] 図中上段は、レプリカ1の0度出力信号、下段は、参照信号である。0度出力信号の位相が参照信号よりも遅れている場合、両信号とクロック信号の関係を、図8の区間s1に示す。区間s1での積分値は、0度出力信号の方が大きいため、積分比較器4は、電流を吐き出し方向に出力し、レプリカ1およびフィルタ本体3の周波数特性端子の電圧は上昇する。故に、0度出力信号の位相が進み、参照信号との差は0度に近づく。0度出力信号が参照信号よりも位相が進んでいる場合は、回路動作は逆に働き、上記周波数特性調整端子の電圧は下降する。故に、0度出力信号の位相は遅れ、参照信号との差は0に近づく。最終的には、区間s4に示すように、参照信号との差が0になったところで、回路が安定する。

[0056] 以上の回路動作の中で、積分比較器4の、参照信号2およびレプリカ1の180度出

力信号または0度出力信号に対する回路処理は、対称的になるように設計されているため、本実施形態の寄生的な位相遅延に起因したオフセット誤差は小割。また、上記2つの信号について、ハイレベルとローレベル間のレベル反転が、サンプリング時間の中でそれぞれ1回ずつ行なわれるようにタイミング設計されているので、レベル反転時に生じるオフセット誤差は互いに打ち消されて小割。また、本実施形態は、最小限の回路素子数で構成されているので、絶対的な位相遅延も小割。以上の理由により、高精度で高速な位相検出が実現され、高精度で高速動作が可能なフィルタ自動調整が実現される。

[0057] (実施例1)

図9は、第1の実施形態を具体的に示した実施例である。

[0058] 本実施例は、図3と同様に、レプリカ1と、参照信号2と、フィルタ本体3と、積分比較器4と、容量C1とから構成されており、互いの接続情報も図3と同様である。以下に、各ブロックの具体的な回路を示す。

[0059] フィルタ本体3は、gmアンプと容量から構成されたgm-Cフィルタである。レプリカ1は、フィルタ本体3と同様の回路トポロジーで設計されたgmアンプであるgm1, gm2, gm3, gm4と、容量CG1, CG2とから構成された、2次バイクアッドフィルタである。レプリカ1の入力端子は、内部でgm1の入力端子と接続され、レプリカ1の180度出力端子は、gm1の出力端子、gm2の入出力端子、gm3の入力端子、gm4の出力端子、端子1が接地されたCG1の端子2と並列に接続される。レプリカ1の90度出力端子は、gm3の出力端子、gm4の入力端子、端子1が接地されたCG2の端子2と並列に接続される。周波数特性調整端子は、各gmアンプのgm値調整端子に、並列に接続されている。

[0060] 積分比較器4は、チャージポンプCP1, CP11, CP2と、反転回路INV1と、バッファ回路Buffと、電圧比較回路OA1と、ディレイドフリップフロップD-FFと、容量C2, C22と、リセット回路1と、n型MOSトランジスタQS1, QS11と、p型MOSトランジスタQS3とから構成される。図5に示した積分比較器4と同じ回路には、同じ名前を割り当ててある。

[0061] 積分比較器4は、2つの入力端子を持ち、これら2つの入力端子は、それぞれ内部

でCP1, CP11の入力端子に接続される。出力端子およびクロック端子は、それぞれ内部でQS3のドレイン端子およびBuffの入力端子が接続される。CP1, CP11の出力端子には、それぞれQS1, QS11のソース端子が接続されている。QS1, QS11のゲート端子には、リセット回路1の端子A, Buffの出力端子、INV1の入力端子、QS3のゲート端子が並列に接続される。また、QS1, QS11のドレイン端子には、それぞれ並列に、リセット回路1の端子B, C, 端子1が接地された容量C2, C22の端子2、OA1のプラス端子およびマイナス端子が接続されている。OA1の出力端子には、D-FF5の入力端子が接続され、D-FF5の出力端子には、CP2の入力端子が接続されている。D-FF5のクロック端子は、INV1の出力端子に接続される。CP2の出力端子には、QS3のソース端子が接続される。

[0062] CP1は、反転回路INV6と、p型MOSトランジスタQ1, Q2と、n型MOSトランジスタQ3, Q4とから構成される。CP1の入力端子は、内部で、INV6の入力端子に接続され、INV6の出力端子は、内部で、Q2, Q3のゲート端子に接続される。Q2, Q3のドレイン端子は、互いに接続されるとともに、CP1の出力端子に接続される。Q1は、ドレイン端子がQ2のソース端子に接続され、ソース端子が電源に接続され、ゲート端子が定電圧源に接続された定電流回路である。Q4は、ドレイン端子がQ3のソース端子に接続され、ソース端子がグラウンドに接続され、ゲート端子が定電圧源に接続された定電流回路である。Q1, Q4のゲート端子に与えられるそれぞれの定電圧源の電圧値は、Q1, Q4が定電流源として、同じ値の電流の吐き出し／引き込みを行引値に設定されている。CP1の入力信号がハイレベルの時には、この入力信号は、INV6でレベル反転した後、Q2, Q3のゲートにローレベルの信号として入力される。ここで、INV6は、サイン波で入力された信号を、矩形波に整形する整合回路の役割も担う。Q2は、ドレイン-ソース端子間にチャンネルを形成し、定電流源Q1の電流をCP1の出力端子に吐き出す。Q3は、ソース-ドレイン端子間の電流をほぼ0とするため、定電流源Q4の電流は、出力端子に出力されない。逆に、CP1の入力信号がローレベルの時には、Q2のソース-ドレイン端子間の電流がほぼ0となる。Q3は、ドレイン-ソース間にチャンネルを形成して、定電流源回路Q4に電流をCP1の出力端子から引き込む。CP11, CP2は、CP1と同一の構成であり、Q11, Q5はQ1に、Q22, Q

6はQ2に、Q33, Q7はQ3に、Q44, Q8はQ4に、INV66, INV7はINV6にそれぞれ対応する。

[0063] リセット回路1は、p型MOSトランジスタQS2, QS22と、電圧比較回路OA2と、抵抗R1, R2とから構成される。リセット回路1の端子Aには、内部でQS2, QS22のゲート端子が接続され、端子B, Cには、それぞれ内部でQS2, QS22のソース端子が接続されている。OA2, R1, R2は、以下に示すように、図5の電圧源Vccに相当する。OA2のプラス端子は、抵抗R1, R2の端子1に接続され、マイナス端子は、出力端子と短絡される。R1, R2の端子2は、それぞれ電源およびグラントに接続される。この構成において、OA2のプラス端子の電圧Vrefは、電源電圧をVddとすると、次の数式8で表される。

[0064] [数8]

$$V_{\text{ref}} = \frac{R2}{R1 + R2} \cdot V_{\text{dd}}$$

[0065] OA2は、常にプラス端子とマイナス端子を同電位に保つように動作するため、OA2の出力端子にどのような回路が接続されても、OA2の出力電位は、常にVrefに維持される。故に、OA2は電圧源として動作する。QS2, QS22は、スイッチ回路として動作し、ゲート端子にローレベルの信号が入力されると、ソース端子とドレイン端子を接続し、逆にハイレベルの信号が入力されると、ソース端子とドレイン端子を開放する。QS2, QS22のソース端子は、それぞれ、容量C2, C22の端子2に接続され、ドレイン端子は、互いのドレイン端子およびOA2の出力端子に並列に接続される。リセット回路1は、端子Aにローレベルの信号を受けると、端子B, Cに接続されたノードの電位をVrefにセットする。逆に、端子Aにハイレベルの信号を受けると、端子B, Cとリセット回路1内部の接続は切断されるため、端子B, Cに接続されたノードには、影響を及ぼさない。

[0066] 本実施例の回路動作は、図5で示した、第1の実施形態をより具体化した回路であるため、第1の実施形態の回路動作と同様である。

[0067] 本実施例では、第1の実施形態と同様に、積分比較器4の、参照信号2およびレブ



リカ1の180度出力信号または0度出力信号に対する回路処理は、対称的になるように設計されているため、本実施例の寄生的な位相遅延に起因したオフセット誤差は小さい。また、先に述べたように、本実施例の回路動作は、図5で示した、第1の実施形態と同様である。よって、上記2つの信号について、ハイレベルとローレベル間のレベル反転が、サンプリング時間の中でそれぞれ1回ずつ行なわれるようにタイミング設計されているので、レベル反転時に生じるオフセット誤差は互いに打ち消されて小割。また、本実施例は、最小限の回路素子数で構成されているので、絶対的な位相遅延も小割。以上の理由により、本実施例により、高精度で高速な位相検出が実現され、高精度で高速動作が可能なフィルタ自動調整が実現される。

[0068] (第2の実施形態)

図10は、本発明の第2の実施形態の自動調整回路の構成を示す図である。この自動調整回路は、フィルタ回路の内部に設けられている。図10において、図3と同様の素子およびブロックには、同じ名称および番号が記されている。

[0069] 図10において、3は、フィルタ本体であり、1は、フィルタ本体3を構成する回路ブロックの一部で構成されたレプリカである。フィルタ本体3およびレプリカ1は、周波数特性調整端子を有しており、この周波数特性調整端子に与えられる電圧が高いほど、周波数は高い方向に調整される。レプリカ1およびフィルタ本体3の周波数特性調整端子は、互いに接続されており、レプリカ1およびフィルタ本体3は、同時に周波数特性を最適状態に調整される。レプリカ1からは、レプリカ1に入力された参照信号2からの位相遅延が180度および90度になるように設計された、180度出力信号および90度出力信号が出力される。積分差検出器6は、プラス端子、マイナス端子、クロック端子、出力端子を有し、これら端子のそれぞれは、180度出力信号、参照信号2、90度出力信号、レプリカ1およびフィルタ本体3の周波数特性調整端子に接続される。容量C1は、積分差検出器6の出力端子とグラウンドの間に接続される。

[0070] 上記構成は、図3に示した第1の実施形態の積分比較器4を、積分差検出器6に置き換えた構成になっている。

[0071] 積分差検出器6は、プラス端子とマイナス端子に入力された信号の積分値の差に応じて電流を出力する回路である。

- [0072] 図Ⅲに積分差検出器6の構成の一例を示す。図Ⅲにおいて、図5に示した積分比較器4と同様の素子およびブロックには、同じ名称および番号が記されている。
- [0073] 積分差検出器6は、チャージポンプCP1、CP11と、スワッチ回路SW6、SW7と、容量C4と、反転回路INV8とから構成される。積分差検出器6は入力端子を2つ持ち、これら2つの入力端子は、それぞれ内部でCP1、CP11の入力端子と接続される。CP1、CP11の出力端子は、互いに接続されるとともに、SW6の端子2に接続される。SW6の端子1は、SW7の端子2と、端子1が接地された容量C4の端子2に並列に接続される。SW7の端子1は、積分差検出器6の出力端子に接続される。積分差検出器6のクロック端子は、内部で、SW7の端子3と、INV8の入力端子に接続され、INV8の出力端子は、SW6の端子3に接続される。
- [0074] CP1、CP2は、ハイレベルの信号が入力されると、吐き出し方向を正として、電流 $I_{C_{pout}}$ を出力し、ローレベルの信号が入力されると、 $-I_{C_{pout}}$ を出力する。
- [0075] スワッチ回路SW6、SW7は、端子3にハイレベルの信号を受けると、端子1と端子2を接続し(ON状態)、ローレベルの信号を受けると、端子1と端子2間を開放する(OFF状態)。
- [0076] クロック信号がローレベルの時間(サンプリング時間)の間、SW7は、端子3にローレベル信号を受けると、OFF状態になり、また、SW6は、クロック信号がINV8で反転して、端子3にハイレベル信号を受けると、ON状態になっている。この状態では、CP1、CP11は、入力された信号のハイ/ローに応じて、容量C4の端子2に、電荷の蓄積または引抜を行う。サンプリング時間 $t$ の間にC4の端子2に蓄積される電荷 $\Delta Q_S$ は、CP1から供給される電荷 $Q_{CP1}$ とCP2から供給される電荷 $Q_{CP2}$ の和となる。 $\Delta Q_S$ は、以下の数式9で表される。

[0077] [数9]

$$\Delta Q_S = Q_{CP1} + Q_{CP2}$$

- [0078] CP1にハイレベルの信号が入力されている時間を $t_{S_{CP1\_H}}$ 、ローレベルが入力されている時間を $t_{S_{CP1\_L}}$ 、CP2にハイレベルの信号が入力されている時間を $t_{S_{CP2\_H}}$ 、ロ

ーレベルが入力されている時間を $ts_{CP2\_L}$ とすると、 $Q_{CP1}$ 、 $Q_{CP2}$  について次の数式10, 11が成り立つ。

[0079] [数10]

$$Q_{CP1} = I_{CPout} (ts_{CP1\_H} - ts_{CP1\_L})$$

[0080] [数11]

$$Q_{CP2} = I_{CPout} (ts_{CP2\_H} - ts_{CP2\_L})$$

[0081] ただし、 $ts$ は次の数式12で表される。

[0082] [数12]

$$ts = ts_{CP1\_H} + ts_{CP1\_L} = ts_{CP2\_H} + ts_{CP2\_L}$$

[0083] CP1の入力信号がCP2の入力信号に対して、180度の位相遅延量を持つ場合は、一方がハイレベルであれば、他方はローレベルであるので、C4に新たに蓄積される電荷は0である。数式9, 10, 11からは、 $ts_{CP1\_H}$ と $ts_{CP2\_L}$ が等しく、 $ts_{CP1\_L}$ と $ts_{CP2\_H}$ が等しく亡とから、 $AQ_S$ が0となることが導かれる。

[0084] クロック信号がCP2の入力信号に対して、90度付近の位相遅延をもち、CP1の入力信号がCP2の入力信号に対して180度付近の位相遅延を持つ場合、クロック信号がローであるサンプリング時間内では、CP1の入力信号は、最初がハイで最後がローになり、CP2の入力信号は、最初がローで最後がハイになる。よって、CP1の入力信号のCP2の入力信号に対する位相遅延量が180度よりも大きくなると、CP1のハイレベルの時間 $ts_{CP1\_H}$ もしくはCP2のハイレベルの時間 $ts_{CP2\_H}$ が大きくなり、CP1のローレベルの時間 $ts_{CP1\_L}$ もしくはCP2のローレベルの時間 $ts_{CP2\_L}$ が小さくなる。よって、C4に蓄積される電荷量 $AQ_S$ は増加する。逆に、CP1の入力信号の位相遅延量が180度よりも小さくなると、 $AQ_S$ は減少する。CP1の入力信号のCP2の入力信号

に対する位相遅延量を  $\pi + \Delta\phi$  (rad) とすると、 $t_{s_{CP1\_H}}$  から  $t_{s_{CP2\_L}}$  を差引いた値  $\Delta t$  は、以下の数式13となる。

[0085] [数13]

$$\Delta t = \frac{t_s \cdot \Delta\phi}{\pi}$$

[0086]  $\Delta Q_s$  は次の数式14で表される。

[0087] [数14]

$$\Delta Q_s = 2 \cdot I_{cPout} \cdot \Delta t = \frac{2 \cdot I_{cPout} \cdot t_s \cdot \Delta\phi}{\pi}$$

[0088] クロック信号がハイレベルになると、sw6 がOFF状態、sw7がON状態となり、C4と、積分差検出器6の出力端子に接続された外部容量C1の端子2とが接続される。 $\Delta Q_s$  は、C4とC1の端子2の電位がともに等しくなるように分配される。クロック信号の1周期前の状態では、C4とC1の端子2は、互いに接続されて同電位である。そのため、C1の端子2の電位上昇分  $\Delta V_{out}$  は、数式15に示されるように、直前のサンプリングで得た  $\Delta Q_s$  をC1とC4の容量値で割った値となる。

[0089] [数15]

$$\Delta V_{out} = \frac{\Delta Q_s}{C1 + C4} = \frac{2 \cdot I_{cPout} \cdot t_s \cdot \Delta\phi}{(C1 + C4) \cdot \pi}$$

[0090] クロック信号が再びローレベルになると、sw7はOFF状態となり、C1の端子2の電位上昇  $\Delta V_{out}$  は保存される。数式15は、積分差検出器6が、CP1とCP2の位相差に応じた電圧を出力することを示している。

[0091] 図10に示した第2の実施形態においては、積分差検出器6の出力信号は、レプリカ1およびフィルタ本体3の周波数特性調整端子に入力される。周波数特性調整端子の調整感度、すなわち、周波数特性調整端子に与える電圧を単位電圧分上昇させたときの位相の差分を  $\omega_c$  とすると、ループゲインGは、次の数式16で表される。

[0092] [数16]

$$G = \frac{0 \cdot AV_{out}}{A\phi} = \frac{2 \cdot 0 \cdot I_{CPout} \cdot ts}{(C1 + C4) \cdot \pi}$$

[0093] レプリカ1の180度出力信号の参照信号からの位相遅延量について、180度からのずれ分がAφ存在すると、積分差検出器6がサンプリング動作を繰り返す度に、位相遅延量は、G×Aφだけ180度に近づく。Gを1よりも小さく設計することで、最終的には、位相差が180度になったときに回路動作が安定する。

[0094] 以上の回路動作の中で、積分差検出器6の、参照信号2およびレプリカ1の180度出力信号に対する回路処理は、対称的になるように設計されているため、本実施形態の寄生的な位相遅延に起因したオフセット誤差は小割。また、上記2つの信号について、ハイレベルとローレベル間のレベル反転が、サンプリング時間の中でそれぞれ1回ずつ行なわれるようにタイミング設計されているので、レベル反転時に生じるオフセット誤差は互いに打ち消されて小割。また、本実施形態は、最小限の回路素子数で構成されているので、絶対的な位相遅延も小割。以上の理由により、高精度で高速な位相検出が実現され、高精度で高速動作が可能なフィルタ自動調整が実現される。

[0095] (第3の実施形態)

図12は、本発明の第3の実施形態の自動調整回路の構成を示す図である。この自動調整回路は、フィルタ回路の内部に設けられている。図12において、図3と同様の素子およびブロックには、同じ名称および番号が記されている。

[0096] 図12において、3は、フィルタ本体であり、1は、フィルタ本体3を構成する回路ブロックの一部で構成されたレプリカ1である。フィルタ本体3およびレプリカ1は、周波数特性調整端子を有しており、この周波数特性調整端子に与えられる電圧が高いほど、周波数は高い方向に調整される。レプリカ1およびフィルタ本体3の周波数特性調整端子は、互いに接続されており、レプリカ1およびフィルタ本体3は、同時に周波数特性を最適状態に調整される。レプリカ1からは、レプリカ1に入力された参照信号2からの位相遅延が90度になるように設計された90度出力信号が出力される。積分比較器4は、プラス端子、マイナス端子、クロック端子、出力端子を有し、これら端子のそれぞれは、参照信号22、参照信号2、90度出力信号、レプリカ1およびフィルタ本体

3の周波数特性調整端子に接続される。参照信号22は、参照信号2に対して、180度の位相遅延を持った信号である。積分比較器4の出力端子とグラントの間に容量C1が接続される。

[0097] 上記構成は、図3に示した第1の実施形態において、積分比較器4のプラス端子の入力信号を、レプリカ1の180度出力信号から、参照信号2に対して180度の遅延を持つ参照信号22に置き換えた構成となっている。よって、本実施形態の個別回路は、第1の実施形態で記した個別回路と同じ回路動作をする。

[0098] 本実施形態の回路動作として、タイミングチャートを図13に示す。

[0099] 図中上段は、参照信号22、下段は、参照信号2の時間推移を示す。縦の破線は、積分比較器4のクロック端子に入力される、レプリカ1の90度出力信号の、ハイレベル/ローレベル間の変遷のタイミングを表す。図中、区間s1, s2, s3, s4は、クロック信号がハイレベルで、積分比較器4がサンプリング動作をしている状態である。区間h1, h2, h3, h4は、クロック信号がローレベルで、積分比較器4は、直前区間の2つの入力信号の積分値に応じた電流を出力している状態である。レプリカ1の90度出力信号の参照信号2に対する位相遅延量が90度よりも小さい場合、サンプリング時間内での参照信号2のハイレベル状態の時間は長くなり、参照信号22のハイレベル状態の時間は短くなる。図13の区間s1は、この状態を示す。サンプリング時間での参照信号2の積分値は、参照信号22の積分値を上回るため、積分比較器4は、5巻込み方向に電流を出力する。レプリカ1の周波数特性調整端子の電圧は下降し、レプリカ1の90度出力信号の位相は遅れ、参照信号2との位相差は90度に近づく。

[0100] 逆に、レプリカ1の90度出力信号の位相遅延量が、参照信号2に対して90度よりも遅れている場合、回路動作は逆となり、レプリカ1の90度出力信号は進み、参照信号2との位相差は90度に近づく。最終的には、図13の区間s4に示すように、参照信号2との位相差が90度になったところで、回路が安定する。

[0101] 本実施形態では、第1の実施形態と同様に、積分比較器4の、参照信号2および参照信号22に対する回路処理は、対称的になるように設計されているため、本実施形態の寄生的な位相遅延に起因したオフセット誤差は小さい。また、上記2つの信号について、ハイレベルとローレベル間のレベル反転が、サンプリング時間の中でそれぞれ

れ1回ずつ行なわれるようにタイミング設計されているので、レベル反転時に生じるオフセット誤差は互いに打ち消されて小割。また、本実施形態は、最小限の回路素子数で構成されているので、絶対的な位相遅延も小割。以上の理由により、高精度で高速な位相検出が実現され、高精度で高速動作が可能なフィルタ自動調整が実現される。

[0102] (第4の実施形態)

図14は、本発明の第4の実施形態の自動調整回路の構成を示す図である。この自動調整回路は、フィルタ回路の内部に設けられている。図14において、図3と同様の素子およびブロックには、同じ名称および番号が記されている。

[0103] 図14において、8は、差動型のフィルタ本体であり、7は、フィルタ本体8を構成する回路ブロックの一部で構成された差動型のレプリカである。2は、参照信号であり、22は、参照信号2と180度の位相差を持つ参照信号である。フィルタ本体8およびレプリカ7は周波数特性調整端子を有しており、この周波数特性調整端子に与えられる電圧が高いほど、周波数は高い方向に調整される。レプリカ7およびフィルタ本体8の周波数特性調整端子は、互いに接続されており、レプリカ7およびフィルタ本体8は、同時に周波数特性を最適状態に調整される。レプリカ7は、差動入力端子に入力される差動信号として、参照信号2、22が入力され、参照信号2の位相を基準として、90度および270度の位相遅延を持つように設計された90度出力信号および270度出力信号が出力される。積分比較器4では、プラス端子、マイナス端子、クロック端子、出力端子が、それぞれ、レプリカ7の270度出力信号、90度出力信号、参照信号2、レプリカ7およびフィルタ本体7の周波数特性調整端子に接続される。容量C1は、積分比較器4の出力端子とグラウンドの間に接続される。

[0104] 図15にレプリカ7の構成の一例を示す。

[0105] gm11, gm22, gm33, gm44は、フィルタ本体8を構成するgmアンプと同様の回路トポロジーで設計されたgmアンプである。CG11, CG22は、容量である。レプリカ7の差動入力端子は、内部でgm11の差動入力端子と接続される。gm11の差動出力端子は、gm22の差動入力端子、gm33の差動入力端子、gm44の差動出力端子、CG11の端子1,2に並列に接続される。なお、gm22は、差動入力端子と差動出

力端子とが負帰還接続されている。gm44 は、差動出力端子をgm33の差動入力端子に、差動入力端子をgm33の差動出力端子に、差動ラインがねじれるように接続されている。90度および270度出力端子は、gm33の差動出力端子、gm44の差動入力端子、CG22の端子1,2に並列に接続される。周波数特性調整端子は、各gmアンプのgm値調整端子に並列に接続されている。gm値調整端子は、入力される電圧に応じてgm値を調整する。上記のように、各gmアンプのgm値調整端子を接続して、各端子に等しい電圧を与えることで、全てのgm値を等しい割合で変化させることができる。gm11, gm22, gm33, gm44のgm値を、それぞれ、 $-g_{11}$ ,  $-g_{22}$ ,  $-g_{33}$ ,  $g_{44}$ とし、CG11, CG22の容量値を、それぞれ、 $C_{11}$ ,  $C_{22}$ とする。すると、90度出力信号および270度出力信号の、差動入力信号に対する伝達関数は、それぞれ、次の数式17, 18のように表される。

[0106] [数17]

$$F_{90}(s) = \frac{\frac{g_{11} \cdot g_{33}}{C_{11} \cdot C_{22}}}{s^2 + \frac{g_{22}}{C_{11}}s + \frac{g_{33} \cdot g_{44}}{C_{11} \cdot C_{22}}}$$

[0107] [数18]

$$F_{270}(s) = \frac{-\frac{g_{11} \cdot g_{33}}{C_{11} \cdot C_{22}}}{s^2 + \frac{g_{22}}{C_{11}}s + \frac{g_{33} \cdot g_{44}}{C_{11} \cdot C_{22}}}$$

[0108] 数式17, 18は、角周波数の $\omega_{00}$ が以下の数式19の値である入力信号に対して、それぞれ、90度および270度の位相遅延が生じることを示している。

[0109] [数19]

$$\omega_{00} = \sqrt{\frac{g_{11} \cdot g_{33}}{C_{11} \cdot C_{22}}}$$



- [0110] 参照信号2, 22の周波数は、 $\frac{\omega_0}{2\pi}$ に設定されている。このため、レプリカ7の90度出力信号および270度出力信号は、参照信号に対して、それぞれ、90度および270度の位相遅延を持つように設計されている。
- [0111] 図16は、本実施形態の回路動作を示すタイミングチャートである。
- [0112] 図中上段は、レプリカ7の270度出力信号、下段は、同90度出力信号を示す。縦の破線は、積分比較器4のクロック端子に入力される参照信号2の、ハイレベル/ローレベル間の変遷のタイミングを表す。図中、区間s1, s2, s3, s4は、クロック信号がハイレベルで、積分比較器4がサンプリング動作をしている状態である。区間h1, h2, h3, h4は、クロック信号がローレベルで、積分比較器4が、直前区間の2つの入力信号の積分値に応じた電流を出力している状態である。レプリカ7の90度出力信号および270度出力信号の位相遅延量が、参照信号2に対して、それぞれ、90度以上および270度以上である場合、サンプリング時間の中で90度出力信号のハイレベル状態の時間は長くなり、270度出力信号のハイレベル状態の時間は短くなる。図16の区間s1は、この状態を示す。
- [0113] サンプリング時間での90度出力信号の積分値は、270度出力信号の積分値を上回るため、積分比較器4は、引き込み方向に電流を出力する。レプリカ7の周波数特性調整端子の電圧は下降し、レプリカ7の90度出力信号および270度出力信号の位相は遅れ、参照信号2との位相差は、それぞれ90度および270度に近づく。逆に、レプリカ7の90度出力信号および270度出力信号の位相遅延量が、参照信号2に対して90度および270度よりも遅れている場合、回路動作は逆となり、レプリカ7の90度出力信号および270度出力信号の位相は進み、参照信号2との位相差は、それぞれ90度および270度に近づく。最終的には、区間s4に示すように、90度出力信号および270度出力信号と、参照信号2との位相差が、それぞれ90度および270度になったところで、回路が安定する。
- [0114] 本実施形態では、本発明の第1の実施形態と同様に、積分比較器4の、90度出力信号および270度出力信号に対する回路処理が、対称的になるように設計されているため、本実施形態の寄生的な位相遅延に起因したオフセット誤差は小さい。また、上記2つの信号について、ハイレベルとローレベル間のレベル反転が、サンプリング

時間の中でそれぞれ1回ずつ行なわれるようにタイミング設計されているので、レベル反転時に生じるオフセット誤差は、互いに打ち消されて小割。また、本実施形態は、最小限の回路素子数で構成されているので、絶対的な位相遅延も小割。以上の理由により、高精度で高速な位相検出が実現され、高精度で高速動作が可能なフィルタ自動調整が実現される。

## 請求の範囲

- [1] 周波数特性を調整する自動調整回路であって、  
調整対象の回路を構成する回路ブロックもしくはその一部で構成されたレプリカと、  
1つもしくは複数の外部参照信号と該外部参照信号が入力された前記レプリカの1  
つもしくは複数の出力信号のいずれかの信号を、クロック信号と入力信号として用い  
、前記クロック信号に同期して前記入力信号の積分を行う積分回路とを有することを  
特徴とする、自動調整回路。
- [2] 前記レプリカの出力信号は、前記外部参照信号との位相遅延差が90度の整数倍  
であることを特徴とする、請求項1記載の自動調整回路。
- [3] 前記レプリカは、2次バイクアッド回路で構成されたことを特徴とする、請求項1に記  
載の自動調整回路。
- [4] 前記外部参照信号は、矩形波であることを特徴とする、請求項1に記載の自動調整  
回路。
- [5] 前記積分回路は、  
前記入力信号が入力される、2つの入力端子と、  
前記クロック信号が入力される、同期用のクロック端子とを有し、  
前記2つの入力端子にそれぞれ入力された前記入力信号の積分値の比較結果に  
応じて、2種類の信号のいずれかを出力することを特徴とする、請求項1に記載の自  
動調整回路。
- [6] 前記積分回路は、  
前記入力信号が入力される、2つの入力端子と、  
前記クロック信号が入力される、同期用のクロック端子とを有し、  
前記2つの入力端子にそれぞれ入力された前記入力信号の積分値の差分に応じ  
て、信号を出力することを特徴とする、請求項1に記載の自動調整回路。
- [7] 前記レプリカは、相補的な2つの入力信号を1組として入力し、相補的な2つの出力  
信号を1組として出力する差動回路であることを特徴とする、請求項1に記載の自動  
調整回路。
- [8] 前記積分回路の出力端子は、前記レプリカの周波数特性を調整する調整端子に

接続されたことを特徴とする、請求項1に記載の自動調整回路。

- [9] 前記積分回路の出力端子に並列に接続された容量を有することを特徴とする、請求項1に記載の自動調整回路。
- [10] 前記レプリカの出力端子には、前記積分回路の入力に適するように、信号波形を整形する整合回路が直列に接続されていることを特徴とする、請求項1に記載の自動調整回路。
- [11] 前記整合回路は、サイン波を矩形波に変換する機能を持つことを特徴とする、請求項1に記載の自動調整回路。
- [12] 前記積分回路は、前記外部参照信号と該外部参照信号に対して180度の位相遅延を持つ前記レプリカの出力信号とが前記入力信号として入力され、前記外部参照信号に対して90度の位相遅延を持つ前記レプリカの出力信号が前記クロック信号として入力されることを特徴とする、請求項1に記載の自動調整回路。
- [13] 前記積分回路は、第1の外部参照信号と該第1の外部参照信号に対して180度の位相遅延を持つ第2の外部参照信号とが前記入力信号として入力され、前記第1の外部参照信号に対して90度の位相遅延を持つ前記レプリカの出力信号が前記クロック信号として入力されることを特徴とする、請求項1に記載の自動調整回路。
- [14] 前記積分回路は、前記外部参照信号に対して90度の位相遅延を持つ前記レプリカの出力信号と前記外部参照信号に対して270度の位相遅延を持つ前記レプリカの出力信号とが前記入力信号として入力され、前記外部参照信号が前記クロック信号として入力されることを特徴とする、請求項1に記載の自動調整回路。
- [15] 前記積分回路は、  
入力される信号のハイ/ローに応じて、出力端子で電流の吐き出しもしくは引き込みを行う第1および第2のチャージポンプと、  
スワッチング端子へ入力される信号のハイ/ローに応じて入力端子と出力端子間を短絡もしくは開放する第1および第2のスワッチ回路と、  
反転回路と、  
容量とを有し、  
前記第1のチャージポンプの出力端子と前記第2のチャージポンプの出力端子と前

記第1のスイッチ回路の入力端子とが接続され、

前記第1のスイッチ回路の出力端子に、前記容量と前記第2のスイッチ回路の入力端子とが並列に接続され、

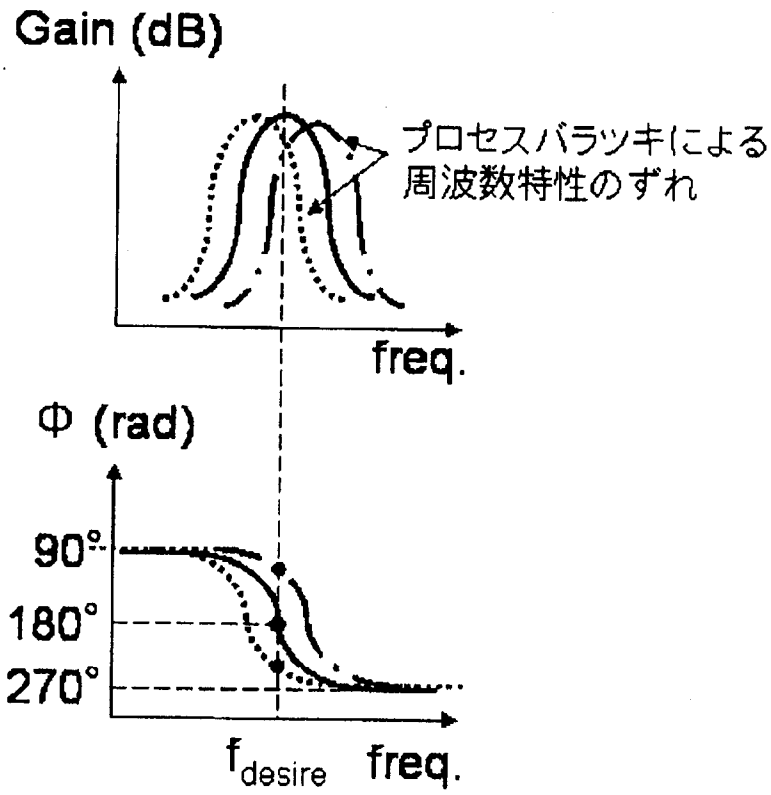
前記第2のスイッチ回路のスイッチング端子に、前記反転回路の出力端子が接続され、

前記反転回路の入力端子に、前記第1のスイッチ回路のスイッチング端子が接続されたことを特徴とする、請求項1に記載の自動調整回路。

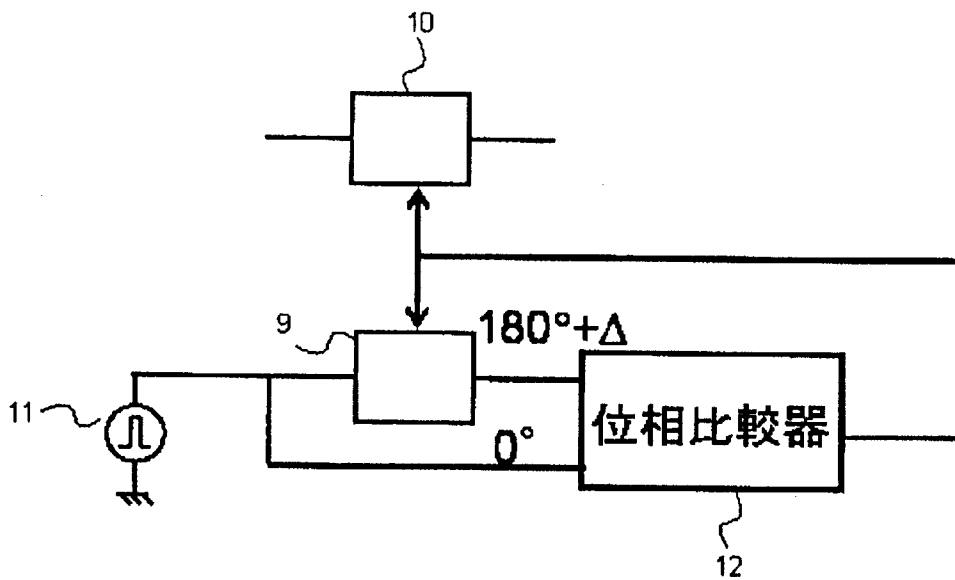
[16] 請求項1に記載の自動調整回路を有し、

前記調整対象の回路の周波数特性を調整する調整端子と、前記レプリカの周波数特性を調整する調整端子とが、直接、もしくは、前記2つの調整端子間に直列的もしくは並列的に他の回路が接続された状態で、接続されたことを特徴とするフィルタ回路。

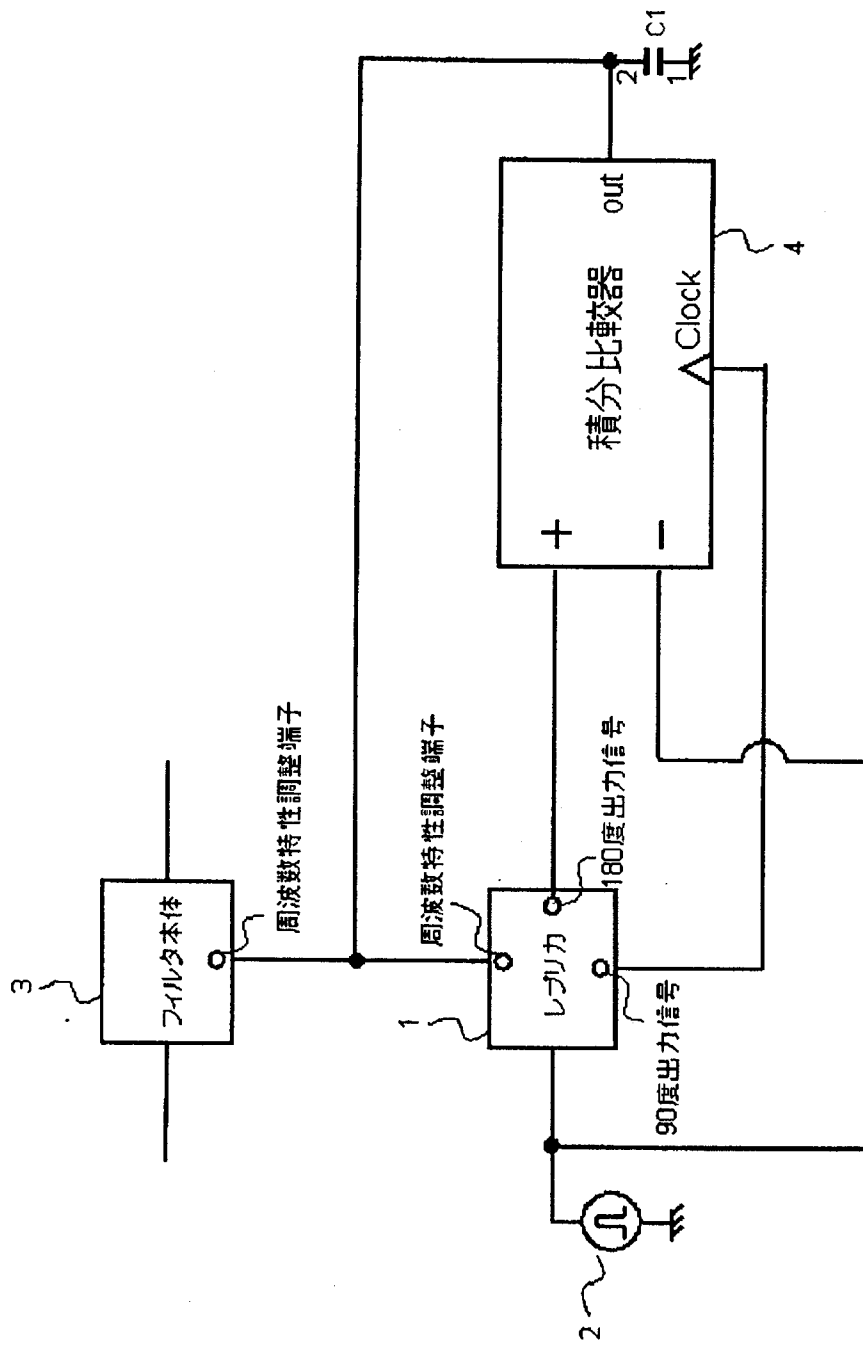
[図1]



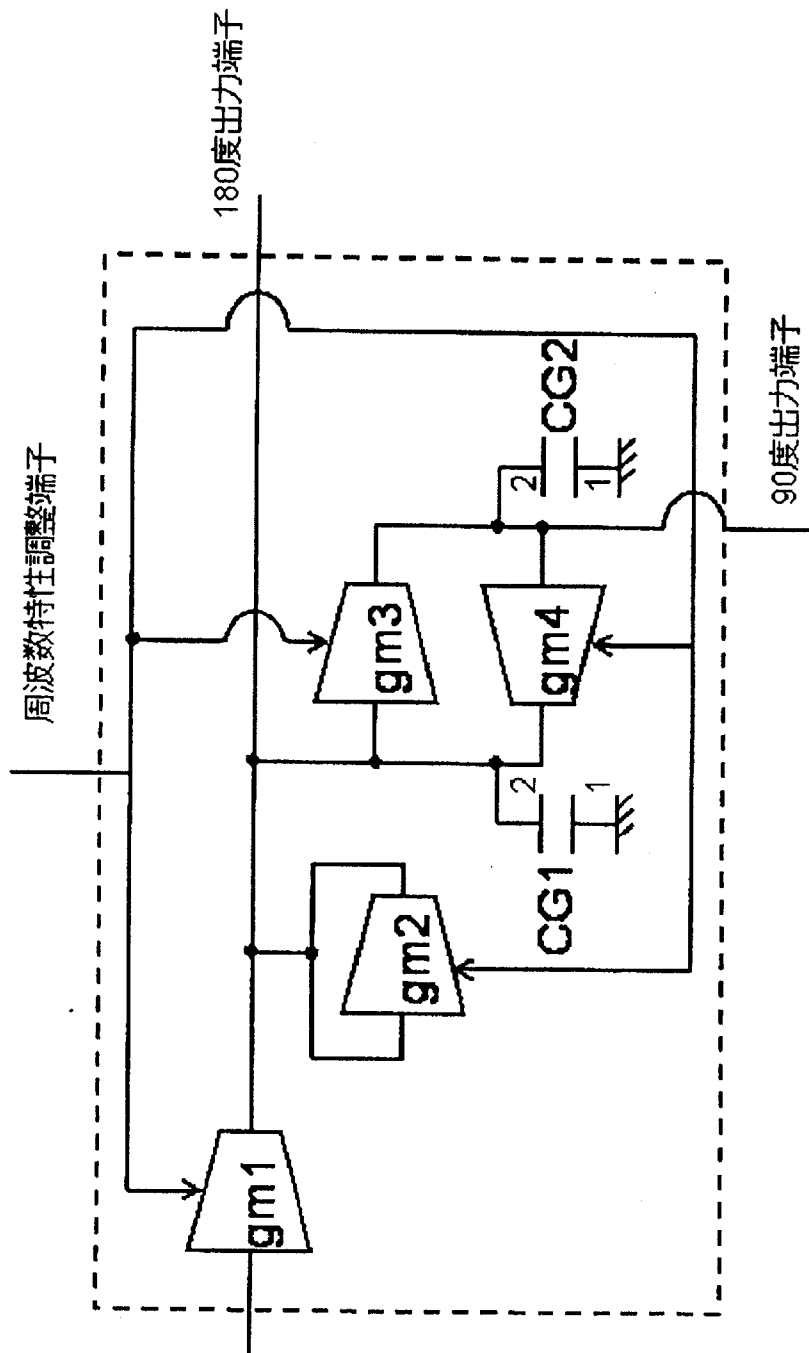
[図2]



[図3]

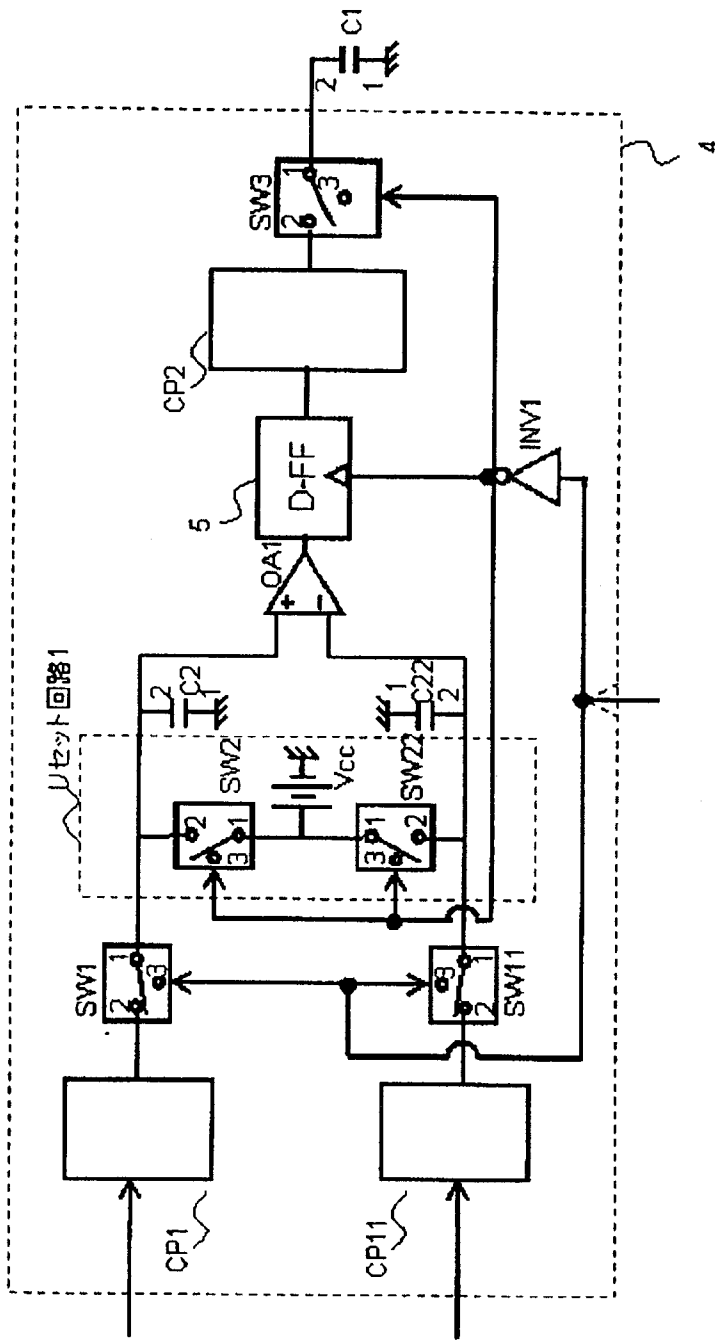


[図4]

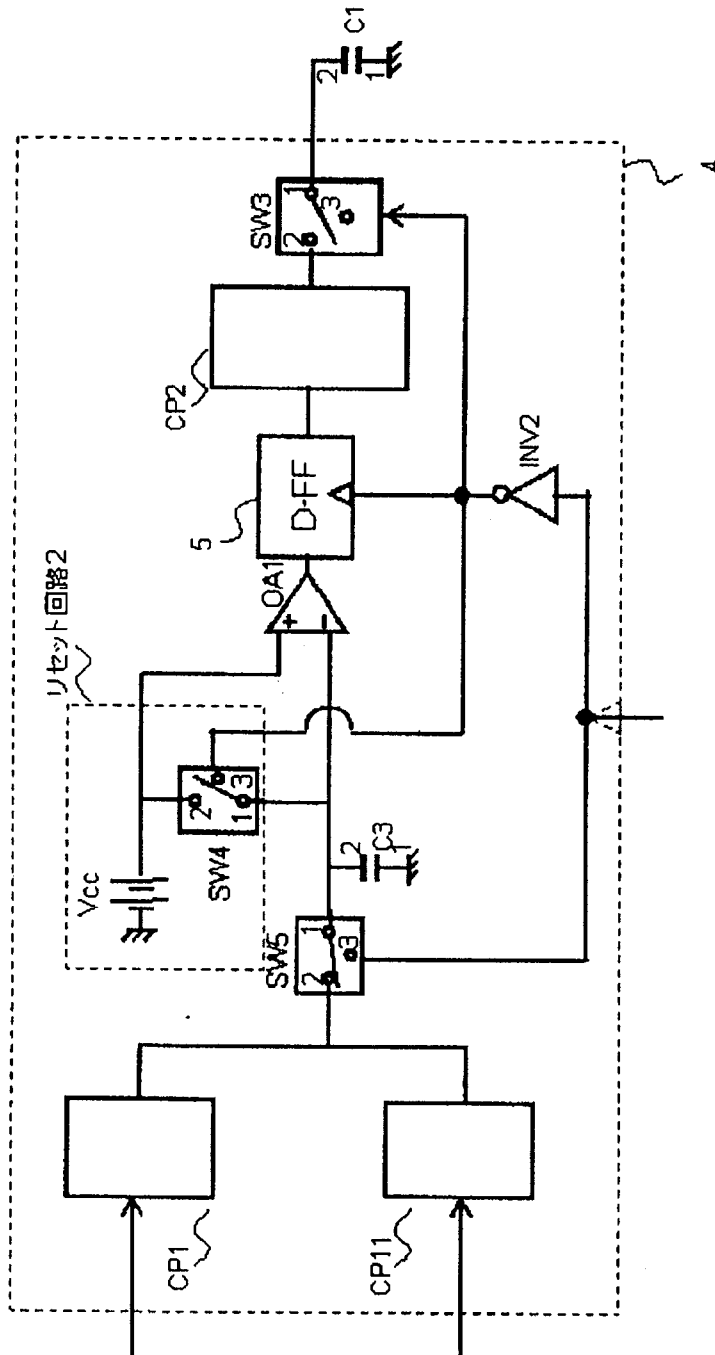




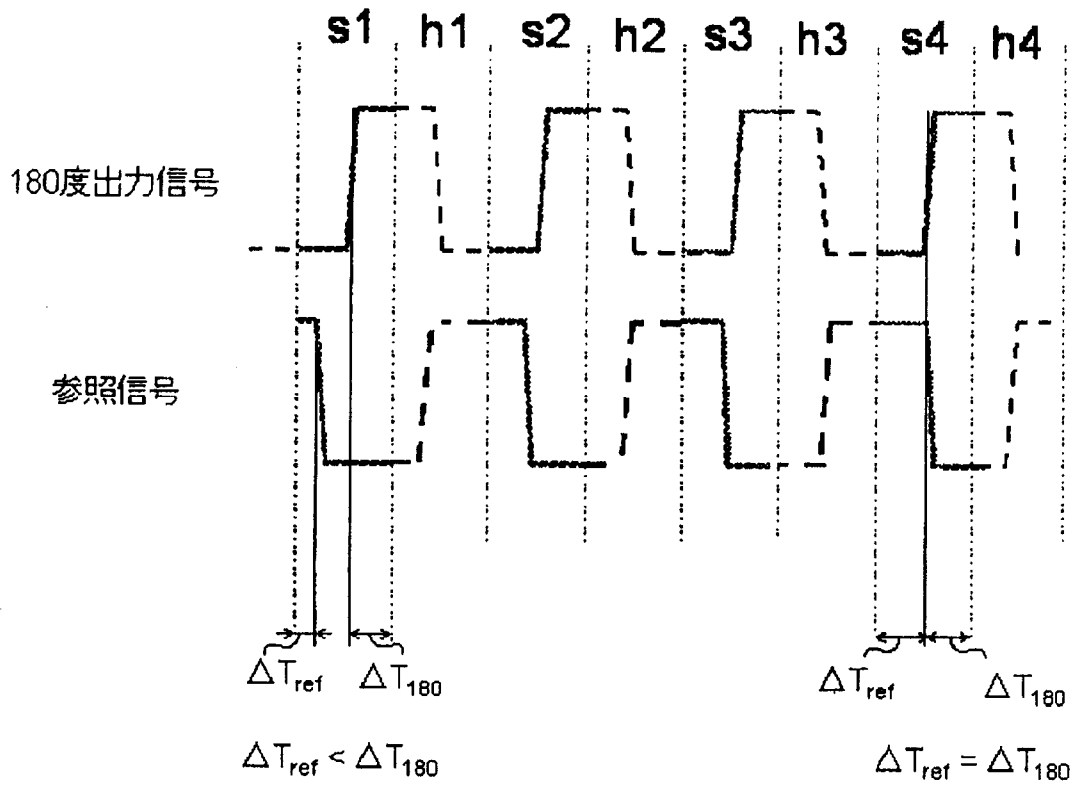
[図5]



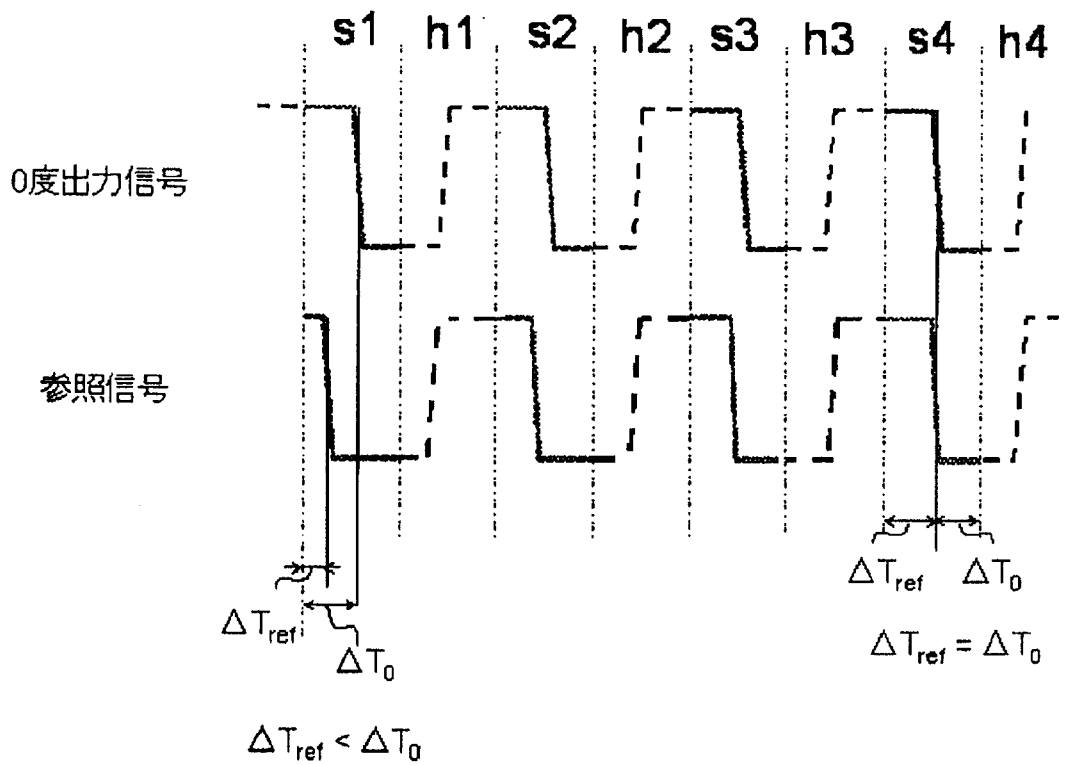
[図6]



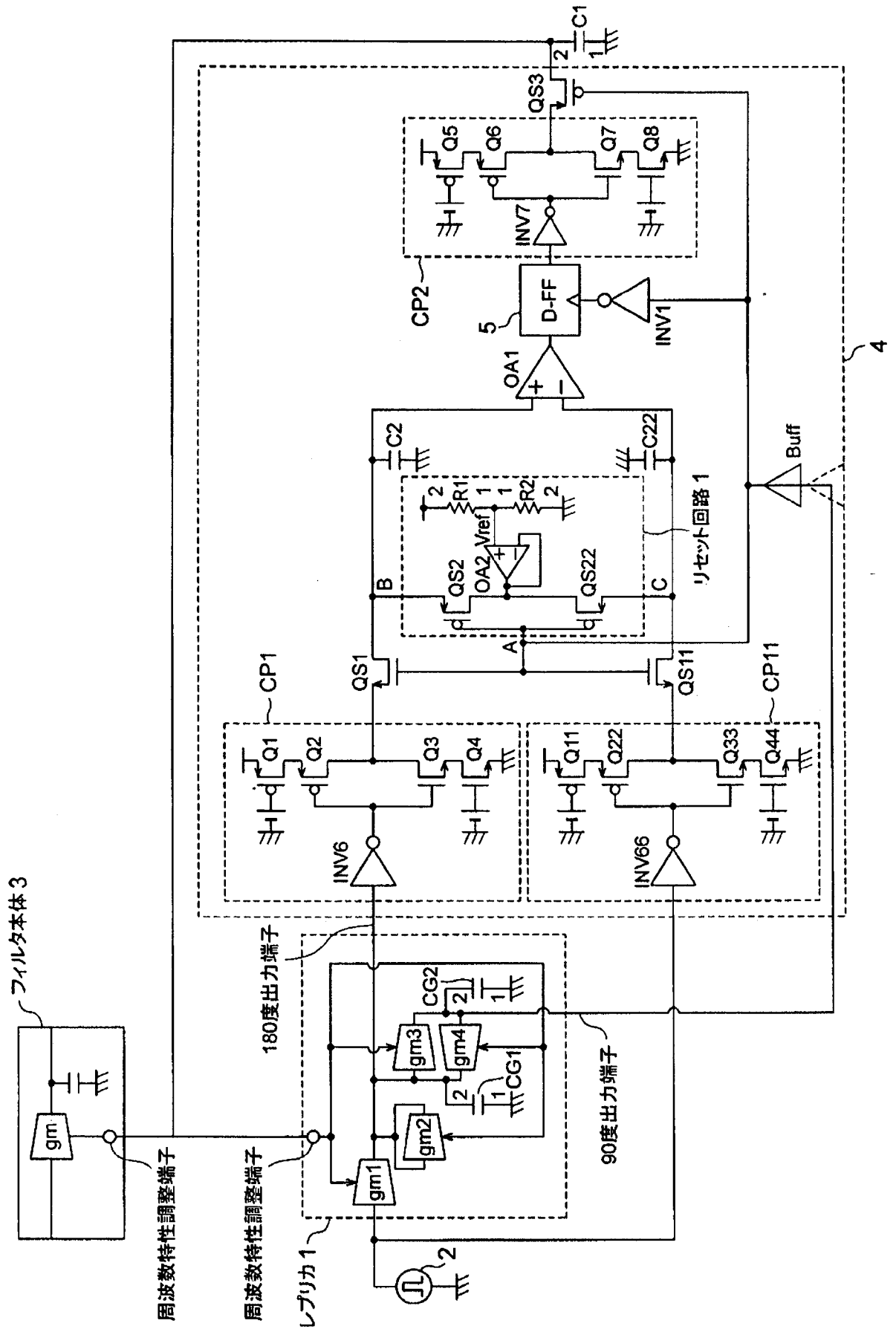
[图7]



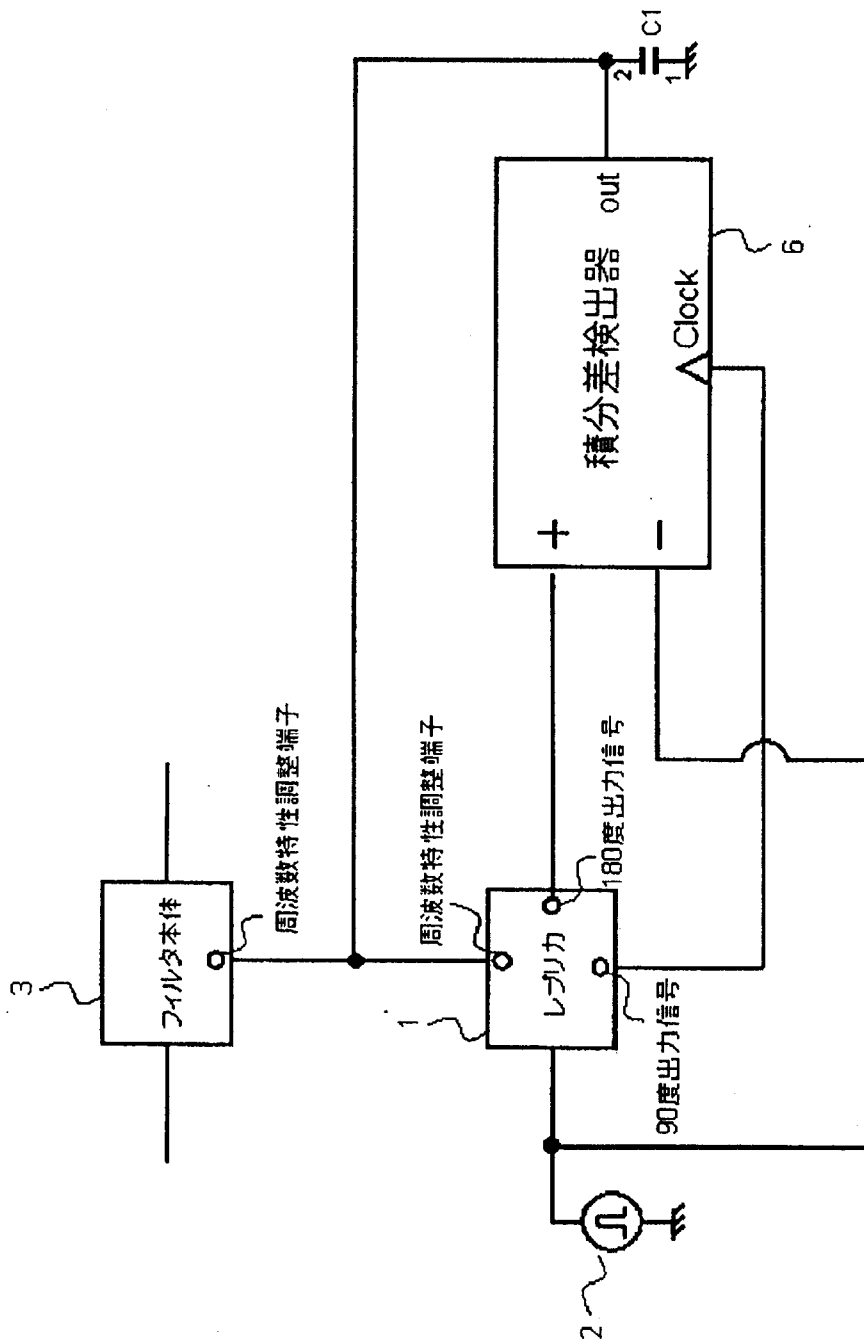
[图8]



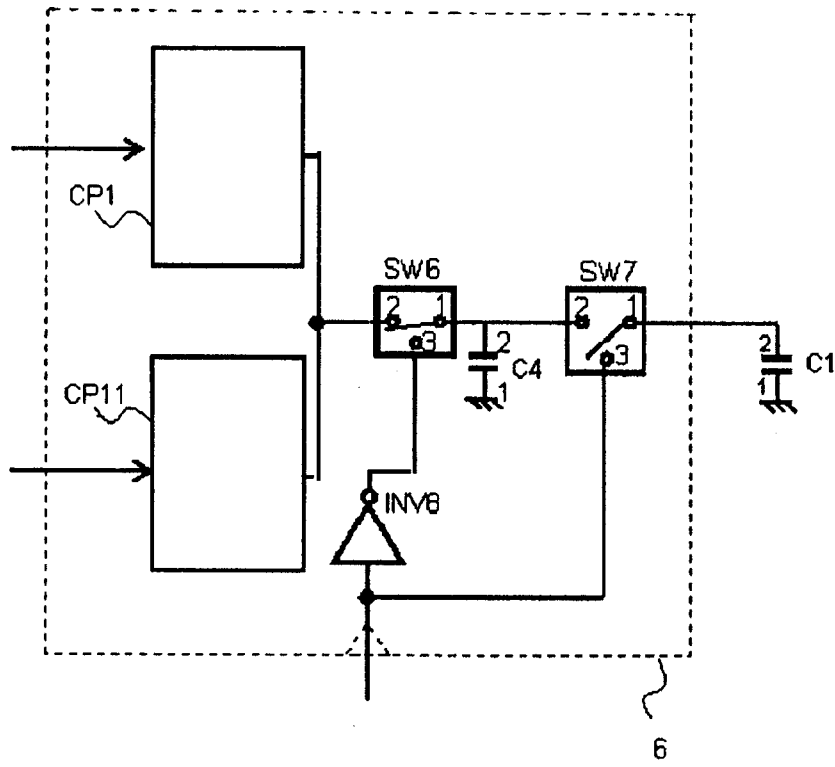
[図9]



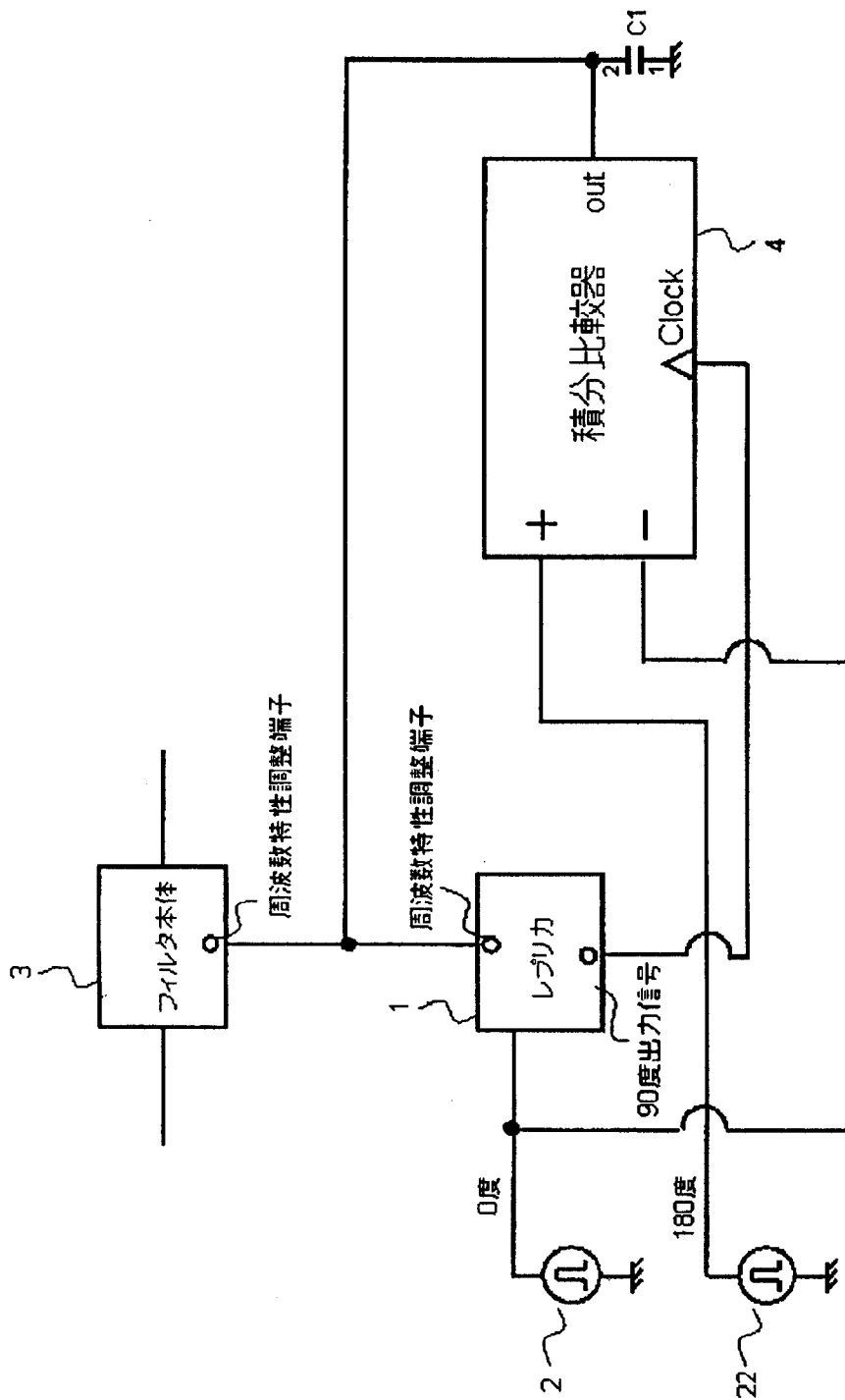
[図10]



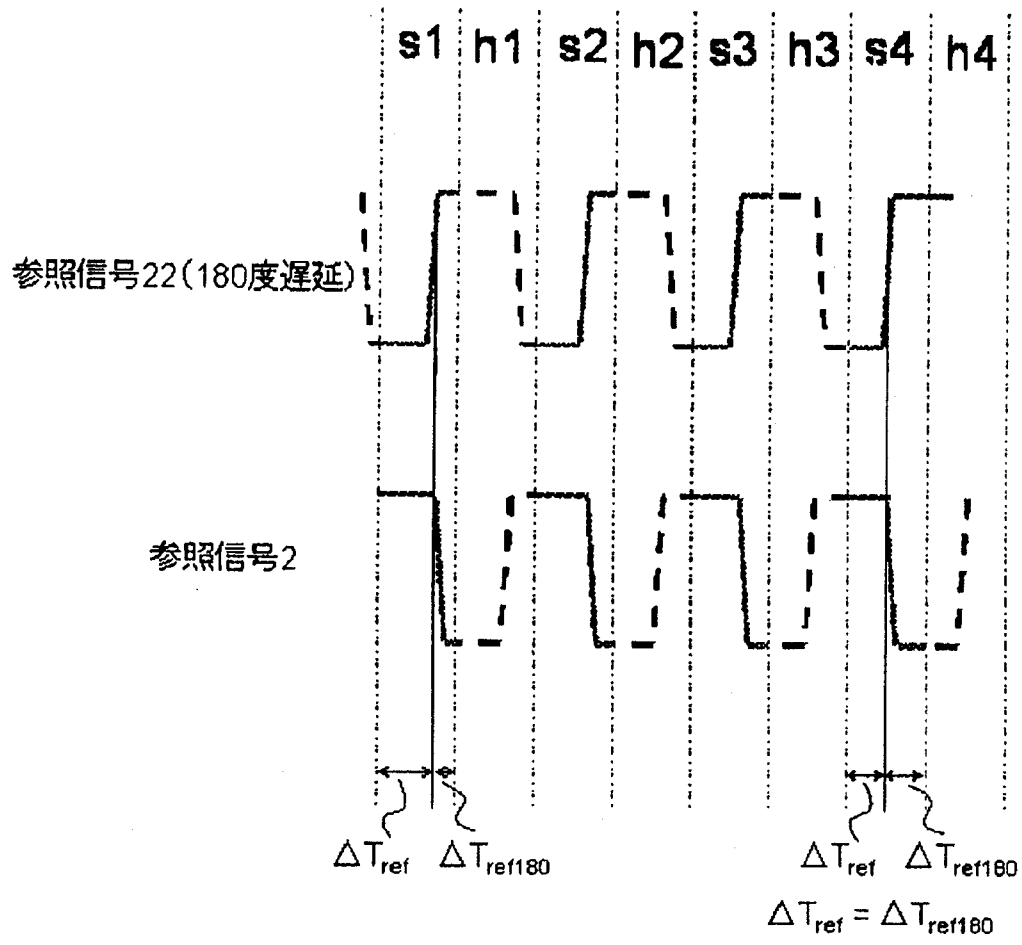
[図11]



[図12]

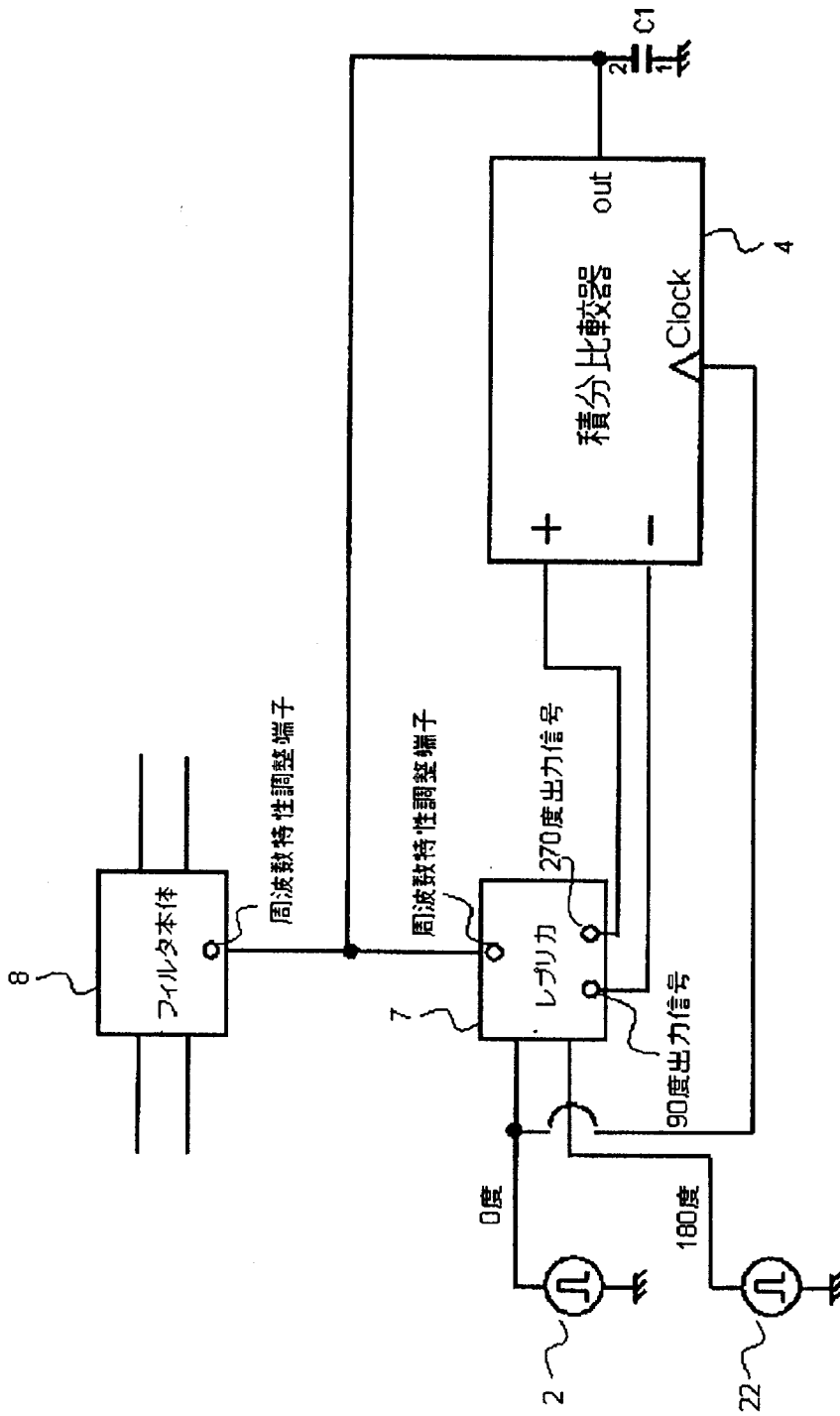


[图13]

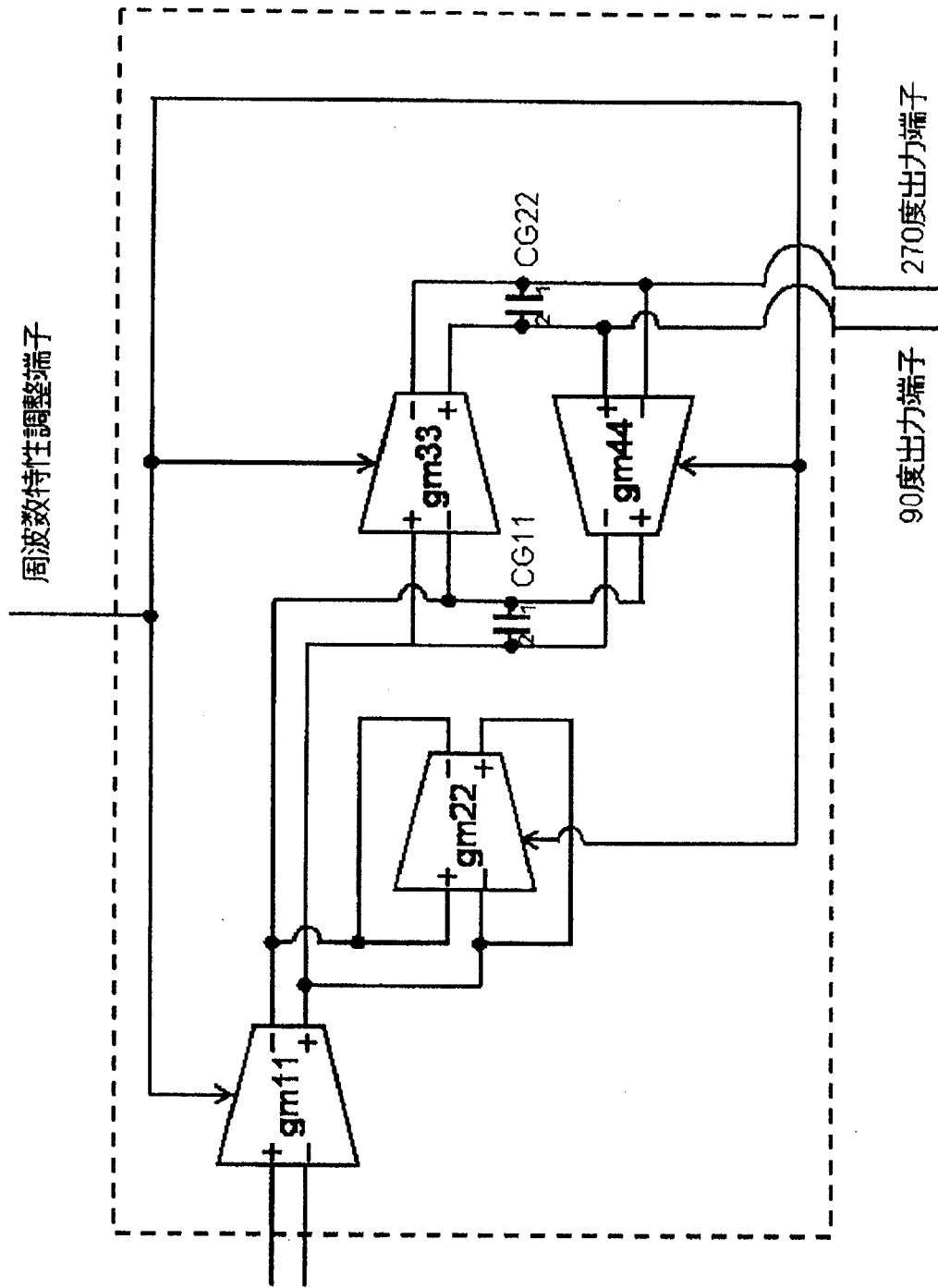




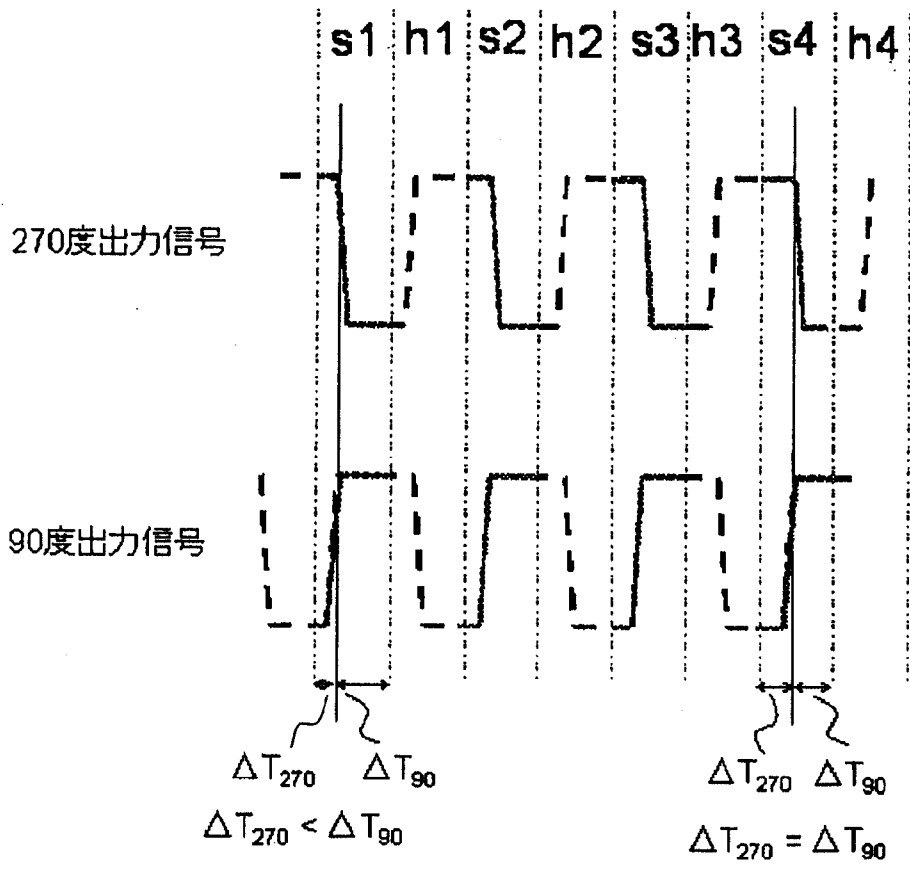
[図14]



[図15]



[図16]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/320185

## A. CLASSIFICATION OF SUBJECT MATTER

H03H11/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H11/00-H03H11/54 , H03L7/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-060485 A (Sony Corp.), 28 February, 2003 (28.02.03), Par. Nos. [0017], [0050] to [0058]; Fig. 1 & US 2003/0034831 A1	1-16
A	JP 5-291946 A (National Semiconductor Corp.), 05 November, 1993 (05.11.93), Par. Nos. [0019] to [0038]; Fig. 3 & US 5239561 A & EP 0523886 A1	1-16
A	JP 7-050555 A (Asahi Kasei Microsystems Co., Ltd.), 21 February, 1995 (21.02.95), Par. No. [0010]; Fig. 9 (Family : none)	3

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
21 December, 2006 (21.12.06)Date of mailing of the international search report  
09 January, 2007 (09.01.07)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-188683 A (Sony Corp. ), 04 July, 2003 (04.07.03), Par. No. [0024] ; Fig. 14 (Family: none)	10- 11

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. H03H1 1/04 (2006. 01) i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. H03H1 1/00-H03H1 1/54, H03L7/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー <sup>ホ</sup>	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-060485 A (ソニー株式会社) 2003. 02. 28, [0017], [0050]-[0058]、図1 & US 2003/0034831 A1	1-16
A	JP 5-291946 A (ナショナル セミコンダクタ コーポレーション) 1993.11.05, [0019]-[0038]、図3 & US 5239561 A & EP 0523886 A1	1-16

庄 C欄の続きにも文献が列挙されている。 r パテントファミリーに関する別紙を参照。

ホ 引用文献のカテゴリー	の日の役に公表された文献
IA」特に関連のある文献ではなく、一般的な技術水準を示すもの	IT」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
IE」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	IX」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
IL」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	IY」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
IO」口頭による開示、使用、展示等に言及する文献	Γ&J 同一パテントファミリー文献
rp」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 21. 12. 2006	国際調査報告の発送日 09. 01. 2007
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 崎間 伸洋 電話番号 03-3581-1 101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 7-050555 A (旭化成マイクロシステム株式会社) 1995. 02. 21, [0010]、図 9 (ファミリーなし)	3
A	JP 2003-188683 A (ソニー株式会社) 2003. 07. 04, [0024]、図 14 (ファミリーなし)	10-11