



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년06월03일

(11) 등록번호 10-1525676

(24) 등록일자 2015년05월28일

- (51) 국제특허분류(Int. Cl.)  
H01G 4/30 (2006.01) H05K 3/46 (2006.01)
- (21) 출원번호 10-2013-0113360
- (22) 출원일자 2013년09월24일  
심사청구일자 2013년09월24일
- (65) 공개번호 10-2015-0033392
- (43) 공개일자 2015년04월01일
- (56) 선행기술조사문헌  
JP2010118499 A\*  
KR1020140044606 A  
KR1020060098771 A  
JP11176695 A  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
삼성전기주식회사  
경기도 수원시 영통구 매영로 150 (매탄동)
- (72) 발명자  
김혜성  
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)  
정희정  
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
- (74) 대리인  
특허법인씨엔에스

전체 청구항 수 : 총 20 항

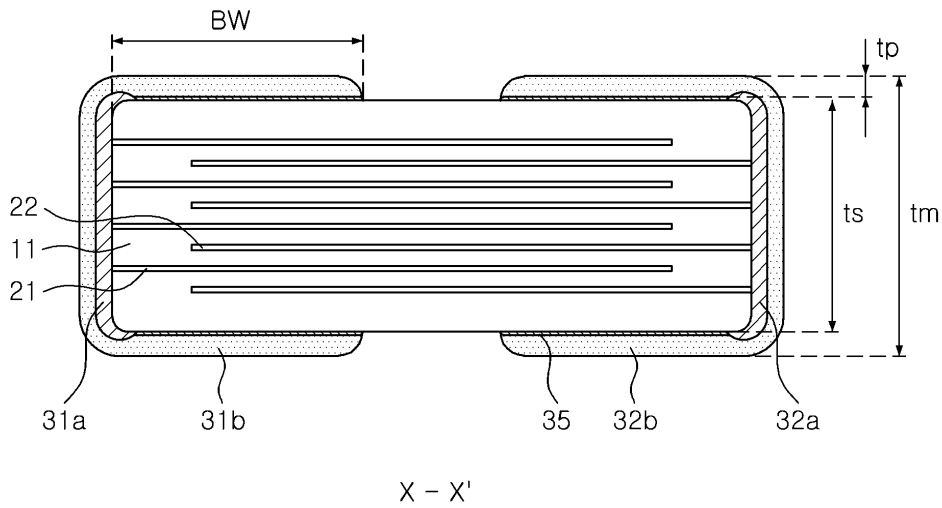
심사관 : 김상철

(54) 발명의 명칭 기관 내장용 적층 세라믹 전자부품, 그 제조방법 및 적층 세라믹 전자부품 내장형 인쇄회로기판

(57) 요약

본 발명은 기관 내장용 적층 세라믹 전자부품 및 그 제조방법에 관한 것으로, 보다 상세하게는 외부의 배선을 비아 홀을 통해 연결시키기 위한 일정 길이 이상의 외부전극 밴드 면을 형성하면서도 외부전극의 두께를 낮추어 칩 전체에 있어서의 세라믹 본체의 두께를 향상시킴으로써 칩의 강도를 향상시키고, 깨짐 등의 파손 발생을 방지할 수 있는 기관 내장용 적층 세라믹 전자부품 및 그 제조방법에 관한 것이다.

대표도 - 도2



**명세서**

**청구범위**

**청구항 1**

유전체층을 포함하며, 길이 방향의 양 단면, 폭 방향의 양 단면 및 두께 방향의 양 단면을 갖는 세라믹 본체;

상기 유전체층을 사이에 두고 상기 세라믹 본체의 길이 방향의 양 단면으로 교대로 노출되도록 형성된 제 1 내부전극 및 제 2 내부전극; 및

상기 세라믹 본체의 길이 방향의 양 단면에 형성되고 상기 제1 내부전극과 전기적으로 연결되는 제 1 외부전극 및 상기 제 2 내부전극과 전기적으로 연결되는 제 2 외부전극; 을 포함하며,

상기 제 1 및 제 2 외부전극은 상기 세라믹 본체의 길이 방향의 양 단면에 형성되는 제 1 및 제 2 바탕전극, 상기 세라믹 본체의 두께 방향의 양 단면에 형성되는 전도성 박막층 및 상기 제 1 및 제 2 바탕전극 및 전도성 박막층 상에 형성되는 도금층을 포함하며,

상기 전도성 박막층의 두께는 상기 도금층의 두께보다 얇은 기관 내장용 적층 세라믹 전자부품.

**청구항 2**

제 1항에 있어서,

상기 전도성 박막층의 두께는 0.1 내지 5000 nm 인 기관 내장용 적층 세라믹 전자부품.

**청구항 3**

제 1항에 있어서,

상기 전도성 박막층의 두께를  $t_f$ , 상기 전도성 박막층 상에 형성되는 도금층의 두께를  $t_p$ 라 하면,  $1.5 \leq t_p/t_f \leq 10000$  인 기관 내장용 적층 세라믹 전자부품.

**청구항 4**

제 1항에 있어서,

상기 전도성 박막층은 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag), 철(Fe), 티타늄(Ti) 및 탄소(C)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 기관 내장용 적층 세라믹 전자부품.

**청구항 5**

제 1항에 있어서,

상기 전도성 박막층은 상기 세라믹 본체의 두께 방향의 일 단면의 양 단부에 분할되어 형성되는 기관 내장용 적층 세라믹 전자부품.

**청구항 6**

제 1항에 있어서,

상기 전도성 박막층은 제 1 및 제 2 바탕전극과 연결되도록 형성되는 기관 내장용 적층 세라믹 전자부품.

#### 청구항 7

제 1항에 있어서,

상기 전도성 박막층은 상기 세라믹 본체의 두께 방향의 양 단면으로부터 상기 제 1 및 제 2 바탕전극 상으로 연장되어 형성되는 기관 내장용 적층 세라믹 전자부품.

#### 청구항 8

제 1항에 있어서,

상기 세라믹 본체의 두께 방향의 일 단면의 상기 전도성 박막층 상에 형성된 제 1 및 제 2 외부전극의 밴드 면의 폭을 BW라 하면, BW 각각이 상기 세라믹 본체 길이의 25% 이상인 기관 내장용 적층 세라믹 전자부품.

#### 청구항 9

제 1항에 있어서,

상기 세라믹 본체의 두께는 외부전극을 포함하는 적층 세라믹 전자부품 전체 두께의 60% 이상인 기관 내장용 적층 세라믹 전자부품.

#### 청구항 10

제 1항에 있어서,

상기 외부전극을 포함하는 적층 세라믹 전자부품의 전체 두께는 300  $\mu\text{m}$  이하인 기관 내장용 적층 세라믹 전자부품.

#### 청구항 11

복수의 세라믹 시트를 마련하는 단계;

상기 각각의 세라믹 시트 상에 도전성 페이스트를 이용하여 내부전극 패턴을 형성하는 단계;

상기 내부전극 패턴이 형성된 세라믹 시트를 적층하여, 내부에 서로 대향하도록 배치되는 제1 및 제2 내부 전극을 포함하는 세라믹 본체를 형성하는 단계;

상기 세라믹 본체를 압착 및 소성하는 단계;

상기 세라믹 본체의 길이 방향의 양 단면에 노출되는 상기 제1 및 제2 내부 전극과 접촉되어 전기적으로 연결되도록 제1 및 제2 외부 전극을 형성하는 단계; 를 포함하며,

상기 제 1 및 제 2 외부전극을 형성하는 단계는,

상기 세라믹 본체의 길이 방향의 양 단면에 제 1 및 제 2 바탕전극을 형성하고, 상기 세라믹 본체의 두께 방향의 양 단면에 전도성 박막층을 형성하며, 상기 제 1 및 제 2 바탕전극 및 전도성 박막층 상에 도금층을 형성하며,

상기 전도성 박막층의 두께는 상기 도금층의 두께보다 얇은 기관 내장용 적층 세라믹 전자부품의 제조방법.

#### 청구항 12

제 11항에 있어서,

상기 전도성 박막층의 형성은 스퍼터링(sputtering) 공법, 인쇄공법(printing) 및 무전해 도금 공법으로 이루어진 군에서 선택된 어느 하나 이상의 방법으로 수행되는 기관 내장용 적층 세라믹 전자부품의 제조방법.

**청구항 13**

제 11항에 있어서,

상기 전도성 박막층은 0.1 내지 5000 nm 의 두께로 형성하는 기관 내장용 적층 세라믹 전자부품의 제조방법.

**청구항 14**

제 11항에 있어서,

상기 전도성 박막층의 두께를  $t_f$ , 상기 전도성 박막층 상에 형성되는 도금층의 두께를  $t_p$ 라 하면,  $1.5 \leq t_p/t_f \leq 10000$  를 만족하도록 하는 기관 내장용 적층 세라믹 전자부품의 제조방법.

**청구항 15**

제 11항에 있어서,

상기 전도성 박막층은 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag), 철(Fe), 티타늄(Ti) 및 탄소(C)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 기관 내장용 적층 세라믹 전자부품의 제조방법.

**청구항 16**

제 11항에 있어서,

상기 전도성 박막층은 상기 세라믹 본체의 두께 방향의 적어도 일 단면의 양 단부에 분할 형성하는 기관 내장용 적층 세라믹 전자부품의 제조방법.

**청구항 17**

제 11항에 있어서,

상기 전도성 박막층은 상기 제 1 및 제 2 바탕전극과 연결되도록 형성하는 기관 내장용 적층 세라믹 전자부품의 제조방법.

**청구항 18**

절연기관; 및

유전체층을 포함하며, 길이 방향의 양 단면, 폭 방향의 양 단면 및 두께 방향의 양 단면을 갖는 세라믹 본체; 상기 유전체층을 사이에 두고 상기 세라믹 본체의 길이 방향의 양 단면으로 교대로 노출되도록 형성된 제 1 내부전극 및 제 2 내부전극; 및 상기 세라믹 본체의 길이 방향의 양 단면에 형성되고 상기 제 1 내부전극과 전기적으로 연결되는 제 1 외부전극 및 상기 제 2 내부전극과 전기적으로 연결되는 제 2 외부전극; 을 포함하며, 상기 제 1 및 제 2 외부전극은 상기 세라믹 본체의 길이 방향의 양 단면에 형성되는 제 1 및 제 2 바탕전극, 상기 세라믹 본체의 두께 방향의 양 단면에 형성되는 전도성 박막층 및 상기 제 1 및 제 2 바탕전극 및 전도성 박막층 상에 형성되는 도금층을 포함하는 기관 내장용 적층 세라믹 전자부품;을 포함하며,

상기 전도성 박막층의 두께는 상기 도금층의 두께보다 얇은 적층 세라믹 전자부품 내장형 인쇄회로기판.

**청구항 19**

제 18항에 있어서,

상기 전도성 박막층의 두께는 0.1 내지 5000 nm 인 적층 세라믹 전자부품 내장형 인쇄회로기판.

**청구항 20**

제 18항에 있어서,

상기 전도성 박막층의 두께를  $t_f$ , 상기 전도성 박막층 상에 형성되는 도금층의 두께를  $t_p$ 라 하면,  $1.5 \leq t_p/t_f \leq 10000$  인 적층 세라믹 전자부품 내장형 인쇄회로기판.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 기판 내장용 적층 세라믹 전자부품, 그 제조방법 및 적층 세라믹 전자부품 내장형 인쇄회로기판에 관한 것이다.

**배경 기술**

[0002] 전자회로가 고밀도화, 고집적화됨에 따라 인쇄회로 기판에 실장되는 수동 소자들의 실장 공간이 부족하게 되고, 이를 해결하기 위해 기판 속에 내장되는 부품, 즉 임베디드 소자(embedded device)를 구현하고자 하는 노력이 진행되고 있다. 특히, 용량성 부품으로 사용되는 적층 세라믹 전자부품을 기판 내부에 내장하는 방안이 다양하게 제시되고 있다.

[0003] 기판 내에 적층 세라믹 전자부품을 내장하는 방법으로는, 기판 재료 자체를 적층 세라믹 전자부품용 유전체 재료로 사용하고 구리 배선 등을 적층 세라믹 전자부품용 전극으로 사용하는 방법이 있다. 또한, 기판 내장용 적층 세라믹 전자부품을 구현하기 위한 다른 방안으로서, 고유전율의 고분자 시트나 박막의 유전체를 기판 내부에 형성하여 기판 내장용 적층 세라믹 전자부품을 형성하는 방법 및 적층 세라믹 전자부품을 기판 내에 내장하는 방법 등이 있다.

[0004] 일반적으로 적층 세라믹 전자부품은 세라믹 재질로 된 복수 개의 유전체층과 이 복수 개의 유전체층 사이에 삽입된 내부 전극을 구비한다. 이러한 적층 세라믹 전자부품을 기판 내부에 배치시킴으로써, 높은 정전용량을 갖는 기판 내장용 적층 세라믹 전자부품을 구현할 수 있다.

[0005] 기판 내장용 적층 세라믹 전자부품은 기판에 임베딩한 후, 레이저를 이용하여 수지를 관통하여 적층 세라믹 전자부품의 외부 전극이 노출되도록 비아 홀을 형성하고, 상기 비아 홀을 구리 도금으로 채워 외부의 배선과 적층 세라믹 전자부품의 외부 전극이 서로 전기적으로 연결되도록 한다.

[0006] 이때, 적층 세라믹 전자부품의 외부전극과 외부의 배선을 비아 홀을 통해 연결시키기 위해서는 일정 길이 이상의 외부전극 밴드 면을 형성할 필요성이 있다. 그러나 기존의 딥핑(dipping) 방식 등을 통해 일정 길이 이상의 외부전극 밴드 면을 형성하게 되면 외부전극의 두께가 두꺼워지게 되고, 외부전극의 두께가 두꺼워지는 만큼 총

본한 두께의 세라믹 본체를 확보할 수 없었다. 기관 내장용 적층 세라믹 전자부품은 비내장형 적층 세라믹 전자부품에 비해 칩 전체의 두께가 얇기 때문에 외부전극의 밴드 면이 두껍게 형성되면 세라믹 본체의 두께가 너무 얇아져 칩의 강도가 약해지고 파손이 발생하는 문제점이 있었다.

[0007] 또한, 적층 세라믹 전자부품의 세라믹 본체와 외부전극의 두께만큼 발생하는 단차가 커지게 되면 적층 세라믹 전자부품과 필름 사이의 공간이 커지기 때문에 디라미네이션의 발생 확률이 더 증가하게 된다. 따라서 이러한 디라미네이션을 줄이기 위해서도 외부 전극의 두께를 낮추는 것이 필요하다.

**선행기술문헌**

**특허문헌**

[0008] (특허문헌 0001) 한국공개공보 제 2011-0122008 호

**발명의 내용**

**해결하려는 과제**

[0009] 본 발명에 따른 일 실시형태의 목적은 외부의 배선을 비아 홀을 통해 연결시키기 위한 일정 길이 이상의 외부전극 밴드 면을 형성하면서도 외부전극의 두께를 낮추어 칩 전체에 있어서의 세라믹 본체의 두께를 향상시킨 기관 내장용 적층 세라믹 전자부품, 그 제조방법 및 적층 세라믹 전자부품 내장형 인쇄회로기판을 제공하는 것이다.

**과제의 해결 수단**

[0010] 상술한 과제를 해결하기 위하여 본 발명의 일 실시형태는,

[0011] 유전체층을 포함하며, 길이 방향의 양 단면, 폭 방향의 양 단면 및 두께 방향의 양 단면을 갖는 세라믹 본체; 상기 유전체층을 사이에 두고 상기 세라믹 본체의 길이 방향의 양 단면으로 교대로 노출되도록 형성된 제 1 내부전극 및 제 2 내부전극; 상기 세라믹 본체의 길이 방향의 양 단면에 형성되고 상기 제1 내부전극과 전기적으로 연결되는 제 1 외부전극 및 상기 제 2 내부전극과 전기적으로 연결되는 제 2 외부전극; 을 포함하며, 상기 제 1 및 제 2 외부전극은 상기 세라믹 본체의 길이 방향의 양 단면에 형성되는 제 1 및 제 2 바탕전극, 상기 세라믹 본체의 두께 방향의 양 단면에 형성되는 전도성 박막층 및 상기 제 1 및 제 2 바탕전극 및 전도성 박막층 상에 형성되는 도금층을 포함하며, 상기 전도성 박막층의 두께는 상기 도금층의 두께보다 얇은 기관 내장용 적층 세라믹 전자부품을 제공한다.

[0012] 상기 전도성 박막층의 두께는 0.1 내지 5000nm 일 수 있다.

[0013] 상기 전도성 박막층의 두께를  $t_f$ , 상기 전도성 박막층 상에 형성되는 도금층의 두께를  $t_p$ 라 하면,  $1.5 \leq t_p/t_f \leq 10000$ 일 수 있다.

[0014] 상기 전도성 박막층은 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag), 철(Fe), 티타늄(Ti) 및 탄소(C)로 이루어진 군에서 선택된 어느 하나 이상을 포함할 수 있다.

[0015] 상기 전도성 박막층은 상기 세라믹 본체의 두께 방향의 일 단면의 양 단부에 분할되어 형성될 수 있다.

- [0016]           상기 전도성 박막층은 제 1 및 제 2 바탕전극과 연결될 수 있다.
  
- [0017]           상기 전도성 박막층은 상기 세라믹 본체의 두께 방향의 양 단면으로부터 상기 제 1 및 제 2 바탕전극 상으로 연장되어 형성될 수 있다.
  
- [0018]           상기 세라믹 본체의 두께 방향의 일 단면의 상기 전도성 박막층 상에 형성된 제 1 및 제 2 외부전극의 밴드 면의 폭을 BW라 하면, BW 각각은 상기 세라믹 본체 길이의 25% 이상일 수 있다.
  
- [0019]           상기 세라믹 본체의 두께는 외부전극을 포함하는 적층 세라믹 전자부품 전체 두께의 60% 이상일 수 있다.
  
- [0020]           상기 외부전극을 포함하는 적층 세라믹 전자부품의 전체 두께는 300  $\mu\text{m}$  이하일 수 있다.
  
- [0021]           또한, 본 발명의 다른 일 실시형태는 복수의 세라믹 시트를 마련하는 단계;상기 각각의 세라믹 시트 상에 도전성 페이스트를 이용하여 내부전극 패턴을 형성하는 단계; 상기 내부전극 패턴이 형성된 세라믹 시트를 적층하여, 내부에 서로 대향하도록 배치되는 제1 및 제2 내부 전극을 포함하는 세라믹 본체를 형성하는 단계; 상기 세라믹 본체를 압착 및 소성하는 단계; 상기 세라믹 본체의 길이 방향의 양 단면에 노출되는 상기 제1 및 제2 내부 전극과 접촉되어 전기적으로 연결되도록 제1 및 제2 외부 전극을 형성하는 단계; 를 포함하며, 상기 제 1 및 제 2 외부전극을 형성하는 단계는, 상기 세라믹 본체의 길이 방향의 양 단면에 제 1 및 제 2 바탕전극을 형성하고, 상기 세라믹 본체의 두께 방향의 양 단면에 전도성 박막층을 형성하며, 상기 제 1 및 제 2 바탕전극 및 전도성 박막층 상에 도금층을 형성하며, 상기 전도성 박막층의 두께는 상기 도금층의 두께보다 얇은 기판 내장용 적층 세라믹 전자부품의 제조방법을 제공한다.
  
- [0022]           상기 전도성 박막층의 형성은 스퍼터링(sputtering) 공법, 인쇄공법(printing) 및 무전해 도금 공법으로 이루어진 군에서 선택된 어느 하나 이상의 방법으로 수행될 수 있다.
  
- [0023]           상기 전도성 박막층은 0.1 내지 5000nm 의 두께로 형성할 수 있다.
  
- [0024]           상기 전도성 박막층의 두께를  $t_f$ , 상기 전도성 박막층 상에 형성되는 도금층의 두께를  $t_p$ 라 하면,  $1.5 \leq t_p/t_f \leq 10000$  일 수 있다.
  
- [0025]           상기 전도성 박막층은 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag), 철(Fe), 티타늄(Ti) 및 탄소(C)로 이루어진 군에서 선택된 어느 하나 이상을 포함할 수 있다.
  
- [0026]           상기 전도성 박막층은 상기 세라믹 본체의 두께 방향의 적어도 일 단면의 양 단부에 분할 형성할 수 있다.
  
- [0027]           상기 전도성 박막층은 상기 제 1 및 제 2 바탕전극과 연결되도록 형성할 수 있다.
  
- [0028]           또한, 본 발명의 다른 일 실시형태는 절연기판; 및 유전체층을 포함하며, 길이 방향의 양 단면, 폭 방향의 양 단면 및 두께 방향의 양 단면을 갖는 세라믹 본체; 상기 유전체층을 사이에 두고 상기 세라믹 본체의 길이 방향의 양 단면으로 교대로 노출되도록 형성된 제 1 내부전극 및 제 2 내부전극; 및 상기 세라믹 본체의 길이 방향의 양 단면에 형성되고 상기 제1 내부전극과 전기적으로 연결되는 제 1 외부전극 및 상기 제 2 내부전극과 전기

적으로 연결되는 제 2 외부전극; 을 포함하며, 상기 제 1 및 제 2 외부전극은 상기 세라믹 본체의 길이 방향의 양 단면에 형성되는 제 1 및 제 2 바탕전극, 상기 세라믹 본체의 두께 방향의 양 단면에 형성되는 전도성 박막층 및 상기 제 1 및 제 2 바탕전극 및 전도성 박막층 상에 형성되는 도금층을 포함하는 기관 내장용 적층 세라믹 전자부품;을 포함하며, 상기 전도성 박막층의 두께는 상기 도금층의 두께보다 얇은 적층 세라믹 전자부품 내장형 인쇄회로기판을 제공한다.

[0029] 상기 전도성 박막층의 두께는 0.1 내지 5000nm 일 수 있다.

[0030] 상기 전도성 박막층의 두께를  $t_f$ , 상기 전도성 박막층 상에 형성되는 도금층의 두께를  $t_p$ 라 하면,  $1.5 \leq t_p/t_f \leq 10000$  일 수 있다.

**발명의 효과**

[0031] 본 발명의 일 실시형태에 따르면 기관 내장용 적층 세라믹 전자부품에 있어서, 외부의 배선을 비아 홀을 통해 연결시키기 위한 일정 길이 이상의 외부전극 밴드 면을 형성하면서도 외부전극의 두께를 낮추어 칩 전체에 있어서의 세라믹 본체의 두께를 향상시킴으로써 칩의 강도를 향상시키고, 깨짐 등의 파손 발생을 방지할 수 있다.

[0032] 또한, 외부전극의 두께만큼 발생하는 단차를 감소시킴으로써 기관 내부에 내장 시 디라미네이션의 발생 확률을 감소시킬 수 있는 효과가 있다.

**도면의 간단한 설명**

[0033] 도 1은 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품을 나타내는 사시도이다.

도 2는 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품을 나타내는 도 1의 X-X' 단면도이다.

도 3은 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품의 단면도이다.

도 4a 내지 도 4c는 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품의 외부전극 형성 과정을 나타내는 단면도이다.

도 5는 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품의 전도성 박막층 형성 부분을 주사전자현미경(SEM, Scanning Electron Microscope)으로 관찰한 사진이다.

도 6은 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 내장형 인쇄회로기판을 나타내는 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0034] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0035] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다.

[0036] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0037] 본 발명의 실시형태들을 명확하게 설명하기 위해 육면체의 방향을 정의하면, 도면 상에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향 및 두께 방향을 나타낸다. 여기서, 두께 방향은 유전체층이 적층되는 적층 방향과 동일한 개념으로 사용될 수 있다.



[0038] **기관 내장용 적층 세라믹 전자부품**

[0039] 이하에서는 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품을 설명하되, 특히 기관 내장용 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.

[0040] 도 1은 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품을 나타내는 사시도이며, 도 2 및 도 3은 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품을 나타내는 도 1의 X-X' 단면도이다.

[0041] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품(100)은 세라믹 본체(10), 제 1 및 제 2 내부전극(21, 22) 및 제 1 및 제 2 외부전극(31, 32)를 포함한다.

[0042] 세라믹 본체(10)는 길이 방향(L)의 양 단면, 폭 방향(W)의 양 단면 및 두께 방향(T)의 양 단면을 갖는 육면체로 형성될 수 있다. 이러한 세라믹 본체(10)는 복수의 유전체층(11)을 두께 방향(T)으로 적층한 다음 소성하여 형성되며, 이러한 세라믹 본체(10)의 형상, 치수 및 유전체층(11)의 적층 수가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다.

[0043] 또한, 세라믹 본체(10)를 형성하는 복수의 유전체층(11)은 소결된 상태로서, 인접하는 유전체층(11) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.

[0044] 유전체층(11)은 그 두께를 적층 세라믹 전자부품(100)의 용량 설계에 맞추어 임의로 변경할 수 있으며, 고유전률을 갖는 세라믹 분말, 예를 들어 티탄산바륨( $BaTiO_3$ )계 또는 티탄산스트론튬( $SrTiO_3$ )계 분말을 포함할 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 또한, 세라믹 분말에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제 등이 첨가될 수 있다.

[0045] 유전체층(11) 형성에 사용되는 세라믹 분말의 평균 입경은 특별히 제한되지 않으며, 본 발명의 목적 달성을 위해 조절될 수 있으나, 예를 들어, 400 nm 이하로 조절될 수 있다.

[0046] 제1 및 제2 내부 전극(21, 22)은 서로 다른 극성을 갖는 한 쌍의 전극으로서, 두께 방향(T)으로 적층되는 복수의 유전체층(11) 상에 소정의 두께로 도전성 금속을 포함하는 도전성 페이스트를 인쇄하여 유전체층(11)의 적층 방향을 따라 세라믹 본체(10)의 길이 방향(L)의 양 단면을 통해 번갈아 노출되도록 형성될 수 있으며, 중간에 배치된 유전체층(11)에 의해 서로 전기적으로 절연될 수 있다.

[0047] 즉, 제1 및 제2 내부 전극(21, 22)은 세라믹 본체(10)의 양 단면을 통해 번갈아 노출되는 부분을 통해 세라믹 본체(10)의 길이 방향(L)의 양 단면에 형성된 제1 및 제2 외부 전극(31, 32)과 각각 전기적으로 연결될 수 있다.

[0048] 따라서, 제1 및 제2 외부 전극(31, 32)에 전압을 인가하면 서로 대향하는 제1 및 제2 내부 전극(21, 22) 사이에 전하가 축적되고, 이때 적층 세라믹 커패시터(100)의 정전 용량은 제1 및 제2 내부 전극(21, 22)의 서로 중첩되는 영역의 면적과 비례하게 된다.

[0049] 이러한 제1 및 제2 내부 전극(21, 22)의 폭은 용도에 따라 결정될 수 있는데, 예를 들어 세라믹 본체(10)의 크기를 고려하여 0.2 내지 1.0  $\mu m$ 의 범위 내에 있도록 결정될 수 있으며, 본 발명이 이에 한정되는 것은 아니다.

[0050] 또한, 제1 및 제2 내부 전극(21, 22)을 형성하는 도전성 페이스트에 포함되는 도전성 금속은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 은(Ag), 납(Pb) 또는 백금(Pt) 등의 단독 또는 이들의 합금일 수 있으며, 본 발명이 이에 한

정되는 것은 아니다.

- [0051] 제 1 및 제 2 외부전극(31, 32)은 세라믹 본체(10)의 길이 방향(L)의 양 단면에 형성될 수 있으며, 세라믹 본체(10)의 두께 방향(T)의 양 단면 상으로 연장되어 밴드 면(BW)을 형성할 수 있다.
- [0052] 제 1 및 제 2 외부전극(31, 32)은 상기 세라믹 본체(10)의 길이 방향(L)의 양 단면에 형성되는 제 1 및 제 2 바탕전극(31a, 32a), 상기 세라믹 본체(10)의 두께 방향(T)의 양 단면에 형성되는 전도성 박막층(35) 및 제 1 및 제 2 바탕전극(31a, 32a) 및 전도성 박막층(35) 상에 형성되는 도금층(31b, 32b)을 포함할 수 있다.
- [0053] 종래의 외부 전극 형성 방법은 세라믹 본체를 금속 성분이 포함된 페이스트에 딥핑(dipping)하는 방법이 주로 사용되었다. 이때, 기관 내장용 적층 세라믹 커패시터는 외부전극과 외부의 배선을 비아 홀을 통해 연결시키기 위해서 일정 길이 이상의 외부전극 밴드 면을 형성할 필요성이 있는데, 종래의 딥핑(dipping) 방법은 페이스트의 계면 장력에 의해 좌우 양측의 밴드 면이 두껍게 도포된다.
- [0054] 이에 본 발명의 일 실시형태는 세라믹 본체(10)의 두께 방향(T)의 단면 상에 전도성 박막층(35)을 형성함에 따라 이를 도금 시드(seed)층으로 하여 전도성 박막층(35) 상에 일정 길이 이상의 외부전극(31, 32) 밴드 면(BW)을 도금으로 평탄하면서도 보다 얇은 두께로 형성할 수 있다.
- [0055] 상기 제 1 및 제 2 바탕전극(31a, 32a) 형성 방법은 특별히 제한되지 않으며, 예를 들어, 도전성 금속을 포함하는 도전성 페이스트를 도포한 후 소성함으로써 형성될 수 있다. 제 1 및 제 2 바탕전극(31a, 32a)은 제 1 및 제 2 내부전극(21, 22)과 동일한 도전성 금속으로 형성될 수 있으나, 이에 제한되지 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 등의 단독 또는 이들의 합금일 수 있다.
- [0056] 제 1 및 제 2 바탕전극(31a, 32a)은 세라믹 본체(10)의 길이 방향(L)의 양 단면에 형성되며, 두께 방향(T)의 양 단면으로 연결되는 모서리 부를 덮도록 연장되어 형성될 수 있다.
- [0057] 전도성 박막층(35)은 세라믹 본체(10)의 두께 방향(T)의 양 단면에 형성될 수 있으며, 두께 방향(T) 일 단면의 양 단부에 분할되어 형성될 수 있다. 전도성 박막층(35)은 제 1 및 제 2 바탕전극(31a, 32a)과 연결되게 형성될 수 있다.
- [0058] 도 3을 참조하면, 본 발명의 일 실시형태로 전도성 박막층(35)이 세라믹 본체(10)의 두께 방향(T)의 양 단면으로부터 제 1 및 제 2 바탕전극(31a, 32a) 상으로 연장되어 형성될 수 있다.
- [0059] 전도성 박막층(35)의 형성 방법은 특별히 제한되지 않으나, 박막으로 형성하기 위하여 스퍼터링(sputtering) 공법 등으로 형성할 수 있다. 박막으로 형성되는 전도성 박막층(35)의 두께는 0.1 내지 5000nm 일 수 있다. 전도성 박막층(35)을 상기 범위 내로 얇게 형성함에 따라 외부 전극 밴드 면의 두께를 줄일 수 있으며, 그 만큼 세라믹 본체(10)의 두께를 향상시켜 강도를 향상시킬 수 있다. 전도성 박막층(35)의 두께가 0.1nm 미만일 경우 전도성 박막층이 균일하게 형성되기 어렵고 끊김 현상이 발생할 수 있는 문제점이 있으며, 5000nm 를 초과할 경우 전도성 박막층 형성에 소요되는 시간이 불필요하게 증가하는 문제가 발생할 수 있다.
- [0060] 전도성 박막층(35)은 제 1 및 제 2 내부전극(21, 22)과 동일한 도전성 금속으로 형성될 수 있으나, 이에 제한되지 않으며, 예를 들어, 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag), 철(Fe), 티타늄(Ti) 또는 탄소(C) 등의 단독 또는 이들의 합금을 포함할 수 있다.

- [0061] 제 1 및 제 2 바탕전극(31a, 32a) 및 전도성 박막층(35)을 도금 시드(seed) 층으로 하여 제 1 및 제 2 바탕전극(31a, 32a) 및 전도성 박막층(35) 상에 도금층(31b, 32b)을 형성할 수 있다.
- [0062] 도금층(31b, 32b)은 제 1 및 제 2 내부전극(21, 22)과 동일한 도전성 금속으로 형성될 수 있으나, 이에 제한되지 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 등의 단독 또는 이들의 합금일 수 있다.
- [0063] 전도성 박막층(35)의 두께를  $t_f$ , 상기 전도성 박막층(35) 상에 형성되는 도금층(31b, 32b)의 두께를  $t_p$ 라 하면,  $1.5 \leq t_p/t_f \leq 10000$  일 수 있다.
- [0064] 전도성 박막층(35)의 두께가 너무 두껍거나 도금층(31b, 32b)의 두께가 너무 얇아  $t_p/t_f$  이 1.5 미만인 경우 필수적인 도금층 최소 두께인  $5 \mu\text{m}$ 를 만족하지 못하게 될 수 있으며, 전도성 박막층(35)의 두께가 너무 얇거나 도금층(31b, 32b)의 두께가 너무 두꺼워  $t_p/t_f$  이 10000 을 초과하는 경우 칩 전체의 두께가 두꺼워져 기관 내장용 MLCC 칩에 요구되는 두께를 초과하거나 세라믹 본체의 두께가 상대적으로 얇아져 강도가 저하되는 문제가 발생할 수 있다.
- [0065] 전도성 박막층(35) 상에 도금층(31b, 32b)이 형성된 외부전극(31, 32)의 밴드 면의 폭(BW)은, 각각이 세라믹 본체(10) 길이의 25% 이상일 수 있다. 밴드 면의 폭(BW)이 세라믹 본체(10) 길이의 25% 미만일 경우 외부 배선과의 연결을 위한 비아 가공 시 불량 발생 확률이 커지는 문제점이 있다.
- [0066] 외부전극(31, 32)을 포함하는 기관 내장용 적층 세라믹 커패시터(100)의 전체 두께( $t_m$ )는  $300 \mu\text{m}$  이하일 수 있으며, 적층 세라믹 커패시터(100)의 전체 두께( $t_m$ )가  $300 \mu\text{m}$  이하로 제작함으로써, 기관 내장용 적층 세라믹 커패시터로 적합할 수 있다.
- [0067] 이때, 세라믹 본체(10)의 두께( $t_s$ )는 외부전극(31, 32)을 포함하는 적층 세라믹 커패시터 전체 두께( $t_m$ )의 60 % 이상일 수 있다. 세라믹 본체(10)의 두께( $t_s$ )가 적층 세라믹 커패시터 전체 두께( $t_m$ )의 60 % 미만일 경우 칩의 강도가 약해져 파손 등의 불량이 발생할 수 있다.
- [0068] **기관 내장용 적층 세라믹 전자부품의 제조방법**
- [0069] 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품의 제조 방법은 우선, 티탄산바륨( $\text{BaTiO}_3$ ) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 복수 개의 세라믹 시트를 마련하며, 이로써 유전체 층을 형성할 수 있다.
- [0070] 상기 세라믹 시트는 세라믹 분말, 바인더, 용제를 혼합하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드 법으로 수  $\mu\text{m}$ 의 두께를 갖는 시트(sheet)형으로 제작할 수 있다.
- [0071] 다음으로, 도전성 금속 분말을 포함하는 도전성 페이스트를 마련할 수 있다. 상기 도전성 금속 분말은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 은(Ag), 납(Pb) 또는 백금(Pt) 등의 단독 또는 합금일 수 있으며, 입자 평균 크기가 0.1 내지 0.2  $\mu\text{m}$ 일 수 있고, 40 내지 50 중량%의 도전성 금속 분말을 포함하는 내부전극용 도전성 페이스트를 마련할 수 있다.
- [0072] 상기 세라믹 시트 상에 상기 내부전극용 도전성 페이스트를 인쇄 공법 등으로 도포하여 내부전극 패턴을 형성할 수 있다. 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 상기 내부 전극 패턴이 인쇄된 세라믹 시트를 200 내지 300층 적층하고, 압

착, 소성하여 세라믹 본체를 제작할 수 있다.

- [0073] 다음으로, 상기 세라믹 본체의 길이 방향의 양 단면에 노출되는 상기 내부 전극과 접촉되어 전기적으로 연결되도록 외부 전극을 형성할 수 있다.
- [0074] 도 4a 내지 도 4c는 본 발명의 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품의 외부전극 형성 과정을 나타내는 단면도이다.
- [0075] 도 4a를 참조하면, 세라믹 본체(10)의 길이 방향(L)의 양 단면에 제 1 및 제 2 바탕전극(31a, 32a)를 형성할 수 있다.
- [0076] 제 1 및 제 2 바탕전극(31a, 32a) 형성 방법은 특별히 제한되지 않으며, 예를 들어, 도전성 금속을 포함하는 도전성 페이스트를 딥핑(dipping)법 등으로 도포한 후 소성함으로써 형성될 수 있다. 제 1 및 제 2 바탕전극(31a, 32a)은 제 1 및 제 2 내부전극(21, 22)과 동일한 도전성 금속으로 형성될 수 있으나, 이에 제한되지 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 등의 단독 또는 이들의 합금일 수 있다.
- [0077] 제 1 및 제 2 바탕전극(31a, 32a)을 딥핑(dipping)법으로 형성할 때, 내부전극 노출면인 세라믹 본체(10)의 길이 방향(L) 일 단면의 끝단부로 최소화하여 딥핑(dipping)할 수 있다. 이에 따라 제 1 및 제 2 바탕전극(31a, 32a)은 세라믹 본체(10)의 길이 방향(L)의 양 단면과, 두께 방향(T)의 양 단면으로 연결되는 모서리 부를 덮도록 연장되어 형성될 수 있다.
- [0078] 도 4b를 참조하면, 세라믹 본체(10)의 두께 방향(T)의 양 단면에 전도성 박막층(35)을 형성할 수 있다.
- [0079] 전도성 박막층(35)은 박막으로 형성하기 위하여 스퍼터링(sputtering) 공법, 인쇄공법(printing) 또는 무전해 도금 공법 등으로 형성할 수 있으나, 이에 제한되지는 않는다.
- [0080] 전도성 박막층(35)을 스퍼터링(sputtering) 공법으로 형성할 때에는 세라믹 본체(10)의 두께 방향(T) 일 단면에서 먼저 전도성 박막층(35)을 형성한 후, 두께 방향(T) 타 단면에 2차로 전도성 박막층(35)을 형성할 수 있다.
- [0081] 전도성 박막층(35)은 제 1 및 제 2 바탕전극(31a, 32a)를 형성한 후 형성할 수도 있고, 먼저 전도성 박막층(35)을 형성하고 제 1 및 제 2 바탕전극(31a, 32a)을 형성할 수도 있으며, 전도성 박막층(35)의 형성 순서는 특별히 제한되지 않는다.
- [0082] 전도성 박막층(35)은 세라믹 본체(10)의 두께 방향(T) 일 단면의 양 단부에 분할 형성할 수 있고, 각 전도성 박막층(35)은 제 1 및 제 2 바탕전극(31a, 32a)과 연결되게 형성할 수 있다.
- [0083] 박막으로 형성되는 전도성 박막층(35)의 두께는 0.1 내지 5000 nm 일 수 있다. 전도성 박막층(35)을 상기 범위 내로 얇게 형성함에 따라 외부 전극 밴드 면의 두께를 줄일 수 있으며, 그 만큼 세라믹 본체(10)의 두께를 향상시켜 강도를 향상시킬 수 있다. 전도성 박막층(35)의 두께를 0.1nm 미만으로 형성하는 경우 전도성 박막층이 균일하게 형성되기 어렵고 끊김 현상이 발생할 수 있는 문제점이 있으며, 5000nm 를 초과할 경우 전도성 박막층 형성에 소요되는 시간이 불필요하게 증가하는 문제가 발생할 수 있다.
- [0084] 전도성 박막층(35)은 내부전극과 동일한 도전성 금속으로 형성될 수 있으나, 이에 제한되지 않으며, 예를 들어, 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag), 철(Fe), 티타늄(Ti) 또는 탄소(C) 등의 단독 또는 이들의 합금을 포함할 수 있다.

- [0085] 도 4c를 참조하면, 제 1 및 제 2 바탕전극(31a, 32a) 및 전도성 박막층(35) 상에 도금층(31b, 32b)을 형성할 수 있다.
- [0086] 제 1 및 제 2 바탕전극(31a, 32a) 및 전도성 박막층(35)을 도금 시드(seed) 층으로 하여 5 내지 14  $\mu\text{m}$  두께의 도금층(31b, 32b)을 형성할 수 있다.
- [0087] 도금층(31b, 32b)은 내부전극과 동일한 도전성 금속으로 형성될 수 있으나, 이에 제한되지 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 등의 단독 또는 이들의 합금일 수 있다.
- [0088] 전도성 박막층(35)의 두께를  $t_f$ , 상기 전도성 박막층(35) 상에 형성되는 도금층(31b, 32b)의 두께를  $t_p$ 라 하면,  $1.5 \leq t_p/t_f \leq 10000$  일 수 있다.
- [0089] 전도성 박막층(35)의 두께가 너무 두껍거나 도금층(31b, 32b)의 두께가 너무 얇아  $t_p/t_f$  이 1.5 미만인 경우 필수적인 도금층 최소 두께인 5  $\mu\text{m}$ 를 만족하지 못하게 될 수 있으며, 전도성 박막층(35)의 두께가 너무 얇거나 도금층(31b, 32b)의 두께가 너무 두꺼워  $t_p/t_f$  이 10000 을 초과하는 경우 칩 전체의 두께가 두꺼워져 기판 내장용 MLCC 칩에 요구되는 두께를 초과하거나 세라믹 본체의 두께가 상대적으로 얇아져 강도가 저하되는 문제가 발생할 수 있다.
- [0090] 전도성 박막층(35)을 형성하고, 전도성 박막층(35) 상에 도금층(31b, 32b)을 형성함에 따라 비아 홀을 연결시키기 위한 일정 길이 이상의 외부전극(31, 32) 밴드 면을 평탄하면서도 보다 얇은 두께로 형성할 수 있다.
- [0091] 그 외 상술한 본 발명의 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품의 특징과 동일한 부분에 대해서는 여기서 생략하도록 한다.
- [0092] **적층 세라믹 전자부품 내장형 인쇄회로기판**
- [0093] 도 6은 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 내장형 인쇄회로기판을 나타내는 단면도이다.
- [0094] 도 6을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 내장형 인쇄회로기판(200)은 절연기판(210) 및 상기 절연기판(210) 내부에 내장된 상기 기판 내장용 적층 세라믹 전자부품을 포함할 수 있다.
- [0095] 상기 절연기판(210)은 절연층(220)이 포함된 구조로 이루어지며, 필요에 따라 도 6에 예시된 바와 같이 다양한 형태의 층간 회로를 구성하는 도전성 패턴(230) 및 도전성 비아홀(240)을 포함할 수 있다. 이러한 절연 기판(210)은, 내부에 적층 세라믹 전자부품을 포함하는 인쇄회로기판(200)일 수 있다.
- [0096] 상기 기판 내장용 적층 세라믹 전자부품은 유전체층(11)을 포함하며, 길이 방향(L)의 양 단면, 폭 방향(W)의 양 단면 및 두께 방향(T)의 양 단면을 갖는 세라믹 본체(10), 상기 유전체층(11)을 사이에 두고 상기 세라믹 본체(10)의 길이 방향(L)의 양 단면으로 교대로 노출되도록 형성된 제 1 및 제 2 내부전극(21, 22), 상기 세라믹 본체(10)의 길이 방향(L)의 양 단면에 형성되고 상기 제1 내부전극(21)과 전기적으로 연결되는 제 1 외부전극(31) 및 상기 제 2 내부전극(22)과 전기적으로 연결되는 제 2 외부전극(32)을 포함하며, 상기 제 1 및 제 2 외부전극(41, 42)은 상기 세라믹 본체(10)의 길이 방향(L)의 양 단면에 형성되는 제 1 및 제 2 바탕전극(31a, 32a), 상기 세라믹 본체(10)의 두께 방향(T)의 양 단면에 형성되는 전도성 박막층(35) 및 상기 제 1 및 제 2 바탕전극(31a, 32a) 및 전도성 박막층(35) 상에 형성되는 도금층(31b, 32b)을 포함할 수 있다.

[0097] 세라믹 본체(10)의 두께 방향(T)의 단면 상에 전도성 박막층(35)을 형성함에 따라 이를 도금 시드(seed)층으로 하여 전도성 박막층(35) 상에 일정 길이 이상의 외부전극(31, 32) 밴드 면(BW)을 도금으로 평탄하면서도 보다 얇은 두께로 형성할 수 있다. 따라서 외부전극과 세라믹 본체의 단차를 줄이고 디라미네이션의 발생을 방지할 수 있다.

[0098]

[0099] 전도성 박막층(35)의 형성 방법은 특별히 제한되지 않으나, 박막으로 형성하기 위하여 스퍼터링(sputtering) 공법 등으로 형성할 수 있다. 박막으로 형성되는 전도성 박막층(35)의 두께는 0.1 내지 5000nm 일 수 있다. 전도성 박막층(35)을 상기 범위 내로 얇게 형성함에 따라 외부 전극 밴드 면의 두께를 줄일 수 있으며, 그 만큼 세라믹 본체(10)의 두께를 향상시켜 강도를 향상시킬 수 있다. 전도성 박막층(35)의 두께가 0.1nm 미만일 경우 전도성 박막층이 균일하게 형성되기 어렵고 끊김 현상이 발생할 수 있는 문제점이 있으며, 5000nm 를 초과할 경우 전도성 박막층 형성에 소요되는 시간이 불필요하게 증가하는 문제가 발생할 수 있다.

[0100] 전도성 박막층(35)의 두께를  $t_f$ , 상기 전도성 박막층(35) 상에 형성되는 도금층(31b, 32b)의 두께를  $t_p$  라 하면,  $1.5 \leq t_p/t_f \leq 10000$  일 수 있다.

[0101] 전도성 박막층(35)의 두께가 너무 두껍거나 도금층(31b, 32b)의 두께가 너무 얇아  $t_p/t_f$  이 1.5 미만인 경우 필수적인 도금층 최소 두께인 5  $\mu\text{m}$ 를 만족하지 못하게 될 수 있으며, 전도성 박막층(35)의 두께가 너무 얇거나 도금층(31b, 32b)의 두께가 너무 두꺼워  $t_p/t_f$  이 10000 을 초과하는 경우 칩 전체의 두께가 두꺼워져 기판 내장용 MLCC 칩에 요구되는 두께를 초과하거나 세라믹 본체의 두께가 상대적으로 얇아져 강도가 저하되는 문제가 발생할 수 있다.

[0102] 전도성 박막층(35) 상에 도금층(31b, 32b)이 형성된 외부전극(31, 32)의 밴드 면의 폭(BW)은, 각각이 세라믹 본체(10) 길이의 25% 이상일 수 있다. 밴드 면의 폭(BW)이 세라믹 본체(10) 길이의 25% 미만일 경우 도전성 패턴(230)과의 연결을 위한 비아 홀(240) 가공 시 불량 발생 확률이 커지는 문제점이 있다.

[0103] 그 외의 특징은 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 특징과 동일하므로 여기서는 생략하도록 한다.

[0104] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며 첨부된 청구범위에 의해 한정하고자 한다.

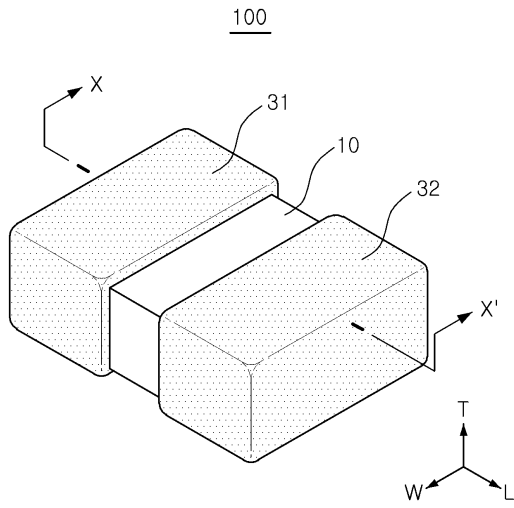
[0105] 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

**부호의 설명**

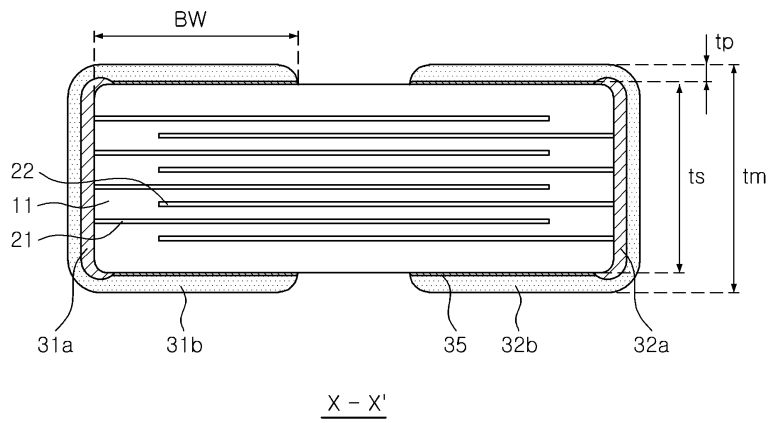
- |        |                           |               |
|--------|---------------------------|---------------|
| [0106] | 100 : 적층 세라믹 커패시터         | 200 : 인쇄회로기판  |
|        | 11 : 유전체층                 | 210 : 절연기판    |
|        | 21, 22 : 제 1 및 제 2 내부전극   | 220 : 절연층     |
|        | 31, 32 : 제 1 및 제 2 외부전극   | 230 : 도전성 패턴  |
|        | 31a, 32a : 제 1 및 제 2 바탕전극 | 240 : 도전성 비아홀 |
|        | 31b, 32b : 제 1 및 제 2 도금층  |               |
|        | 35 : 전도성 박막층              |               |

도면

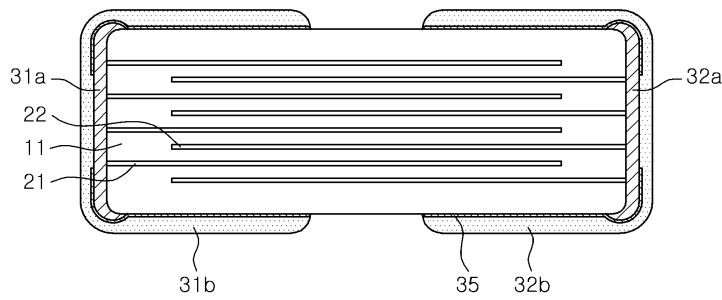
도면1



도면2

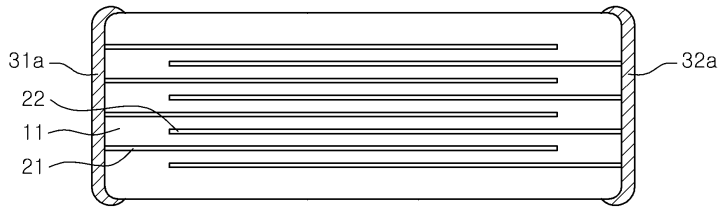


도면3

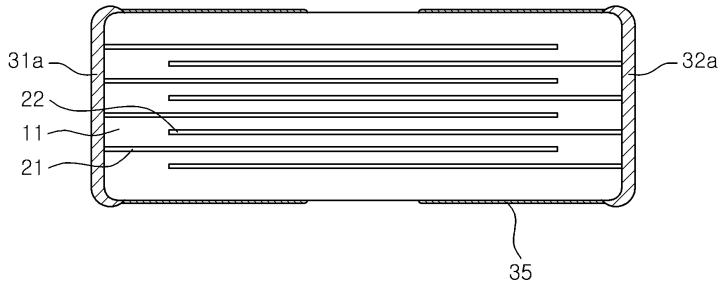




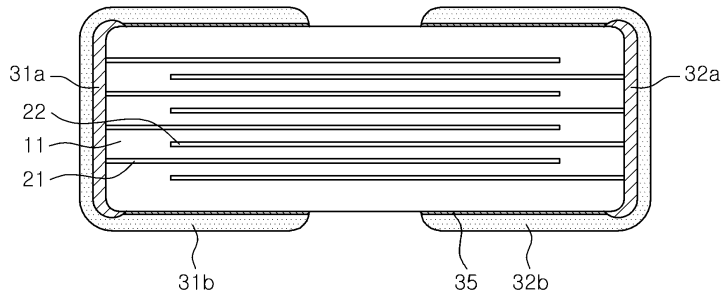
도면4a



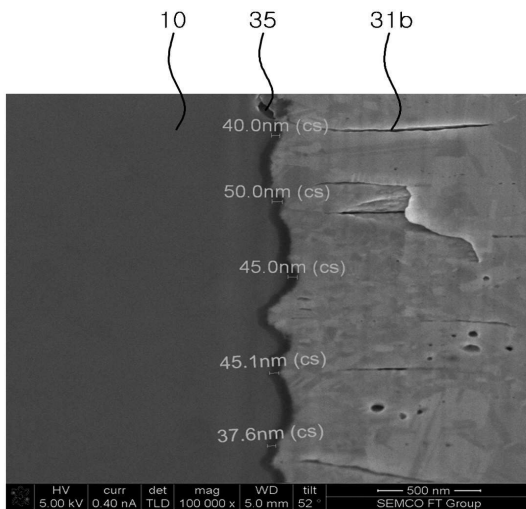
도면4b



도면4c



도면5





도면6

