

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-164384

(P2012-164384A)

(43) 公開日 平成24年8月30日(2012.8.30)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 13/00 (2006.01)	G 1 1 C 13/00 A	5 F 0 8 3
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 8	
H O 1 L 45/00 (2006.01)	H O 1 L 45/00 Z	
H O 1 L 49/00 (2006.01)	H O 1 L 49/00 Z	

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願2011-23635 (P2011-23635)  
 (22) 出願日 平成23年2月7日(2011.2.7)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100092820  
 弁理士 伊丹 勝  
 (74) 代理人 100106389  
 弁理士 田村 和彦  
 (72) 発明者 道岡 義久  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 林 克昌  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 Fターム(参考) 5F083 FZ10 GA06 GA11 JA60 LA12  
 LA16

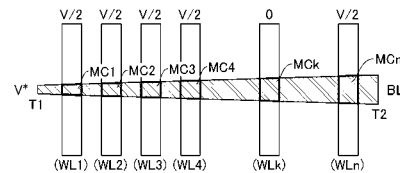
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】データ消去/書き込み時の電圧降下及びリーク電流を低減させた不揮発性半導体記憶装置を提供する。

【解決手段】実施形態に係る不揮発性半導体記憶装置は、列方向に延びる複数の列線、列方向に交差する行方向に延びる複数の行線、並びに、複数の列線及び行線の各交差部に配置された可変抵抗素子を含む複数のメモリセルを有するメモリセルアレイと、列線を介してメモリセルに対して可変抵抗素子の状態遷移に必要な電圧を供給する列線の第1端部及び第2端部の少なくとも一方に配置された列デコーダとを備え、列線は、第1部分、第1部分よりも列デコーダから遠い第2部分及び第2部分よりも列デコーダから遠い第3部分を有し、第2部分の行方向の線幅は、第1部分の行方向の線幅と同等又はより広く、且つ、第3部分の行方向の線幅よりも狭いことを特徴とする。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

列方向に延びる複数の列線、前記列方向に交差する行方向に延びる複数の行線、並びに、前記複数の列線及び行線の各交差部に配置された可変抵抗素子を含む複数のメモリセルを有するメモリセルアレイと、

前記列線を介して前記メモリセルに対して前記可変抵抗素子の状態遷移に必要な電圧を供給する前記列線の第 1 端部及び第 2 端部の少なくとも一方に配置された列デコーダとを備え、

前記列線は、第 1 部分、前記第 1 部分よりも前記列デコーダから遠い第 2 部分及び前記第 2 部分よりも前記列デコーダから遠い第 3 部分を有し、前記第 2 部分の前記行方向の線幅は、前記第 1 部分の前記行方向の線幅と同等又はより広く、且つ、前記第 3 部分の前記行方向の線幅よりも狭い

ことを特徴とする不揮発性半導体記憶装置。

## 【請求項 2】

前記列デコーダは、第 1 列デコーダ及び第 2 列デコーダからなり、

前記複数の列線の一部は第 1 列線であり、他の一部は第 2 列線であり、

前記第 1 列デコーダは、前記第 1 列線の前記第 1 端部に配置され、

前記第 2 列デコーダは、前記第 2 列線の前記第 2 端部に配置され、

前記第 1 列線は、前記第 1 端部から前記第 2 端部にかけて前記行方向の線幅が広くなり

、前記第 2 列線は、前記第 2 端部から前記第 1 端部にかけて前記行方向の線幅が広くなることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

## 【請求項 3】

前記第 1 列線及び前記第 2 列線は、前記行方向に交互に配置されている

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

## 【請求項 4】

前記列デコーダは、前記複数の列線の前記第 1 端部に配置され、

前記複数の列線は、前記第 1 端部から前記第 2 端部にかけて前記行方向の線幅が広くなる

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

## 【請求項 5】

前記列デコーダは、第 1 列デコーダ及び第 2 列デコーダからなり、

前記第 1 列デコーダ及び前記第 2 列デコーダは、それぞれ前記列線の前記第 1 端部及び前記第 2 端部に配置され、

前記列線は、前記第 1 端部並びに前記第 2 端部から前記第 1 端部及び前記第 2 端部の中間部にかけて前記行方向の線幅が広くなる

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

## 【請求項 6】

前記列デコーダから遠い所定の前記行線の前記列方向の線幅よりも、前記列デコーダから近い他の前記行線の前記列方向の線幅の方が広い

ことを特徴とする請求項 1 又は 4 記載の不揮発性半導体記憶装置。

## 【請求項 7】

列方向に延びる複数の列線、前記列方向に交差する行方向に延びる複数の行線、並びに、前記複数の列線及び行線の各交差部に配置された可変抵抗素子を含む複数のメモリセルを有するメモリセルアレイと、

前記列線を介して前記メモリセルに対して前記可変抵抗素子の状態遷移に必要な電圧を供給する前記列線の第 1 端部及び第 2 端部の少なくとも一方に配置された列デコーダとを備え、

前記複数の行線の一部は第 1 行線であり、他の一部は第 2 行線であり、前記第 2 行線は、前記第 1 行線よりも前記デコーダから遠く、且つ、前記第 1 行線よりも前記列方向の線幅

が広い

ことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

近年、可変抵抗素子からなるメモリセルで構成されたReRAM(Resistive RAM)等の抵抗変化型メモリが提案されている。この抵抗変化型メモリは、メモリセルを積層化しやすいため、フラッシュメモリ以上の高集積化を図ることができる。 10

【0003】

抵抗変化型メモリのメモリセルに対するデータ消去/書き込み動作には、大別してデータ消去及びデータ書き込みを共に同一極性の電圧印加で実現するユニポーラ動作と、データ消去及びデータ書き込みを逆極性の電圧印加で実現するバイポーラ動作がある。

【0004】

バイポーラ動作の場合、選択ビット線及び非選択ワード線間のメモリセル、並びに、非選択ビット線及び選択ワード線間のメモリセルセル(以下、「半選択セル」と呼ぶ)にも選択セルに印加される電圧の半分の電圧が加わる。この場合、半選択セルに流れる電流によって電圧降下が生じてしまうために電圧補償が必要となり、延いては周辺回路開発の負担増大や消費電力の増大といった問題が生じるおそれがある。 20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-283681号

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、データ消去/書き込み時の電圧降下及びリーク電流を低減させた不揮発性半導体記憶装置を提供する。 30

【課題を解決するための手段】

【0007】

実施形態に係る不揮発性半導体記憶装置は、列方向に延びる複数の列線、前記列方向に交差する行方向に延びる複数の行線、並びに、前記複数の列線及び行線の各交差部に配置された可変抵抗素子を含む複数のメモリセルを有するメモリセルアレイと、前記列線を介して前記メモリセルに対して前記可変抵抗素子の状態遷移に必要な電圧を供給する前記列線の第1端部及び第2端部の少なくとも一方に配置された列デコーダとを備え、前記列線は、第1部分、前記第1部分よりも前記列デコーダから遠い第2部分及び前記第2部分よりも前記列デコーダから遠い第3部分を有し、前記第2部分の前記行方向の線幅は、前記第1部分の前記行方向の線幅と同等又はより広く、且つ、前記第3部分の前記行方向の線幅よりも狭いことを特徴とする。 40

【0008】

他の実施形態に係る不揮発性半導体記憶装置は、列方向に延びる複数の列線、前記列方向に交差する行方向に延びる複数の行線、並びに、前記複数の列線及び行線の各交差部に配置された可変抵抗素子を含む複数のメモリセルを有するメモリセルアレイと、前記列線を介して前記メモリセルに対して前記可変抵抗素子の状態遷移に必要な電圧を供給する前記列線の第1端部及び第2端部の少なくとも一方に配置された列デコーダとを備え、前記複数の行線の一部は第1行線であり、他の一部は第2行線であり、前記第2行線は、前記第1行線よりも前記デコーダから遠く、且つ、前記1行線よりも前記列方向の線幅が広いことを特徴とする。 50

## 【図面の簡単な説明】

【0009】

【図1】第1の実施形態に係る不揮発性半導体記憶装置の全体構成を示す斜視図である。

【図2】本実施形態に係る不揮発性半導体記憶装置の機能ブロック図である。

【図3】本実施形態に係る不揮発性半導体記憶装置のメモリセル配列の回路及びバイアス状態を説明する図である。

【図4】本実施形態に係る不揮発性半導体記憶装置の可変抵抗素子の特性図である。

【図5】本実施形態に係る不揮発性半導体記憶装置の選択素子の特性図である。

【図6】本実施形態に係る不揮発性半導体記憶装置の課題を説明する図である。

【図7】本実施形態に係る不揮発性半導体記憶装置のメモリセル配列の一部を示す図である。 10

【図8】図7に示すメモリセル配列の抵抗成分のモデルを示す図である。

【図9】本実施形態に係る不揮発性半導体記憶装置のメモリセルの位置と比較例に対する電圧降下及びリーク電流の低減率との関係を示すグラフである。

【図10】本実施形態に係る不揮発性半導体記憶装置のメモリセル配列の平面図である。

【図11】第2の実施形態に係る不揮発性半導体記憶装置のメモリセル配列の平面図である。

【図12】第3の実施形態に係る不揮発性半導体記憶装置のメモリセル配列の平面図である。

【図13】第4の実施形態に係る不揮発性半導体記憶装置のメモリセル配列の平面図である。 20

【図14】第5の実施形態に係る不揮発性半導体記憶装置のメモリセル配列の平面図である。

【図15】第6の実施形態に係る不揮発性半導体記憶装置のビット線の形状を示す平面図である。

【図16】第7の実施形態に係る不揮発性半導体記憶装置のワード線の形状を示す平面図である。

【図17】比較例に係る不揮発性半導体記憶装置のメモリセル配列の一部を示す図である。

## 【発明を実施するための形態】 30

【0010】

以下、図面を参照しながら実施形態に係る不揮発性半導体記憶装置について説明する。

【0011】

[第1の実施形態]

先ず、第1の実施形態に係る不揮発性半導体記憶装置の全体構成について説明する。

【0012】

図1は、第1の実施形態に係る不揮発性半導体記憶装置の全体構成を示す斜視図である。通常シリコン(Si)基板1(半導体基板)上に、通常用いられるプロセスにより、配線層を含むCMOS回路2が構成され、その上に複数のメモリセル部4を含む層3が形成されている。図1に示す各メモリセル部4は後述するメモリセル配列11に対応し、24nmのデザインルールで配線が形成されている。また、図1のドライバ、デコーダ及び上位ブロックを含む、通常の不揮発性半導体記憶装置における周辺回路と呼ばれている部分は、CMOS回路2に含まれている。

40

【0013】

なお、CMOS回路2は、メモリセル部4との接続部を除き、メモリセル部4の配線よりも緩い、例えば90nmデザインルールで設計製作が行われる。各メモリセル部4の周囲には、CMOS回路2との電氣的接続部(図示せず)が設けられる。これらのメモリセル部4と周辺の電氣的接続部とを一単位としたブロックが、マトリクス状に配置されている。さらに、メモリセル部4を含む層3にはスルーホール(図示せず)が形成される。メモリセル部4の電氣的接続部はこのスルーホールを介してCMOS回路2に接続される

50

。メモリセル部 4 は、CMOS 回路 2 によって動作が制御される。入出力部 5 は、CMOS 回路 2 の入出力部と電気的な結合を有する端子を含む。これら端子も前述のスルーホールを介して CMOS 回路 2 の入出力部に接続される。CMOS 回路 2 がメモリセル部 4 の動作を制御するために必要なデータ、コマンド、アドレス等は、入出力部 5 を介して外部とやり取りされる。入出力部 5 は、メモリセル部 4 を含む層 3 の端部に形成されている。

#### 【0014】

以上の構成により、CMOS 回路 2 の保護膜に相当する部分をメモリセル部 4 に形成される絶縁膜で兼用することが可能となる。また、本実施形態では、メモリセル部 4 と CMOS 回路 2 とが積層方向 (Z 方向) に結合するため、チップ面積の増大を伴わずに動作時間の短縮や、同時アクセス可能なメモリセル数の大幅な増加が可能となる。なお、入出力部 5 は、通常の不揮発性半導体記憶装置の入出力部と同様、パッケージ工程においてリードフレームにボンディングされる。

10

#### 【0015】

次に、本実施形態に係る不揮発性半導体記憶装置の機能ブロックについて図 2 を参照しながら説明する。

#### 【0016】

この不揮発性半導体記憶装置は、複数の行線、複数の列線、並びに、これら行線及び列線によって選択される複数のメモリセルを有するメモリセル配列 11 を備える。このメモリセル配列 11 は、図 1 に示すメモリセル部 4 に相当する。以下の説明では、通常の不揮発性半導体記憶装置にならい、行線をワード線、列線をビット線と呼ぶ。

20

#### 【0017】

また、不揮発性半導体記憶装置は、データ消去 / 書き込み時に、ワード線を選択する行デコーダ 12 及びビット線を選択する列デコーダ 13 を備える。列デコーダ 13 は、データ消去 / 書き込み動作を制御するドライバを含む。

#### 【0018】

更に、不揮発性半導体記憶装置は、メモリセル配列 11 中のアクセス対象となるメモリセルを選択する制御回路として上位ブロック 14 を備える。上位ブロック 14 は、行デコーダ 12、列デコーダ 13 に対して、それぞれ行アドレス、列アドレスを与える。電源 15 は、データ消去 / 書き込みの、それぞれの動作に対応した所定の電圧の組み合わせを生成し、行デコーダ 12 及び列 13 に供給する。

30

#### 【0019】

以上の機能ブロックによって、同一ワード線に接続された全てのメモリセルの一括したデータ消去 / 書き込みが可能になる。図 1 に示す CMOS 回路 2 に、図 2 の行デコーダ 12、列デコーダ 13 及び上位ブロック 14 などの周辺回路が設けられている。

#### 【0020】

次に、本実施形態に係る不揮発性半導体記憶装置のメモリセル配列 11 について図 3 を参照しながら説明する。

#### 【0021】

メモリセル配列 11 は、複数のワード線 WL 及びビット線 BL が交差するように配置され、これらワード線 WL 及びビット線 BL の各交差部には、可変抵抗素子 VR を有するメモリセル MC が形成されている。メモリセル MC の可変抵抗素子 VR には選択素子 S が直列接続されており、この選択素子 S を介して、可変抵抗素子 VR は、ワード線 WL 及びビット線 BL から電圧の供給を受ける。

40

#### 【0022】

以上のようなメモリセル配列 11 の構造によれば、ワード線 WL 及びビット線 BL は、単なるラインアンドスペースのパターンとなり、メモリセル配列 11 の形成に際しては、ワード線 WL 及びビット線 BL が交差する位置関係であれば良いためズレを考慮する必要はない。つまり、メモリセル MC の位置合せ精度を極めて緩くすることができるため、不揮発性半導体記憶装置を容易に製造することができる。また、上記構造の場合、 $4F^2$  の領域当たり 1 個のメモリセル MC を形成できるため、不揮発性半導体記憶装置の高集積化

50

を図ることができる。

【0023】

メモリセル配列11の各ワード線WLには行デコーダ12が接続されており、各ビット線BLには列デコーダ13が接続されている。また、行デコーダ12及び列デコーダ13には、電源15からデータ消去/書き込みのそれぞれの動作に対応した所定の電圧が供給される。

【0024】

メモリセルMCへのデータ消去/書き込みは、始めに、上位ブロック14が出力する行アドレス、列アドレスに基づいて、行デコーダ12、列デコーダ13がメモリセル配列11内のアクセス対象となる選択セルMC<sub>s</sub>に接続されているワード線WL、ビット線BLを選択する。図3の場合、行デコーダ12、列デコーダ13は、それぞれワード線WL0、ビット線BL0を選択することになる。

10

【0025】

続いて、行デコーダ12は、選択ワード線WL(図3の場合、WL0)に対して選択ワード線電圧VSWを供給し、その他の非選択ワード線WL等に対して非選択ワード線電圧VUWを供給する。一方、列デコーダ13は、選択ビット線BL(図3の場合、BL0)に対して選択ビット線電圧VSBを供給し、その他の非選択ビット線BLに対して非選択ビット線電圧VUBを供給する。これら選択ワード線電圧VSW、非選択ワード線電圧VUW、選択ビット線電圧VSB及び非選択ビット線電圧VUBを適切な電圧に設定することによって、メモリセル配列11中の所定のメモリセルMCに対するアクセスができる。

20

【0026】

次に、メモリセルMCの特性について説明する。

【0027】

始めに、メモリセルMCの可変抵抗素子VRの特性について図4を参照しながら説明する。

【0028】

可変抵抗素子VRは、例えば、TiO<sub>2</sub>に代表される抵抗変化材を材料として形成される。この抵抗変化材は、低抵抗状態(LRS)と高抵抗状態(HRS)の少なくとも2つの抵抗値を遷移する素材である。

【0029】

高抵抗状態の抵抗変化材は、ある一定以上の電圧(図4の場合、負の方向に電圧V<sub>ms</sub>e<sub>t</sub>以上の電圧)が印加されると、図4の矢印A1に示すように、低抵抗状態に遷移する。このような抵抗変化材の低抵抗状態から高抵抗状態への遷移をセット動作と呼ぶ。本実施形態におけるデータ書き込みは、この「セット動作」によって実現される。なお、図4では、セット動作開始時に抵抗変化材に流れている電流をI<sub>set</sub>として示している。

30

【0030】

一方、低抵抗状態の抵抗変化材は、ある一定以上の電流(図4の場合、電流I<sub>reset</sub>以上の電流)が流れると、図4の矢印A2に示すように、高抵抗状態に遷移する。このような抵抗変化材の低抵抗状態から高抵抗状態への遷移を「リセット動作」と呼ぶ。本実施形態におけるデータ消去は、このリセット動作によって実現される。なお、図4では、リセット動作開始時に抵抗変化材に印加される電圧をV<sub>mreset</sub>として示している。

40

【0031】

特に、図4に示すように、セット動作とリセット動作が、異なる極性の電圧印加でなされる可変抵抗素子VRを、「バイポーラ動作素子」と呼び、後述する選択素子Sとの組み合わせによってメモリセルMCに用いられる。

【0032】

可変抵抗素子VRは、TiO<sub>2</sub>以外にも、ZnMn<sub>2</sub>O<sub>4</sub>、HfO<sub>x</sub>、NiO、SrZrO<sub>3</sub>、Pr<sub>0.7</sub>Ca<sub>0.3</sub>MnO<sub>3</sub>、炭素等を材料とする薄膜によって構成することができる。

【0033】

50

続いて、メモリセルMCの選択素子Sの特性について図5を参照しながら説明する。

【0034】

選択素子Sは、前述の通り、可変抵抗素子VRがバイポーラ動作素子であるため、図5で示すように正負両方の極性で所定の電流を流す特性を有する必要がある。そのため、選択素子Sには、逆方向リーク電流を大きく設定したダイオードやトンネル素子等を用いる。

【0035】

選択素子Sの特性として最も重要なパラメータは、半選択セル電流 $I_H$ である。ここで、半選択セル電流 $I_H$ は、可変抵抗素子VRのセット動作/リセット動作に必要な電流を選択セル電流 $I_S$ 、この選択セル電流 $I_S$ を流すためにメモリセルMCに印加される電圧を $V_S$ とすると、メモリセルMCに電圧 $V_S/2$ を印加したときにメモリセルMCに流れる電流をいう。また、この半選択セル電流が流れるメモリセルMCを「半選択セル」と呼ぶ。

10

【0036】

次に、本実施形態に係る不揮発性半導体記憶装置のメモリセル配列11のデータ消去/書き込み時のバイアス状態について図3を参照しながら説明する。例として、ワード線WL0を選択ワード線、ビット線BL0を選択ビット線、これらワード線WL0及びビット線BL0の交差部に接続されたメモリセルMC<sub>S</sub>を選択セルとした場合のバイアス状態を示している。

20

【0037】

本実施形態に係る不揮発性半導体記憶装置は、データ消去/書き込みをバイポーラ動作で実行するため、選択ビット線電圧VSB、非選択ビット線VUB、選択ワード線VSW及び非選択ワード線VUWに、それぞれ所定の電圧V、0、V/2及びV/2を供給する。この場合、選択セルMC<sub>S</sub>にはおおよそ電圧Vが印加されることになる。つまり、電圧Vを図5に示す電圧V<sub>S</sub>とすれば、データ消去/書き込みに必要な電圧V<sub>S</sub>を可変抵抗素子VRに印加することができる。このとき、選択セルMC<sub>S</sub>にはビット線BL0及びワード線WL0を介してデータ消去/書き込みに必要な選択セル電流I<sub>S</sub>が流れる。

【0038】

しかし、実際には、ビット線BL及びワード線WLの配線抵抗の影響や、図3中点線矢印で示すように、半選択セルMC<sub>H</sub>を介して流れるリーク電流(半選択セル電流I<sub>H</sub>)の影響を考慮する必要がある。

30

【0039】

例えば、図6上図に示すように、選択ビット線BL0に選択ビット線電圧VSBとして電圧V<sub>S</sub>、選択ワード線WL0に選択ワード線電圧VSWとして0Vをそれぞれ供給したとする。この場合、列デコーダ13及び選択セルMC<sub>S</sub>間にある選択ビット線BL0の配線抵抗の影響によって、選択ビット線電圧VSBは低下する。また、行デコーダ12及び選択セルMC<sub>S</sub>間にある選択ワード線WL0の配線抵抗の影響によって、選択ワード線電圧VSWは上昇する。そのため選択セルMC<sub>S</sub>に印加される電圧は、データ消去/書き込みに必要な電圧V<sub>S</sub>を下回り、選択セルMC<sub>S</sub>に対する正常なデータ消去/書き込みができなくなる。特に、行デコーダ12及び列デコーダ13から遠いメモリセルMCを選択セルにした場合、ワード線WL、ビット線BLの配線抵抗の影響は大きくなる。

40

【0040】

そこで、この問題を解決するため、図6下図に示すように、選択ビット線電圧VSB及び選択ワード線電圧VSWに対して電圧補償を施す。つまり、選択ビット線電圧VSBは電圧V<sub>S</sub>よりも更に選択ビット線BL0の配線抵抗による電圧降下分だけ高い電圧にする。また、選択ワード線電圧VSWは0Vよりも更に選択ワード線WL0の配線抵抗による電圧降下分だけ低い電圧にする。これによって、選択セルMC<sub>S</sub>に電圧V<sub>S</sub>をすることができ。

【0041】

しかし、選択ビット線BL0に接続され、且つ、列デコーダ13から選択セルMC<sub>S</sub>の

50

間に位置する半選択セル $MC_H$ には、電圧 $V_S/2$ よりも高い選択ビット線電圧 $V_{SB}$ が供給されることになる。この場合、半選択セル $MC_H$ を介してリーク電流が増大してしまう。更に、列デコーダ13により近い半選択セル $MC_H$ の場合、電圧 $V_S$ よりも高い電圧が印加されてしまう恐れがあり、この場合、半選択セル $MC_H$ もセット動作/リセット動作してしまうディスタープの問題が生じる。この事は、選択ワード線 $WL_0$ に接続された半選択セル $MC_H$ についても同様に生じる。

【0042】

そこで本実施形態に係る不揮発性半導体記憶装置では、このような配線抵抗による電圧降下やリーク電流の増大を抑制するため、メモリセル配列11を以下のように形成する。

【0043】

図7は、本実施形態に係る不揮発性半導体記憶装置のメモリセル配列11の形状を示す図である。図7では、本実施形態の概要の理解を容易にするため、 $n$ 本( $n$ は、2以上の整数)のワード線 $WL$ に対し、ビット線 $BL$ を1本だけ示している。図7中、ビット線 $BL$ の端部 $T_1$ 側(第1端部)から $t$ 番目( $t$ は、2以上 $n$ 以下の整数)のワード線を $WL_t$ 、このワード線 $WL_t$ 及びビット線 $BL$ の交差部に配置されたメモリセルを $MC_t$ と呼ぶ。

【0044】

本実施形態に係る不揮発性半導体記憶装置では、ビット線 $BL$ のワード線方向の幅(以下、「ビット線の線幅」と呼ぶ)を端部 $T_1$ から端部 $T_2$ (第2端部)にかけて広くしている。換言すれば、メモリセル $MC_2$ (第2部分)におけるビット線 $BL$ の線幅は、メモリセル $MC_1$ (第1部分)におけるビット線 $BL$ の線幅よりも広く、且つ、メモリセル $MC_3$ (第3部分)におけるビット線 $BL$ の線幅よりも狭くなるように形成されている。

【0045】

本実施形態では、前述のようにデータ消去/書き込みをバイポーラ動作で行う。例えば、ビット線 $BL$ 及びワード線 $WL_k$ ( $k$ は、2以上 $n$ 以下の整数)の交差部に配置されたメモリセル $MC_k$ を選択メモリセルとした場合、選択ワード線 $BL$ の端部 $T_1$ 側から電圧 $V^*$ を供給する。また、行デコーダ12から選択ワード線 $WL_k$ に $0V$ を供給し、それ以外の非選択ワード線 $WL$ に $V/2$ を供給する。この時、ビット線 $BL$ は、上記の通り、図7に示す構造を有していることから、選択セル $MC_k$ の抵抗成分が、選択セル $MC_k$ よりも $A$ 端部側にあるメモリセル $MC_1 \sim MC_{k-1}$ の抵抗成分よりも常に大きくなるため、電圧降下及びリーク電流が低減される。

【0046】

ここで、本実施形態に係る不揮発性半導体記憶装置の効果について、図17に示す比較例に係る不揮発性半導体記憶装置と比較しながら説明する。この比較例の場合、ビット線 $BL$ の線幅が一定に形成されている。

【0047】

また、図8は、図7及び図17を抵抗成分によってモデル化した図である。図8において、抵抗成分 $RL_t$ は、ワード線 $WL_{t-1}$ 及びワード線 $WL_t$ 間のビット線 $BL$ の配線抵抗を示し、抵抗成分 $RC_t$ は、メモリセル $MC_t$ の抵抗成分を示している。

【0048】

図7及び図17に示すワード線 $WL$ のビット線方向の幅(以下、「ワード線の線幅」と呼ぶ)及びビット線 $BL$ の線幅を $F$ とする。また、図7におけるワード線 $WL_1$ の中央におけるビット線 $BL$ の線幅を $2/3 \times F$ 、ワード線 $WL_n$ の中央におけるビット線 $BL$ の線幅を $4/3 \times F$ とする。

【0049】

ここで、比較例の場合に対する本実施形態の場合の効果を図8に示すモデルを用いて計算する。この計算の際、図8に示す抵抗成分 $RL$ 及び $RC$ は、シート抵抗を用いて計算する。また、ワード線 $WL$ の配線抵抗は考慮しない。この場合、メモリセル $MC_1 \sim MC_{k-1}$ のワード線 $WL_1 \sim WL_{k-1}$ との接合部には電圧 $V/2$ が供給されていることとなる。更に、メモリセル $MC_k$ のビット線 $BL$ との接合部には電圧 $V$ が供給されており、電

10

20

30

40

50

流は 0 A だと仮定する。

【 0 0 5 0 】

この場合、ビット線 B L の端部 T 1 側の電圧  $V^*$  と電流 I を求めれば、電圧差  $V = (V^* - V)$  が電圧降下であり、電流 I がリーク電流 I l e a k となる。

【 0 0 5 1 】

図 9 は、比較例に対する本実施形態の電圧降下  $V$  及びリーク電流 I l e a k の低減率を示したグラフである。このグラフは横軸がメモリセルの番号、つまり端部 T 1 からの位置になっている。また、メモリセル数は 1 0 0 0 となっている。

【 0 0 5 2 】

本実施形態の電圧降下を  $V_1$ 、リーク電流 I 1、比較例の電圧降下を  $V_2$ 、リーク電流を I 2 とした場合、電圧降下  $V$  の低減率は、 $100 \times (V_2 - V_1) / V_2$  (%)、リーク電流 I l e a k の低減率は、 $100 \times (I_2 - I_1) / I_2$  (%) で計算することができる。

10

【 0 0 5 3 】

図 9 に示すグラフから分かるように、端部 T 1 から遠くなるにつれ電圧降下  $V$  の低減率、リーク電流 I l e a k の低減率が共に上昇していることが分かる。具体的には、端部 T 1 から最も遠い（端部 T 2 から最も近い）メモリセル M C 1 0 0 0 を選択セルとした場合、電圧降下  $V$  の低減率として 4 8 . 3 %、リーク電流 I l e a k の低減率として 3 0 . 7 % の効果を得られていることが分かる。

【 0 0 5 4 】

次に、図 7 に示す形状のビット線 B L を配置させた本実施形態に係るメモリセル配列 1 1 の平面図を図 1 0 に示す。ここでは、ビット線 B L の端部のうち、紙面左側の端部を T 1、紙面右側の端部を T 2 とする。

20

【 0 0 5 5 】

このメモリセル配列 1 1 の場合、図 1 0 上側から数えて偶数番目のビット線 B L e は、端部 T 1 において図 1 0 左側に配置された列デコーダ 1 3 を構成する第 1 列デコーダ 1 3 a に接続されている。これら偶数番目のビット線 B L e の線幅は、それぞれ端部 T 1 から端部 T 2 にかけて広くなるように形成されている。一方、図 1 0 上側から数えて奇数番目のビット線 B L o は、端部 T 2 において図 1 0 右側に配置された列デコーダ 1 3 を構成する第 2 列デコーダ 1 3 b に接続されている。これら奇数番目のビット線 B L o の線幅は、それぞれ端部 T 2 から端部 T 1 にかけて線幅が広くなるように形成されている。

30

【 0 0 5 6 】

このように、端部 T 1 から端部 T 2 にかけて線幅が太くなるビット線 B L o と端部 T 1 から端部 T 2 に掛けて線幅が細くなるビット線 B L e とを互い違いに配置させることで、メモリセル配列 1 1 のサイズの増加を伴うことなく電圧降下  $V$  及びリーク電流 I l e a k の抑制効果を得ることができる。

【 0 0 5 7 】

ここで、ワード線 W L の線幅を F、ビット線 B L のスペース幅を F、最も小さいメモリセル M C におけるビット線 B L の線幅を  $s \times F$  (但し、 $0 < s < 1$ )、最も大きいメモリセル M C におけるビット線 B L の線幅を  $(2 - s) \times F$  とした場合、ビット線 B L の線幅が一定で且つワード線 W L 及びビット線 B L のハーフピッチを F とした比較例に係るメモリセル配列と同じサイズでメモリセル配列 1 1 を形成することができる。

40

【 0 0 5 8 】

また、 $s = 2 / 3$  とした場合、比較例と比べ電圧降下  $V$  は最大で 4 8 . 3 % 低減させることができる。さらに、 $s$  を小さくできる場合、つまり最小のメモリセル M C と最大のメモリセル M C のサイズの差を大きくすることができる場合、比較例と同程度のメモリセル配列のサイズを維持しながら、より電圧降下  $V$  を低減させることができる。例えば、 $s = 0 . 1$  とした場合、比較例に対する本実施形態の電圧降下  $V$  の低減率を最大で 9 3 % にまですることができる。

【 0 0 5 9 】

50

以上、本実施形態によれば、比較例のようにビット線の線幅を一定にさせた場合よりも、電圧降下及びリーク電流の低減が図れるため、データ消去/書き込みの信頼性が高い不揮発性半導体記憶装置を提供することができる。更に、図10に示すメモリセル配列11にすることで、メモリセル配列のサイズ増大を伴うことなく、この効果を得ることができる。

#### 【0060】

##### [第2の実施形態]

第2の実施形態に係る不揮発性半導体記憶装置は、第1の実施形態のように、端部T1から端部T2にかけて線幅が太くなるビット線BLと端部T1から端部T2に掛けて線幅が細くなるビット線BLとを互い違いに配置させることができないような場合を想定した実施形態となっている。

10

#### 【0061】

図11は、本実施形態に係る不揮発性半導体記憶装置のメモリセル配列21の平面図である。図11には、メモリセル配列21の他、行デコーダ12に相当する行デコーダ22と、列デコーダ13に相当する列デコーダ23が示されている。その他の機能ブロックについては第1の実施形態と同様である。

#### 【0062】

本実施形態に係るメモリセル配列21の場合、全ビット線BLは、端部T1において図10左側に配置された列デコーダ23に接続されている。また、全ビット線BLの線幅は、それぞれ端部T1から端部T2にかけて広くなるように形成されている。

20

#### 【0063】

第1の実施形態のようなビット線BLの配置ができない場合であっても、本実施形態によれば、第1の実施形態と同様、電圧低下及びリーク電流の低減を図ることができる。

#### 【0064】

##### [第3の実施形態]

第1及び第2の実施形態では、ビット線の片側から選択ビット線電圧、非選択ビット線電圧を供給する場合を想定していたが、第3の実施形態は、ビット線の両側から選択ビット線電圧、非選択ビット線電圧を供給する実施形態となっている。

#### 【0065】

図12は、本実施形態に係る不揮発性半導体記憶装置のメモリセル配列31の平面図である。図12には、メモリセル配列31の他、行デコーダ12に相当する行デコーダ32と、列デコーダ13に相当する列デコーダを構成する第1列デコーダ33a及び第2列デコーダ33bが示されている。その他の機能ブロックについては第1の実施形態と同様である。

30

#### 【0066】

本実施形態に係るメモリセル配列31の場合、全ビット線BLには、それぞれ端部T1において図12左側に配置された第1列デコーダ33a、端部T2において図12右側に配置された第2列デコーダ33bに接続されている。これらビット線BLは、それぞれ端部T1並びに端部T2から端部T1及び端部T2の中間部にかけて線幅が太くなるように形成されている。

40

#### 【0067】

本実施形態によれば、第1の実施形態と同様、電圧降下及びリーク電流の低減を図ることができる。

#### 【0068】

更に、ビット線BLの両側に列デコーダ33a、33bを配置させることで、列デコーダ33a、33b双方から最も遠いメモリセルMCは、ビット線BLの中央部に位置することになる。その結果、図17に示す比較例の場合に比べ、電圧降下を半減させることができる。

#### 【0069】

具体的には、第1の実施形態と同様、ビット線BLの最も狭い線幅を $s \times F$ 、最も広い

50

線幅を  $(2 - s) \times F$  とし、 $s = 2 / 3$  とした場合、比較例に対する本実施形態の電圧低下の低減率として約 75% 得ることができる。

【0070】

[第4の実施形態]

第1～第3の実施形態では、1本のビット線BLの線幅に変化を持たせることで電圧低下及びリーク電流の低下を図っていたが、第3の実施形態は、列デコーダとの距離に応じてワード線WLの線幅を変化させる実施形態となっている。

【0071】

図13は、本実施形態に係る不揮発性半導体記憶装置のメモリセル配列41の平面図である。図13には、メモリセル配列41の他、行デコーダ12に相当する行デコーダ42と、列デコーダ13に相当する列デコーダ43が示されている。その他の機能ブロックについては第1の実施形態と同様である。

10

【0072】

本実施形態に係るメモリセル配列41の場合、全ビット線BLの線幅及びスペース幅はFで一定である。一方、ワード線WLについては、各ワード線WLはそれぞれ一定の線幅で形成されているが、列デコーダ43から遠くなるにつれて線幅が一次関数的に太くなっている。例えば、図13の場合、ワード線WL' (第1行線)は、このワード線WL'よりも列デコーダ43からの距離が遠いワード線WL'' (第2行線)に比べて、線幅が狭い。これに対し、ワード線WLのスペース幅は、列デコーダ43からの距離に拘わらず一定である。

20

【0073】

例えば、列デコーダ43から最も近いワード線WLの線幅を  $s \times F$  (但し、 $0 < s < 1$ )、最も遠いワード線WLの線幅を  $(2 - s) \times F$ 、ワード線WLのスペース幅をFとした場合、図9のグラフに示す電圧低下  $V$  及びリーク電流  $I_{leak}$  の低減効果を得ることができる。

【0074】

以上、本実施形態によれば、第1の実施形態と同様の効果を得られる。さらに、ビット線毎の線幅及びワード線毎の線幅が一定であるため、第1～第3の実施形態よりも配線パターンが単純であり、メモリセル配列の加工が容易である。

【0075】

[第5の実施形態]

第5の実施形態は、第2の実施形態と第4の実施形態を組み合わせ実施形態となっている。

30

【0076】

図14は、本実施形態に係る不揮発性半導体記憶装置のメモリセル配列51の平面図である。図14には、メモリセル配列51の他、行デコーダ12に相当する行デコーダ52と、列デコーダ13に相当する列デコーダ53が示されている。その他の機能ブロックについては第1の実施形態と同様である。

【0077】

本実施形態に係るメモリセル配列51の場合、第2の実施形態と同様、全ビット線BLは、端部T1において図14左側に配置された列デコーダ53に接続されており、それぞれ端部T1から端部T2にかけて線幅が大きくなるように形成されている。また、ワード線WLは、第4の実施形態と同様、それぞれ一定の線幅で形成されているが、列デコーダ53から遠くなるにつれて線幅が一次関数的に広がっている。これに対し、ワード線WLのスペース幅は、列デコーダ53からの距離に拘わらず一定である。

40

【0078】

本実施形態によれば、第1の実施形態よりも更に、電圧低下及びリーク電流の低減を図ることができる。

【0079】

具体的には、ビット線BLの最も狭い線幅を  $s \times F$  (但し、 $0 < s < 1$ )、最も広い線

50

幅を  $(2 - s) \times F$ 、列デコーダ 53 から最も近いワード線 WL の線幅を  $s \times F$ 、最も遠いワード線 WL の線幅を  $(2 - s) \times F$  とし、 $s = 2 / 3$  とした場合、比較例に対する本実施形態の電圧降下の低減率として約 68.6% 得ることができる。

【0080】

[第6の実施形態]

第6の実施形態は第1～第3及び第5の実施形態の変形例である。

【0081】

図15は、第6の実施形態に係る不揮発性半導体記憶装置のビット線の形状を示す図である。なお、図15では、図7に倣って符号を付してある。

【0082】

第1～第3及び第5の実施形態では、列デコーダから遠くなるにつれて次第に線幅が広がるスロープ状のビット線が形成されていた。

【0083】

これに対し、本実施形態では、図15に示すように、電圧  $V^*$  が供給される端部 T1 (列デコーダ) 側から端部 T2 に掛けて、段階的に線幅が広がる階段状のビット線 BL が形成されている。

【0084】

図15の場合、ビット線 BL1 のワード線 WL1、WL2、WL3、WL4、・・・との各交差部 (第1部分、第2部分、第3部分、第4部分、・・・) における線幅をそれぞれ  $W1$ 、 $W2$ 、 $W3$ 、 $W4$ 、・・・で表わすと、 $W1 > W2 < W3 > W4 < \dots$  となるように、ワード線 WL2 本毎に線幅が広がる階段状のビット線 BL が形成されている。

【0085】

このように第1～第3及び第5の実施形態において、スロープ状ではなく、段階的に線幅が変化する階段状のビット線を形成した場合であっても、第1～第3及び第5の実施形態と同様の効果を得ることができる。

【0086】

なお、本実施形態は、後述する第7の実施形態と共に第5の実施形態に適用することも可能である。

【0087】

[第7の実施形態]

第7の実施形態は第4及び第5の実施形態の変形例である。

【0088】

図16は、第7の実施形態に係る不揮発性半導体記憶装置のワード線の形状を示す図である。なお、図16では、図7に倣って符号を付してある。

【0089】

第4及び第5の実施形態では、列デコーダから遠くなるにつれて1本毎に線幅が広がるようにワード線が形成されていた。

【0090】

これに対し、本実施形態では、図16に示すように、電圧  $V^*$  が供給される端部 T1 (列デコーダ) 側から端部 T2 に掛けて、複数本のグループ毎に線幅が広がるようにワード線 WL が形成されている。

【0091】

図16の場合、ワード線 WL1 (第1行線)、WL2 (第1行線)、WL3 (第2行線)、WL4 (第2行線)、・・・の線幅をそれぞれ  $W1$ 、 $W2$ 、 $W3$ 、 $W4$ 、・・・で表わすと、 $W1 > W2 < W3 > W4 < \dots$  となるように、2本のグループ毎にワード線 WL の線幅が広がるように形成されている。

【0092】

このように第4及び第5の実施形態において、ワード線の線幅を1本毎ではなく、複数本のグループ毎に変化させた場合であっても、第4及び第5の実施形態と同様の効果を得ることができる。

10

20

30

40

50

【0093】

なお、本実施形態は、第6の実施形態と共に第5の実施形態に適用することも可能である。

【0094】

[その他]

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

【0095】

例えば、第1～第7の実施形態において、行線であるワード線及び行デコーダと列線であるビット線及び列デコーダを入れ替えた場合であっても、各実施形態と同様の効果を得ることができる。

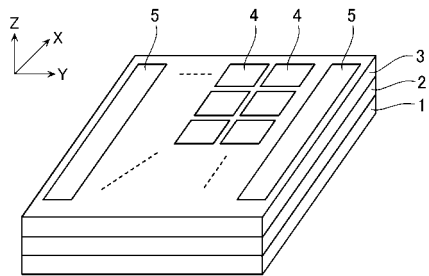
【符号の説明】

【0096】

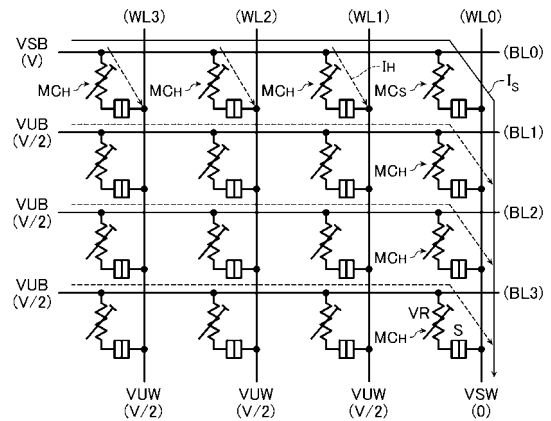
1・・・シリコン基板、2・・・CMOS回路、3・・・メモリセル部を含む層、4・・・メモリセル部、5・・・入出力部、11、21、31、41、51・・・メモリセル配列、12、22、32、42、52・・・行デコーダ、13、23、33、43、53・・・列デコーダ、14・・・上位ブロック、15・・・電源。

20

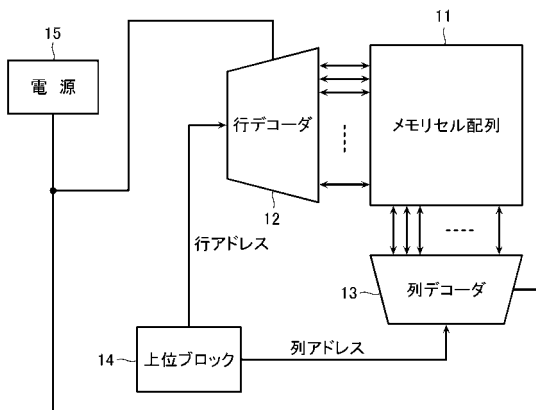
【図1】



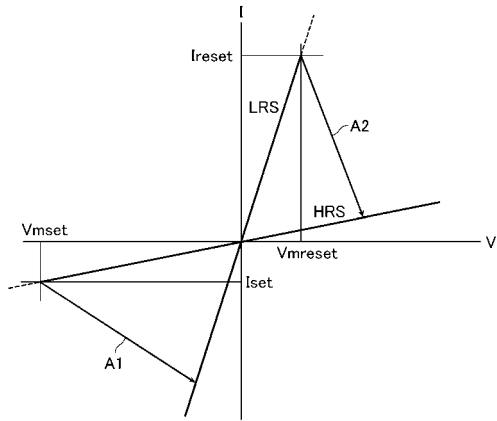
【図3】



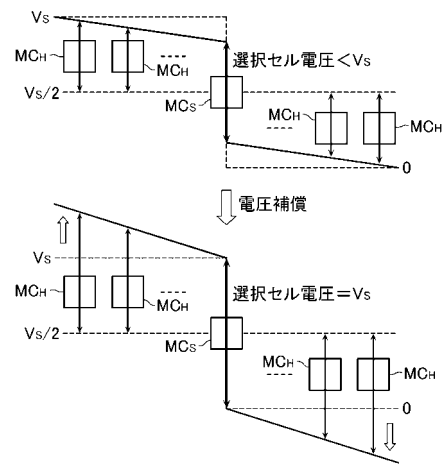
【図2】



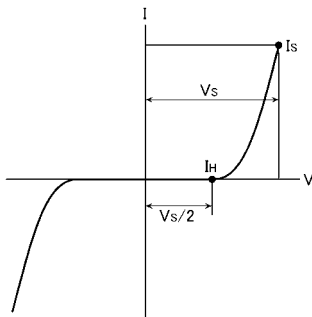
【図4】



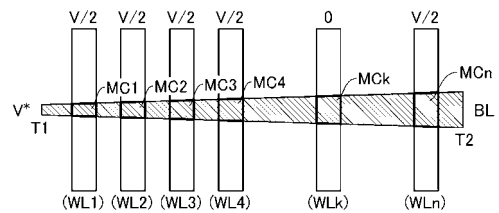
【図6】



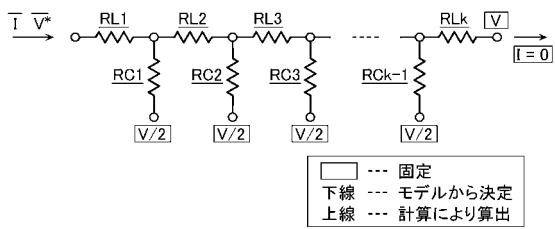
【図5】



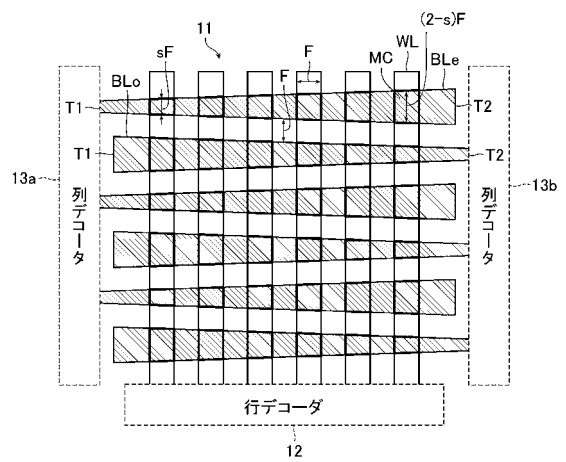
【図7】



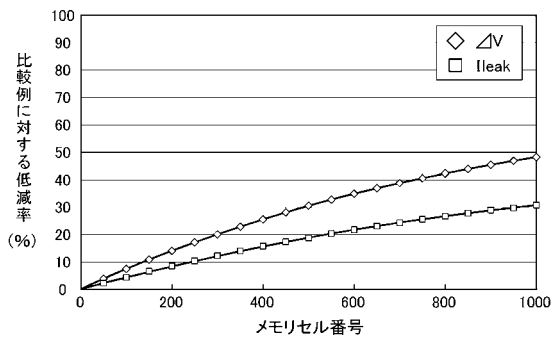
【図8】



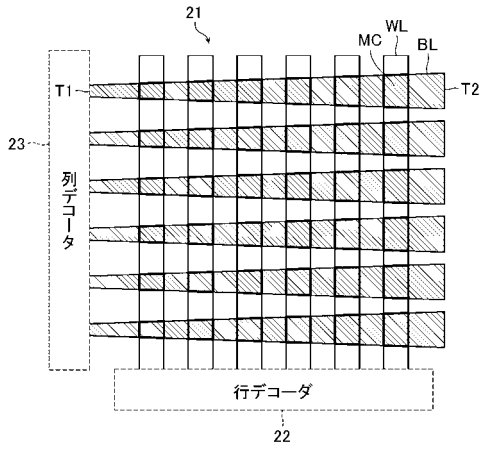
【図10】



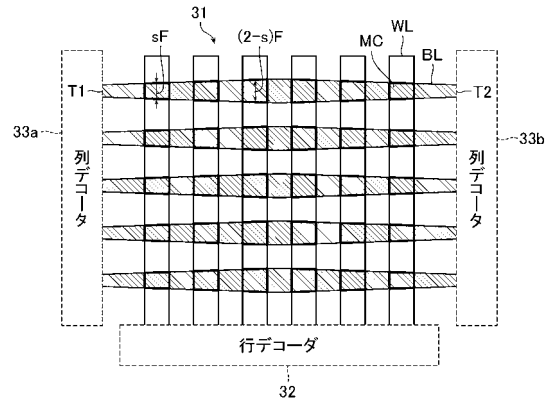
【図9】



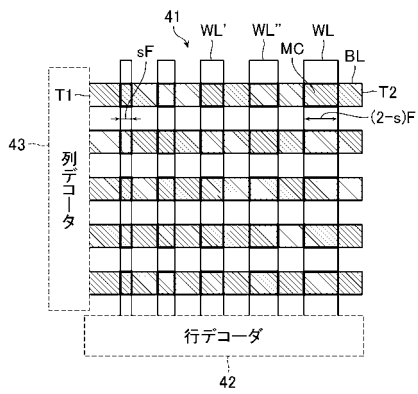
【図 1 1】



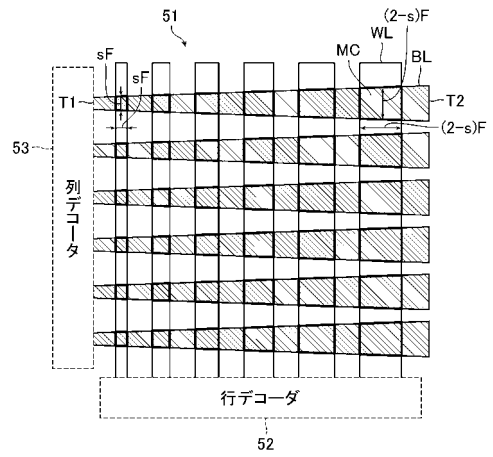
【図 1 2】



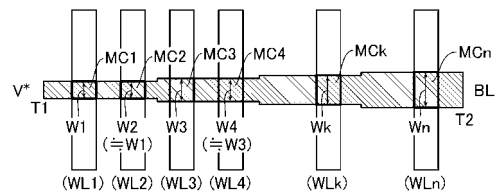
【図 1 3】



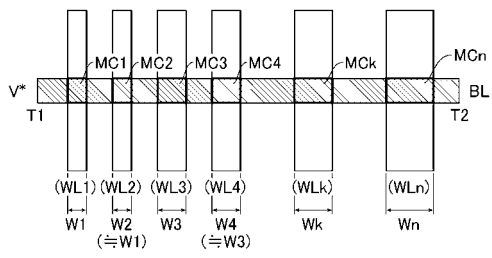
【図 1 4】



【図 1 5】



【 図 1 6 】



【 図 1 7 】

