

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4755961号
(P4755961)

(45) 発行日 平成23年8月24日(2011.8.24)

(24) 登録日 平成23年6月3日(2011.6.3)

(51) Int. Cl.	F I
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H
HO 1 L 29/778 (2006.01)	HO 1 L 29/80 C
HO 1 L 29/812 (2006.01)	
HO 1 L 21/337 (2006.01)	
HO 1 L 29/808 (2006.01)	

請求項の数 17 (全 18 頁)

(21) 出願番号	特願2006-267476 (P2006-267476)	(73) 特許権者	000005821
(22) 出願日	平成18年9月29日 (2006. 9. 29)		パナソニック株式会社
(65) 公開番号	特開2008-91392 (P2008-91392A)		大阪府門真市大字門真1006番地
(43) 公開日	平成20年4月17日 (2008. 4. 17)	(74) 代理人	100077931
審査請求日	平成21年3月13日 (2009. 3. 13)		弁理士 前田 弘
早期審査対象出願		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100115691
			弁理士 藤田 篤史

最終頁に続く

(54) 【発明の名称】 窒化物半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と、
前記基板の上に形成された第1の窒化物半導体層と、
前記第1の窒化物半導体層の上に形成され、前記第1の窒化物半導体層よりもバンドギャップエネルギーが大きい第2の窒化物半導体層と、
前記第2の窒化物半導体層の上に形成され、p型の窒化物半導体よりなる第3の窒化物半導体層と、
前記第3の窒化物半導体層の上に形成されたゲート電極と、
前記ゲート電極の両側方にそれぞれ形成され、且つ前記第3の窒化物半導体層と接するソース電極及びドレイン電極とを備え、
前記第3の窒化物半導体層の前記ゲート電極の直下の部分の厚さは、前記ソース電極及び前記ドレイン電極と接する部分の厚さよりも大きいことを特徴とする窒化物半導体装置

10

【請求項2】

前記第3の窒化物半導体層は、前記基板側から順次形成された第1のp型層及び第2のp型層からなり、
前記第1のp型層は、前記ゲート電極の下側部分の厚さが、前記ソース電極と前記ゲート電極との間及び前記ドレイン電極と前記ゲート電極との間に位置する部分の厚さよりも大きいことを特徴とする請求項1に記載の窒化物半導体装置。

20

【請求項 3】

前記第 3 の窒化物半導体層は、前記基板側から順次形成された第 1 の p 型層及び第 2 の p 型層からなり、

前記第 2 の p 型層は、前記ソース電極及び前記ドレイン電極と接触していることを特徴とする請求項 1 に記載の窒化物半導体装置。

【請求項 4】

前記第 1 の窒化物半導体層は GaN からなり、

前記第 2 の窒化物半導体層は、 $Al_x Ga_{1-x} N$ ($0 < x < 1$) からなり、

前記第 3 の窒化物半導体層における前記第 1 の p 型層は、 $Al_y Ga_{1-y} N$ ($0 < y < 1$) からなり、

前記第 3 の窒化物半導体層における前記第 2 の p 型層は、 $Al_z Ga_{1-z} N$ ($0 < z < 1, y < z$) からなることを特徴とする請求項 2 又は 3 に記載の窒化物半導体装置。

10

【請求項 5】

前記第 3 の窒化物半導体層における前記第 1 の p 型層の厚さは 15 nm 以上であることを特徴とする請求項 2 ~ 4 のいずれか 1 項に記載の窒化物半導体装置。

【請求項 6】

前記第 3 の窒化物半導体層は、1 層の p 型半導体層からなることを特徴とする請求項 1 に記載の窒化物半導体装置。

【請求項 7】

前記ゲート電極により構成されるトランジスタ素子の第 1 の閾値電圧値は、前記ゲート電極の側方の部位に表面空乏層を介して仮想的に形成される仮想トランジスタ素子の第 2 の閾値電圧値よりも大きいことを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の窒化物半導体装置。

20

【請求項 8】

前記第 1 の閾値電圧値は、前記第 2 の閾値電圧値と比べて 2 . 5 V 以上大きいことを特徴とする請求項 7 に記載の窒化物半導体装置。

【請求項 9】

前記ソース電極及びドレイン電極は、前記第 1 の窒化物半導体層と前記第 2 の窒化物半導体層の界面と接触するように形成されていることを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載の窒化物半導体装置。

30

【請求項 10】

前記基板は、導電性を有していることを特徴とする請求項 1 ~ 9 のいずれか 1 項に記載の窒化物半導体装置。

【請求項 11】

前記基板は、シリコン又は炭化シリコンであることを特徴とする請求項 10 に記載の窒化物半導体装置。

【請求項 12】

前記ソース電極は、前記第 1 の窒化物半導体層、第 2 の窒化物半導体層及び第 3 の窒化物半導体層を貫通するビアホールを介して前記基板と電氣的に接続されていることを特徴とする請求項 10 又は 11 に記載の窒化物半導体装置。

40

【請求項 13】

前記ゲート電極の上側に形成され、比誘電率が 4 以下である絶縁膜と、

前記絶縁膜の上に設けられ、前記ドレイン電極と電氣的に接続された上部電極とをさらに備えていることを特徴とする請求項 1 ~ 12 のいずれか 1 項に記載の窒化物半導体装置。

【請求項 14】

基板の上に、第 1 の窒化物半導体層、該第 1 の窒化物半導体よりもバンドギャップエネルギーが大きい第 2 の窒化物半導体層、p 型の第 3 の窒化物半導体層及び p 型の第 4 の窒化物半導体層を順次形成する工程 (a) と、

前記第 4 の窒化物半導体層におけるゲート電極形成領域を除く部分であって、前記第 4

50

の窒化物半導体層の上部又は前記第3の窒化物半導体層の上部を選択的に除去することにより、前記第4の窒化物半導体層から前記ゲート電極形成領域を形成する工程(b)と、

前記ゲート電極形成領域の両側方の領域で且つ前記ゲート電極形成領域から離れた領域であって、少なくとも前記第3の窒化物半導体層及び第2の窒化物半導体層並びに前記第1の窒化物半導体の上部を選択的に除去することにより、断面凹状のソースドレイン電極形成領域を形成する工程(c)と、

前記ソースドレイン形成領域に金属膜を形成することにより、前記第2の窒化物半導体層及び第1の窒化物半導体層の界面、並びに前記第3の窒化物半導体層の側部とそれぞれ接するソース電極及びドレイン電極を形成する工程(d)と、

前記ゲート電極形成領域の上にゲート電極を形成する工程(e)とを備えていることを特徴とする窒化物半導体装置の製造方法。

10

【請求項15】

前記工程(b)において、前記第3の窒化物半導体層の上部における前記ゲート電極形成領域の側方部分をも選択的に除去することを特徴とする請求項14に記載の窒化物半導体装置の製造方法。

【請求項16】

前記工程(b)において、前記第4の窒化物半導体層における前記ゲート電極形成領域を除く部分の上部を選択的に除去し、

前記工程(c)において、前記第4の窒化物半導体層の残部における前記ソースドレイン電極形成領域をも選択的に除去することを特徴とする請求項14に記載の窒化物半導体装置の製造方法。

20

【請求項17】

基板の上に、第1の窒化物半導体層、前記第1の窒化物半導体よりもバンドギャップエネルギーが大きい第2の窒化物半導体層及びp型の第3の窒化物半導体層を順次形成する工程(a)と、

前記第3の窒化物半導体層におけるゲート電極形成領域を除く部分であって、その上部を選択的に除去することにより、前記第3の窒化物半導体層から前記ゲート電極形成領域を形成する工程(b)と、

前記ゲート電極形成領域の両側方の領域で且つ前記ゲート電極形成領域から離れた領域であって、前記第3の窒化物半導体層の残部、前記第2の窒化物半導体層及び前記第1の窒化物半導体の上部を選択的に除去することにより、凹状のソースドレイン電極形成領域を形成する工程(c)と、

30

前記ソースドレイン形成領域に金属膜を形成することにより、前記第2の窒化物半導体層及び第1の窒化物半導体層の界面、並びに前記第3の窒化物半導体層の側部とそれぞれに接するソース電極及びドレイン電極を形成する工程(d)と、

前記ゲート電極形成領域の上にゲート電極を形成する工程(e)とを備えていることを特徴とする窒化物半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源回路に用いられるパワートランジスタに適用可能な窒化物半導体装置及びその製造方法に関する。

40

【背景技術】

【0002】

近年、高周波大電力デバイスとして、窒化ガリウム(GaN)系の化合物半導体材料を用いた電界効果トランジスタ(FET: Field Effect Transistor)の研究が活発に行なわれている。

【0003】

GaN等の窒化物半導体材料は窒化アルミニウム(AlN)や窒化インジウム(InN)等々の種々の混晶を作製することができるため、従来のガリウム砒素(GaAs)等の

50

砒素系半導体材料と同様にヘテロ接合を形成することができる。特に、窒化物半導体によるヘテロ接合は、その界面に自発分極又はピエゾ分極によって生じる高濃度のキャリアがドーピングをしない状態でも発生するという特徴がある。その結果、FETを作製した場合には、FETがデプレッション型(ノーマリオン型)になり易く、従ってエンハンスメント型(ノーマリオフ型)の特性を得ることは難しい。しかしながら、現在、パワーエレクトロニクス市場で使用されているデバイスのほとんどがノーマリオフ型であり、GaN系の窒化物半導体装置についてもノーマリオフ型が強く求められている。

【0004】

ノーマリオフ型のトランジスタには、ゲート部を掘り込むことにより閾値電圧を正の値にシフトさせる構造(例えば、非特許文献1を参照。)や、サファイア基板における面方位の(10-12)面の上面にFETを作製して、窒化物半導体が結晶成長する方向に分極電界を生じないようにすることによりノーマリオフ型を実現する方法等がある(例えば、非特許文献2を参照。)。また、ノーマリオフ型のFETを実現する有望な構造として、ゲート部にp型GaN層を形成した接合型電界効果トランジスタ(JFET: Junction Field Effect Transistor)が提案されている(例えば、特許文献1を参照。)。ここで、面方位におけるミラー指数に付した負符号「-」は該負符号に続く一の指数の反転を便宜的に表わしている。

【0005】

JFET構造において、アンドープのGaNからなるチャンネル層とアンドープのAlGaNからなるバリア層との間の第1のヘテロ界面に発生するピエゾ分極は、AlGaNからなるバリア層とその上のp型GaN層との間の第2のヘテロ界面に発生する他のピエゾ分極によって打ち消される。これにより、p型GaN層が形成されたゲート部の直下の2次元電子ガス濃度を選択的に小さくすることができるため、JFETはノーマリオフ特性を実現できる。また、pn接合として、金属と半導体との接合であるショットキ接合よりもビルトインポテンシャルが大きいpn接合をゲート電極に用いることにより、ゲート立ち上がり電圧を大きくすることができるため、正のゲート電圧を印加してもゲートリーク電流を小さくすることができるという利点がある。

【非特許文献1】T. Kawasaki et al., Solid State Devices and Materials 2005 tech. digest pp.206

【非特許文献2】M. Kuroda et al., Solid State Devices and Materials 2005 tech. digest pp.470.

【特許文献1】特開2005-244072号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、本願発明者らは、図11に示したような、前記従来のJFETを作製したところ、高いドレイン電圧を印加した場合にドレイン電流が減少する、いわゆる電流コラプスという現象が生じることを突き止めた。

【0007】

図11に示すように、従来の窒化物半導体からなるJFETは、サファイアからなる基板101の上に順次形成された、AlNからなるバッファ層102、アンドープのGaNからなるチャンネル層103、アンドープのAlGaNからなるバリア層104及び該バリア層104とゲート電極108との間にのみ選択的に設けられたp型のGaN層105を有している。

【0008】

バリア層104の上におけるゲート電極108の両側方の領域には、ゲート電極108とそれぞれ間隔をおいてソース電極106及びドレイン電極107が形成されている。ここで、ゲート電極108は、例えばパラジウム(Pd)からなり、GaN層105とはオーミック接触している。ソース電極106及びドレイン電極107は、基板側から積層さ

10

20

30

40

50

れたチタン (Ti) とアルミニウム (Al) との積層膜からなる。

【0009】

図12は図11に示す従来のJFETに対して、ゲート電極108とドレイン電極107とに同一周期のパルス電圧を印加した際のドレイン電流 I_d とドレイン電圧 V_{ds} との関係を表わしている。ここで、ゲート電極108及びドレイン電極107に印加されるパルス電圧のパルス幅は $0.5\mu s$ とし、パルス間隔は $1ms$ としている。

【0010】

図12において、プロットAはパルス電圧を印加する前のバイアス条件として、ゲート電圧及びドレイン電圧が共に $0V$ の場合であり、プロットBはゲート電圧が $0V$ で且つドレイン電圧が $60V$ の場合を表わしている。図12に示すように、例えばゲート電圧 V_{gs} が $5V$ のプロットBで且つドレイン電圧 V_{ds} が $10V$ の場合は、ゲート電圧 V_{gs} が $5V$ のプロットAで且つドレイン電圧 V_{ds} が $10V$ の場合と比べて、ドレイン電流 I_d が $90mA/mm$ 程度減少している。これにより、バイアス電圧を印加するよりも前にドレイン電極107に高いドレイン電圧が印加されている場合には、オン抵抗が増大することが分かる。これが電流コラプスと呼ばれる現象であり、電流コラプスが生じるとオン抵抗が大幅に増大するため、高いドレイン電圧が印加されるパワートランジスタにとっては極めて重大な問題となる。

【0011】

本発明は、前記従来の問題に鑑み、パワートランジスタに適用可能なノーマリオフ型の窒化物半導体装置に生じる電流コラプスを抑制できるようにすることを目的とする。

【課題を解決するための手段】

【0012】

前記の目的を達成するため、本発明は、窒化物半導体装置を、バリア層とゲート電極との間にp型の窒化物半導体層を設けるだけでなく、バリア層上におけるゲート電極とソース電極及びゲート電極とドレイン電極と間の各領域にもp型の窒化物半導体層を設ける構成とする。

【0013】

具体的に、本発明に係る窒化物半導体装置は、基板と、基板の上に形成された第1の窒化物半導体層と、第1の窒化物半導体層の上に形成され、第1の窒化物半導体層よりもバンドギャップエネルギーが大きい第2の窒化物半導体層と、第2の窒化物半導体層の上に形成され、少なくとも1層のp型の窒化物半導体を含む第3の窒化物半導体層と、第3の窒化物半導体層の上に形成されたゲート電極と、ゲート電極の両側方の領域にそれぞれ形成されたソース電極及びドレイン電極とを備え、第3の窒化物半導体層は、ゲート電極の下側部分の厚さがゲート電極の側方部分の厚さよりも大きいことを特徴とする。

【0014】

本発明の窒化物半導体装置によると、第1の窒化物半導体層よりもバンドギャップエネルギーが大きい第2の窒化物半導体層の上に形成されるp型の第3の窒化物半導体層は、ゲート電極の下側部分の厚さがゲート電極の側方部分の厚さよりも大きい。これにより、第1の窒化物半導体層における第2の窒化物半導体層との界面近傍に形成される2次元電子ガスの電子ガス濃度は、ゲート電極の直下の領域において側方の領域よりも小さくなるため、閾値電圧の値を正方向にシフトすることができる。その上、第1の窒化物半導体層におけるゲート電極の側方部分においては、2次元電子ガス濃度が第3の窒化物半導体層を設けない場合と比べて高くなる。すなわち、第2の窒化物半導体層の上に第3の窒化物半導体層を設けない場合には、第2の窒化物半導体層の表面に表面準位が形成され、形成された表面準位にトラップされた電子が2次元電子ガスを空乏化する等の影響を与える。これに対し、本発明のように、第2の窒化物半導体層の上に第3の窒化物半導体層を設けると、2次元電子ガスを空乏化する等の影響が小さくなるため、電流コラプスを抑制することができる。

【0015】

本発明の窒化物半導体装置において、第3の窒化物半導体層は、基板側から順次形成さ

10

20

30

40

50

れた第1のp型層及び第2のp型層からなり、第1のp型層は、ゲート電極の下側部分の厚さが、ソース電極とゲート電極との間及びドレイン電極とゲート電極との間に位置する部分の厚さよりも大きくてもよい。

【0016】

また、本発明の窒化物半導体装置において、第3の窒化物半導体層は、基板側から順次形成された第1のp型層及び第2のp型層からなり、第2のp型層は、ソース電極及びドレイン電極と接触していてもよい。

【0017】

本発明の窒化物半導体装置において、第3の窒化物半導体層が第1のp型層及び第2のp型層からなる場合に、第1の窒化物半導体層はGaNからなり、第2の窒化物半導体層は、 $Al_xGa_{1-x}N$ ($0 < x < 1$) からなり、第3の窒化物半導体層における第1のp型層は、 $Al_yGa_{1-y}N$ ($0 < y < 1$) からなり、第3の窒化物半導体層における第2のp型層は、 $Al_zGa_{1-z}N$ ($0 < z < 1, y < z$) からなることが好ましい。

10

【0018】

本発明の窒化物半導体装置において、第3の窒化物半導体層が第1のp型層及び第2のp型層からなる場合に、第3の窒化物半導体層における第1のp型層の厚さは15nm以上であることが好ましい。

【0019】

また、本発明の窒化物半導体装置において、第3の窒化物半導体層は1層のp型半導体層からなることが好ましい。

20

【0020】

本発明の窒化物半導体装置において、第3の窒化物半導体層が1層のp型半導体層からなる場合に、第1の窒化物半導体層はGaNからなり、第2の窒化物半導体層は、 $Al_xGa_{1-x}N$ ($0 < x < 1$) からなり、第3の窒化物半導体層は、 $Al_yGa_{1-y}N$ ($0 < y < 1$) からなることが好ましい。

【0021】

本発明の窒化物半導体装置において、ゲート電極により構成されるトランジスタ素子の第1の閾値電圧値は、ゲート電極の側方の部位に表面空乏層を介して仮想的に形成される仮想トランジスタ素子の第2の閾値電圧値よりも大きいことが好ましい。

【0022】

本発明の窒化物半導体装置において、第1の閾値電圧値は、第2の閾値電圧値と比べて2.5V以上大きいことが好ましい。

30

【0023】

本発明の窒化物半導体装置において、ソース電極及びドレイン電極は、第1の窒化物半導体層と第2の窒化物半導体層の界面と接触するように形成されていることが好ましい。

【0024】

本発明の窒化物半導体装置において、基板は導電性を有していることが好ましい。

【0025】

この場合に、基板はシリコン又は炭化シリコンであることが好ましい。

【0026】

この場合に、ソース電極は、第1の窒化物半導体層、第2の窒化物半導体層及び第3の窒化物半導体層を貫通するパイアホールを介して基板と電氣的に接続されていることが好ましい。

40

【0027】

また、本発明の窒化物半導体装置は、ゲート電極の上側に形成され比誘電率が4以下である絶縁膜と、絶縁膜の上に設けられ、ドレイン電極と電氣的に接続された上部電極とをさらに備えていることが好ましい。

【0028】

本発明に係る第1の窒化物半導体装置の製造方法は、基板の上に、第1の窒化物半導体層、該第1の窒化物半導体よりもバンドギャップエネルギーが大きい第2の窒化物半導体

50

層、p型の第3の窒化物半導体層及びp型の第4の窒化物半導体層を順次形成する工程(a)と、第4の窒化物半導体層におけるゲート電極形成領域を除く部分であって、その少なくとも上部を選択的に除去することにより、第4の窒化物半導体層からゲート電極形成領域を形成する工程(b)と、ゲート電極形成領域の両側方の領域であって、少なくとも第3の窒化物半導体層及び第2の窒化物半導体層並びに第1の窒化物半導体の上部を選択的に除去することにより、断面凹状のソースドレイン電極形成領域を形成する工程(c)と、ソースドレイン形成領域に金属膜を形成することにより、第2の窒化物半導体層及び第1の窒化物半導体層の界面とそれぞれ接するソース電極及びドレイン電極を形成する工程(d)と、ゲート電極形成領域の上にゲート電極を形成する工程(e)とを備えていることを特徴とする。

10

【0029】

第1の窒化物半導体装置の製造方法によると、第1の窒化物半導体層よりもバンドギャップエネルギーが大きい第2の窒化物半導体層の上に形成されるp型の第3の窒化物半導体層及び第4の窒化物半導体層により、第1の窒化物半導体層におけるゲート電極の下側部分においては、第1の窒化物半導体層における第2の窒化物半導体層との界面近傍に形成される2次元電子ガスの電子ガス濃度をゲート電極の直下の領域において側方の領域よりも小さくできるため、閾値電圧の値を正方向にシフトすることができる。その上、第1の窒化物半導体層におけるゲート電極の側方部分においては、2次元電子ガス濃度が第3の窒化物半導体層を設けない場合と比べて高くなるため、表面空乏層を介して仮想的に形成される仮想トランジスタ素子の負の閾値電圧の絶対値が大きくなる。これにより、表面準位がゲート電極の側方部分における2次元電子ガスに与える影響を小さくできるので、電流コラプスを抑制することができる。

20

【0030】

第1の窒化物半導体装置の製造方法は、工程(b)において、第3の窒化物半導体層の上部におけるゲート電極形成領域の側方部分をも選択的に除去してもよい。

【0031】

また、第1の窒化物半導体装置の製造方法は、工程(b)において、第4の窒化物半導体層におけるゲート電極形成領域を除く部分の上部を選択的に除去し、工程(c)において、第4の窒化物半導体層の残部におけるソースドレイン電極形成領域をも選択的に除去してもよい。

30

【0032】

本発明に係る第2の窒化物半導体装置の製造方法は、基板の上に、第1の窒化物半導体層、第1の窒化物半導体よりもバンドギャップエネルギーが大きい第2の窒化物半導体層及びp型の第3の窒化物半導体層を順次形成する工程(a)と、第3の窒化物半導体層におけるゲート電極形成領域を除く部分であって、その上部を選択的に除去することにより、第3の窒化物半導体層からゲート電極形成領域を形成する工程(b)と、ゲート電極形成領域の両側方の領域であって、第3の窒化物半導体層の残部、第2の窒化物半導体層及び第1の窒化物半導体の上部を選択的に除去することにより、凹状のソースドレイン電極形成領域を形成する工程(c)と、ソースドレイン形成領域に金属膜を形成することにより、第2の窒化物半導体層及び第1の窒化物半導体層の界面とそれぞれに接するソース電極及びドレイン電極を形成する工程(d)と、ゲート電極形成領域の上にゲート電極を形成する工程(e)とを備えていることを特徴とする。

40

【0033】

第2の窒化物半導体装置の製造方法によると、第1の窒化物半導体層よりもバンドギャップエネルギーが大きい第2の窒化物半導体層の上に形成されるp型の第3の窒化物半導体層により、第1の窒化物半導体層におけるゲート電極の下側部分においては、第1の窒化物半導体層における第2の窒化物半導体層との界面近傍に形成される2次元電子ガスの電子ガス濃度をゲート電極の直下の領域においてその側方の領域よりも小さくすることができるため、閾値電圧の値を正方向にシフトすることができる。その上、第1の窒化物半導体層におけるゲート電極の側方部分においては、2次元電子ガス濃度が第3の窒化物半

50

導体層を設けない場合と比べて高くなるため、電流コラプスを抑制することができる。

【発明の効果】

【0034】

本発明に係る窒化物半導体装置及びその製造方法によると、オン抵抗が小さく且つ電流コラプスが抑制されたノーマリオフ型の窒化物半導体装置を実現することができる。

【発明を実施するための最良の形態】

【0035】

(第1の実施形態)

本発明の第1の実施形態について図面を参照しながら説明する。

【0036】

図1は本発明の第1の実施形態に係る窒化物半導体装置(JFET)の断面構成を示している。図1に示すように、第1の実施形態に係る窒化物半導体装置は、主面の面方位が(0001)面であるサファイアからなる基板11と、該基板11の主面上に形成された厚さが100nmの窒化アルミニウム(AlN)からなるバッファ層12と、該バッファ層12の上に設けられた厚さが2 μ mのアンドープの窒化ガリウム(GaN)からなるチャネル層13と、該チャネル層13の上に形成された厚さが25nmのアンドープの窒化アルミニウムガリウム(AlGaN)からなるバリア層14と、該バリア層14の上に形成された第1のp型層としての厚さが15nmのp型AlGaN層15と、該p型AlGaN層15上のゲート形成領域であり、第2のp型層としての厚さが100nmのp型GaN層16とを有している。ここで、アンドープとは、導電性を決定する不純物が意図的に導入されていないことを意味する。

【0037】

p型AlGaN層15は、濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度のマグネシウム(Mg)がドーピングされ、キャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 程度である。p型GaN層16は大部分がp型AlGaN層15と同程度のキャリア濃度を有し、その上面から厚さが約10nmの領域にはMgが $1 \times 10^{20} \text{ cm}^{-3}$ 程度の濃度にドーピングされている。

【0038】

バリア層14とp型AlGaN層15とは、例えば $\text{Al}_{0.15}\text{Ga}_{0.85}\text{N}$ により構成されている。

【0039】

p型AlGaN層15及びバリア層14におけるp型GaN層16の両側方にはチャネル層13の上部を掘り込んだ開口部が設けられ、該開口部にはバリア層14とチャネル層13とのヘテロ界面に対して横方向から接触するように、Ti層とAl層とからなるソース電極17及びドレイン電極18が設けられている。このように、p型AlGaN層15、バリア層14及びチャネル層13の上部を掘り込み、バリア層14とチャネル層13とのヘテロ界面の近傍に形成される2次元電子ガス(2DEG)層と直接に接触するようにソース電極17及びドレイン電極18を形成することにより、該ソース電極17及びドレイン電極18をp型AlGaN層15の上に直接に形成した場合よりも大幅に接触抵抗を低減することができる。その上、p型AlGaN層15及びバリア層14の膜厚に依存せずに接触抵抗が小さいオーミック接合を得ることができる。

【0040】

p型AlGaN層15の上に選択的に形成されたp型GaN層16の上には、該p型GaN層16とオーミック接合するパラジウム(Pd)からなるゲート電極19が形成されている。ここで、p型GaN層16及びゲート電極19は、ソース電極17とドレイン電極18との中間位置からソース電極17側に偏った位置に設けられている。これは、ゲート電極19とドレイン電極18との間隔をゲート電極19とソース電極17との間隔よりも大きくすることによって、高いドレイン電圧が印加されたときに生じる電界を緩和して、トランジスタの破壊耐圧を向上するためである。

【0041】

図2は図1に示す窒化物半導体装置に対して、ゲート電極19とドレイン電極18とに

10

20

30

40

50

同一周期のパルス電圧を印加した際のドレイン電流 I_d とドレイン電圧 V_{ds} との関係を表わしている。ここで、ゲート電極 19 及びドレイン電極 18 に印加されるパルス電圧のパルス幅は $0.5 \mu s$ とし、パルス間隔は $1 ms$ としている。

【0042】

図2において、プロットAはパルス電圧を印加する前のバイアス条件として、ゲート電圧及びドレイン電圧が共に $0 V$ の場合であり、プロットBはゲート電圧が $0 V$ で且つドレイン電圧が $60 V$ の場合を表わしている。図2のプロットBに示すように、ゲート電圧 V_{gs} が $1 V$ から $5 V$ のいずれであっても、また、ドレイン電圧 V_{ds} が $10 V$ から $60 V$ のいずれであっても、高いドレイン電圧が印加されないプロットAの場合の特性とほぼ一致していることから、オン抵抗も変わらず、従って電流コラプスが抑制されていることが分かる。

10

【0043】

以下に、第1の実施形態に係る窒化物半導体装置が電流コラプスを抑制できる理由を説明する。

【0044】

従来例に係る窒化物半導体装置においては、バリア層 104 におけるゲート電極 108 の側方部分に表面準位が形成され、この形成された表面準位にトラップされる電子によって生じる空乏層がチャンネル (2DEG) に影響を及ぼすが、第1の実施形態に係る窒化物半導体装置においては、p型 AlGaN 層 15 におけるゲート電極 19 の側方部分に形成される表面準位がチャンネルに与える影響が小さいためであると考えられる。

20

【0045】

すなわち、従来例に係るトランジスタは、図12のプロットBに示したように、パルスが印加される直前の高いドレイン電圧が印加されている場合には、バリア層 104 におけるゲート電極 108 の側方部分に形成される表面準位にトラップされた電子によって空乏層がチャンネルにまで広がっている。これにより、パルスの印加直後にゲート電極 108 の下側に位置するチャンネルがオン状態となっても、表面準位にトラップされた電子の放出時間が遅いため、ゲートドレイン間に位置するチャンネルがオン状態とはならない。その結果、高いドレイン電圧を印加せず電子トラップによる空乏層が広がってはいないプロットAに示す場合と比較してドレイン電流が減少してしまう。

【0046】

30

これに対し、本実施形態に係る窒化物半導体装置は、バリア層 14 の上に p 型 AlGaN 層 15 を設けたことにより、パルスが印加される直前の高いドレイン電圧が印加されている場合に、p 型 AlGaN 層 15 の表面準位にトラップされた電子によって生じる空乏層はチャンネルにまでは到達しない。このため、チャンネルにおけるゲート電極 19 の側方部分は常にオン状態となっている。これにより、パルスが印加された直後にゲート電極 19 の直下に位置するチャンネルがオン状態となると、ソースドレイン間に位置するチャンネルが全開状態となるため、高いドレイン電圧を印加していない場合、すなわち電子のトラップによる空乏層が広がっていない場合と比較しても同等のドレイン電流を得ることができる。

【0047】

40

本実施形態に係る窒化物半導体装置において電流コラプスが抑制されるメカニズムを図3に基づいてより詳細に説明する。図3は図1に示す窒化物半導体装置の要部であって、ゲート電極 19 によるトランジスタの第1の閾値電圧 V_{th1} と、ゲート電極 19 の側方に形成される仮想ゲート電極 20 による仮想トランジスタの第2の閾値電圧 V_{th2} との模式的な断面構成を示している。

【0048】

前述したように、JFET構造は、チャンネルにおけるゲート電極 19 の直下の領域の2次元電子ガス濃度を、その領域以外の2次元電子ガス濃度よりも選択的に小さくすることができる。このため、ゲート電極 19 の直下に位置するチャンネルがオン状態となる第1の閾値電圧 V_{th1} は、ゲート電極 19 の側方領域において表面空乏層を介して仮想的に形成される仮想トランジスタの第2の閾値電圧 V_{th2} よりも大きくなる。このとき、仮想

50

ゲート電極 20 は、p 型 AlGaIn 層 15 とはエネルギー障壁が 0.7 eV 程度のショットキ接合を形成していると仮定する。第 1 の閾値電圧 V_{th1} はアンドープの AlGaIn からなるバリア層 14 における膜厚及び Al の組成比を調整することによって、負から正の値に制御することが可能である。

【0049】

ゲート電極 19 に電圧を印加していないときには、仮想ゲート電極 20 の直下に位置するバリア層 14 とチャンネル層 13 とのヘテロ界面には 2 次元電子ガスが生じているため、第 2 の閾値電圧 V_{th2} は負の値となる。この第 2 の閾値電圧 V_{th2} が負側にシフトする程、チャンネル内の 2 次元電子ガスを空乏化するには、仮想ゲート電極 20 が接触している p 型 AlGaIn 層 15 の表面に、より大きい負電荷が必要であることを意味している。

10

【0050】

このように、第 1 の実施形態に係る窒化物半導体装置のゲートドレイン間において、p 型 AlGaIn 層 15 をバリア層 14 の上に設けたことより、該 p 型 AlGaIn 層 15 に形成される表面準位にトラップされる電子によって、チャンネルがオフ状態となりにくいことを表わしている。

【0051】

図 4 は第 1 の実施形態に係る窒化物半導体装置において、p 型 AlGaIn 層 15 及びバリア層 14 の膜厚を変化させた場合における第 1 の閾値電圧 V_{th1} と第 2 の閾値電圧 V_{th2} の差 $V_{th} (= V_{th1} - V_{th2})$ とパルス電圧印加時のドレイン電流比との関係を示している。ここで、ドレイン電流比とは、パルス電圧印加時のドレイン電圧が 10 V で且つゲート電圧が 5 V の場合のドレイン電流において、パルス電圧を印加する直前のドレイン電圧が 0 V の場合に対する 60 V の場合の比を表わしている。従って、ドレイン電流比の値が 1 に近い程、電流コラプスが抑制されていることを示す。

20

【0052】

図 4 に示すように、閾値電圧の差 V_{th} とドレイン電流比の値との間には明確な相関関係があり、閾値電圧の差 V_{th} が大きい程、電流コラプスが抑制される。特に、閾値電圧の差 V_{th} が 2.5 V 以上であれば、ドレイン電流比はほぼ 1 となり、完全に電流コラプスが抑制できることが分かる。

【0053】

ところで、閾値電圧の差 V_{th} を大きくするには、p 型 AlGaIn 層 15 の厚膜化が有効である。

30

【0054】

図 5 は第 1 の実施形態に係る窒化物半導体半導体装置における p 型 AlGaIn 層 15 の膜厚と閾値電圧の差 V_{th} との関係を示している。p 型 AlGaIn 層 15 の膜厚を大きくすると、第 1 の閾値電圧 V_{th1} をほとんど変化させることなく、第 2 の閾値電圧 V_{th2} を負側にシフトすることができる。このため、閾値電圧の差 V_{th} を大きくすることが可能となるので、オン抵抗が増大せず、すなわち電流コラプスを抑制することができる。

【0055】

アンドープ AlGaIn からなるバリア層 14 の膜厚を大きくする、又は Al の組成比を大きくすると、第 2 の閾値電圧 V_{th2} を負側にシフトさせることができるが、これと同時に第 1 の閾値電圧 V_{th1} も負側にシフトしてしまうため、閾値電圧の差 V_{th} を大きくすることが不可能であり、さらにはノーマリオフ状態を維持することすら困難となる。

40

【0056】

そこで、第 1 の実施形態においては、バリア層 14 の上に、より詳細にはバリア層 14 の上におけるゲート電極 19 の両側方の領域に、p 型 AlGaIn 層 15 を設けることによって、ノーマリオフ状態を維持できると同時に閾値電圧の差 V_{th} を大きくすることができ、電流コラプスを抑制することができる。特に、図 4 及び図 5 から、閾値電圧の差 V_{th} を 2.5 V 以上とし、電流コラプスを完全に抑制するためには、p 型 AlGaIn 層

50

15の膜厚を15nm以上とすることが有効であることが分かる。但し、p型AlGaIn層15を厚くし過ぎると、該p型AlGaIn層15を介してゲートドレイン間又はゲートソース間にリーク電流が流れてしまうため、p型AlGaIn層15の膜厚は30nm程度以下であることが望ましい。

【0057】

以下、前記のように構成された窒化物半導体装置の製造方法について図面を参照しながら説明する。

【0058】

図6(a)~図6(e)は本実施形態に係る窒化物半導体装置の製造方法の工程順の断面構成を示している。

10

【0059】

まず、図6(a)に示すように、例えば有機金属気相成長(MOCVD: Metal Organic Chemical Vapor Deposition)法により、主面の面方位が(0001)面であるサファイアからなる基板11の主面上に、厚さが100nmのAlNからなるバッファ層12、厚さが2 μ mのアンドープのGaNからなるチャネル層13、厚さが25nmのアンドープのAlGaInからなるバリア層14、厚さが15nmのp型AlGaIn層15及び厚さが100nmのp型GaN層16をエピタキシャル成長により順次形成して、エピタキシャル成長層を形成する。

【0060】

次に、図6(b)に示すように、例えば、リソグラフィ法並びに塩素(Cl₂)ガス及び六フッ化硫黄(SF₆)ガスをエッチングガスとする誘導結合プラズマ(ICP: Inductive-Coupled Plasma)等を用いたドライエッチング法により、エピタキシャル成長層のp型GaN層16におけるゲート形成領域を除く部分に対して選択的にエッチングを行なう。このとき、GaN層とAlGaIn層とのエッチングレートがほぼ同一である等速エッチングを用いてp型AlGaIn層15を露出させることは可能ではあるが、より再現性を高めるには、GaN層のエッチングレートがAlGaIn層よりも速くなる選択エッチングを用いることが有効である。

20

【0061】

次に、図6(c)に示すように、例えば、リソグラフィ法及び塩素ガスをを用いたICPエッチング等のドライエッチング法により、エピタキシャル層におけるソース電極及びドレイン電極の各形成領域となる凹部13aを、p型AlGaIn層15、バリア層14及びチャネル層13の上部を選択的に除去することにより形成する。

30

【0062】

次に、図6(d)に示すように、例えばリフトオフ法により、形成した凹部13aに、それぞれTi層及びAl層からなる積層構造を有するソース電極17及びドレイン電極18を形成する。その後、温度が650の窒素(N₂)雰囲気中で熱処理(アニール)を行なう。

【0063】

次に、図6(e)に示すように、例えばリフトオフ法により、p型GaN層16の上にPdからなるゲート電極19を選択的に形成する。以上のようにして、第1の実施形態に係る窒化物半導体装置を得ることができる。

40

【0064】

(第1の実施形態の第1変形例)

第1の実施形態においては、図1に示すように、バリア層14の上に設けたp型AlGaIn層15は、ゲート電極19の下側部分の厚さとその側方部分との厚さを実質的に同一としている。

【0065】

しかしながら、図7に示す第1変形例のように、p型AlGaIn層15におけるゲート電極19の下側部分の厚さを20nm程度とし、p型AlGaIn層15におけるゲート電極19の側方部分の厚さを15nm程度として、ゲート電極19の側方部分の厚さをゲート

50

ト電極 19 の下側部分の厚さよりも小さくしてもよい。

【0066】

これにより、第1変形例に係る窒化物半導体装置は、第1の実施形態と同様に電流コラプスを抑制できると共に、さらには、高いドレイン電圧が印加された場合に、電界強度が最大となるゲート電極 19 の側方に形成される段差部がバンドギャップエネルギーが大きい p 型 AlGaIn 層 15 のみで形成されるため、トランジスタの破壊耐圧を向上することができる。

【0067】

(第1の実施形態の第2変形例)

図8に示す第2変形例に係る窒化物半導体装置のように、p型 GaN 層 16 がゲート電極 19 の下側にも形成される構成ではなく、該 p 型 GaN 層 16 の一部がゲート電極 19 の側方にも形成される構成であってもよい。このとき、p型 GaN 層 16 におけるゲート電極 19 の側方の領域に形成された露出部分が厚いと、ゲートドレイン間又はゲートソース間に生じるリーク電流が増大する原因となるため、露出部分の厚さは 20 nm 程度以下とすることが望ましい。これにより、前述した閾値電圧の差 V_{th} を大きくすることができるため、電流コラプスを抑制することができる。

【0068】

(第2の実施形態)

以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0069】

図9は本発明の第2の実施形態に係る窒化物半導体装置の断面構成を示している。図9に示すように、導電性を有する基板の一例として、主面の面方位が(111)面である n 型シリコン(Si)からなる基板 21 の主面上に、第1の実施形態と同等のエピタキシャル層が形成されている。すなわち、基板 21 の上には、MOCVD 法等により、AlN からなるバッファ層 22、GaN からなるチャンネル層 23、アンドープの AlGaIn からなるバリア層 24、p 型 AlGaIn 層 25 及び p 型 GaN 層 26 が順次形成されている。

【0070】

p 型 GaN 層 26 は、Pd からなるゲート電極 29 のほぼ下側部分にのみ選択的に形成されている。

【0071】

Ti と Al とからなるソース電極 27 及びドレイン電極 28 は、それぞれチャンネル層 23 の上部に達する凹部に形成されている。

【0072】

また、p 型 AlGaIn 層 25 の上には、窒化シリコン(SiN)からなるパッシベーション膜 30 がゲート電極 29 及び p 型 GaN 層 26 を覆うように全面的に形成されている。

【0073】

第2の実施形態の特徴として、ソース電極 27 のゲート電極 29 と反対側の領域(外側領域)には、パッシベーション膜 30、p 型 AlGaIn 層 25、バリア層 24、チャンネル層 23 及びバッファ層 22 を貫通するようにパイアホール 21a が形成されている。ソース電極 27 は、該ソース電極 27 とバリアホール 21a とに跨って形成されたアルミニウム(Al)からなるメタル配線 31 により基板 21 と電氣的に接続されている。

【0074】

基板 21 のバッファ層 22 と反対側の面(裏面)上には AuGeSb 合金からなる裏面電極 32 が形成されている。

【0075】

パッシベーション膜 30 の上には、メタル配線 31 を含む全面にわたって、膜厚が約 5 μm で且つ比誘電率が 3 程度のポリイミド樹脂からなる層間膜 33 が形成されている。

【0076】

層間膜 33 にはドレイン電極 28 を露出するコンタクトホールが形成され、形成された

10

20

30

40

50

コンタクトホールを埋めることにより、一端がドレイン電極 28 と接触すると共に他端が層間膜 33 上をソース電極 27 の上方にまで延びる、A1 からなる上部ドレイン電極 34 が形成されている。

【0077】

このような構成により、ソース電圧は基板 21 の裏面に形成された裏面電極 32 を通して印加でき、一方、ドレイン電圧はゲート電極 29 の上方に形成された上部ドレイン電極 34 を通して印加することができるため、電極パッドをトランジスタ素子の活性領域の外側に形成する必要がなくなるので、チップサイズを縮小することができる。

【0078】

また、ソース電極 27 は裏面電極 32 と接続され、ドレイン電極 28 は上部ドレイン電極 34 と接続されるため、新たなソース用及びドレイン用の電極用配線を設ける必要がなくなる。その結果、各電極用配線による配線抵抗が低減できるため、実装後のトランジスタのオン抵抗を低減することができる。

10

【0079】

また、層間膜 33 には、比誘電率が低いポリイミド樹脂を用いているため、上部ドレイン電極 34 による寄生容量を低減することができるので、トランジスタのスイッチング速度をも向上することができる。なお、層間膜 33 の比誘電率は 4 以下であれば、寄生容量の低減に有効である。

【0080】

なお、導電性を有する基板 21 はシリコン (Si) に限られず、炭化シリコン (SiC)

20

【0081】

(第3の実施形態)

以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0082】

図10は本発明の第3の実施形態に係る窒化物半導体装置の断面構成を示している。図10に示すように、第3の実施形態に係る窒化物半導体装置は、主面の面方位が(0001)面であるサファイアからなる基板41と、該基板41の主面上に形成された厚さが100nmのAlNからなるバッファ層42と、該バッファ層42の上に設けられた厚さが2μmのアンドープのGaNからなるチャンネル層43と、該チャンネル層43の上に形成された厚さが25nmのアンドープのAlGaNからなるバリア層44と、該バリア層44の上に形成され、Pdからなるゲート電極48の下側部分の厚さが100nmで且つゲート電極48の側方部分の厚さが約15nmのp型GaN層45とを有している。

30

【0083】

p型GaN層45は、濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度のMgがドーピングされ、キャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 程度であり、ゲート電極48の下側部分はその上面から厚さが約10nmの領域にはMgが $1 \times 10^{20} \text{ cm}^{-3}$ 程度の濃度にドーピングされている。

【0084】

バリア層44は、例えば $\text{Al}_{0.15}\text{Ga}_{0.85}\text{N}$ により構成されている。

40

【0085】

p型GaN層45及びバリア層44におけるゲート電極48の両側方にはチャンネル層43の上部を掘り込んだ開口部が設けられ、該開口部にはバリア層44とチャンネル層43とのヘテロ界面に対して横方向から接触するように、Ti層とAl層とからなるソース電極46及びドレイン電極47が設けられている。

【0086】

また、ゲート電極48は、ソース電極46側に偏った位置に設けられている。

【0087】

このように、第3の実施形態に係る窒化物半導体装置は、アンドープのAlGaNからなるバリア層44の上に、ゲート電極48の下側部分の厚さが100nmで且つゲート電

50

極 48 の側方部分の厚さが 15 nm 程度の p 型 GaN 層 45 を設けている。

【0088】

このように、第 3 の実施形態に係る p 型 GaN 層 45 は、ゲート電極 48 の下側部分と側方部分との厚さを変えてはいるものの、一体に形成されている。このようにしても、前述した、本トランジスタ素子と仮想トランジスタ素子との閾値電圧の差 V_{th} を大きくすることができるため、電流コラプスを抑制することができる。

【0089】

ところで、AlGaIn 層は GaN 層とは格子定数が異なるため、AlGaIn 層の膜厚が大きくなると結晶成長が困難となるが、第 3 の実施形態に係る窒化物半導体装置は、第 1 及び第 2 の実施形態のように、アンドープの AlGaIn からなるバリア層と p 型 GaN 層との間に p 型 AlGaIn 層を設けないため、結晶成長が容易である。

10

【0090】

なお、p 型 GaN 層 45 におけるゲート電極 48 の側方部分の膜厚が大きくなるとゲートドレイン間又はゲートソース間のリーク電流が増大する原因となるため、p 型 GaN 層 45 におけるゲート電極 48 の側方部分の膜厚は 20 nm 程度以下とすることが望ましい。

【0091】

なお、第 3 の実施形態に係る半導体装置の製造方法は、MOCVD 法等により、基板 41 の上にバリア層 42 から p 型 GaN 層 45 までを順次エピタキシャル成長した後、p 型 GaN 層におけるゲート電極形成領域の側方部分に対してのみ選択的にドライエッチングを行えばよい。

20

【産業上の利用可能性】

【0092】

本発明に係る窒化物半導体装置及びその製造方法は、オン抵抗が小さく且つ電流コラプスが抑制されたノーマリオフ型の窒化物半導体装置を実現することができ、電源回路等に用いられるパワートランジスタとして有用である。

【図面の簡単な説明】

【0093】

【図 1】本発明の第 1 の実施形態に係る窒化物半導体装置を示す断面図である。

【図 2】本発明の第 1 の実施形態に係る窒化物半導体装置におけるパルス電圧印加時のドレイン電流とドレイン電圧との関係を示すグラフである。

30

【図 3】本発明の第 1 の実施形態に係る窒化物半導体装置におけるゲート電極の側方部分に位置する仮想ゲート電極により形成される仮想トランジスタの閾値電圧について説明する模式的な断面図である。

【図 4】本発明の第 1 の実施形態に係る窒化物半導体装置における閾値電圧と仮想トランジスタにおける閾値電圧との差である V_{th} とパルス電圧印加時のドレイン電流比の値との関係を示すグラフである。

【図 5】本発明の第 1 の実施形態に係る窒化物半導体装置における p 型 AlGaIn 層の膜厚と閾値電圧との差 V_{th} との関係を示すグラフである。

【図 6】(a) ~ (e) は本発明の第 1 の実施形態に係る窒化物半導体装置の製造方法を示す工程順の断面図である。

40

【図 7】本発明の第 1 の実施形態の第 1 変形例に係る窒化物半導体装置を示す断面図である。

【図 8】本発明の第 1 の実施形態の第 2 変形例に係る窒化物半導体装置を示す断面図である。

【図 9】本発明の第 2 の実施形態に係る窒化物半導体装置を示す断面図である。

【図 10】本発明の第 3 の実施形態に係る窒化物半導体装置を示す断面図である。

【図 11】従来例に係る窒化物半導体トランジスタを示す断面図である。

【図 12】従来例に係る窒化物半導体トランジスタにおけるパルス電圧印加時のドレイン電流とドレイン電圧との関係を示すグラフ図である。

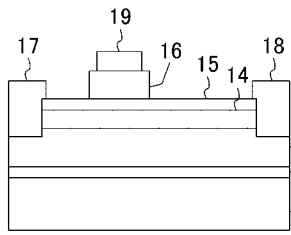
50

【符号の説明】

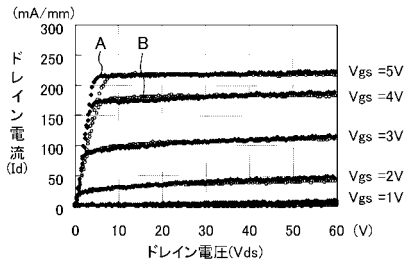
【0094】

1 1	基板	
1 2	バッファ層	
1 3	チャンネル層	
1 3 a	凹部	
1 4	バリア層	
1 5	p型AlGaIn層(第1のp型層)	
1 6	p型GaN層(第2のp型層)	
1 7	ソース電極	10
1 8	ドレイン電極	
1 9	ゲート電極	
2 0	仮想ゲート電極	
2 1	基板	
2 1 a	バイアホール	
2 2	バッファ層	
3 3	チャンネル層	
2 4	バリア層	
2 5	p型AlGaIn層(第1のp型層)	
2 6	p型GaN層(第2のp型層)	20
2 7	ソース電極	
2 8	ドレイン電極	
2 9	ゲート電極	
3 0	パッシベーション膜	
3 1	メタル配線	
3 2	裏面電極	
3 3	層間膜	
3 4	上部ドレイン電極	
4 1	基板	
4 2	バッファ層	30
4 3	チャンネル層	
4 4	バリア層	
4 5	p型GaN層	
4 6	ソース電極	
4 7	ドレイン電極	
4 8	ゲート電極	

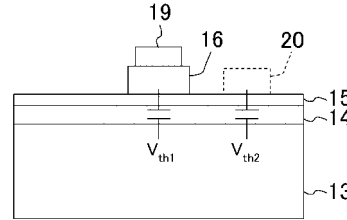
【図1】



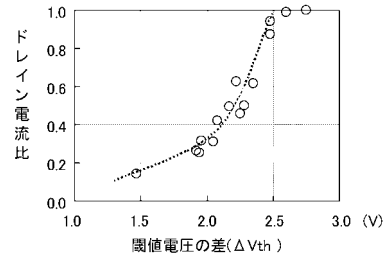
【図2】



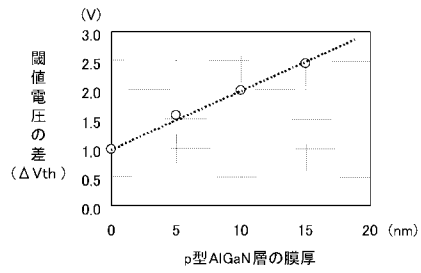
【図3】



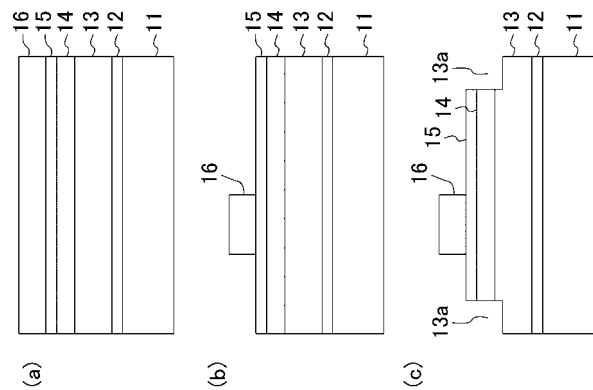
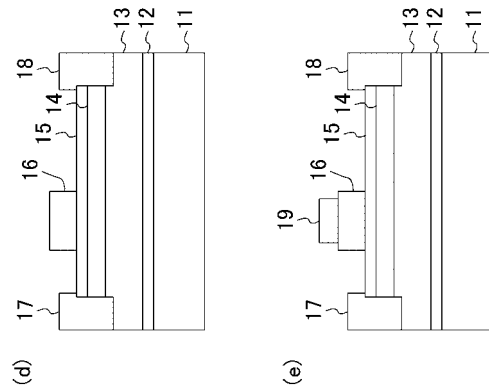
【図4】



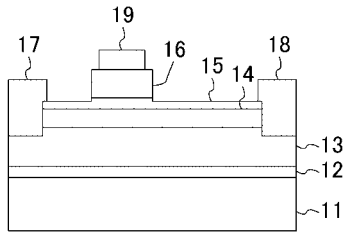
【図5】



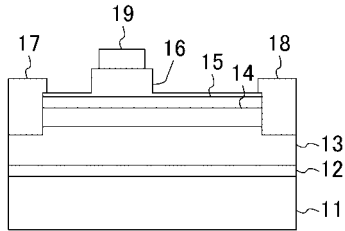
【図6】



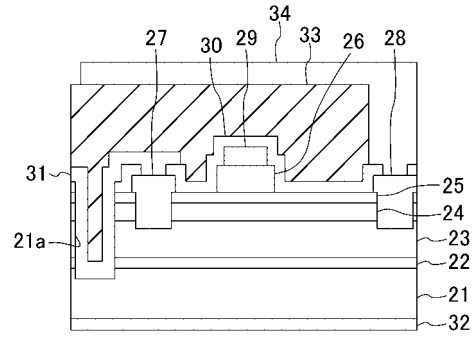
【図7】



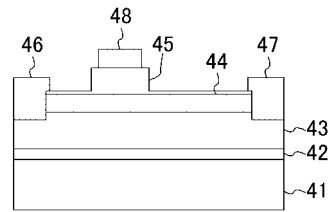
【図8】



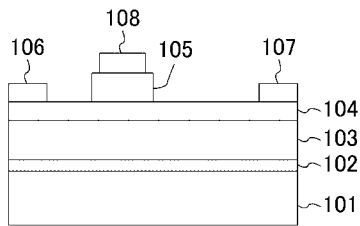
【図9】



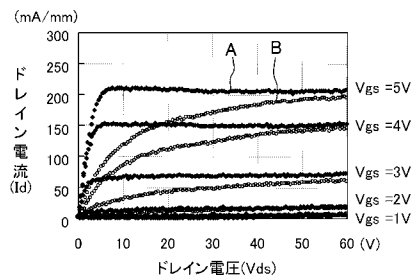
【図10】



【図11】



【図12】



フロントページの続き

- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 引田 正洋
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 上田 哲三
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 柳原 学
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 上本 康裕
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 田中 毅
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 原 和秀

- (56)参考文献 特開2000-349095(JP,A)
特開2005-244072(JP,A)
特開2006-032749(JP,A)
特開2007-335508(JP,A)
米国特許第05866925(US,A)
S. Arulkumaran, et.al., ``Studies on the Influences of i-GaN, n-GaN, p-GaN and InGaN C
ap Layers in AlGaN/GaN High-Electron-Mobility Transistors'', Jpn. J. Appl. Phys., 日本
, J J A P, 2005年, Vol.44, No.5A, p.2953-2960

(58)調査した分野(Int.Cl., DB名)

H01L 21/338
H01L 21/337
H01L 29/778
H01L 29/808
H01L 29/812