



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202201729 A

(43) 公開日：中華民國 111 (2022) 年 01 月 01 日

(21) 申請案號：110102470 (22) 申請日：中華民國 110 (2021) 年 01 月 22 日

(51) Int. Cl. : **H01L27/105 (2006.01)**

(30) 優先權：2020/06/15 美國 16/901,885

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING COMPANY, LTD. (TW)

新竹市新竹科學工業園區力行六路八號

(72) 發明人：林孟漢 LIN, MENG-HAN (TW)；賈漢中 CHIA, HAN-JONG (US)；楊世海  
YEONG, SAI-HOOI (MY)；徐志安 CHUI, CHI-ON (US)；林佑明 LIN, YU-MING  
(TW)

(74) 代理人：李世章；秦建譜

申請實體審查：無 申請專利範圍項數：20 項 圖式數：17 共 67 頁

(54) 名稱

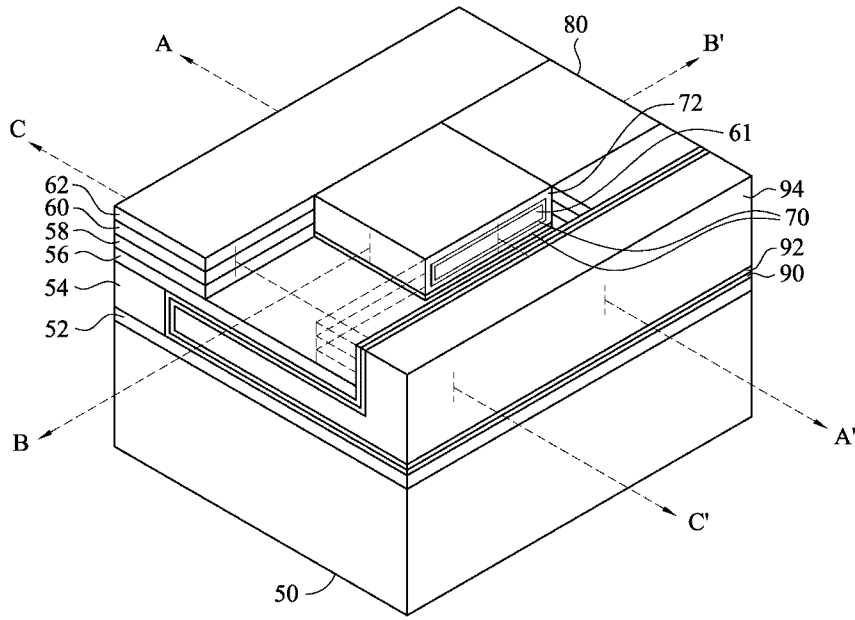
半導體裝置

(57) 摘要

一種改進的記憶體單元架構以及其形成方法，其結構包括奈米結構場效應電晶體及至少部分在奈米結構場效應電晶體下方延伸的水平電容器。在一實施例中，半導體裝置包括在半導體基板上方的通道結構、環繞通道結構的閘極結構、鄰近閘極結構的第一源極/汲極區域，以及鄰近第一源極/汲極區域的電容器，在橫截面圖中電容器在第一源極/汲極區域及閘極結構下方延伸。

An improved memory cell architecture including a nanostructure field-effect transistor (nano-FET) and a horizontal capacitor extending at least partially under the nano-FET and methods of forming the same are disclosed. In an embodiment, semiconductor device includes a channel structure over a semiconductor substrate; a gate structure encircling the channel structure; a first source/drain region adjacent the gate structure; and a capacitor adjacent the first source/drain region, the capacitor extending under the first source/drain region and the gate structure in a cross-sectional view.

指定代表圖：



第 1 圖

符號簡單說明：

- 50:基板
- 52:第一介電層
- 54:第二介電層
- 56:第三介電層
- 58:第四介電層
- 60:半導體層
- 61:奈米結構
- 62:第一金屬層
- 70:閘極介電層
- 72:閘極電極材料
- 80:第一層間介電質
- 90:第二金屬層
- 92:第五介電層
- 94:第三金屬層



202201729

**【發明摘要】****【中文發明名稱】** 記憶體單元和方法**【英文發明名稱】** MEMORY CELL AND METHOD**【中文】**

一種改進的記憶體單元架構以及其形成方法，其結構包括奈米結構場效應電晶體及至少部分在奈米結構場效應電晶體下方延伸的水平電容器。在一實施例中，半導體裝置包括在半導體基板上方的通道結構、環繞通道結構的閘極結構、鄰近閘極結構的第一源極/汲極區域，以及鄰近第一源極/汲極區域的電容器，在橫截面圖中電容器在第一源極/汲極區域及閘極結構下方延伸。

**【英文】**

An improved memory cell architecture including a nanostructure field-effect transistor (nano-FET) and a horizontal capacitor extending at least partially under the nano-FET and methods of forming the same are disclosed. In an embodiment, semiconductor device includes a channel structure over a semiconductor substrate; a gate structure encircling the channel structure; a first source/drain region adjacent the gate structure; and a capacitor adjacent the first source/drain region, the capacitor extending under the first source/drain region and the gate structure in a cross-sectional view.

【指定代表圖】第 1 圖。

【代表圖之符號簡單說明】

5 0 : 基板

5 2 : 第一介電層

5 4 : 第二介電層

5 6 : 第三介電層

5 8 : 第四介電層

6 0 : 半導體層

6 1 : 奈米結構

6 2 : 第一金屬層

7 0 : 閘極介電層

7 2 : 閘極電極材料

8 0 : 第一層間介電質

9 0 : 第二金屬層

9 2 : 第五介電層

9 4 : 第三金屬層

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 記憶體單元和方法

【英文發明名稱】 MEMORY CELL AND METHOD

【技術領域】

【0001】 無

【先前技術】

【0002】 各種電子應用中可使用半導體裝置，例如個人電腦、手機、數位相機及其他電子設備。半導體裝置的製造通常藉由在半導體基板上方依序沉積絕緣層或介電層、導電層及半導體層的材料，並且使用微影製程圖案化各個材料層以在其上形成電路部件及元件。

【0003】 半導體工業藉由持續減小最小特徵尺寸來持續改進各種電子部件(例如，電晶體、二極體、電阻器、電容器等)的整合密度，這允許將更多部件整合到給定區域中。

【發明內容】

【0004】 無

【圖式簡單說明】

【0005】 當結合附圖閱讀時，從以下詳細描述中可以最好地理解本公開的各方面。應注意，根據工業中的標準方法，

各種特徵未按比例繪製。實際上，為了清楚地討論，可任意增加或減少各種特徵的尺寸。

第 1 圖根據一些實施例繪示在三維視圖中包括奈米結構場效應電晶體及水平電容器的記憶體單元的示例。

第 2 A 圖至第 2 D 圖、第 3 A 圖至第 3 D 圖、第 4 A 圖至第 4 D 圖、第 5 A 圖至第 5 D 圖、第 6 A 圖至第 6 E 圖、第 7 A 圖至第 7 D 圖、第 8 A 圖至第 8 D 圖、第 9 A 圖至第 9 D 圖、第 10 A 圖至第 10 D 圖、第 11 A 圖至第 11 D 圖、第 12 A 圖至第 12 D 圖及第 13 A 圖至第 13 D 圖是根據一些實施例的形成半導體裝置的中間步驟的橫截面圖。

第 14 A 圖、第 14 B 圖、第 15 圖、第 16 圖及第 17 圖是根據一些實施例的半導體裝置的橫截面圖。

### 【實施方式】

【0006】 為了實現提及主題的不同特徵，以下公開內容提供了許多不同的實施例或示例。以下描述組件、配置等的具體示例以簡化本公開。當然，這些僅僅是示例，而不是限制性的。例如，在以下的描述中，在第二特徵之上或上方形成第一特徵可以包括第一特徵和第二特徵以直接接觸形成的實施例，並且還可以包括在第一特徵和第二特徵之間形成附加特徵，使得第一特徵和第二特徵可以不直接接觸的實施例。另外，本公開可以在各種示例中重複參考數字和 / 或字母。此重複是為了簡單和清楚的目的，並且本身並

不表示所討論的各種實施例和 / 或配置之間的關是。

**【0007】** 此外，本文可以使用空間相對術語，諸如「在…下面」、「在…下方」、「下部」、「在…上面」、「上部」等，以便於描述一個元件或特徵與如圖所示的另一個元件或特徵的關是。除了圖中所示的取向之外，空間相對術語旨在包括使用或操作中的裝置的不同取向。裝置可以以其他方式定向(旋轉 90 度或在其他方向上)，並且同樣可以相應地解釋在此使用的空間相對描述符號。

**【0008】** 各種實施例提供了具有改進結構的記憶體單元及其形成方法。在一些實施例中，記憶體單元可包括動態隨機存取記憶體(dynamic random access memory, DRAM)單元。記憶體單元可以是單電晶體、單電容器記憶體單元。在一些實施例中，記憶體單元可包括奈米結構場效應電晶體(nanostructure field-effect transistor, nano-FET)(例如，奈米線 FET、奈米薄片 FET 或類似者)及至少部分在奈米結構場效應電晶體下方延伸的水平電容器。奈米結構場效應電晶體及水平電容器的頂表面可彼此共面。在一些實施例中，方法包括在半導體基板上方形形成奈米結構場效應電晶體、蝕刻奈米結構場效應電晶體的源極 / 汲極區域及奈米結構場效應電晶體之下的各個介電層以形成至少部分在奈米結構場效應電晶體下方延伸的開口，以及使用原子層沉積(atomic layer deposition, ALD)、化學氣相沉積(chemical vapor deposition, CVD)或類似者在開口中沉積水平電容器。在橫截面圖中水

平電容器可以是 L 形或梳狀。在記憶體單元中包括奈米結構場效應電晶體及至少部分在奈米結構場效應電晶體下方延伸的水平電容器，允許在小的區域中形成記憶體單元，同時增加電容器的體積。增加電容器體積允許增加讀取可靠性並且改進元件效能。在較小區域中形成記憶體單元允許增加元件密度。此外，奈米結構場效應電晶體及水平電容器可藉由習知的互補金屬氧化物半導體 (complementary metal-oxide-semiconductor, CMOS) 製程形成，此製程提供簡易整合及較低成本。因此，可形成具有減小的面積、降低的成本及增加的效能的記憶體單元。

【0009】 第 1 圖根據一些實施例繪示了示例記憶體單元。記憶體單元包括至少部分在水平電容器上方的奈米結構 (例如，奈米薄片、奈米線、全環繞閘極或類似者) 場效應電晶體，奈米結構場效應電晶體和水平電容器均在基板 50 (例如，半導體基板) 上方。奈米結構場效應電晶體包括在基板 50 上方的奈米結構 61 (例如，奈米線、奈米薄片或類似者)。可在半導體層 60 中形成奈米結構 61 並且可用作奈米結構場效應電晶體的通道區域。奈米結構 61 可以是 p 型奈米結構或 n 型奈米結構。奈米結構場效應電晶體進一步包括沿著奈米結構 61 的頂表面、側壁及底表面的閘極介電層 70。閘極電極 74 在閘極介電層 70 上方。在半導體層 60 中並在閘極介電層 70 及閘極電極 74 的相對側面上形成源極/汲極區域 63。第一金屬層 62 在半導體層 60

的源極/汲極區域 63 上方，並且接觸源極/汲極區域 63。第四介電層 58 使部分的奈米結構場效應電晶體與水平電容器及其他下層結構隔離。在閘極電極 74 附近形成第一層間介電質(interlayer dielectric, ILD) 80。

【0010】 在第一介電層 52、第二介電層 54 及第三介電層 56 上方形成奈米結構場效應電晶體。水平電容器可包括沿著第一介電層 52 的頂表面的第二金屬層 90，且第二金屬層 90 沿著第二介電層 54、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 的側壁以及第三介電層 56 的底表面。水平電容器進一步包括在第二金屬層 90 上方的第五介電層 92 以及在第五介電層 92 上方的第三金屬層 94。水平電容器可以是金屬-絕緣體-金屬電容器。如第 1 圖中繪示，水平電容器在橫截面圖中可以是 L 形，並且可在奈米結構場效應電晶體下面延伸。第一介電層 52 可使水平電容器與基板 50 隔離。第三介電層 56 可使部分的水電容器與奈米結構場效應電晶體隔離。第二介電層 54 可以是由水平電容器替代的犧牲層。

【0011】 第 1 圖進一步繪示在後續圖式中使用的參考橫截面。橫截面 A-A' 沿著奈米結構 61 的縱軸並且在奈米結構場效應電晶體的源極/汲極區域 63 之間的電流方向上。橫截面 B-B' 垂直於橫截面 A-A'，沿著閘極電極 74 的縱軸，並且在垂直於奈米結構場效應電晶體的源極/汲極區域 63 之間的電流方向的方向上。橫截面 C-C' 平行於橫截面 A-A'，並且延伸穿過第一層間介電質 80。為了清楚描述，

後續圖式將參照這些橫截面。

【0012】 在奈米結構場效應電晶體的上下文中將論述本文的一些實施例。可使用前閘極 (gate-first) 或後閘極 (gate-last) 製程形成奈米結構場效應電晶體。此外，一些實施例預期使用鰭式場效應電晶體 (fin field effect transistors, FinFET) 或平面元件 (諸如平面 FET) 的態樣。

【0013】 第 2 A 圖直至第 13 D 圖是根據一些實施例的形成記憶體單元的中間階段的橫截面圖及俯視圖。第 2 A 圖、第 3 A 圖、第 4 A 圖、第 5 A 圖、第 6 A 圖、第 7 A 圖、第 8 A 圖、第 9 A 圖、第 10 A 圖、第 11 A 圖、第 12 A 圖及第 13 A 圖繪示第 1 圖中繪示的參考橫截面 A-A'。第 2 B 圖、第 3 B 圖、第 4 B 圖、第 5 B 圖、第 6 B 圖、第 7 B 圖、第 8 B 圖、第 9 B 圖、第 10 B 圖、第 11 B 圖、第 12 B 圖及第 13 B 圖繪示第 1 圖中繪示的參考橫截面 B-B'。第 2 C 圖、第 3 C 圖、第 4 C 圖、第 5 C 圖、第 6 C 圖、第 7 C 圖、第 8 C 圖、第 9 C 圖、第 10 C 圖、第 11 C 圖、第 12 C 圖及第 13 C 圖繪示第 1 圖中繪示的參考橫截面 C-C'。第 2 D 圖、第 3 D 圖、第 4 D 圖、第 5 D 圖、第 6 D 圖、第 7 D 圖、第 8 D 圖、第 9 D 圖、第 10 D 圖、第 11 D 圖、第 12 D 圖及第 13 D 圖繪示俯視圖。

【0014】 在第 2 A 圖直至第 2 D 圖中，提供了基板 50。基板 50 可以是半導體基板，諸如塊狀半導體、絕緣體上半導體 (semiconductor-on-insulator, SOI) 基板或類似

者，此半導體基板可以是摻雜（例如，用 p 型或 n 型摻雜劑）或未摻雜的。基板 50 可以是晶圓，諸如矽晶圓。通常地，SOI 基板是在絕緣體層上形成的半導體材料層。例如，絕緣體層可以是埋藏式氧化物（buried oxide，BOX）層、氧化矽層或類似者。絕緣體層提供在基板（通常為矽或玻璃基板）上。亦可使用其他基板，諸如多層或漸變基板。在一些實施例中，基板 50 的半導體材料可包括矽、鍺、化合物半導體（包括碳化矽、砷化鎵、磷化鎵、磷化銦、砷化銦及 / 或銻化銦）、合金半導體（包括鍺矽、磷砷化鎵、砷化鋁銦、砷化鋁鎵、砷化鎵銦、磷化鎵銦及 / 或磷砷化鎵銦）或其組合。

**【0015】** 在一些實施例中，基板 50 可包括用於形成 n 型元件的區域及用於形成 p 型元件的區域（未個別繪示）。用於形成 n 型元件的區域可實體上與用於形成 p 型元件的區域分開，並且可在用於形成 n 型元件的區域與用於形成 p 型元件的區域之間設置任何數量的元件特徵（例如，其他主動元件、摻雜區域、隔離結構等）。可在用於形成 n 型元件區域及用於形成 p 型元件區域的基板 50 中形成適當阱。在一些實施例中，可在用於形成 n 型元件的區域中形成 P 阱，並且可在用於形成 p 型元件的區域中形成 N 阱。在一些實施例中，可在用於形成 n 型元件的區域及用於形成 p 型元件的區域的每一者中形成 P 阱或 N 阱。

**【0016】** 另外，在第 2A 圖直至第 2D 圖中，在基板 50 上方形成多層堆疊 55。多層堆疊 55 可包括第一介電層 52、

第二介電層 54、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62。可在基板 50 上方形成第一介電層 52。在一些實施例中，第一介電層 52 可包括氧化矽 ( $\text{SiO}_2$ )、氮化矽 ( $\text{SiN}$ )、聚矽 ( $\text{poly-Si}$ )、氮碳化矽 ( $\text{SiCN}$ )、碳氧化矽 ( $\text{SiOC}$ )、氮碳氧化矽 ( $\text{SiOCN}$ )、其組合或多層或類似者。可由氧化物(例如，氧化矽或類似者)、氮化物(例如，氮化矽或類似者)或類似者形成第一介電層 52。第一介電層 52 可藉由化學氣相沉積、原子層沉積或類似者沉積。第一介電層 52 可具有從約 5 nm 至約 500 nm 的厚度。

**【0017】** 可在第一介電層 52 上方形成第二介電層 54。在一些實施例中，第二介電層 54 可包括氧化矽 ( $\text{SiO}_2$ )、氮化矽 ( $\text{SiN}$ )、聚矽 ( $\text{poly-Si}$ )、氮碳化矽 ( $\text{SiCN}$ )、碳氧化矽 ( $\text{SiOC}$ )、氮碳氧化矽 ( $\text{SiOCN}$ )、其組合或多層或類似者。第二介電層 54 可藉由 CVD、ALD 或類似者沉積。第二介電層 54 可具有從約 5 nm 至約 500 nm 的厚度。在一些實施例中，可由對第一介電層 52、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 的材料具有高蝕刻選擇性的材料形成第二介電層 54，此蝕刻選擇性是第二介電層 54 的蝕刻速率與第一介電層 52、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 的蝕刻速率的比率。因此，可移除第二介電層 54 的部分，同時最小化對第一介電層 52、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 的蝕刻，同理可描述下

文關於第 10A 圖至第 10D 圖。

**【0018】** 可在第二介電層 54 上方形成第三介電層 56。在一些實施例中，第三介電層 56 可包括氧化矽 ( $\text{SiO}_2$ )、氮化矽 ( $\text{SiN}$ )、聚矽 ( $\text{poly-Si}$ )、氮碳化矽 ( $\text{SiCN}$ )、碳氧化矽 ( $\text{SiOC}$ )、氮碳氧化矽 ( $\text{SiOCN}$ )、其組合或多層或類似者。第三介電層 56 可藉由 CVD、ALD 或類似者沉積。第三介電層 56 可具有從約 5 nm 至約 500 nm 的厚度。在一些實施例中，第三介電層 56 的厚度可與第一介電層 52 的厚度相同。在一些實施例中，第二介電層 54 可具有與第一介電層 52 及第三介電層 56 的厚度相比較大的厚度。例如，第二介電層 54 的厚度與第一介電層 52 的厚度或第三介電層 56 的厚度的比率可以是從約 1 至約 100。

**【0019】** 可在第三介電層 56 上方形成第四介電層 58。在一些實施例中，第四介電層 58 可包括氧化矽 ( $\text{SiO}_2$ )、氮化矽 ( $\text{SiN}$ )、聚矽 ( $\text{poly-Si}$ )、氮碳化矽 ( $\text{SiCN}$ )、碳氧化矽 ( $\text{SiOC}$ )、氮碳氧化矽 ( $\text{SiOCN}$ )、其組合或多層或類似者。第四介電層 58 可藉由 CVD、ALD 或類似者沉積。第四介電層 58 可具有從約 5 nm 至約 500 nm 的厚度。

**【0020】** 可在第四介電層 58 上方形成半導體層 60。在一些實施例中，半導體層 60 可包括半導體材料(例如，矽、聚矽 ( $\text{poly-Si}$ )、鍺矽 ( $\text{SiGe}$ )、碳化矽 ( $\text{SiC}$ ) 或類似者)、氧化物半導體材料(例如，氧化銦鎵鋅 ( $\text{IGZO}$ )、氧化鋅 ( $\text{ZnO}$ )、氧化銦鋅 ( $\text{IZO}$ )、氧化銦鎢 ( $\text{IWO}$ )、氧化銦錫 ( $\text{ITO}$ ) 或類似者)、其組合或多層或類似者。半導體層 60

可藉由 CVD、ALD、氣相磊晶(vapor phase epitaxy, VPE)、分子束磊晶(molecular beam epitaxy, MBE)或類似者沉積。半導體層 60 可具有從約 5 nm 至約 500 nm 的厚度。

**【0021】** 可在半導體層 60 上方形成第一金屬層 62。在一些實施例中，第一金屬層 62 可包括金屬材料，諸如鋁(Al)、鈦(Ti)、氮化鈦(TiN)、氮化鉭(TaN)、鈷(Co)、銀(Ag)、金(Au)、銅(Cu)、鎳(Ni)、鉻(Cr)、鈦(Hf)、鈳(Ru)、鎢(W)、鉑(Pt)、其組合或多層或類似者。第一金屬層 62 可藉由 CVD、ALD 或類似者沉積。第一金屬層 62 可具有從約 5 nm 至約 500 nm 的厚度。

**【0022】** 可執行熱退火製程(諸如快速熱退火(rapid thermal anneal, RTA))以在第一金屬層 62 與半導體層 60 之間形成低電阻觸點(例如，歐姆觸點)。可在從約 200 °C 至約 350 °C 或小於約 400 °C 的溫度下執行熱退火製程。熱退火製程可執行達約 0.1 秒與約 60 分鐘之間。

**【0023】** 在第 3A 圖直至第 3D 圖中，在第一金屬層 62 上方形成圖案化的硬遮罩層 64。在一些實施例中，形成圖案化的硬遮罩層 64 可包括在第一金屬層 62 上方沉積硬遮罩層以及使用微影製程圖案化硬遮罩層以形成圖案化的硬遮罩層 64。硬遮罩層可藉由 CVD、ALD 或類似者沉積。硬遮罩層可由氧化矽、氮化矽、碳化矽、非晶體矽、氮化鈦、氮氧化矽、氮碳化矽、其組合或多層或類似者形成。硬遮罩層可沉積從約 5 nm 至約 500 nm 的厚度。

【0024】 可在硬遮罩層上方形成圖案化遮罩(未個別繪示)，諸如圖案化的光阻。可藉由使用旋轉塗覆或類似者在硬遮罩層上方沉積光敏層來形成圖案化遮罩。光敏層可隨後圖案化，藉由將光敏層暴露於圖案化的能源(例如，圖案化的光源)及顯影光敏層以移除光敏層的已暴露或未暴露部分，由此形成圖案化遮罩。硬遮罩層可藉由適宜蝕刻製程(諸如各向異性蝕刻製程)來蝕刻，以將圖案化遮罩的圖案轉移到硬遮罩層，從而形成圖案化的硬遮罩層 64。在一些實施例中，蝕刻製程可包括反應性離子蝕刻(reactive ion etching, RIE)、中性束蝕刻(neutral beam etching, NBE)、類似者或其組合。圖案化遮罩可隨後藉由任何可接受的製程移除，諸如灰化製程、剝離製程、類似者或其組合。

【0025】 另外，在第 3 A 圖直至第 3 D 圖中，使用圖案化的硬遮罩層 64 做為遮罩來蝕刻第一金屬層 62、半導體層 60 及第四介電層 58 以暴露第三介電層 56。第一金屬層 62、半導體層 60 及第四介電層 58 可藉由適宜蝕刻製程(諸如各向異性蝕刻製程)來蝕刻，以將圖案化的硬遮罩層 64 的圖案轉移到第一金屬層 62、半導體層 60 及第四介電層 58。在一些實施例中，蝕刻製程可包括 RIE、NBE、類似者或其組合。在一些實施例中，蝕刻製程可包括蝕刻劑，諸如四氟化碳(CF<sub>4</sub>)、八氟環丁烷(C<sub>4</sub>F<sub>8</sub>)、三氯化硼(BCl<sub>3</sub>)、氯(Cl<sub>2</sub>)、四氯化碳(CCl<sub>4</sub>)、四氯化矽(SiCl<sub>4</sub>)、二氟甲烷(CH<sub>2</sub>F<sub>2</sub>)、其組合或類似者。第一金屬層 62、半導體層

60 及第四介電層 58 可經圖案化，使得半導體層 60 具有從約 1 nm 至約 100 nm 的寬度  $W_1$ 。半導體層 60 的中心部分可以是奈米結構 61。

**【0026】** 半導體層 60 的各個部分可在奈米結構場效應電晶體中用作通道區域及源極/汲極區域。例如，在半導體層 60 的中心部分中形成的奈米結構 61 可用作通道區域。如第 3A 圖及第 3C 圖中繪示，半導體層 60 的端部可用作源極/汲極區域 63。在一些實施例中，可在奈米結構 61 及源極/汲極區域 63 上執行各個佈植步驟以改變奈米結構 61 及源極/汲極區域 63 的導電性。佈植步驟可包括在待佈植的結構上方形成光阻。可藉由使用旋塗技術形成光阻，並且可使用可接受的微影技術圖案化。N 型雜質(諸如磷、砷、銻或類似者)及 P 型雜質(諸如硼、氟化硼、銦或類似者)可佈植到奈米結構 61 及/或源極/汲極區域 63 中。可在形成第一金屬層 62 之前執行佈植，在圖案化第一金屬層 62、半導體層 60 及第四介電層 58 之後執行佈植，在奈米結構 61 周圍形成閘極堆疊(諸如包括閘極介電層 70 及閘極電極 74 的閘極堆疊，下文關於第 6A 圖至第 7D 圖所論述)之後或類似者執行佈植。

**【0027】** 在一些實施例中，微影製程(諸如雙圖案化、多圖案化或類似者)可用於圖案化第一金屬層 62、半導體層 60 及第四介電層 58。通常，雙圖案化或多圖案化製程結合微影及自對準製程，從而允許產生例如與使用單個、直接微影製程獲得的間距相比具有較小間距的圖案。例如，在一

些實施例中，在基板上方形成犧牲層並且使用微影製程圖案化。使用自對準製程沿著圖案化的犧牲層旁邊形成間隔件。隨後移除犧牲層，並且剩餘間隔件可隨後用於圖案化第一金屬層 62、半導體層 60 及第四介電層 58。在一些實施例中，在圖案化第一金屬層 62、半導體層 60 及第四介電層 58 之後，遮罩(或其他層)可餘留在第四介電層 58 上。

**【0028】** 在第 4 A 圖至第 4 D 圖中，蝕刻第一金屬層 62 及第四介電層 58。如第 4 A 圖及第 4 B 圖中繪示，第一金屬層 62 及第四介電層 58 可在通道區域中分別從半導體層 60 之上及之下移除，而第一金屬層 62 及第四介電層 58 在源極/汲極區域 63 中保持相對未蝕刻。如第 4 A 圖及第 4 C 圖中繪示，第一金屬層 62 及第四介電層 58 的側壁可在源極/汲極區域 63 中蝕刻。第一金屬層 62 及第四介電層 58 的側壁可經蝕刻到從約 1 nm 至約 10 nm 或小於約 10 nm 的深度  $D_1$ 。因此，第一金屬層 62 及第四介電層 58 的側壁可與半導體層 60 的側壁未對準。

**【0029】** 第一金屬層 62 及第四介電層 58 可藉由適宜蝕刻製程蝕刻，此適宜蝕刻製程可以是各向同性蝕刻製程，諸如濕式蝕刻製程。蝕刻製程可對半導體層 60 及第三介電層 56 的材料具有高蝕刻選擇性，此蝕刻選擇性是第一金屬層 62 及第四介電層 58 的蝕刻速率與半導體層 60 及第三介電層 56 的蝕刻速率的比率。因此，第一金屬層 62 及第四介電層 58 的部分可移除，同時最小化對半導體層 60 及第

三介電層 56 任何不期望的蝕刻。

**【0030】** 在第 5A 圖直至第 5D 圖中，移除圖案化的硬遮罩層 64。圖案化的硬遮罩層 64 可藉由適宜蝕刻製程移除，此適宜蝕刻製程可以是各向同性蝕刻製程，諸如濕式蝕刻製程。蝕刻製程可對圖案化的硬遮罩層 64 的材料具有高蝕刻選擇性，此蝕刻選擇性是圖案化的硬遮罩層 64 的蝕刻速率與第一金屬層 62、半導體層 60、第四介電層 58 及第三介電層 56 的蝕刻速率的比率。因此，可移除圖案化的硬遮罩層 64，同時最小化對第一金屬層 62、半導體層 60、第四介電層 58 及第三介電層 56 任何不期望的蝕刻。

**【0031】** 在第 6A 圖直至第 6E 圖中，在第 5A 圖直至第 5D 圖中繪示的結構上方形成閘極介電層 70 及閘極電極材料 72。第 6E 圖繪示了第 6A 圖的區域 75 的詳細視圖。沿著半導體層 60 的頂表面、側壁及底表面、第一金屬層 62 的頂表面及側壁、第四介電層 58 的側壁，以及第三介電層 56 的頂表面共形地形成閘極介電層 70。閘極介電層 70 可藉由 CVD、ALD 或類似者形成。在一些實施例中，閘極介電層 70 可包括材料，諸如氧化矽、氮化矽、其組合或多層或類似者。閘極介電層 70 可包括介電常數值大於約 7.0 的高介電常數介電材料並且可包括金屬氧化物或鈺、鋁、銦、釩、錳、鎵、鈦、鉛、其組合或類似者的矽酸鹽。閘極介電層 70 可具有從約 0.5 nm 至約 10 nm 的厚度。

**【0032】** 另外，在第 6A 圖直至第 6E 圖中，在閘極介電層 70 上方形成閘極電極材料 72。可藉由 CVD、ALD 或類

似者形成閘極電極材料 72。在一些實施例中，閘極電極材料 72 可包括材料諸如氧化矽、氮化矽、其組合或多層或類似者。閘極電極材料 72 可包括含金屬材料，諸如氮化鈦 (TiN)、氧化鈦 (TaO<sub>x</sub>)、氮化鉭 (Ta<sub>2</sub>N<sub>5</sub>)、碳化鉭 (TaC)、鈷 (Co)、鈺 (Ru)、鋁 (Al)、鎢 (W)、銀 (Ag)、金 (Au)、銅 (Cu)、鎳 (Ni)、鉻 (Cr)、鈦 (Hf)、鉑 (Pt)、其組合或多層或類似者。儘管單層閘極電極材料 72 在第 6A 圖直至第 6C 圖中繪示，如第 6E 圖繪示，閘極電極材料 72 可包括任何數量的襯墊層 72A、任何數量的功函數調節層 72B 及填充材料 72C。如第 6A 圖、第 6B 圖及第 6E 圖中繪示，閘極電極材料 72 可填充在半導體層 60 與第三介電層 56 之間的空間。

**【0033】** 在第 7A 圖直至第 7D 圖中，閘極電極材料 72 經平坦化及圖案化以形成閘極電極 74。閘極電極材料 72 可藉由適宜的平坦化製程來平坦化，諸如化學機械研磨 (chemical mechanical polish, CMP)、回蝕製程、其組合或類似者。在平坦化製程之後，閘極電極材料 72 的頂表面可與閘極介電層 70 的頂表面及第一金屬層 62 的頂表面齊平。

**【0034】** 另外，在第 7A 圖直至第 7D 圖中，閘極電極材料 72 經圖案化以形成閘極電極 74。可在閘極電極材料 72 上方形成圖案化遮罩 (諸如圖案化光阻)。可藉由使用旋轉塗佈或類似者在閘極電極材料 72 上方沉積光阻層來形成圖案化光阻。光阻層可隨後圖案化，藉由將光阻層暴露於圖

案化的能源(例如,圖案化的光源)並且顯影光阻層以移除光阻層的已暴露或未暴露部分,由此形成圖案化光阻。閘極電極材料 72 可隨後藉由適宜蝕刻製程(諸如各向異性蝕刻製程)圖案化,以將圖案化光阻的圖案轉移到閘極電極材料 72。在一些實施例中,蝕刻製程可包括 RIE、NBE、類似者或其組合。可隨後移除圖案化光阻。在一些實施例中,閘極電極 74 的圖案亦可轉移到閘極介電層 70。閘極電極 74 的圖案可用於將每個閘極電極 74 與相鄰的閘極電極 74 實體分離。閘極電極 74 可具有縱向方向,此縱向方向實質上垂直於半導體層 60 的奈米結構 61 的縱向方向。閘極介電層 70 及閘極電極 74 可統稱為「閘極堆疊」。閘極電極 74 可以具有從約 5 nm 至約 500 nm 的閘極長度。

**【0035】** 在第 8A 圖直至第 8D 圖中,第一層間介電質 80 在第 7A 圖直至第 7D 圖中繪示的結構上方沉積並且平坦化第一層間介電質 80。第一層間介電質 80 可由介電材料形成,並且可藉由任何適宜方法沉積,諸如 CVD、電漿增強 CVD (plasma-enhanced CVD, PECVD)、可流動 CVD (flowable CVD, FCVD)(例如,在遠端電漿系統中基於 CVD 的材料沉積,此遠端電漿系統具有後固化 (post curing) 以將所沉積的材料轉化為另一材料,諸如氧化物)、其組合或類似者。在一些實施例中,可由介電材料形成第一層間介電質 80,此介電材料包括磷矽酸鹽玻璃 (phospho-silicate glass, PSG)、硼矽酸鹽玻璃 (boro-silicate glass, BSG)、硼摻雜的磷矽酸鹽玻璃

(boron-doped phospho-silicate glass, BPSG)、未摻雜的矽酸鹽玻璃(undoped silicate glass, USG)、其組合或多層或類似者。可使用藉由任何可接受製程形成的其他絕緣材料。

**【0036】** 在一些實施例中，襯墊層(未個別繪示)可在沉積第一層間介電質 80 之前沉積。例如，襯墊層可在第一層間介電質 80 與閘極介電層 70、閘極電極 74、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 之間沉積。襯墊層可包含具有與上層第一層間介電質 80 的材料不同的蝕刻速率的介電材料，諸如氮化矽、氧化矽、氮氧化矽或類似者。

**【0037】** 第一層間介電質 80 可隨後藉由適宜平坦化製程圖案化，諸如 CMP、回蝕製程、其組合或類似者。如第 7A 圖及第 7B 圖中繪示，在平坦化製程之後，第一層間介電質 80 的頂表面可與第一金屬層 62、閘極介電層 70 及閘極電極 74 的頂表面齊平。在包括襯墊層的實施例中，襯墊層的頂表面亦可與第一層間介電質 80、第一金屬層 62、閘極介電層 70 及閘極電極 74 的頂表面齊平。

**【0038】** 在第 9A 圖直至第 9D 圖中，第一金屬層 62、半導體層 60、第四介電層 58、第三介電層 56 及第二介電層 54 經蝕刻以形成第一開口 82，從而暴露第一介電層 52。可在第一金屬層 62 上方形成圖案化遮罩(諸如圖案化光阻)。可藉由使用旋轉塗覆或類似者在第一金屬層 62 上方沉積光阻層來形成圖案化光阻。光阻層可隨後圖案化，藉

由將光阻層暴露於圖案化的能源(例如,圖案化的光源)以及顯影光阻層以移除光阻層的已暴露或未暴露部分,由此形成圖案化光阻。

**【0039】** 第一金屬層 62、半導體層 60、第四介電層 58、第三介電層 56 及第二介電層 54 可隨後藉由適宜蝕刻製程(諸如各向異性蝕刻製程)圖案化,以將圖案化光阻的圖案轉移到第一金屬層 62、半導體層 60、第四介電層 58、第三介電層 56 及第二介電層 54。在一些實施例中,蝕刻製程可包括 RIE、NBE、類似者或其組合。當暴露出第一介電層 52 時可停止蝕刻製程。可隨後移除圖案化光阻。在一些實施例中,當暴露出第二介電層 54 時可停止蝕刻製程,使得僅藉由蝕刻製程來蝕刻第一金屬層 62、半導體層 60、第四介電層 58 及第三介電層 56。

**【0040】** 在第 10A 圖直至第 10D 圖中,通過第一開口 82 蝕刻第二介電層 54 以在第三介電層 56 下方延伸第一開口 82。第二介電層 54 可藉由適宜蝕刻製程蝕刻,諸如各向同性蝕刻製程。在一些實施例中,蝕刻製程可以是濕式蝕刻製程。如先前論述,可由對第一介電層 52、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 的材料具有高蝕刻選擇性的材料形成第二介電層 54,使得在蝕刻第二介電層 54 期間最小化對第一介電層 52、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 的任何蝕刻。亦可由對閘極介電層 70 及閘極電極 74 的材料具有高蝕刻選擇性的材料形成第二介電層 54,以在蝕刻第

二介電層 54 期間最小化對閘極介電層 70 及閘極電極 74 的蝕刻。

**【0041】** 在一些實施例中，可由氧化物(諸如氧化矽)形成第一介電層 52 及第三介電層 56，並且可由氮化矽、聚矽或類似者形成第二介電層 54。在其中第一介電層 52 及第三介電層 56 包括氧化矽並且第二介電層 54 包括氮化矽的實施例中，磷酸( $H_3PO_4$ )可用於蝕刻第二介電層 54。在其中第一介電層 52 及第三介電層 56 包括氧化矽並且第二介電層 54 包括聚矽的實施例中，硝酸( $HNO_3$ )及氫氟酸(HF)的混合物可用於蝕刻第二介電層 54。

**【0042】** 如第 10A 圖及第 10C 圖中繪示，第二介電層 54 的一部分可在蝕刻第二介電層 54 之後餘留。在第 10A 圖及第 10C 圖繪示的實施例中，第二介電層 54 可經蝕刻，使得第一開口 82 在閘極介電層 70 及閘極電極 74 下方並且在閘極堆疊的相對側面上的第四介電層 58、半導體層 60 及第一金屬層 62 下方延伸。在一些實施例中，第二介電層 54 可經蝕刻，使得第一開口 82 在閘極堆疊的一側上的第四介電層 58、半導體層 60 及第一金屬層 62 下方並且在閘極介電層 70 及閘極電極 74 下方延伸，而不在閘極堆疊的相對側面上的第四介電層 58、半導體層 60 及第一金屬層 62 下方延伸。在一些實施例中，第二介電層 54 可經蝕刻，使得第一開口 82 在閘極堆疊的一側上的第四介電層 58、半導體層 60 及第一金屬層 62 下方延伸，並且不在閘極介電層 70 及閘極電極 74 下方延伸。

【0043】 第二介電層 54 可使用定時蝕刻製程蝕刻以控制移除的第二介電層 54 的量。移除第二介電層 54 的較大部分導致較大第一開口 82，其中可形成電容器(諸如包括第二金屬層 90、第五介電層 92 及第三金屬層 94 的電容器，下文關於第 12A 圖直至第 12D 圖論述)，這增加電容器的電容。然而，蝕刻過量的第二介電層 54 可導致元件崩潰。因此，在蝕刻製程之後的第二介電層 54 的寬度  $W_2$  與在蝕刻製程之前的第二介電層 54 的寬度  $W_3$  的比率可大於約 0.10、大於約 0.30 或在約 0.30 與約 0.50 之間。寬度  $W_2$  可從約 5 nm 至約 50 nm，並且寬度  $W_3$  可從約 5 nm 至約 500 nm。

【0044】 在第 11A 圖直至第 11D 圖中，形成第二金屬層 90、第五介電層 92 及第三金屬層 94，從而填充第一開口 82。第二金屬層 90 可共形地沉積在第一介電層 52 的頂表面、第二介電層 54 的側壁、第三介電層 56 的底表面及側壁、第四介電層 58 的側壁、半導體層 60 的側壁、第一金屬層 62 的側壁及頂表面，以及閘極介電層 70 及閘極電極 74 的頂表面上方。在一些實施例中，第二金屬層 90 可包括金屬材料，諸如鋁 (Al)、鈦 (Ti)、氮化鈦 (TiN)、氮化鉭 (TaN)、鈷 (Co)、銀 (Ag)、金 (Au)、銅 (Cu)、鎳 (Ni)、鉻 (Cr)、鈦 (Hf)、鈳 (Ru)、鎢 (W)、鉑 (Pt)、其組合或多層或類似者。第二金屬層 90 可藉由物理氣相沉積 (physical vapor deposition, PVD)、CVD、ALD 或類似者沉積。第二金屬層 90 可具有從約 1 nm 至約 100

nm 的厚度。

【0045】 第五介電層 92 可在第二金屬層 90 上方共形地沉積。在一些實施例中，第五介電層 92 可包括介電材料，諸如氧化鈪 ( $\text{HfO}_2$ )、氧化鈪銻 ( $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$ )、氧化銻 ( $\text{ZrO}_2$ )、氧化鈦 ( $\text{TiO}_2$ )、氧化鎳 ( $\text{NiO}$ )、氧化鉭 ( $\text{TaO}_x$ )、氧化銅 ( $\text{Cu}_2\text{O}$ )、氧化鈮 ( $\text{Nb}_2\text{O}_5$ )、氧化鋁 ( $\text{Al}_2\text{O}_3$ )、其多層或組合或類似者。第五介電層 92 可藉由 PVD、CVD、ALD 或類似者沉積。第五介電層 92 可具有從約 0.5 nm 至約 50 nm 的厚度。

【0046】 第三金屬層 94 可在第五介電層 92 上方共形地沉積並且可填充第一開口 82 的剩餘部分。在一些實施例中，第三金屬層 94 可包括金屬材料，諸如鋁 (Al)、鈦 (Ti)、氮化鈦 (TiN)、氮化鉭 (Ta<sub>N</sub>)、鈷 (Co)、銀 (Ag)、金 (Au)、銅 (Cu)、鎳 (Ni)、鉻 (Cr)、鈪 (Hf)、鈺 (Ru)、鎢 (W)、鉑 (Pt)、其組合或多層或類似者。第三金屬層 94 可藉由 PVD、CVD、ALD 或類似者沉積。第三金屬層 94 可具有從約 1 nm 至約 100 nm 的厚度。

【0047】 在第 12A 圖直至第 12D 圖中，平坦化第三金屬層 94、第五介電層 92 及第二金屬層 90。第三金屬層 94、第五介電層 92 及第二金屬層 90 可藉由適宜平坦化製程平坦化，諸如 CMP、回蝕製程、其組合或類似者。在平坦化製程之後，第三金屬層 94、第五介電層 92、第二金屬層 90、第一金屬層 62、閘極介電層 70 及閘極電極 74 的頂表面可彼此齊平。

【0048】 第三金屬層 94、第五介電層 92 及第二金屬層 90 可統稱為「水平電容器」，並且可用作記憶體單元中的電容器。形成具有在閘極堆疊下方延伸的水平電容器的記憶體單元，允許水平電容器的體積增加而不增加記憶體單元的面積。這種結構改進讀取可靠性並且增加元件效能，而不增加記憶體單元面積或減小元件密度。此外，上文描述的用於形成水平電容器及奈米結構場效應電晶體的方法可在現有形成互補金屬氧化物半導體裝置的製程流程中實施，這情況降低了成本。

【0049】 在第 13 A 圖直至第 13 D 圖中，在第 12 A 圖直至第 12 D 圖中繪示的結構上方形成第二層間介電質 96、位元線 99、字元線 98 及源極線 97。在一些實施例中，由介電材料(諸如 PSG、BSG、BPSG、USG 或類似者)形成第二層間介電質 96，並且可藉由任何適宜方法沉積，諸如 CVD、PECVD 或類似者。在一些實施例中，在形成第二層間介電質 96 之前，使閘極堆疊(包括閘極介電層 70 及閘極電極 74)凹陷，使得凹槽直接在閘極堆疊上方並且在第一金屬層 62 的相對部分之間形成。包括一或多層介電材料(諸如氮化矽、氮氧化矽或類似者)的閘極遮罩 95 在凹槽中填充，接著藉由平坦化製程來移除在第一層間介電質 80 上方延伸的介電材料的過量部分。隨後形成的閘極觸點(諸如字元線 98)穿透閘極遮罩 95 以接觸凹陷的閘極電極 74 的頂表面。

【0050】 另外，在第 13 A 圖直至第 13 D 圖中，穿過第二層

間介電質 96 形成位元線 99、字元線 98 及源極線 97。穿過第二層間介電質 96 形成用於位元線 99 及源極線 97 的開口，並且穿過第二層間介電質 96 及閘極遮罩 95 形成用於字元線 98 的開口。可使用可接受的微影及蝕刻技術形成開口。可在開口中形成一或多個襯墊(諸如擴散阻障層、黏附層、其組合或多層或類似者)，並且可在襯墊上方形成導電材料。襯墊可包括鈦、氮化鈦、鈇、氮化鈇、其組合或多層或類似者。導電材料可以是銅(Cu)、銅合金、銀(Ag)、金(Au)、鎢(W)、鈷(Co)、鋁(Al)、鎳(Ni)、氮化鈦(TiN)、氮化鈇(TaN)、鉻(Cr)、鈦(Hf)、鈳(Ru)、鉑(Pt)、其組合或多層或類似者。

**【0051】** 可執行平坦化製程(諸如CMP)以從第二層間介電質 96 的表面移除過量材料。剩餘襯墊及導電材料在開口中形成位元線 99、字元線 98 及源極線 97。位元線 99 實體及電性耦接到第一金屬層 62，字元線 98 實體及電性耦接到閘極電極 74，並且源極線 97 實體及電性耦接到第三金屬層 94。可在不同製程中或可在相同製程中形成位元線 99、字元線 98 及源極線 97。儘管繪示為在相同橫截面中形成，應當瞭解可在不同橫截面中形成位元線 99、字元線 98 及源極線 97 的每一者，這可避免觸點短路。

**【0052】** 實施例可實現優點。例如，形成至少部分在奈米結構場效應電晶體下方延伸的水平電容器可導致電容器體積增加，而不增加記憶體單元面積，這導致改進的讀取可靠性及改進的元件效能。此外，上文描述的方法可用現有的

CMOS 製程流程實施，這情形降低了成本。

**【0053】** 第 14 A 圖直至第 17 圖是根據進一步實施例的形成記憶體單元的中間階段的橫截面圖。第 14 A 圖繪示在第 1 圖中繪示的參考橫截面 A - A'。第 14 B 圖、第 15 圖、第 16 圖及第 17 圖繪示第 1 圖中繪示的參考橫截面 B - B'。

**【0054】** 第 14 A 圖及第 14 B 圖繪示了其中多個第二介電層 54 a 至第二介電層 54 d 及第三介電層 56 a 至第三介電層 56 d 在第一介電層 52 與第四介電層 58 之間堆疊，以擴大包括第二金屬層 90、第五介電層 92 及第三金屬層 94 的水平電容器的實施例。可由與用於第二介電層 54 且在上文參考第 2 A 圖直至第 2 D 圖描述的共同或類似材料及製程形成第二介電層 54 a 至第二介電層 54 d。可由與用於第三介電層 56 且在上文參考第 2 A 圖直至第 2 D 圖描述的共同或類似材料及製程形成第三介電層 56 a 至第三介電層 56 d。可使用與上文參考第 9 A 圖直至第 10 D 圖描述的共同或類似製程蝕刻第一金屬層 62、半導體層 60、第四介電層 58、第三介電層 56 a 至第三介電層 56 d 及第二介電層 54 a 至第二介電層 54 d，以形成開口。儘管第 14 A 圖及第 14 B 圖繪示了四個第二介電層 54 a 至第二介電層 54 d 及四個第三介電層 56 a 至第三介電層 56 d，可使用任何數量的第二介電層 54 及第三介電層 56。

**【0055】** 另外，在第 14 A 圖及第 14 B 圖中，在開口中形成第二金屬層 90 a、第五介電層 92 a 及第三金屬層 94 a，此開口藉由蝕刻第一金屬層 62、半導體層 60、第四介電層

58、第三介電層 56 a 至第三介電層 56 d 及第二介電層 54 a 至第二介電層 54 d 所形成。可由與用於第二金屬層 90、第五介電層 92 及第三金屬層 94 並且在上文關於第 11 A 圖直至第 12 D 圖描述的相同或類似材料及製程形成第二金屬層 90 a、第五介電層 92 a 及第三金屬層 94 a。如第 14 A 圖中繪示，包括第二金屬層 90 a、第五介電層 92 a 及第三金屬層 94 a 的水平電容器在橫截面圖中可以是梳狀。提供多個第二介電層 54 及第三介電層 56 進一步增加包括第二金屬層 90 a、第五介電層 92 a 及第三金屬層 94 a 的水平電容器的體積，而不增加記憶體單元面積。此舉改進讀取可靠性並且增加元件效能，而不增加記憶體單元面積或減小元件密度。此外，上文描述的用於形成水平電容器及奈米結構場效應電晶體的方法可在現有形成互補金屬氧化物半導體裝置的製程流程中實施，這情形降低了成本。

**【0056】** 第 15 圖直至第 17 圖繪示了包括在半導體層 60 a 中形成的多個奈米結構 61 a 至奈米結構 61 c 的實施例，這些奈米結構具有各種橫截面形狀。可由與用於奈米結構 61、閘極介電層 70 及閘極電極 74 並且在上文參考第 3 A 圖直至第 7 D 圖描述的相同或類似材料及製程形成奈米結構 61 a 至奈米結構 61 c、閘極介電層 70 a 至閘極介電層 70 c 及閘極電極 74 a 至閘極電極 74 c。在第 15 圖繪示的實施例中，奈米結構 61 a 在橫截面圖中可具有矩形形狀。在第 16 圖繪示的實施例中，奈米結構 61 b 在橫截面圖中可具有方形形狀。在第 17 圖繪示的實施例中，奈米結構 61 c 在

橫截面圖中可具有圓角形狀，諸如圓形形狀。第 15 圖直至第 17 圖繪示了其中形成用於奈米結構場效應電晶體的三個奈米結構 61a 至奈米結構 61c 的實施例，然而可形成任何數量的用於奈米結構場效應電晶體的奈米結構 61a 至奈米結構 61c。在奈米結構場效應電晶體中包括的奈米結構的形狀及數量可用於控制記憶體單元操作的驅動電流。因此，使用各種形狀及數量的奈米結構允許針對各種應用客製化記憶體單元。

**【0057】** 根據一實施例，一種半導體裝置包括在半導體基板上方的通道結構、環繞通道結構的閘極結構、鄰近閘極結構的第一源極/汲極區域，以及鄰近第一源極/汲極區域的電容器，在橫截面圖中電容器在第一源極/汲極區域及閘極結構下方延伸。在一實施例中，半導體裝置進一步包括鄰近閘極結構的第二源極/汲極區域，第二源極/汲極區域在閘極結構與第一源極/汲極區域相對的側面上設置，在橫截面圖中電容器在第二源極/汲極區域下方延伸。在一實施例中，位元線耦接到第二源極/汲極區域，字元線耦接到閘極結構，並且源極線耦接到電容器。在一實施例中，電容器包括在橫截面圖中在第一源極/汲極區域及閘極結構下方延伸的第一部分，以及在橫截面圖中在第一源極/汲極區域及閘極結構下方延伸的第二部分，並且介電層在第一部分與第二部分之間延伸。在一實施例中，電容器在橫截面圖中是梳狀。在一實施例中，電容器在橫截面圖中是 L 形。在一實施例中，電容器、閘極結構及第一源極/汲極區域的

頂表面彼此齊平。

【0058】 根據另一實施例，一種方法包括在半導體基板上方沉積包括第一介電層、第二介電層、第三介電層、第四介電層、第一半導體層及第一金屬層的多層堆疊。方法包括執行第一圖案化製程以圖案化第一金屬層、第一半導體層及第四介電層，第一圖案化製程形成圍繞第一半導體層的通道區域的第一開口。方法包括在第一開口中形成圍繞通道區域的閘極結構。方法包括執行第二圖案化製程以圖案化第一金屬層、第一半導體層、第四介電層、第三介電層及第二介電層，第二圖案化製程形成暴露第一介電層的第一部分的第二開口，第二開口在閘極結構下面從閘極結構的第一側延伸到閘極結構與第一側相對的第二側。方法包括在第二開口中形成電容器。在一實施例中，第一圖案化製程包括在第一金屬層、第一半導體層及第四介電層上執行各向異性蝕刻製程以暴露第三介電層並且圖案化第一半導體層中的通道區域，以及在執行各向異性蝕刻製程之後，執行各向同性蝕刻製程以分別從通道區域之上及之下移除第一金屬層及第四介電層。在一實施例中，在執行第二圖案化製程之前第二介電層在垂直於半導體基板的主表面的第一方向上具有第一寬度，在執行第二圖案化製程之後第二介電層在第一方向上具有第二寬度，並且第二寬度與第一寬度的比率是 0.30 至 0.50。在一實施例中，形成電容器包括在第二開口中沉積第二金屬層，第二金屬層接觸第一金屬層、第一半導體層、第四介電層、第三介電層及第

二介電層的側壁。在一實施例中，方法進一步包括在第二金屬層上方沉積第五介電層、在第二金屬層上方沉積第三金屬層並且填充第二開口，以及平坦化第一金屬層、閘極結構、第二金屬層、第五介電層及第三金屬層的頂表面。在一實施例中，方法進一步包括圖案化閘極結構以形成第三開口，並且沉積填充第三開口的層間介電層。

**【0059】** 根據又一實施例，一種方法包括在半導體基板上方形成電晶體，電晶體包括鄰近閘極結構的第一源極/汲極區域及鄰近閘極結構且與第一源極/汲極區域相對的第二源極/汲極區域。方法包括在第一源極/汲極區域上執行第一各向異性蝕刻製程以形成第一開口。方法包括穿過第一開口執行第一各向同性蝕刻製程以圖案化在半導體基板與電晶體之間的虛設介電層，第一各向同性蝕刻製程延伸第一開口。方法包括在第一開口中形成電容器。在一實施例中，形成電晶體包括圖案化半導體層以形成在平行於半導體基板的主表面的平面中延伸的複數個通道區域，以及圍繞複數個通道區域的每個通道區域形成閘極結構。在一實施例中，方法進一步包括在第一源極/汲極區域及第二源極/汲極區域上方平坦化閘極結構及第一金屬層。在一實施例中，方法進一步包括在平坦化閘極結構及第一金屬層之後，圖案化閘極結構以移除閘極結構的第一部分且形成第二開口，在圖案化閘極結構之後餘留閘極結構的第二部分，以及在第二開口中形成層間介電層。在一實施例中，方法進一步包括在半導體層上方形成第一金屬層，在第一金屬層的部

分中形成第一源極/汲極區域及第二源極/汲極區域。在一實施例中，形成電容器包括在第一開口中共形地沉積第一金屬層、在第一金屬層上方共形地沉積第一介電層、在第一介電層上方共形地沉積第二金屬層，以及平坦化第一金屬層、第一介電層及第二金屬層。在一實施例中，共形地沉積與第一源極/汲極區域接觸的第一金屬層。

**【0060】** 前面概述一些實施例的特徵，使得本領域技術人員可更好地理解本公開的觀點。本領域技術人員應該理解，他們可以容易地使用本公開做為設計或修改其他製程和結構的基礎，以實現相同的目的和/或實現與本文介紹之實施例相同的優點。本領域技術人員還應該理解，這樣的等同構造不脫離本公開的精神和範圍，並且在不脫離本公開的精神和範圍的情況下，可以進行各種改變、替換和變更。

### **【符號說明】**

#### **【0061】**

5 0 : 基板

5 2 : 第一介電層

5 4 , 5 4 a , 5 4 b , 5 4 c , 5 4 d : 第二介電層

5 5 : 多層堆疊

5 6 , 5 6 a , 5 6 b , 5 6 c , 5 6 d : 第三介電層

5 8 : 第四介電層

6 0 , 6 0 a , 6 0 b , 6 0 c : 半導體層

6 1 , 6 1 a , 6 1 b , 6 1 c : 奈米結構

6 2 : 第一金屬層

6 3 : 源極 / 汲極區域

6 4 : 圖案化的硬遮罩層

7 0 , 7 0 a , 7 0 b , 7 0 c : 閘極介電層

7 2 : 閘極電極材料

7 2 A : 襯墊層

7 2 B : 功函數調節層

7 2 C : 填充材料

7 4 , 7 4 a , 7 4 b , 7 4 c : 閘極電極

7 5 : 區域

8 0 : 第一層間介電質

8 2 : 第一開口

9 0 , 9 0 a : 第二金屬層

9 2 , 9 2 a : 第五介電層

9 4 , 9 4 a : 第三金屬層

9 5 : 閘極遮罩

9 6 : 第二層間介電質

9 7 : 源極線

9 8 : 字元線

9 9 : 位元線

A - A ' 、 B - B ' 、 C - C ' : 橫截面

D <sub>1</sub> : 深度

W <sub>1</sub> 、 W <sub>2</sub> 、 W <sub>3</sub> : 寬度

## 【發明申請專利範圍】

【請求項 1】一種半導體裝置，包括：  
一通道結構，在一半導體基板上方；  
一閘極結構，環繞該通道結構；  
一第一源極/汲極區域，鄰近該閘極結構；以及  
一電容器，鄰近該第一源極/汲極區域，在一橫截面圖中該電容器在該第一源極/汲極區域及該閘極結構下方延伸。

【請求項 2】如請求項 1 所述之半導體裝置，進一步包括鄰近該閘極結構的一第二源極/汲極區域，該第二源極/汲極區域在該閘極結構與該第一源極/汲極區域相對的一側面上設置，其中在該橫截面圖中該電容器在該第二源極/汲極區域下方延伸。

【請求項 3】如請求項 2 所述之半導體裝置，其中一位元線耦接到該第二源極/汲極區域，一字元線耦接到該閘極結構，並且一源極線耦接到該電容器。

【請求項 4】如請求項 1 所述之半導體裝置，其中該電容器包括在該橫截面圖中在該第一源極/汲極區域及該閘極結構下方延伸的一第一部分，以及在該橫截面圖中在該第一源極/汲極區域及該閘極結構下方延伸的一第二部分，並且其中一介電層在該第一部分與該第二部分之間延伸。

【請求項 5】如請求項 4 所述之半導體裝置，其中在該橫截面圖中該電容器是梳狀。

【請求項 6】如請求項 1 所述之半導體裝置，其中在該橫截面圖中該電容器是 L 形。

【請求項 7】如請求項 1 所述之半導體裝置，其中該電容器、該閘極結構及該第一源極/汲極區域的頂表面彼此齊平。

【請求項 8】一種方法，包括：

在一半導體基板上方沉積一多層堆疊，該多層堆疊包括一第一介電層、一第二介電層、一第三介電層、一第四介電層、一第一半導體層及一第一金屬層；

執行一第一圖案化製程以圖案化該第一金屬層、該第一半導體層及該第四介電層，該第一圖案化製程形成一第一開口圍繞該第一半導體層的一通道區域；

在該第一開口中形成一閘極結構，該閘極結構圍繞該通道區域；

執行一第二圖案化製程以圖案化該第一金屬層、該第一半導體層、該第四介電層、該第三介電層及該第二介電層，該第二圖案化製程形成暴露該第一介電層的一第一部分的一第二開口，該第二開口在該閘極結構下面從該閘極結構

的一第一側延伸到該閘極結構與該第一側相對的一第二側；  
以及

在該第二開口中形成一電容器。

**【請求項 9】**如請求項 8 所述之方法，其中該第一圖案化製程包括：

在該第一金屬層、該第一半導體層及該第四介電層上執行一各向異性蝕刻製程，以暴露該第三介電層並且圖案化該第一半導體層中的該通道區域；以及

在執行該各向異性蝕刻製程之後，執行一各向同性蝕刻製程以分別從該通道區域之上及之下移除該第一金屬層及該第四介電層。

**【請求項 10】**如請求項 8 所述之方法，其中在執行該第二圖案化製程之前該第二介電層在垂直於該半導體基板的一主表面的一第一方向上具有一第一寬度，其中在執行該第二圖案化製程之後該第二介電層在該第一方向上具有一第二寬度，並且其中該第二寬度與該第一寬度的一比率是 0.30 至 0.50。

**【請求項 11】**如請求項 8 所述之方法，其中形成該電容器包括在該第二開口中沉積一第二金屬層，該第二金屬層接觸該第一金屬層、該第一半導體層、該第四介電層、該第三介電層及該第二介電層的側壁。

【請求項 12】如請求項 11 所述之方法，進一步包括：

在該第二金屬層上方沉積一第五介電層；

在該第二金屬層上方沉積一第三金屬層並且填充該第二開口；以及

平坦化該第一金屬層、該閘極結構、該第二金屬層、該第五介電層及該第三金屬層的頂表面。

【請求項 13】如請求項 8 所述之方法，進一步包括：

圖案化該閘極結構以形成一第三開口；以及

沉積填充該第三開口的一層間介電層。

【請求項 14】一種方法，包括：

在一半導體基板上方形成一電晶體，該電晶體包括鄰近一閘極結構的一第一源極/汲極區域及鄰近該閘極結構且與該第一源極/汲極區域相對的一第二源極/汲極區域；

在該第一源極/汲極區域上執行一第一各向異性蝕刻製程以形成一第一開口；

穿過該第一開口執行一第一各向同性蝕刻製程，以在該半導體基板與該電晶體之間圖案化一虛設介電層，該第一各向同性蝕刻製程延伸該第一開口；以及

在該第一開口中形成一電容器。

【請求項 15】如請求項 14 所述之方法，其中形成該電晶

體包括：

圖案化一半導體層以形成複數個通道區域在平行於該半導體基板的一主表面的一平面中延伸；以及

形成該閘極結構圍繞該些通道區域的每個通道區域。

**【請求項 16】**如請求項 15 所述之方法，進一步包括在該第一源極/汲極區域及該第二源極/汲極區域上方平坦化該閘極結構及一第一金屬層。

**【請求項 17】**如請求項 16 所述之方法，進一步包括：

在平坦化該閘極結構及該第一金屬層之後，圖案化該閘極結構以移除該閘極結構的一第一部分且形成第二開口，其中在圖案化該閘極結構之後餘留該閘極結構的一第二部分；以及

在該些第二開口中形成一層間介電層。

**【請求項 18】**如請求項 15 所述之方法，進一步包括在該半導體層上方形成一第一金屬層，其中在該第一金屬層的部分中形成該第一源極/汲極區域及該第二源極/汲極區域。

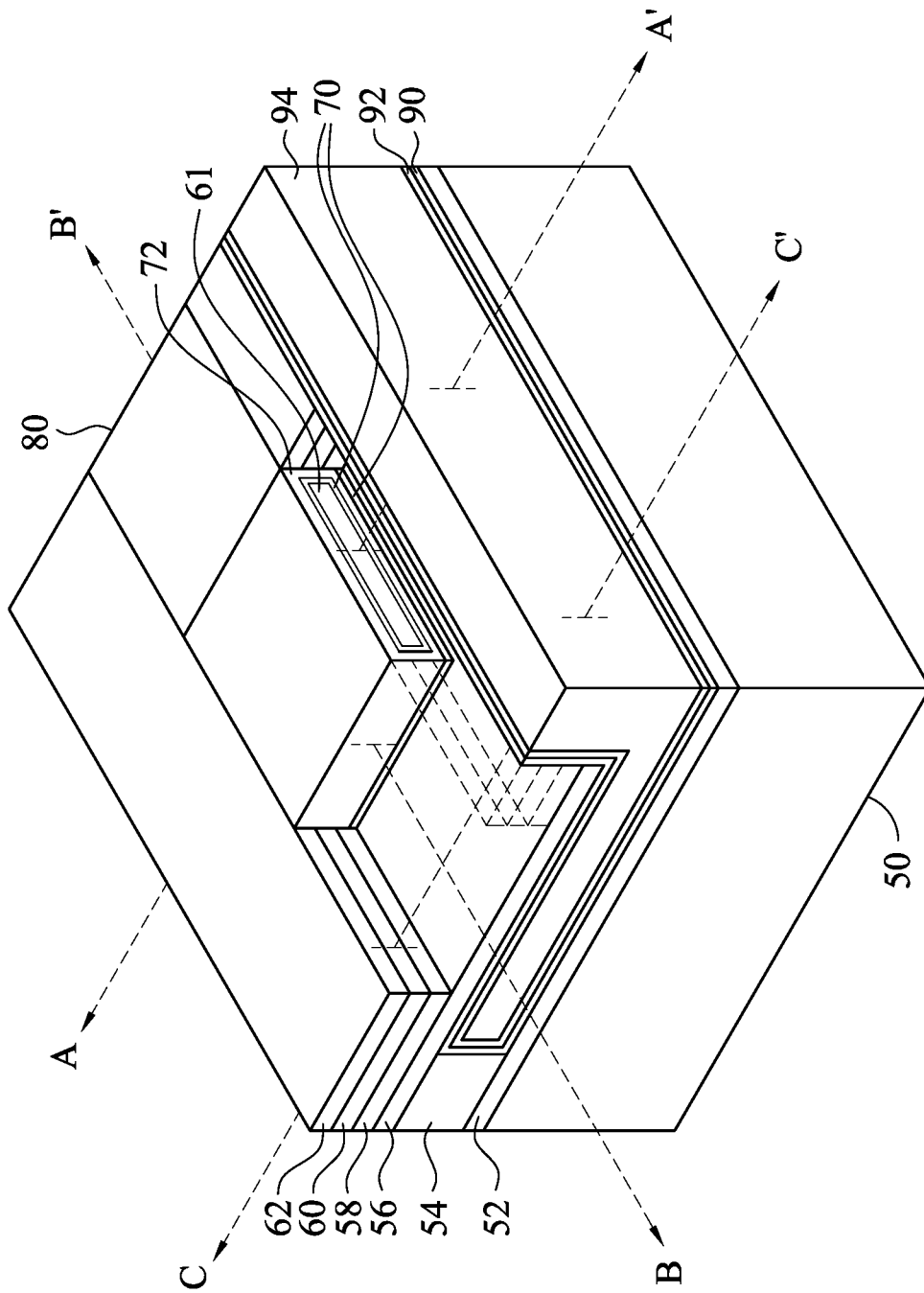
**【請求項 19】**如請求項 14 所述之方法，其中形成該電容器包括：

在該第一開口中共形地沉積一第一金屬層；

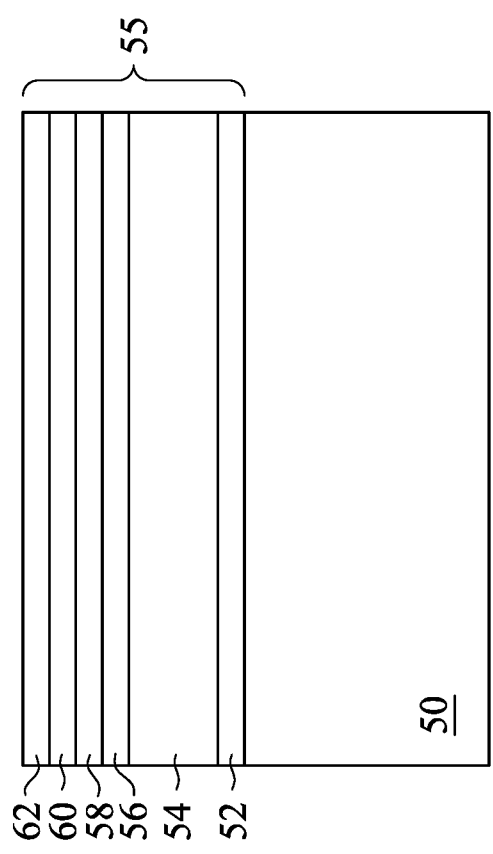
在該第一金屬層上方共形地沉積一第一介電層；  
在該第一介電層上方共形地沉積一第二金屬層；以及  
平坦化該第一金屬層、該第一介電層及該第二金屬層。

**【請求項 20】** 如請求項 19 所述之方法，其中該第一金屬層共形沉積且接觸該第一源極/汲極區域。

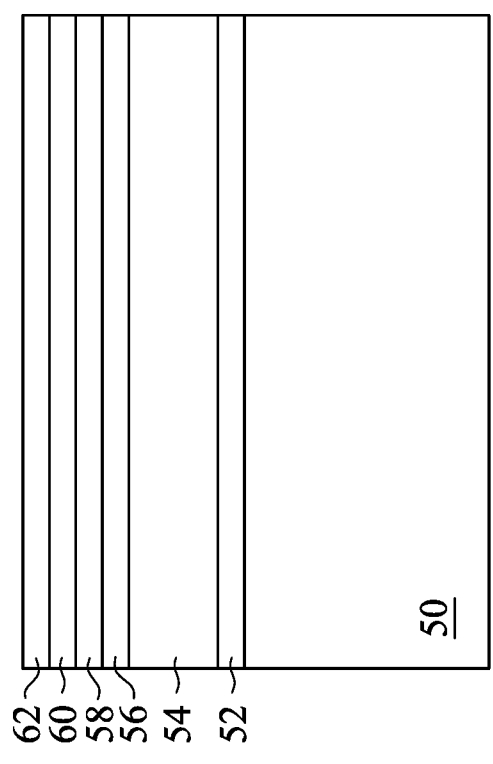
【發明圖式】



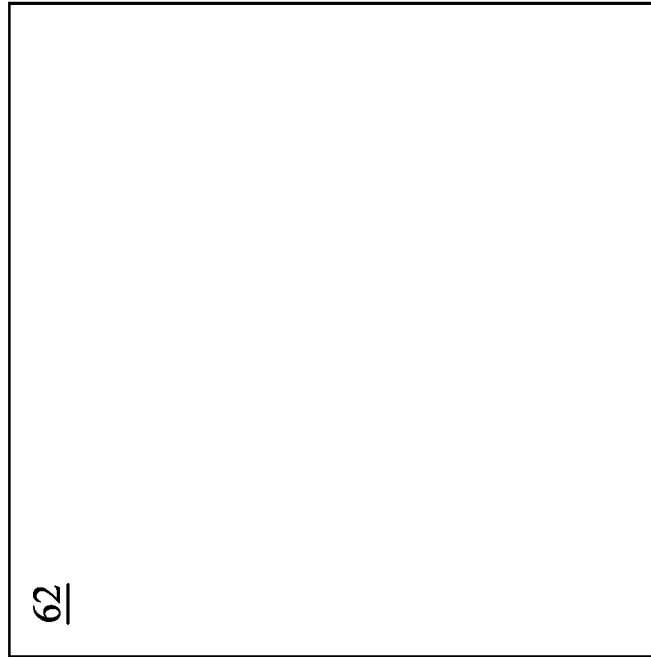
第 1 圖



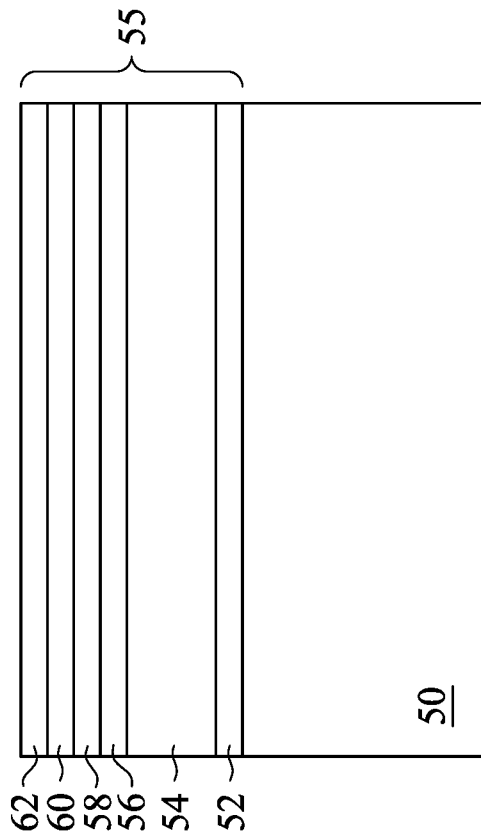
第2B圖



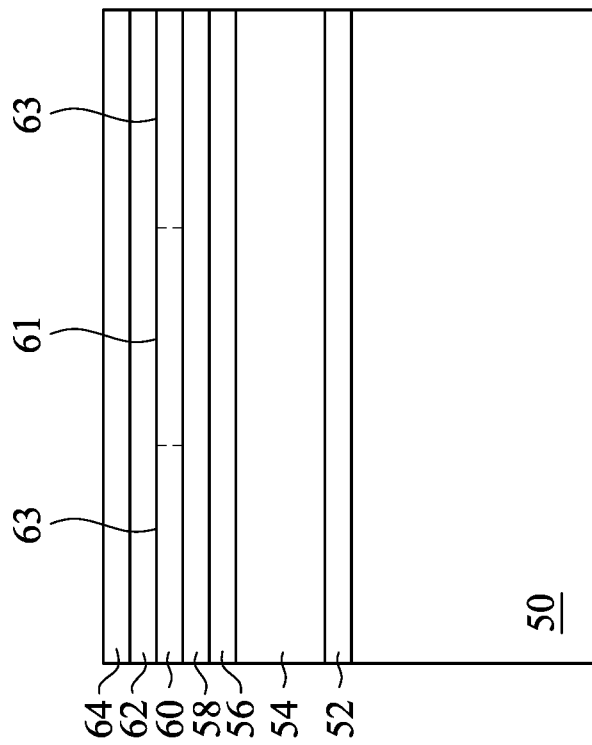
第2A圖



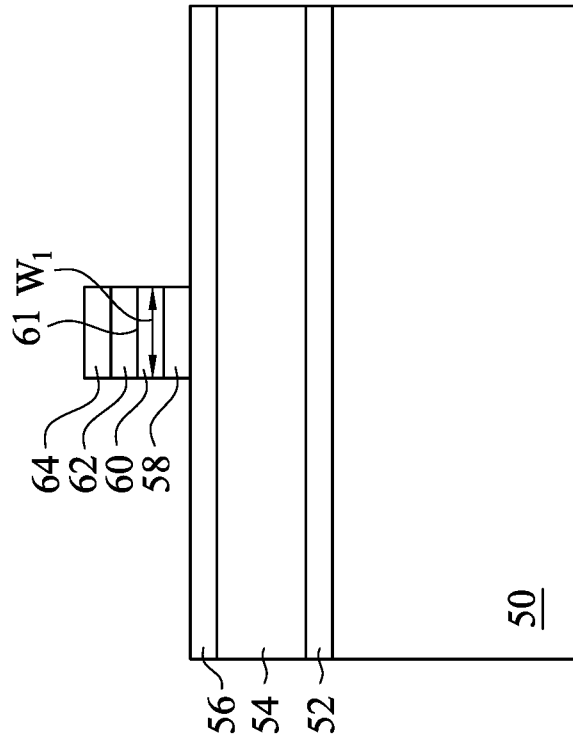
第2D圖



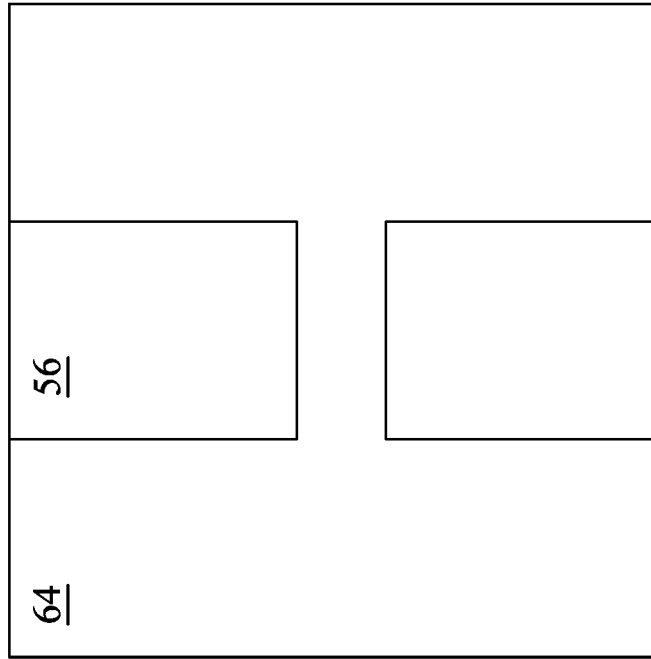
第2C圖



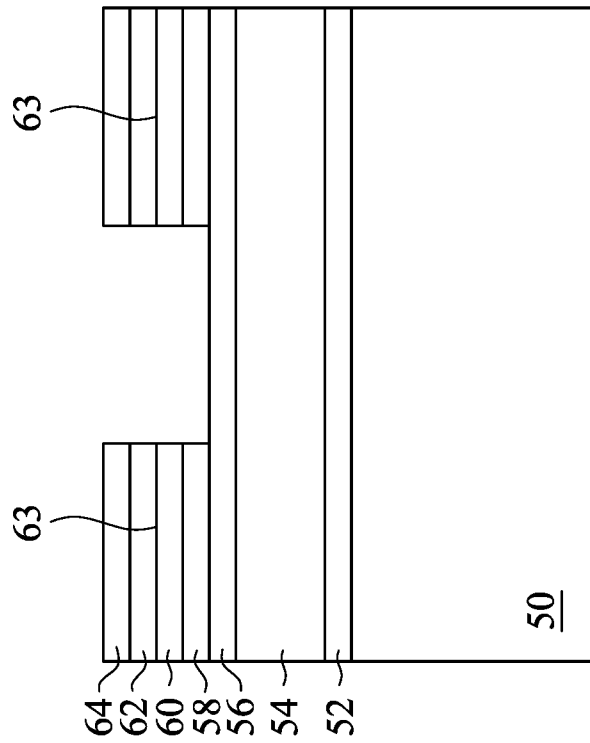
第3A圖



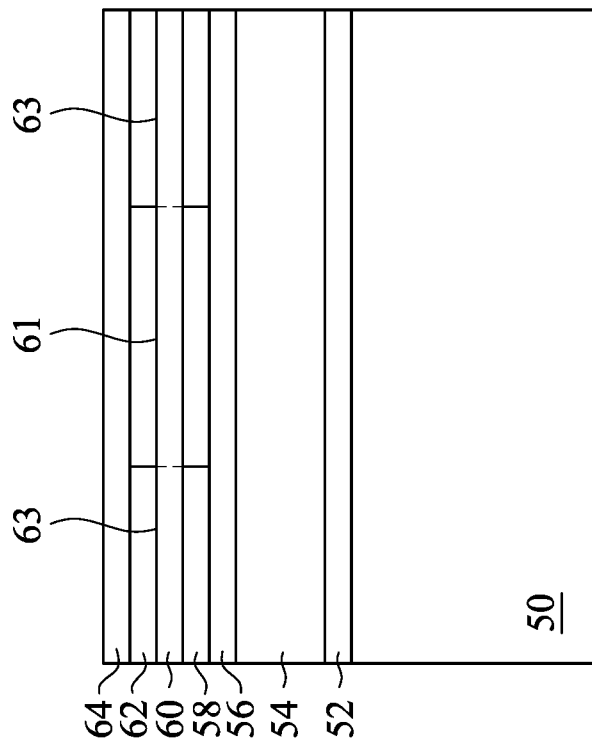
第3B圖



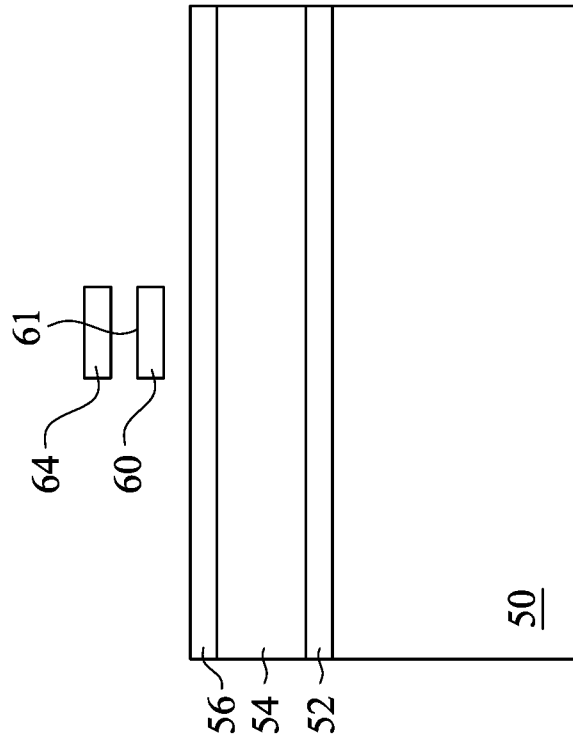
第3D圖



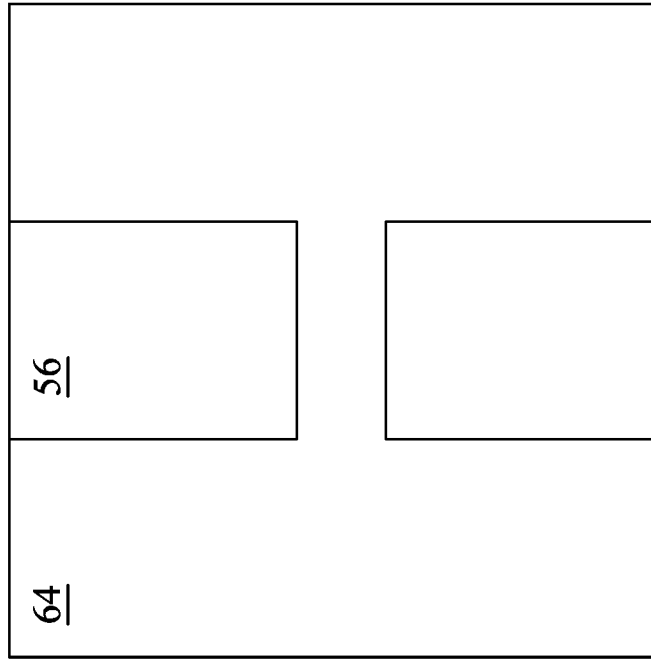
第3C圖



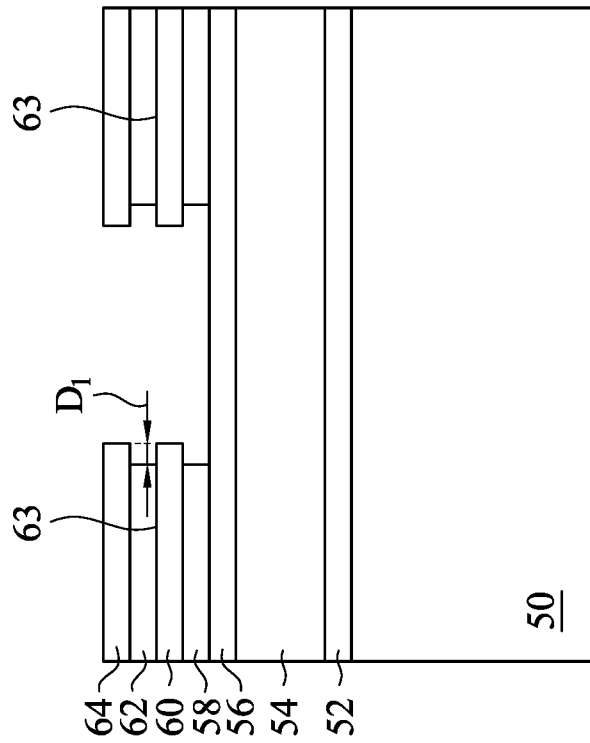
第4A圖



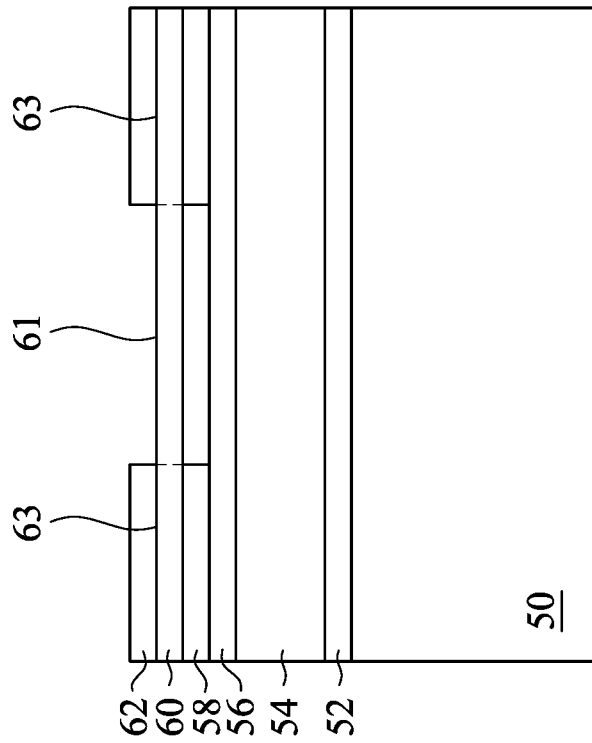
第4B圖



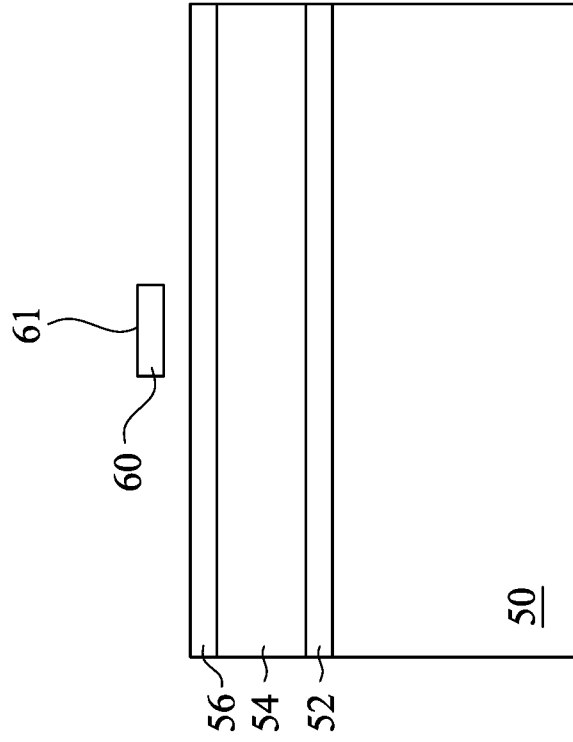
第4D圖



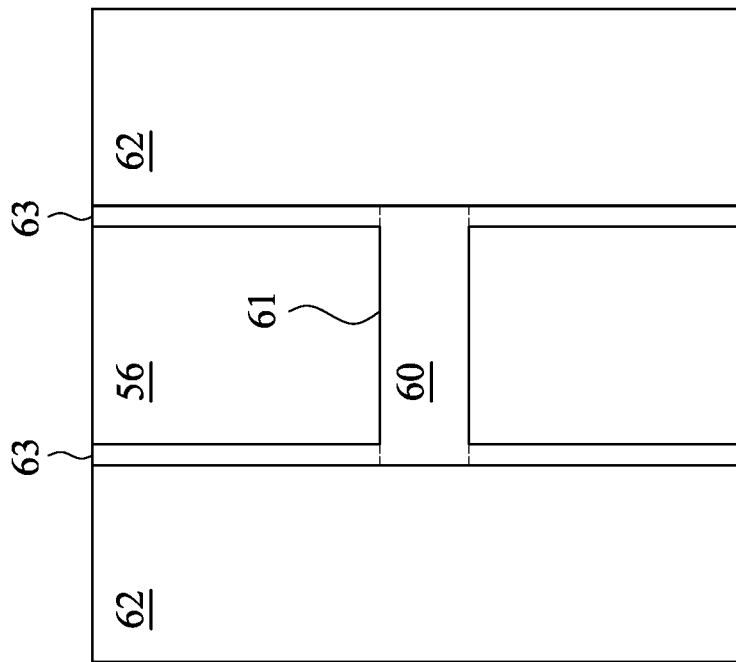
第4C圖



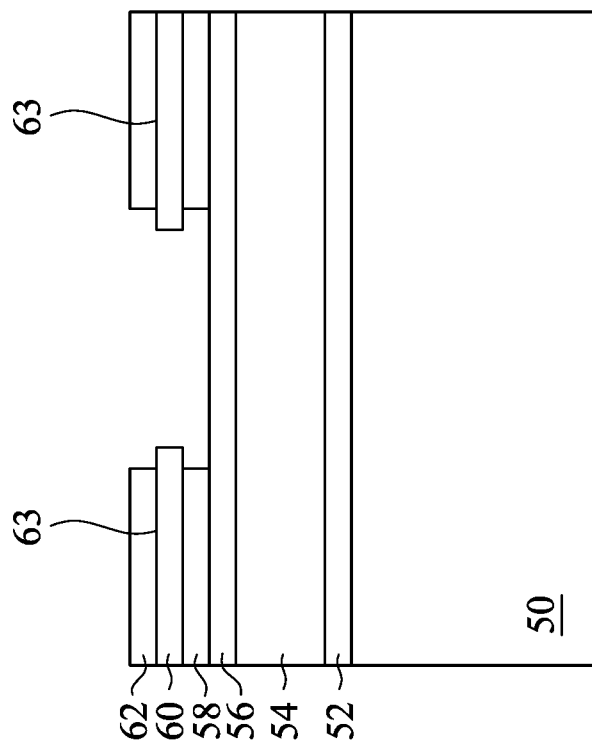
第 5A 圖



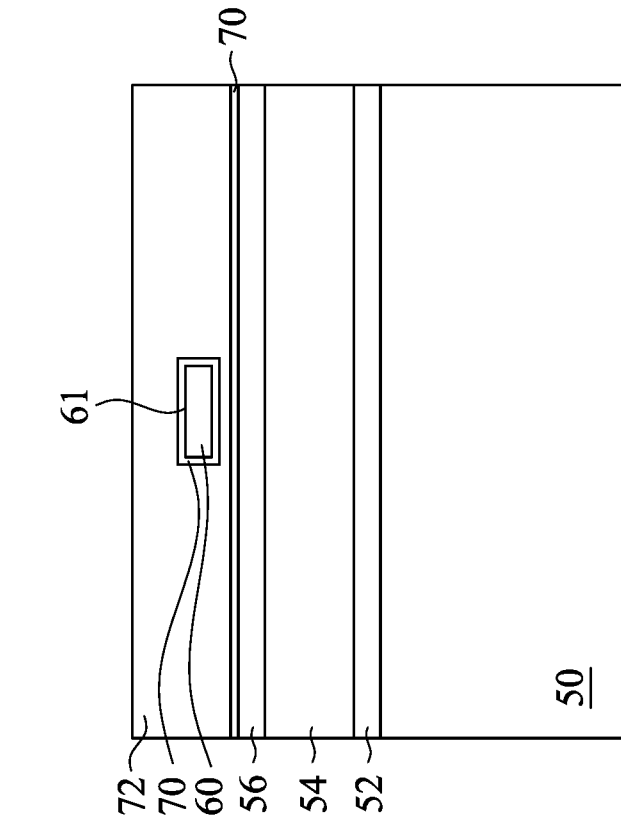
第 5B 圖



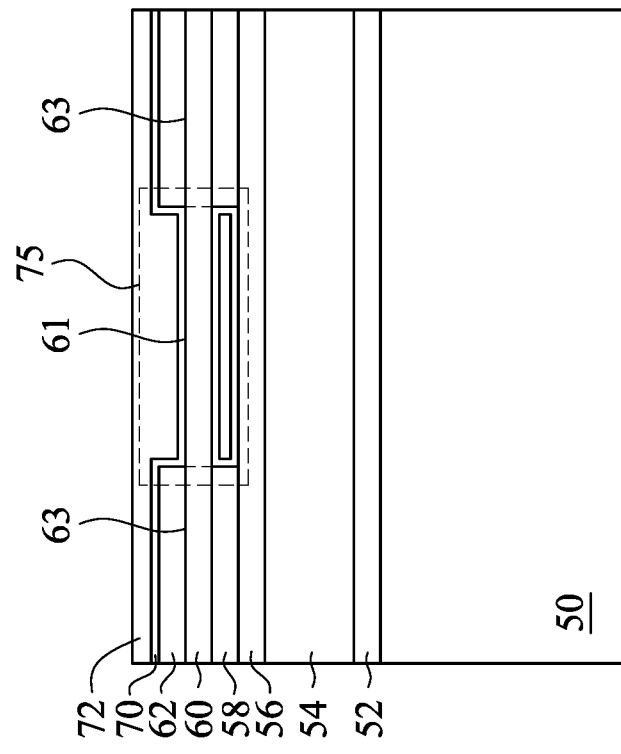
第 5D 圖



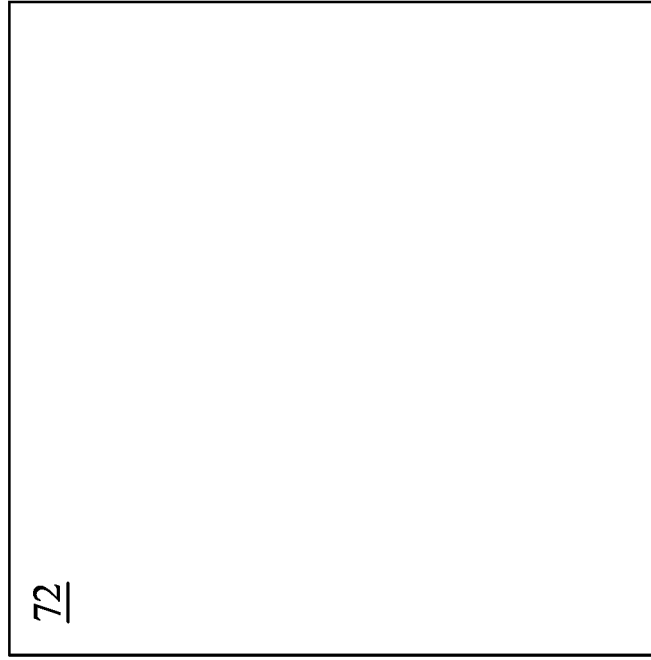
第 5C 圖



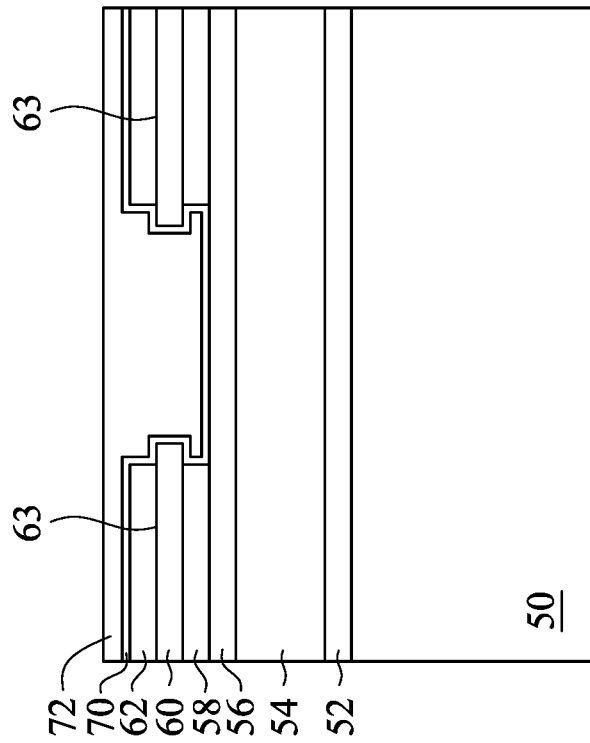
第 6B 圖



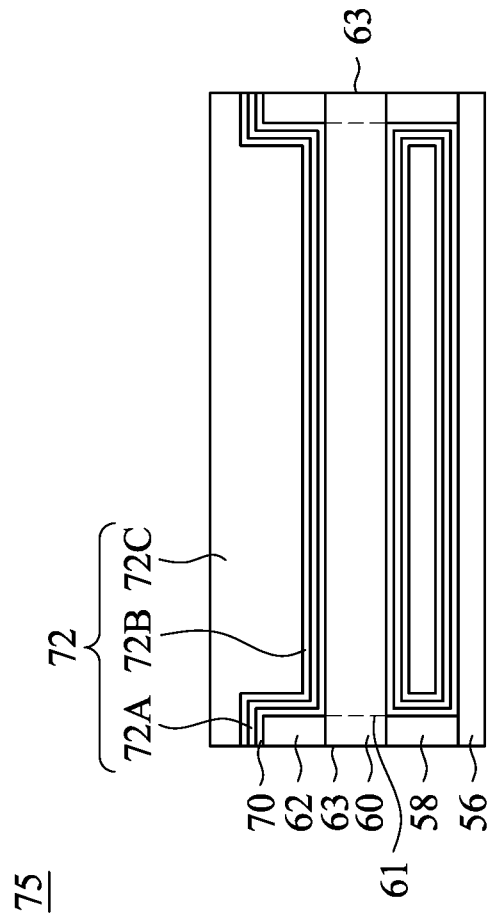
第 6A 圖



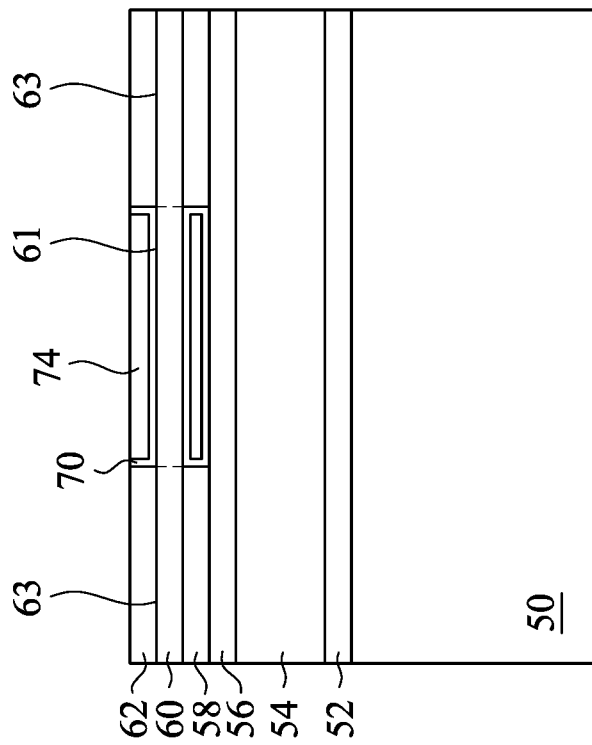
第 6D 圖



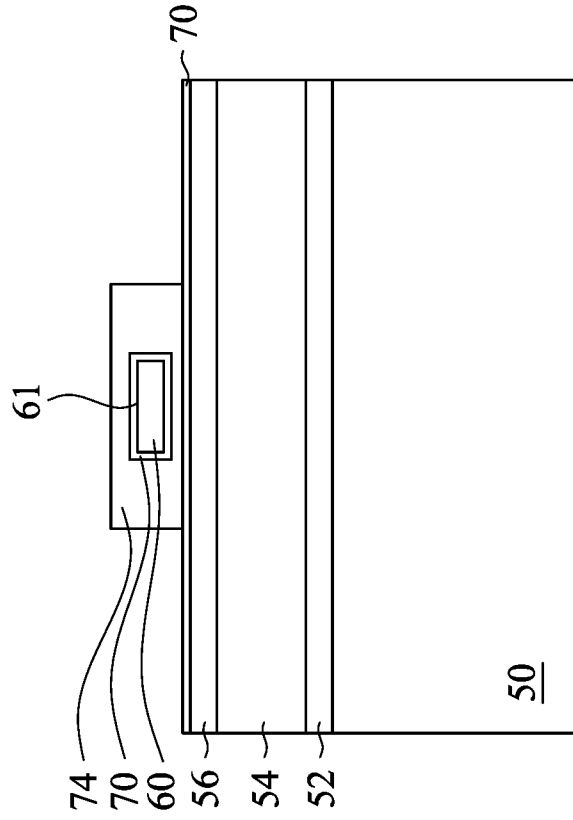
第 6C 圖



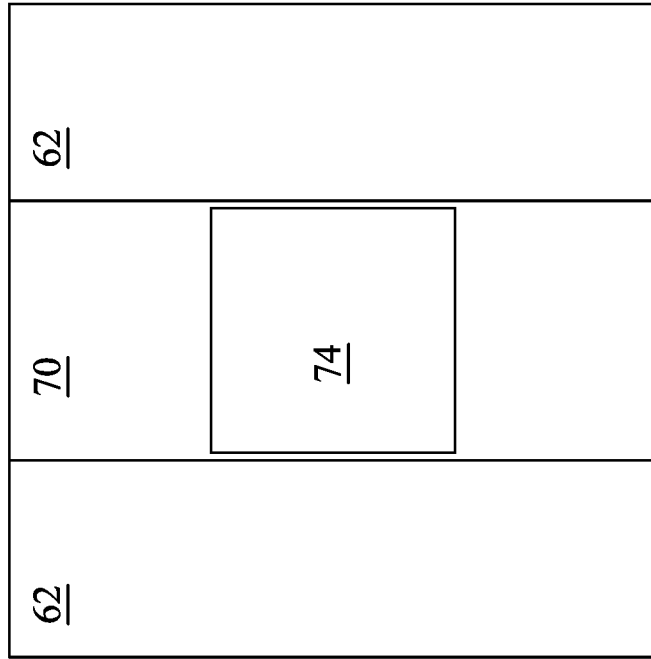
第6E圖



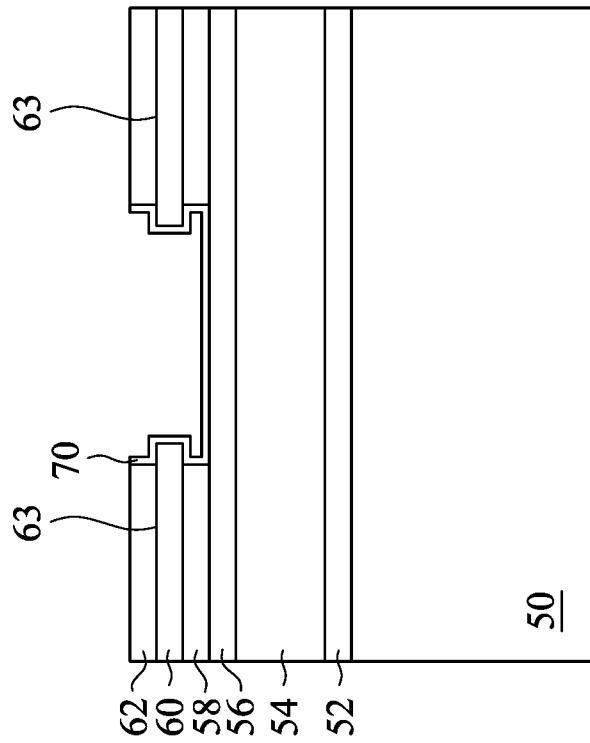
第7A圖



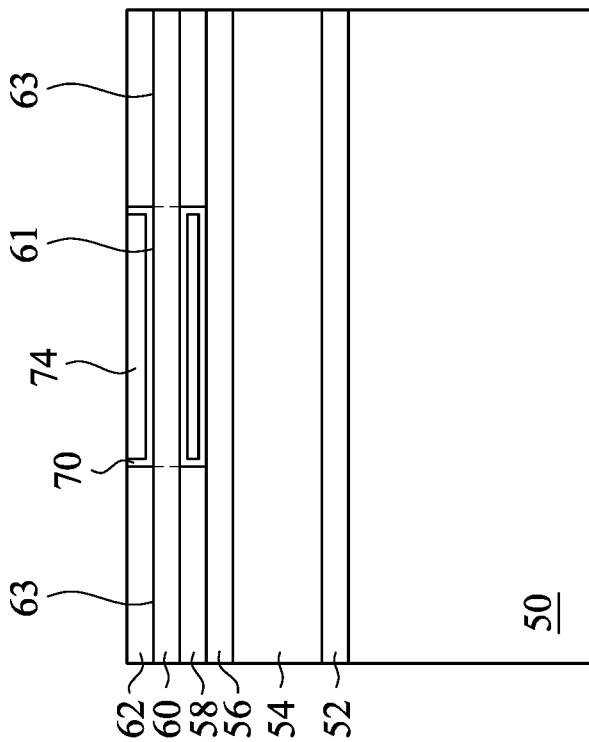
第7B圖



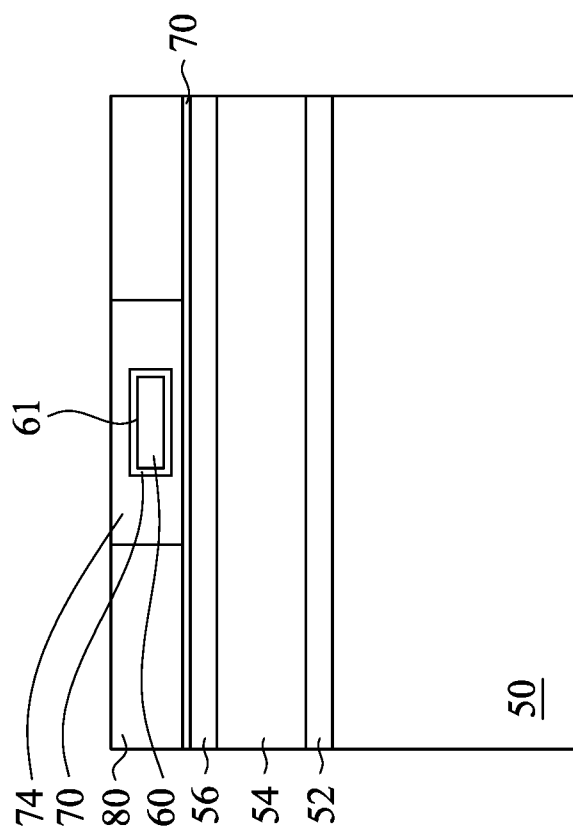
第 7D 圖



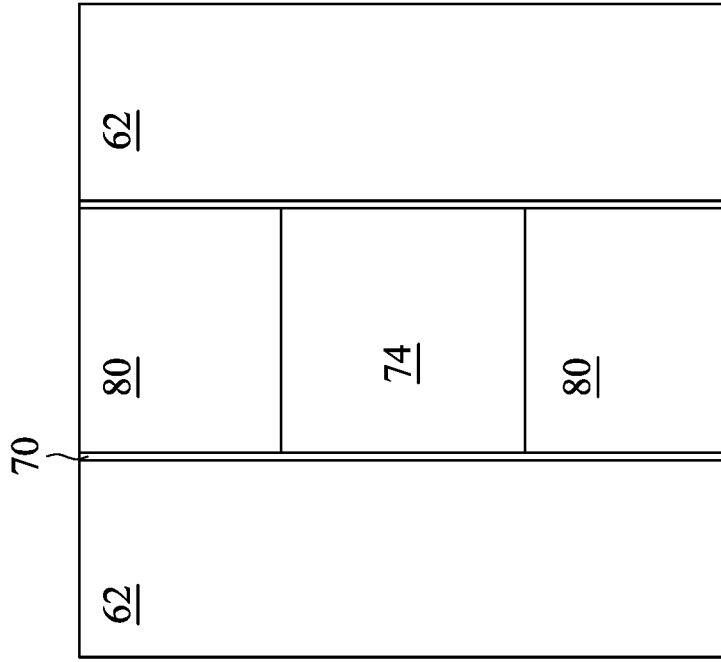
第 7C 圖



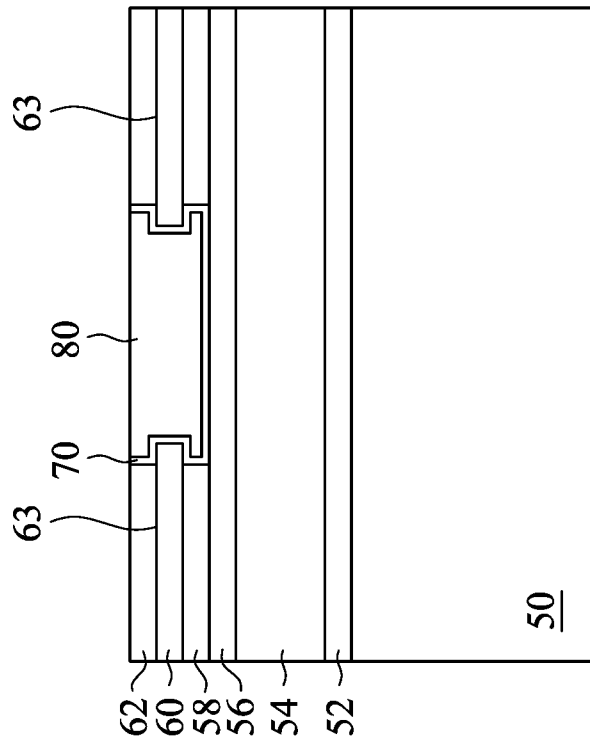
第 8A 圖



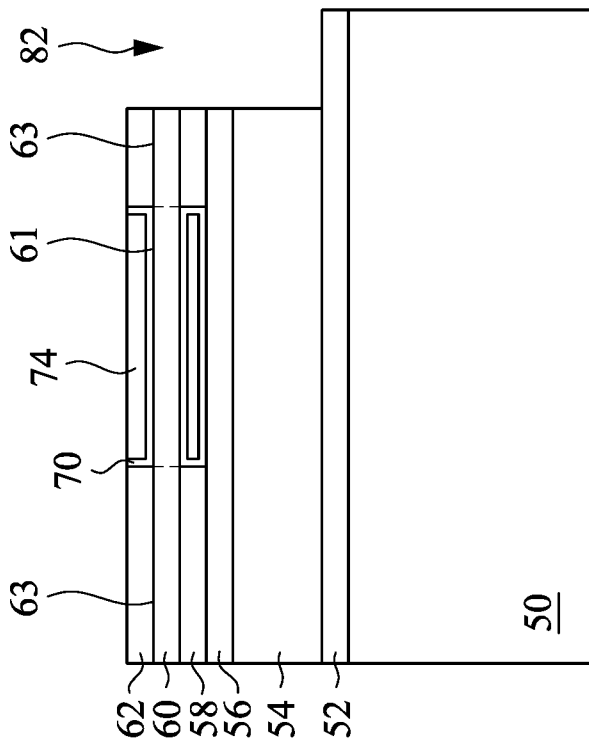
第 8B 圖



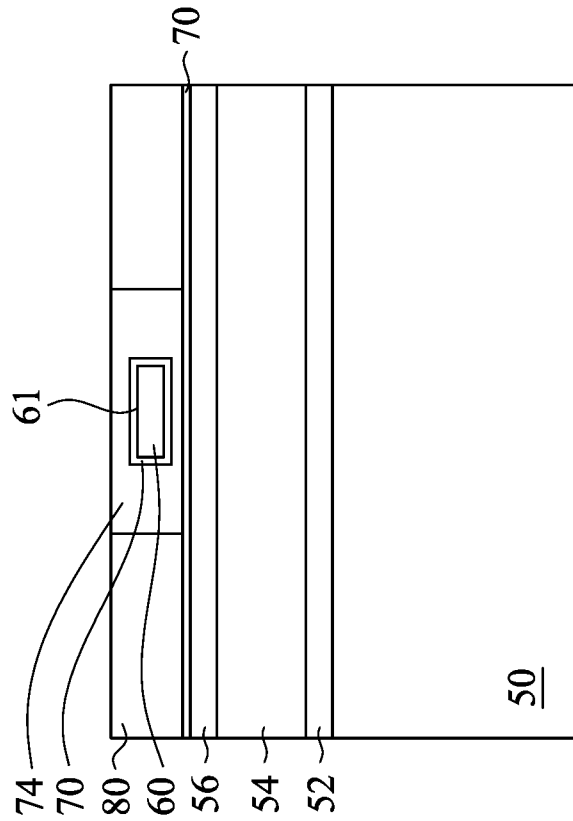
第8D圖



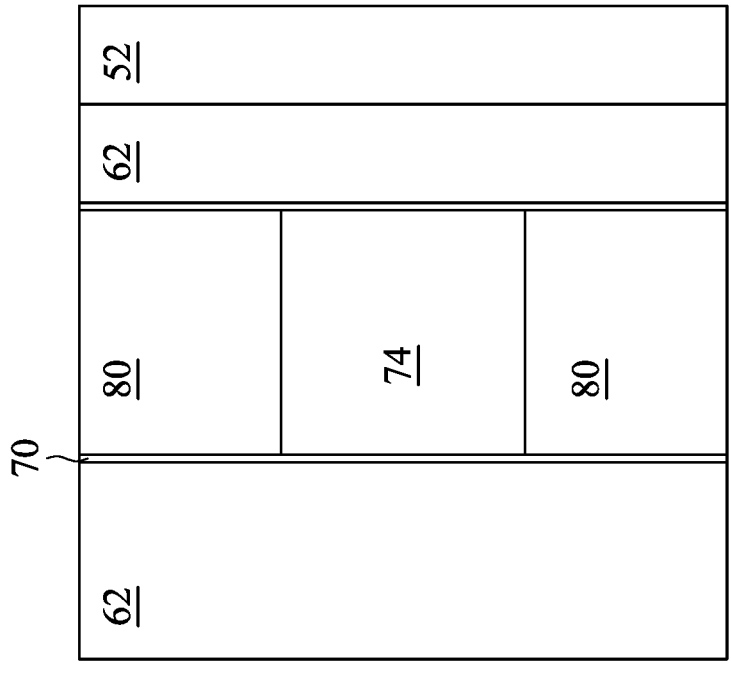
第8C圖



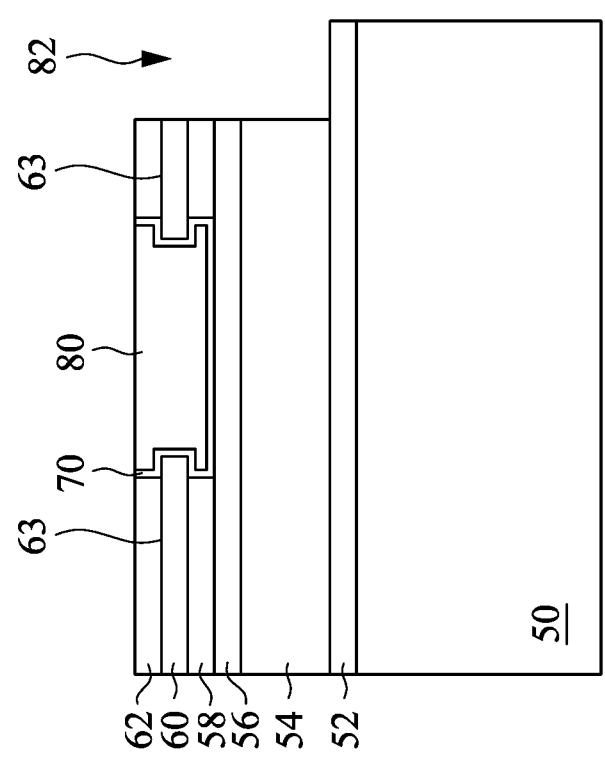
第9A圖



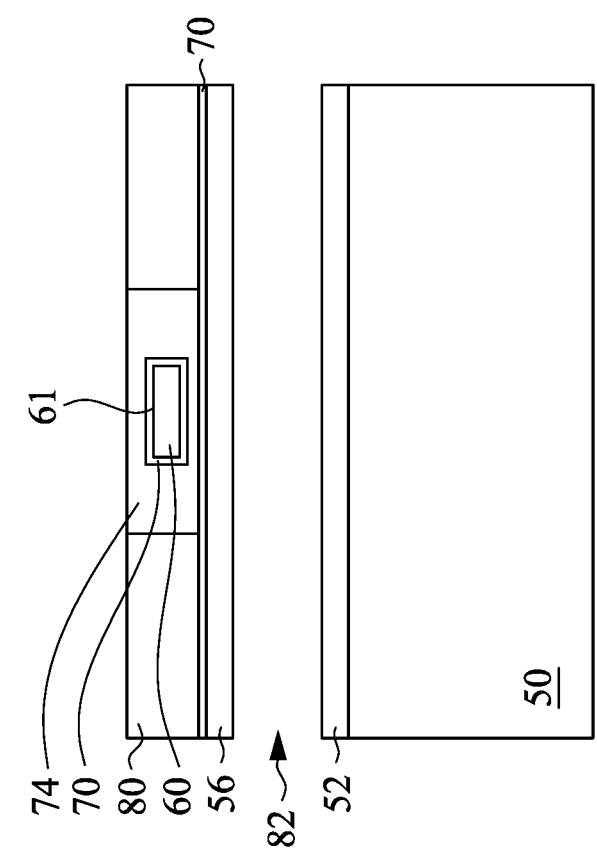
第9B圖



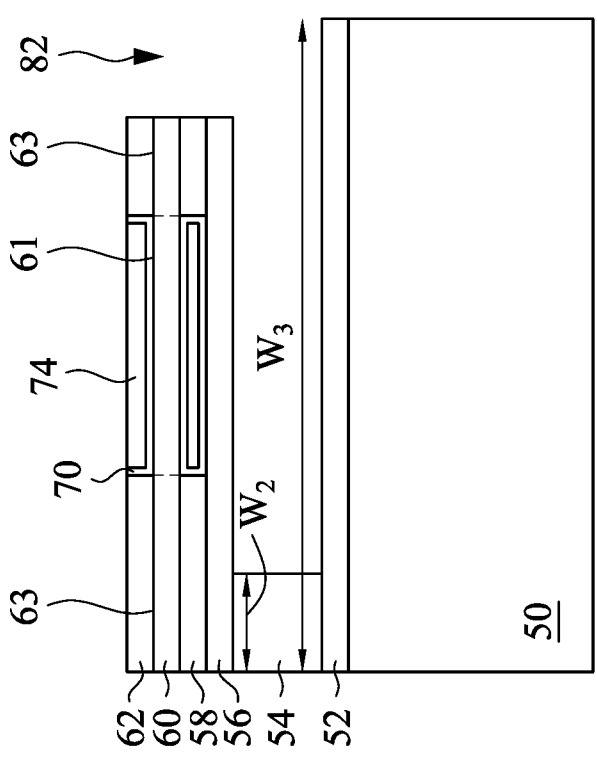
第9D圖



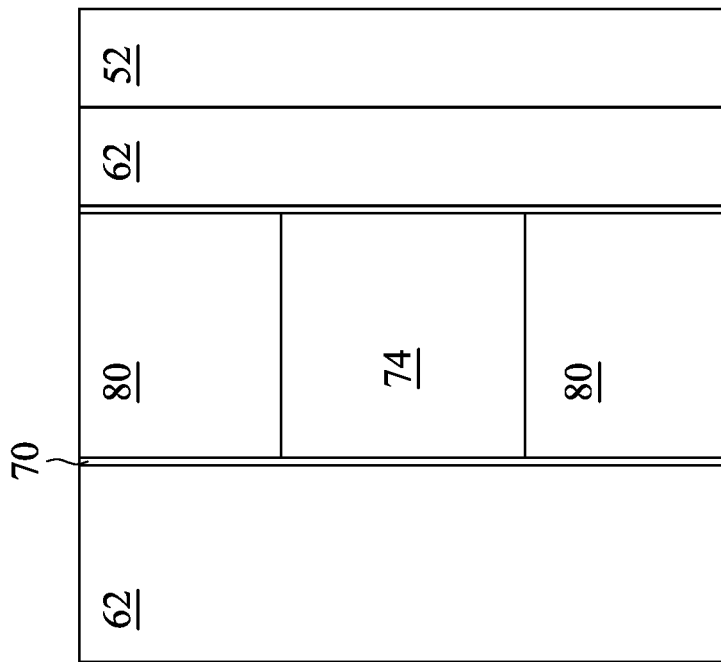
第9C圖



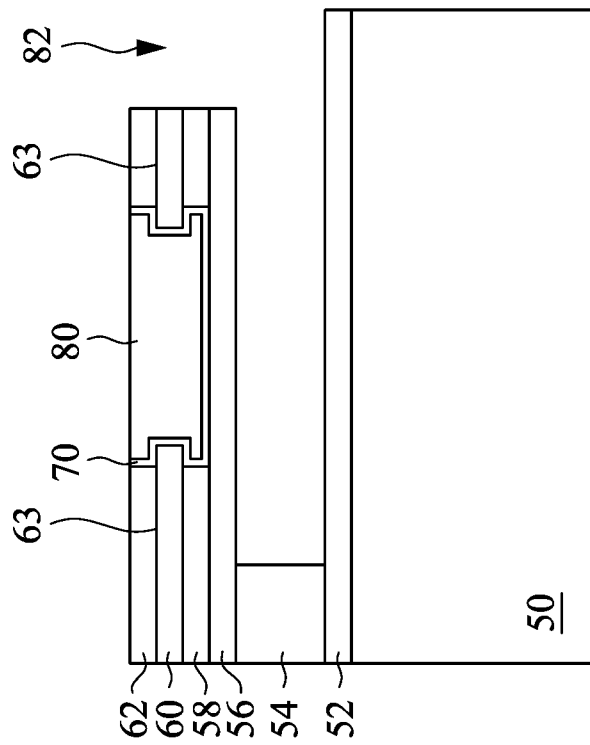
第 10B 圖



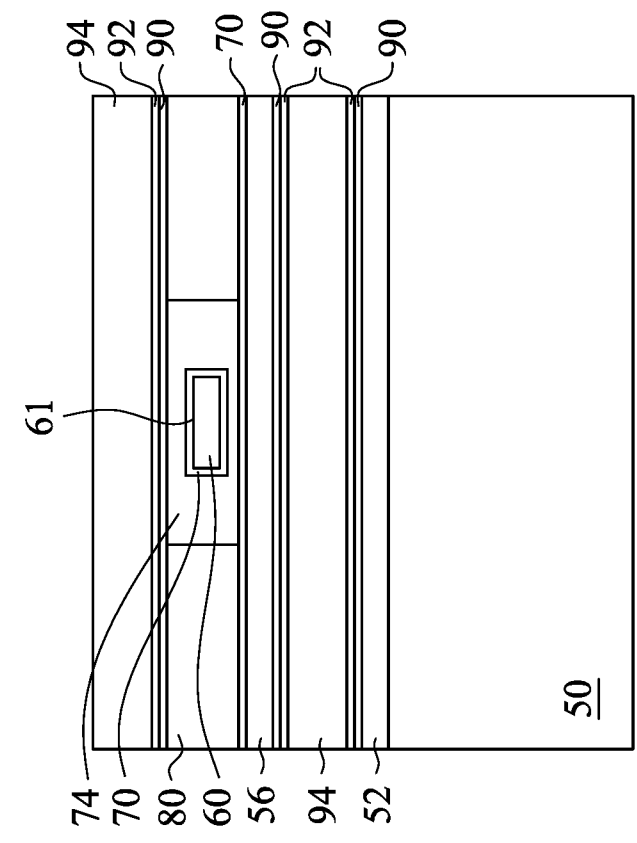
第 10A 圖



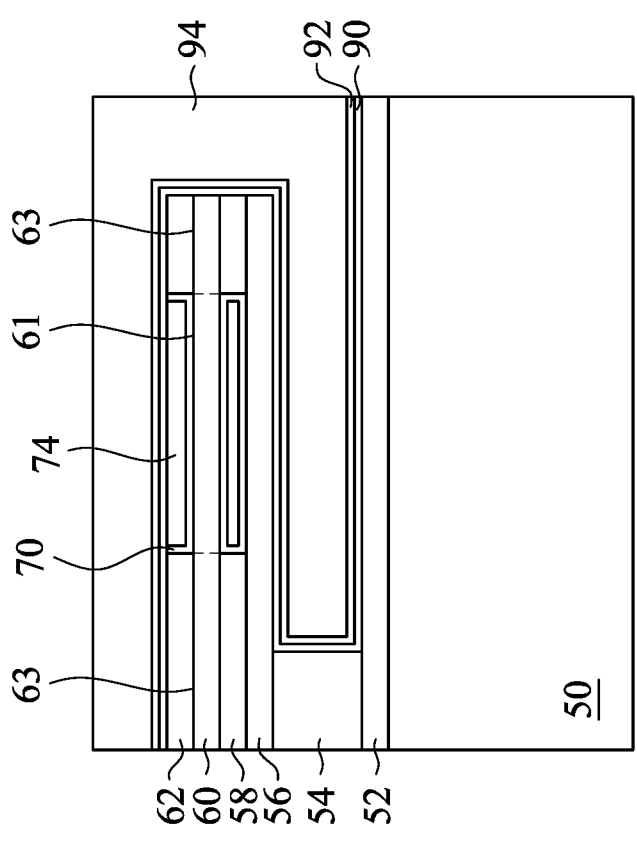
第 10D 圖



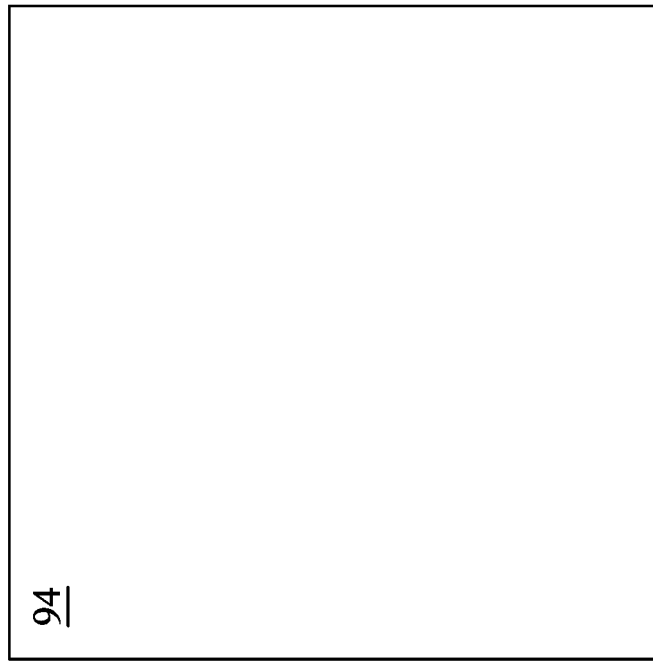
第 10C 圖



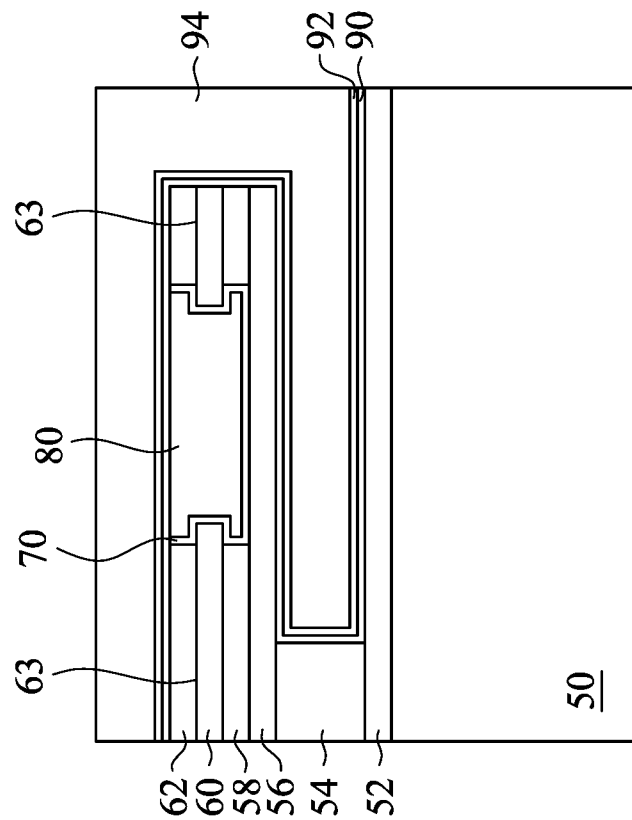
第 11B 圖



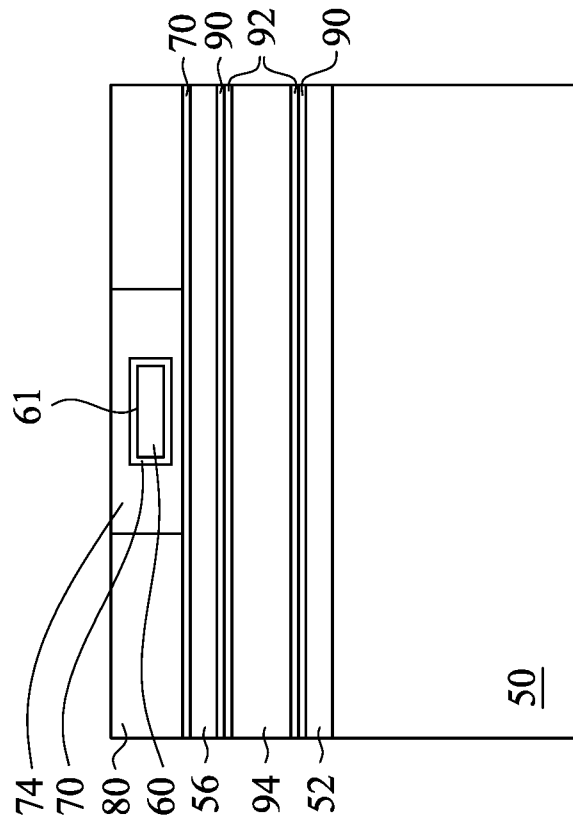
第 11A 圖



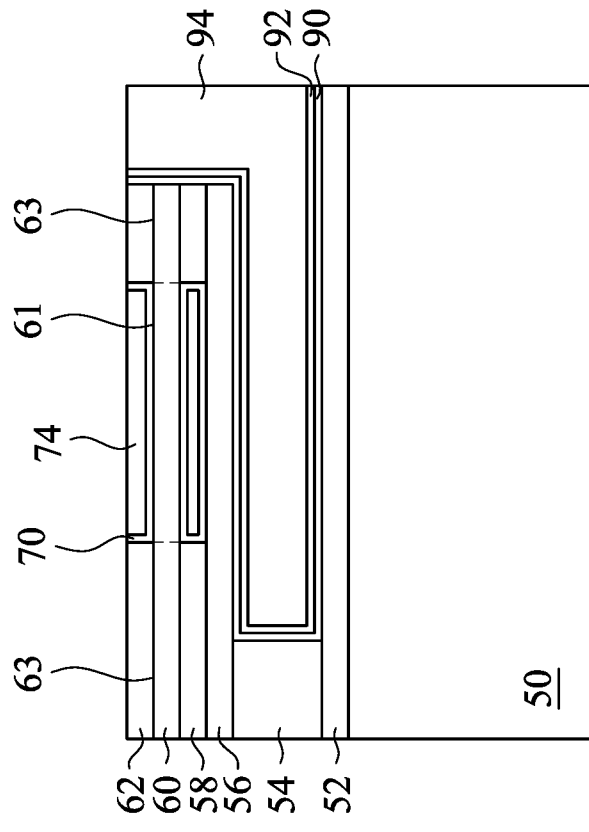
第 11D 圖



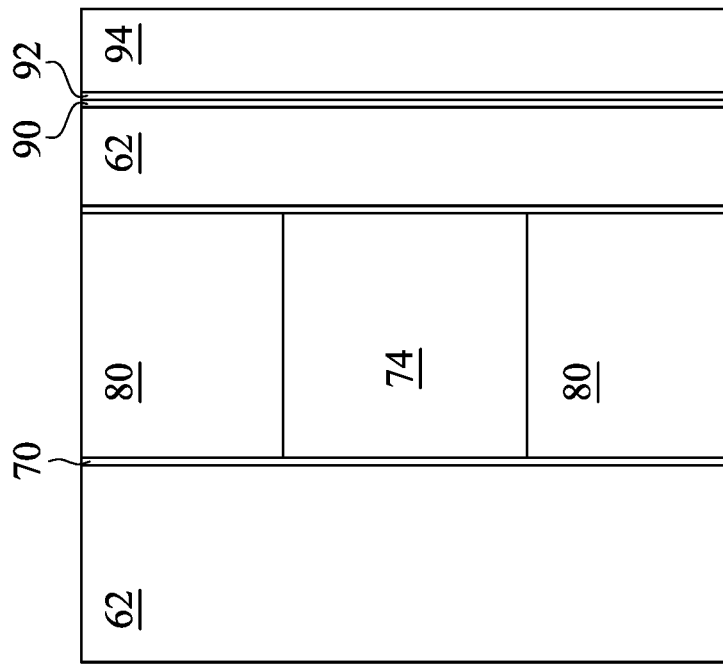
第 11C 圖



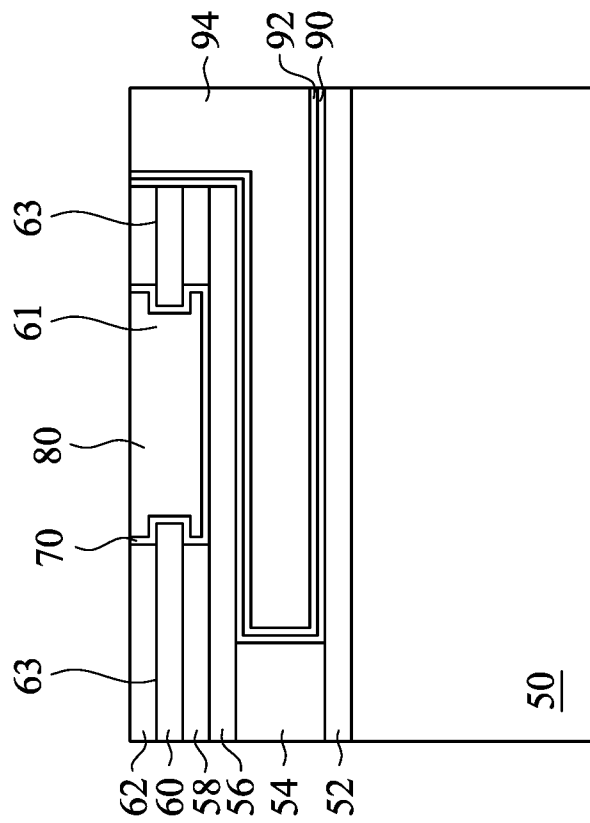
第 12B 圖



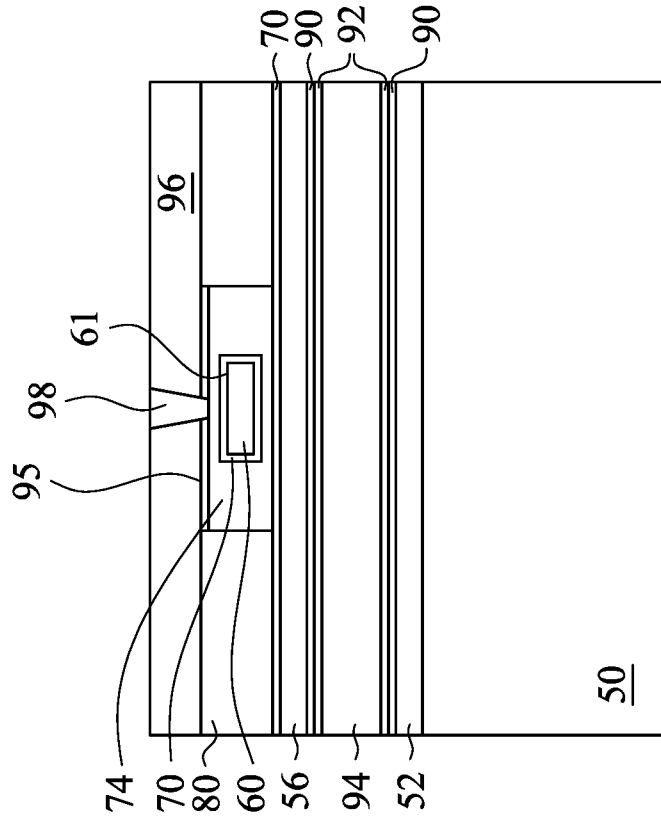
第 12A 圖



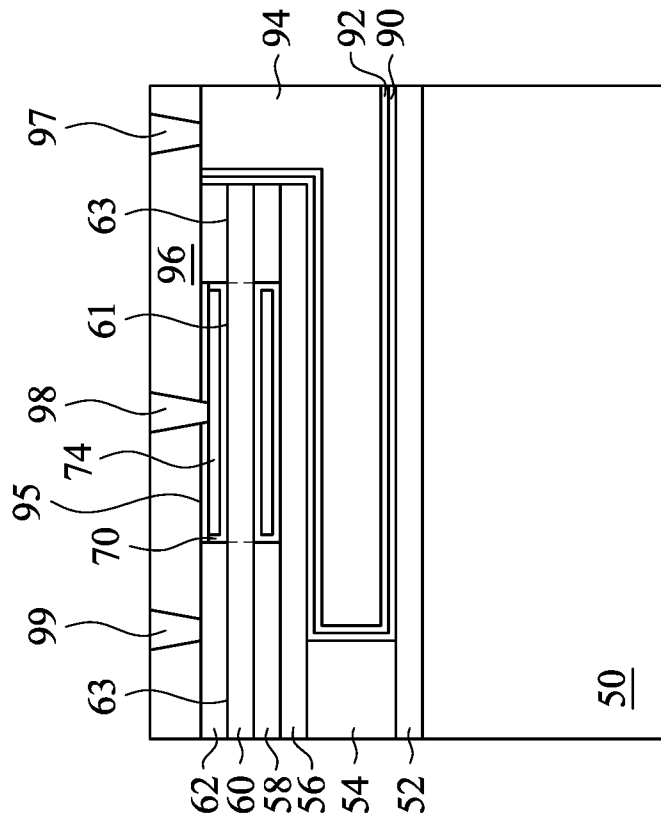
第 12D 圖



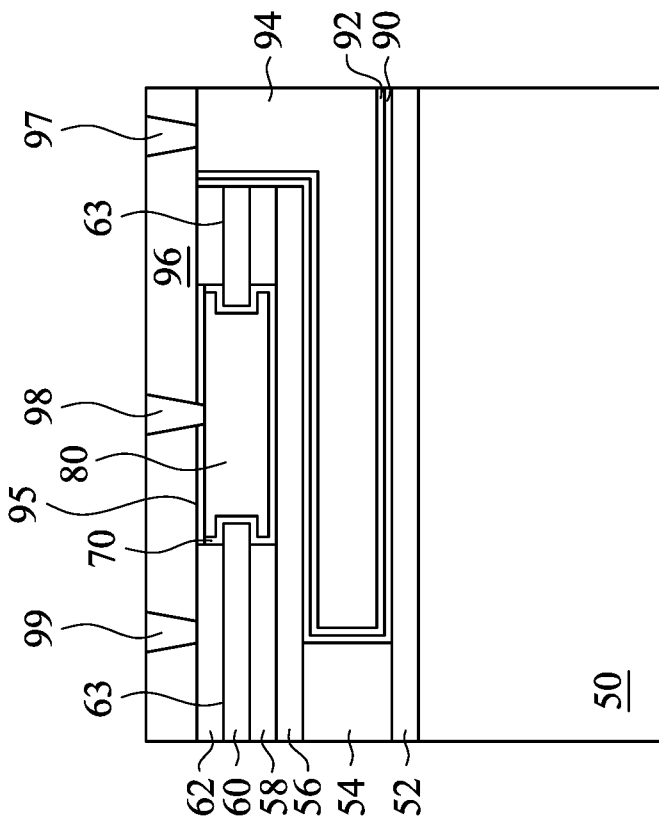
第 12C 圖



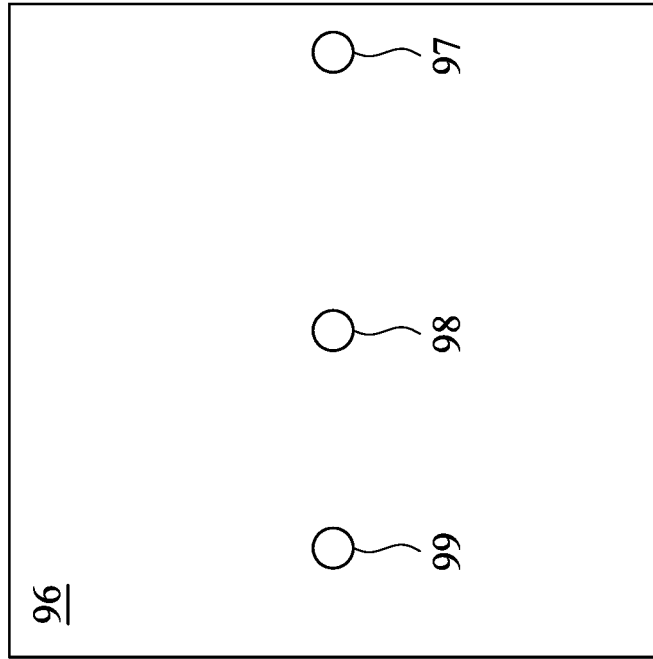
第 13B 圖



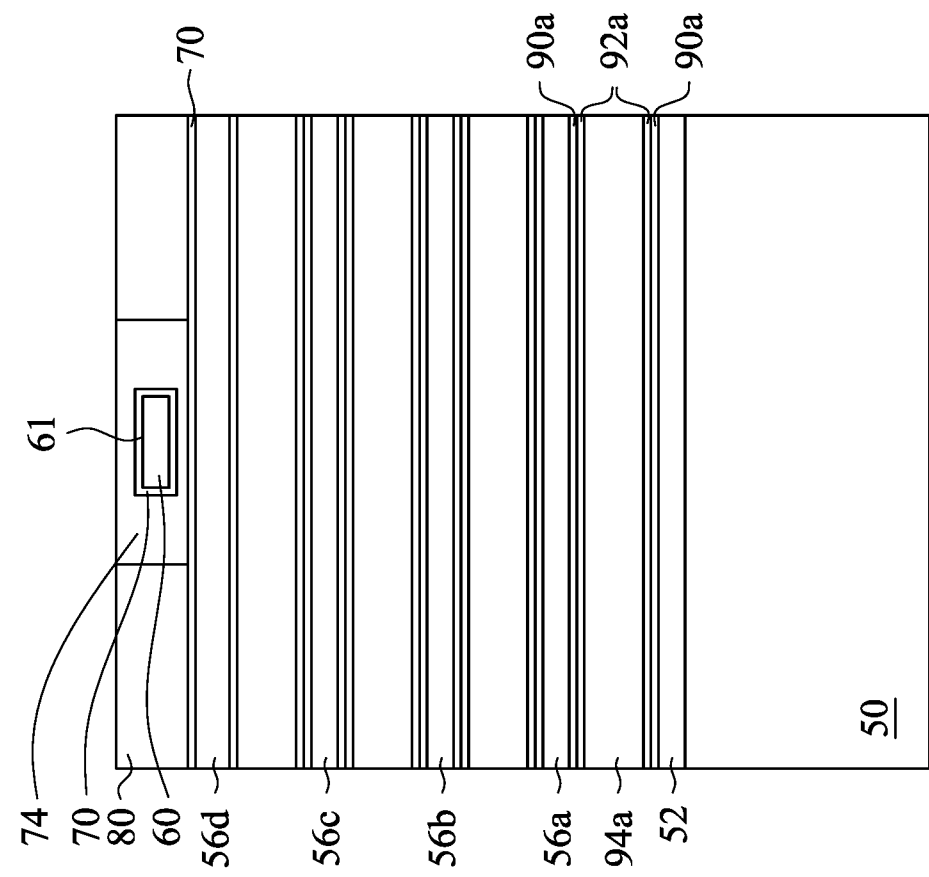
第 13A 圖



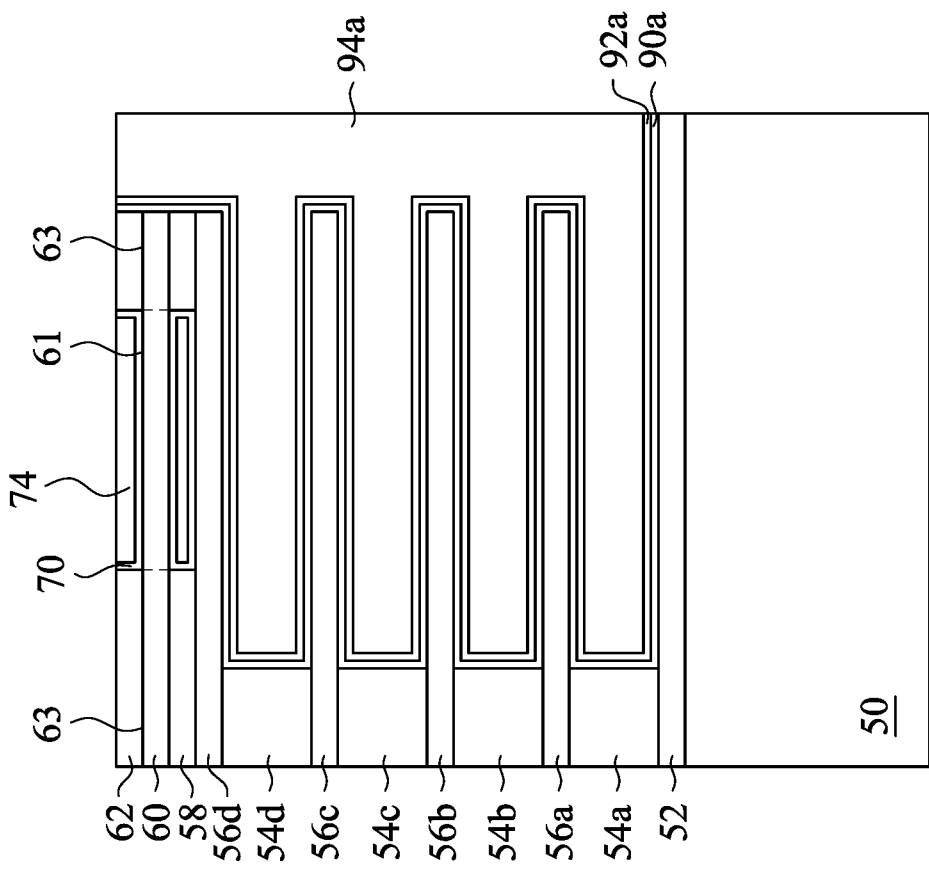
第13C圖



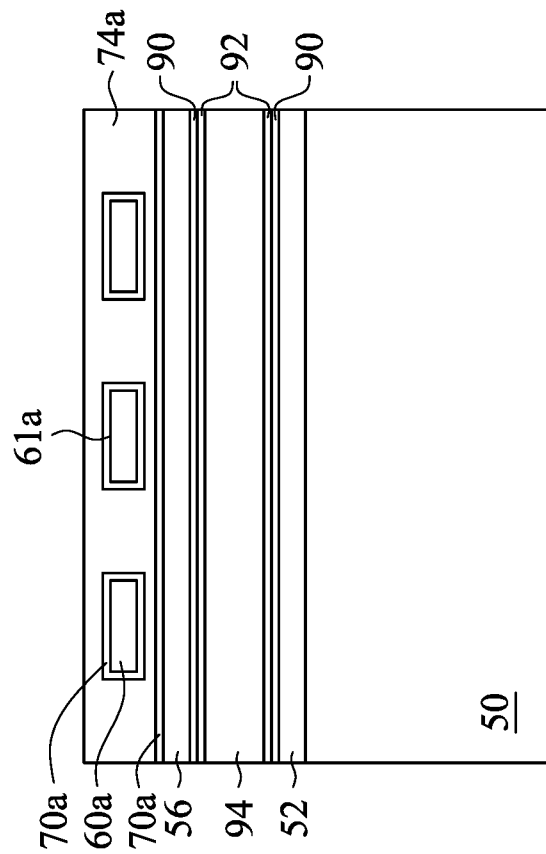
第13D圖



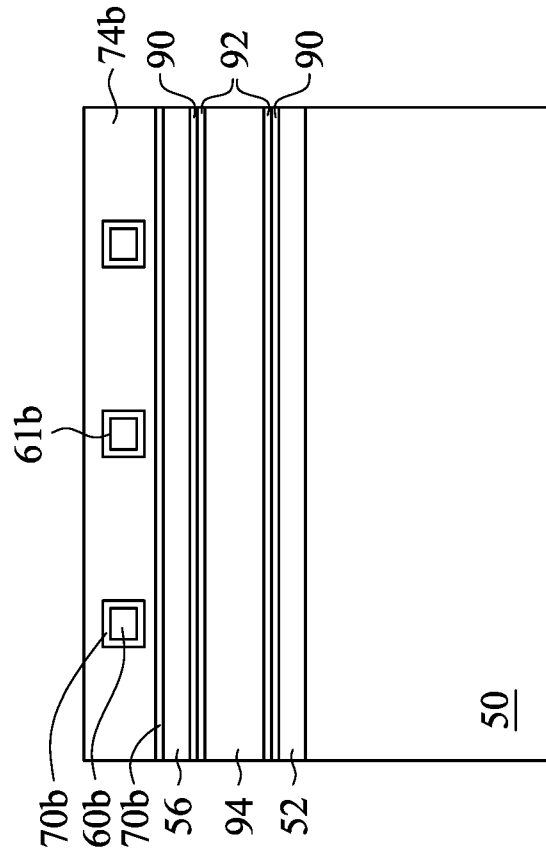
第 14B 圖



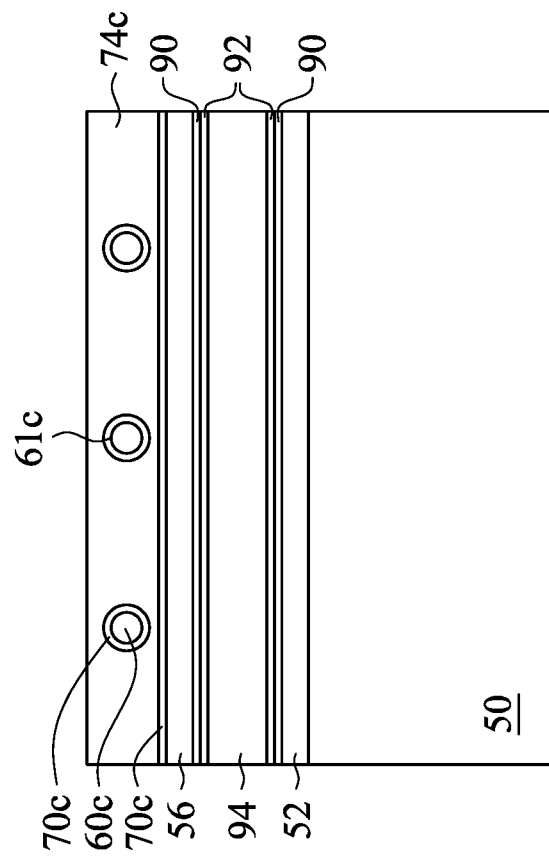
第 14A 圖



第 15 圖



第 16 圖



第 17 圖



## 【發明摘要】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【中文】

一種改進的記憶體單元架構，其結構包括奈米結構場效應電晶體及至少部分在奈米結構場效應電晶體下方延伸的水平電容器。在一實施例中，半導體裝置包括在半導體基板上方的通道結構、環繞通道結構的閘極結構、鄰近閘極結構的第一源極/汲極區域，以及鄰近第一源極/汲極區域的電容器，在橫截面圖中電容器在第一源極/汲極區域及閘極結構下方延伸。

【英文】

An improved memory cell architecture including a nanostructure field-effect transistor (nano-FET) and a horizontal capacitor extending at least partially under the nano-FET and methods of forming the same are disclosed. In an embodiment, semiconductor device includes a channel structure over a semiconductor substrate; a gate structure encircling the channel structure; a first source/drain region adjacent the gate structure; and a capacitor adjacent the first source/drain region, the capacitor extending under the first source/drain region and the gate structure in a cross-sectional view.

【指定代表圖】第 1 圖。

【代表圖之符號簡單說明】

5 0 : 基板

5 2 : 第一介電層

5 4 : 第二介電層

5 6 : 第三介電層

5 8 : 第四介電層

6 0 : 半導體層

6 1 : 奈米結構

6 2 : 第一金屬層

7 0 : 閘極介電層

7 2 : 閘極電極材料

8 0 : 第一層間介電質

9 0 : 第二金屬層

9 2 : 第五介電層

9 4 : 第三金屬層

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本公開是關於半導體裝置，且特別是關於包括記憶體單元結構的半導體裝置。

【先前技術】

【0002】 各種電子應用中可使用半導體裝置，例如個人電腦、手機、數位相機及其他電子設備。半導體裝置的製造通常藉由在半導體基板上方依序沉積絕緣層或介電層、導電層及半導體層的材料，並且使用微影製程圖案化各個材料層以在其上形成電路部件及元件。

【0003】 半導體工業藉由持續減小最小特徵尺寸來持續改進各種電子部件(例如，電晶體、二極體、電阻器、電容器等)的整合密度，這允許將更多部件整合到給定區域中。

【發明內容】

【0004】 根據本公開的實施例，提供一種半導體裝置包括在半導體基板上方的通道結構、環繞通道結構的閘極結構、鄰近閘極結構的第一源極/汲極區域，以及鄰近第一源極/汲極區域的電容器，在橫截面圖中電容器在第一源極/汲極

區域及閘極結構下方延伸。

### 【圖式簡單說明】

【0005】 當結合附圖閱讀時，從以下詳細描述中可以最好地理解本公開的各方面。應注意，根據工業中的標準方法，各種特徵未按比例繪製。實際上，為了清楚地討論，可任意增加或減少各種特徵的尺寸。

第 1 圖根據一些實施例繪示在三維視圖中包括奈米結構場效應電晶體及水平電容器的記憶體單元的示例。

第 2 A 圖至第 2 D 圖、第 3 A 圖至第 3 D 圖、第 4 A 圖至第 4 D 圖、第 5 A 圖至第 5 D 圖、第 6 A 圖至第 6 E 圖、第 7 A 圖至第 7 D 圖、第 8 A 圖至第 8 D 圖、第 9 A 圖至第 9 D 圖、第 10 A 圖至第 10 D 圖、第 11 A 圖至第 11 D 圖、第 12 A 圖至第 12 D 圖及第 13 A 圖至第 13 D 圖是根據一些實施例的形成半導體裝置的中間步驟的橫截面圖。

第 14 A 圖、第 14 B 圖、第 15 圖、第 16 圖及第 17 圖是根據一些實施例的半導體裝置的橫截面圖。

### 【實施方式】

【0006】 為了實現提及主題的不同特徵，以下公開內容提供了許多不同的實施例或示例。以下描述組件、配置等的具體示例以簡化本公開。當然，這些僅僅是示例，而不是限制性的。例如，在以下的描述中，在第二特徵之上或上方

形成第一特徵可以包括第一特徵和第二特徵以直接接觸形成的實施例，並且還可以包括在第一特徵和第二特徵之間形成附加特徵，使得第一特徵和第二特徵可以不直接接觸的實施例。另外，本公開可以在各種示例中重複參考數字和/或字母。此重複是為了簡單和清楚的目的，並且本身並不表示所討論的各種實施例和/或配置之間的關是。

**【0007】** 此外，本文可以使用空間相對術語，諸如「在…下面」、「在…下方」、「下部」、「在…上面」、「上部」等，以便於描述一個元件或特徵與如圖所示的另一個元件或特徵的關是。除了圖中所示的取向之外，空間相對術語旨在包括使用或操作中的裝置的不同取向。裝置可以以其他方式定向(旋轉 90 度或在其他方向上)，並且同樣可以相應地解釋在此使用的空間相對描述符號。

**【0008】** 各種實施例提供了具有改進結構的記憶體單元及其形成方法。在一些實施例中，記憶體單元可包括動態隨機存取記憶體(dynamic random access memory, DRAM)單元。記憶體單元可以是單電晶體、單電容器記憶體單元。在一些實施例中，記憶體單元可包括奈米結構場效應電晶體(nanostructure field-effect transistor, nano-FET)(例如，奈米線 FET、奈米薄片 FET 或類似者)及至少部分在奈米結構場效應電晶體下方延伸的水平電容器。奈米結構場效應電晶體及水平電容器的頂表面可彼此共面。在一些實施例中，方法包括在半導體基板上方形形成奈米結構場效應電晶體、蝕刻奈米結構場效應電晶體

的源極/汲極區域及奈米結構場效應電晶體之下的各個介電層以形成至少部分在奈米結構場效應電晶體下方延伸的開口，以及使用原子層沉積(atomic layer deposition, ALD)、化學氣相沉積(chemical vapor deposition, CVD)或類似者在開口中沉積水平電容器。在橫截面圖中水平電容器可以是 L 形或梳狀。在記憶體單元中包括奈米結構場效應電晶體及至少部分在奈米結構場效應電晶體下方延伸的水平電容器，允許在小的區域中形成記憶體單元，同時增加電容器的體積。增加電容器體積允許增加讀取可靠性並且改進元件效能。在較小區域中形成記憶體單元允許增加元件密度。此外，奈米結構場效應電晶體及水平電容器可藉由習知的互補金屬氧化物半導體(complementary metal-oxide-semiconductor, CMOS)製程形成，此製程提供簡易整合及較低成本。因此，可形成具有減小的面積、降低的成本及增加的效能的記憶體單元。

**【0009】** 第 1 圖根據一些實施例繪示了示例記憶體單元。記憶體單元包括至少部分在水平電容器上方的奈米結構(例如，奈米薄片、奈米線、全環繞閘極或類似者)場效應電晶體，奈米結構場效應電晶體和水平電容器均在基板 50(例如，半導體基板)上方。奈米結構場效應電晶體包括在基板 50 上方的奈米結構 61(例如，奈米線、奈米薄片或類似者)。可在半導體層 60 中形成奈米結構 61 並且可用作奈米結構場效應電晶體的通道區域。奈米結構 61 可以是

p 型奈米結構或 n 型奈米結構。奈米結構場效應電晶體進一步包括沿著奈米結構 61 的頂表面、側壁及底表面的閘極介電層 70。閘極電極 74 在閘極介電層 70 上方。在半導體層 60 中並在閘極介電層 70 及閘極電極 74 的相對側面上形成源極/汲極區域 63。第一金屬層 62 在半導體層 60 的源極/汲極區域 63 上方，並且接觸源極/汲極區域 63。第四介電層 58 使部分的奈米結構場效應電晶體與水平電容器及其他下層結構隔離。在閘極電極 74 附近形成第一層間介電質(interlayer dielectric, ILD) 80。

**【0010】** 在第一介電層 52、第二介電層 54 及第三介電層 56 上方形成奈米結構場效應電晶體。水平電容器可包括沿著第一介電層 52 的頂表面的第二金屬層 90，且第二金屬層 90 沿著第二介電層 54、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 的側壁以及第三介電層 56 的底表面。水平電容器進一步包括在第二金屬層 90 上方的第五介電層 92 以及在第五介電層 92 上方的第三金屬層 94。水平電容器可以是金屬-絕緣體-金屬電容器。如第 1 圖中繪示，水平電容器在橫截面圖中可以是 L 形，並且可在奈米結構場效應電晶體下面延伸。第一介電層 52 可使水平電容器與基板 50 隔離。第三介電層 56 可使部分的水水平電容器與奈米結構場效應電晶體隔離。第二介電層 54 可以是由水平電容器替代的犧牲層。

**【0011】** 第 1 圖進一步繪示在後續圖式中使用的參考橫截面。橫截面 A-A' 沿著奈米結構 61 的縱軸並且在奈米結構

場效應電晶體的源極/汲極區域 63 之間的電流方向上。橫截面 B - B' 垂直於橫截面 A - A'，沿著閘極電極 74 的縱軸，並且在垂直於奈米結構場效應電晶體的源極/汲極區域 63 之間的電流方向的方向上。橫截面 C - C' 平行於橫截面 A - A'，並且延伸穿過第一層間介電質 80。為了清楚描述，後續圖式將參照這些橫截面。

【0012】 在奈米結構場效應電晶體的上下文中將論述本文的一些實施例。可使用前閘極 (gate-first) 或後閘極 (gate-last) 製程形成奈米結構場效應電晶體。此外，一些實施例預期使用鰭式場效應電晶體 (fin field effect transistors, FinFET) 或平面元件 (諸如平面 FET) 的態樣。

【0013】 第 2 A 圖直至第 13 D 圖是根據一些實施例的形成記憶體單元的中間階段的橫截面圖及俯視圖。第 2 A 圖、第 3 A 圖、第 4 A 圖、第 5 A 圖、第 6 A 圖、第 7 A 圖、第 8 A 圖、第 9 A 圖、第 10 A 圖、第 11 A 圖、第 12 A 圖及第 13 A 圖繪示第 1 圖中繪示的參考橫截面 A - A'。第 2 B 圖、第 3 B 圖、第 4 B 圖、第 5 B 圖、第 6 B 圖、第 7 B 圖、第 8 B 圖、第 9 B 圖、第 10 B 圖、第 11 B 圖、第 12 B 圖及第 13 B 圖繪示第 1 圖中繪示的參考橫截面 B - B'。第 2 C 圖、第 3 C 圖、第 4 C 圖、第 5 C 圖、第 6 C 圖、第 7 C 圖、第 8 C 圖、第 9 C 圖、第 10 C 圖、第 11 C 圖、第 12 C 圖及第 13 C 圖繪示第 1 圖中繪示的參考橫截面 C - C'。第 2 D 圖、第 3 D 圖、第 4 D 圖、第 5 D 圖、第 6 D 圖、第 7 D 圖、

第 8 D 圖、第 9 D 圖、第 10 D 圖、第 11 D 圖、第 12 D 圖及第 13 D 圖繪示俯視圖。

【0014】 在第 2 A 圖直至第 2 D 圖中，提供了基板 50。基板 50 可以是半導體基板，諸如塊狀半導體、絕緣體上半導體 (semiconductor-on-insulator, SOI) 基板或類似者，此半導體基板可以是摻雜 (例如，用 p 型或 n 型摻雜劑) 或未摻雜的。基板 50 可以是晶圓，諸如矽晶圓。通常地，SOI 基板是在絕緣體層上形成的半導體材料層。例如，絕緣體層可以是埋藏式氧化物 (buried oxide, BOX) 層、氧化矽層或類似者。絕緣體層提供在基板 (通常為矽或玻璃基板) 上。亦可使用其他基板，諸如多層或漸變基板。在一些實施例中，基板 50 的半導體材料可包括矽、鍺、化合物半導體 (包括碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮及 / 或銻化銮)、合金半導體 (包括鍺矽、磷砷化鎵、砷化鋁銮、砷化鋁鎵、砷化鎵銮、磷化鎵銮及 / 或磷砷化鎵銮) 或其組合。

【0015】 在一些實施例中，基板 50 可包括用於形成 n 型元件的區域及用於形成 p 型元件的區域 (未個別繪示)。用於形成 n 型元件的區域可實體上與用於形成 p 型元件的區域分開，並且可在用於形成 n 型元件的區域與用於形成 p 型元件的區域之間設置任何數量的元件特徵 (例如，其他主動元件、摻雜區域、隔離結構等)。可在用於形成 n 型元件區域及用於形成 p 型元件區域的基板 50 中形成適當阱。在一些實施例中，可在用於形成 n 型元件的區域中形成 P 阱，

並且可在用於形成 p 型元件的區域中形成 N 阱。在一些實施例中，可在用於形成 n 型元件的區域及用於形成 p 型元件的區域的每一者中形成 P 阱或 N 阱。

【0016】 另外，在第 2A 圖直至第 2D 圖中，在基板 50 上方形成多層堆疊 55。多層堆疊 55 可包括第一介電層 52、第二介電層 54、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62。可在基板 50 上方形成第一介電層 52。在一些實施例中，第一介電層 52 可包括氧化矽 ( $\text{SiO}_2$ )、氮化矽 ( $\text{SiN}$ )、聚矽 (poly-Si)、氮碳化矽 ( $\text{SiCN}$ )、碳氧化矽 ( $\text{SiOC}$ )、氮碳氧化矽 ( $\text{SiOCN}$ )、其組合或多層或類似者。可由氧化物(例如，氧化矽或類似者)、氮化物(例如，氮化矽或類似者)或類似者形成第一介電層 52。第一介電層 52 可藉由化學氣相沉積、原子層沉積或類似者沉積。第一介電層 52 可具有從約 5 nm 至約 500 nm 的厚度。

【0017】 可在第一介電層 52 上方形成第二介電層 54。在一些實施例中，第二介電層 54 可包括氧化矽 ( $\text{SiO}_2$ )、氮化矽 ( $\text{SiN}$ )、聚矽 (poly-Si)、氮碳化矽 ( $\text{SiCN}$ )、碳氧化矽 ( $\text{SiOC}$ )、氮碳氧化矽 ( $\text{SiOCN}$ )、其組合或多層或類似者。第二介電層 54 可藉由 CVD、ALD 或類似者沉積。第二介電層 54 可具有從約 5 nm 至約 500 nm 的厚度。在一些實施例中，可由對第一介電層 52、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 的材料具有高蝕刻選擇性的材料形成第二介電層 54，此蝕刻選擇性

是第二介電層 54 的蝕刻速率與第一介電層 52、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 的蝕刻速率的比率。因此，可移除第二介電層 54 的部分，同時最小化對第一介電層 52、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 的蝕刻，同理可描述下文關於第 10A 圖至第 10D 圖。

**【0018】** 可在第二介電層 54 上方形成第三介電層 56。在一些實施例中，第三介電層 56 可包括氧化矽 ( $\text{SiO}_2$ )、氮化矽 ( $\text{SiN}$ )、聚矽 (poly-Si)、氮碳化矽 ( $\text{SiCN}$ )、碳氧化矽 ( $\text{SiOC}$ )、氮碳氧化矽 ( $\text{SiOCN}$ )、其組合或多層或類似者。第三介電層 56 可藉由 CVD、ALD 或類似者沉積。第三介電層 56 可具有從約 5 nm 至約 500 nm 的厚度。在一些實施例中，第三介電層 56 的厚度可與第一介電層 52 的厚度相同。在一些實施例中，第二介電層 54 可具有與第一介電層 52 及第三介電層 56 的厚度相比較大的厚度。例如，第二介電層 54 的厚度與第一介電層 52 的厚度或第三介電層 56 的厚度的比率可以是從約 1 至約 100。

**【0019】** 可在第三介電層 56 上方形成第四介電層 58。在一些實施例中，第四介電層 58 可包括氧化矽 ( $\text{SiO}_2$ )、氮化矽 ( $\text{SiN}$ )、聚矽 (poly-Si)、氮碳化矽 ( $\text{SiCN}$ )、碳氧化矽 ( $\text{SiOC}$ )、氮碳氧化矽 ( $\text{SiOCN}$ )、其組合或多層或類似者。第四介電層 58 可藉由 CVD、ALD 或類似者沉積。第四介電層 58 可具有從約 5 nm 至約 500 nm 的厚度。

**【0020】** 可在第四介電層 58 上方形成半導體層 60。在一

些實施例中，半導體層 60 可包括半導體材料(例如，矽、聚矽(poly-Si)、鍺矽(SiGe)、碳化矽(SiC)或類似者)、氧化物半導體材料(例如，氧化銦鎵鋅(IGZO)、氧化鋅(ZnO)、氧化銦鋅(IZO)、氧化銦鎢(IWO)、氧化銦錫(ITO)或類似者)、其組合或多層或類似者。半導體層 60 可藉由 CVD、ALD、氣相磊晶(vapor phase epitaxy, VPE)、分子束磊晶(molecular beam epitaxy, MBE)或類似者沉積。半導體層 60 可具有從約 5 nm 至約 500 nm 的厚度。

**【0021】** 可在半導體層 60 上方形成第一金屬層 62。在一些實施例中，第一金屬層 62 可包括金屬材料，諸如鋁(Al)、鈦(Ti)、氮化鈦(TiN)、氮化鉭(TaN)、鈷(Co)、銀(Ag)、金(Au)、銅(Cu)、鎳(Ni)、鉻(Cr)、鈦(Hf)、鈦(Ru)、鎢(W)、鉑(Pt)、其組合或多層或類似者。第一金屬層 62 可藉由 CVD、ALD 或類似者沉積。第一金屬層 62 可具有從約 5 nm 至約 500 nm 的厚度。

**【0022】** 可執行熱退火製程(諸如快速熱退火(rapid thermal anneal, RTA))以在第一金屬層 62 與半導體層 60 之間形成低電阻觸點(例如，歐姆觸點)。可在從約 200 °C 至約 350 °C 或小於約 400 °C 的溫度下執行熱退火製程。熱退火製程可執行達約 0.1 秒與約 60 分鐘之間。

**【0023】** 在第 3A 圖直至第 3D 圖中，在第一金屬層 62 上方形成圖案化的硬遮罩層 64。在一些實施例中，形成圖案化的硬遮罩層 64 可包括在第一金屬層 62 上方沉積硬遮罩

層以及使用微影製程圖案化硬遮罩層以形成圖案化的硬遮罩層 64。硬遮罩層可藉由 CVD、ALD 或類似者沉積。硬遮罩層可由氧化矽、氮化矽、碳化矽、非晶體矽、氮化鈦、氮氧化矽、氮碳化矽、其組合或多層或類似者形成。硬遮罩層可沉積從約 5 nm 至約 500 nm 的厚度。

【0024】 可在硬遮罩層上方形成圖案化遮罩(未個別繪示)，諸如圖案化的光阻。可藉由使用旋轉塗覆或類似者在硬遮罩層上方沉積光敏層來形成圖案化遮罩。光敏層可隨後圖案化，藉由將光敏層暴露於圖案化的能源(例如，圖案化的光源)及顯影光敏層以移除光敏層的已暴露或未暴露部分，由此形成圖案化遮罩。硬遮罩層可藉由適宜蝕刻製程(諸如各向異性蝕刻製程)來蝕刻，以將圖案化遮罩的圖案轉移到硬遮罩層，從而形成圖案化的硬遮罩層 64。在一些實施例中，蝕刻製程可包括反應性離子蝕刻(reactive ion etching, RIE)、中性束蝕刻(neutral beam etching, NBE)、類似者或其組合。圖案化遮罩可隨後藉由任何可接受的製程移除，諸如灰化製程、剝離製程、類似者或其組合。

【0025】 另外，在第 3A 圖直至第 3D 圖中，使用圖案化的硬遮罩層 64 做為遮罩來蝕刻第一金屬層 62、半導體層 60 及第四介電層 58 以暴露第三介電層 56。第一金屬層 62、半導體層 60 及第四介電層 58 可藉由適宜蝕刻製程(諸如各向異性蝕刻製程)來蝕刻，以將圖案化的硬遮罩層 64 的圖案轉移到第一金屬層 62、半導體層 60 及第四介電層 58。

在一些實施例中，蝕刻製程可包括 RIE、NBE、類似者或其組合。在一些實施例中，蝕刻製程可包括蝕刻劑，諸如四氟化碳(CF<sub>4</sub>)、八氟環丁烷(C<sub>4</sub>F<sub>8</sub>)、三氯化硼(BCl<sub>3</sub>)、氯(Cl<sub>2</sub>)、四氯化碳(CCl<sub>4</sub>)、四氯化矽(SiCl<sub>4</sub>)、二氟甲烷(CH<sub>2</sub>F<sub>2</sub>)、其組合或類似者。第一金屬層 62、半導體層 60 及第四介電層 58 可經圖案化，使得半導體層 60 具有從約 1 nm 至約 100 nm 的寬度 W<sub>1</sub>。半導體層 60 的中心部分可以是奈米結構 61。

**【0026】** 半導體層 60 的各個部分可在奈米結構場效應電晶體中用作通道區域及源極/汲極區域。例如，在半導體層 60 的中心部分中形成的奈米結構 61 可用作通道區域。如第 3A 圖及第 3C 圖中繪示，半導體層 60 的端部可用作源極/汲極區域 63。在一些實施例中，可在奈米結構 61 及源極/汲極區域 63 上執行各個佈植步驟以改變奈米結構 61 及源極/汲極區域 63 的導電性。佈植步驟可包括在待佈植的結構上方形成光阻。可藉由使用旋塗技術形成光阻，並且可使用可接受的微影技術圖案化。N 型雜質(諸如磷、砷、銻或類似者)及 P 型雜質(諸如硼、氟化硼、銦或類似者)可佈植到奈米結構 61 及/或源極/汲極區域 63 中。可在形成第一金屬層 62 之前執行佈植，在圖案化第一金屬層 62、半導體層 60 及第四介電層 58 之後執行佈植，在奈米結構 61 周圍形成閘極堆疊(諸如包括閘極介電層 70 及閘極電極 74 的閘極堆疊，下文關於第 6A 圖至第 7D 圖所論述)之後或類似者執行佈植。

【0027】 在一些實施例中，微影製程(諸如雙圖案化、多圖案化或類似者)可用於圖案化第一金屬層 62、半導體層 60 及第四介電層 58。通常，雙圖案化或多圖案化製程結合微影及自對準製程，從而允許產生例如與使用單個、直接微影製程獲得的間距相比具有較小間距的圖案。例如，在一些實施例中，在基板上方形成犧牲層並且使用微影製程圖案化。使用自對準製程沿著圖案化的犧牲層旁邊形成間隔件。隨後移除犧牲層，並且剩餘間隔件可隨後用於圖案化第一金屬層 62、半導體層 60 及第四介電層 58。在一些實施例中，在圖案化第一金屬層 62、半導體層 60 及第四介電層 58 之後，遮罩(或其他層)可餘留在第四介電層 58 上。

【0028】 在第 4 A 圖至第 4 D 圖中，蝕刻第一金屬層 62 及第四介電層 58。如第 4 A 圖及第 4 B 圖中繪示，第一金屬層 62 及第四介電層 58 可在通道區域中分別從半導體層 60 之上及之下移除，而第一金屬層 62 及第四介電層 58 在源極/汲極區域 63 中保持相對未蝕刻。如第 4 A 圖及第 4 C 圖中繪示，第一金屬層 62 及第四介電層 58 的側壁可在源極/汲極區域 63 中蝕刻。第一金屬層 62 及第四介電層 58 的側壁可經蝕刻到從約 1 nm 至約 10 nm 或小於約 10 nm 的深度  $D_1$ 。因此，第一金屬層 62 及第四介電層 58 的側壁可與半導體層 60 的側壁未對準。

【0029】 第一金屬層 62 及第四介電層 58 可藉由適宜蝕刻製程蝕刻，此適宜蝕刻製程可以是各向同性蝕刻製程，諸

如濕式蝕刻製程。蝕刻製程可對半導體層 60 及第三介電層 56 的材料具有高蝕刻選擇性，此蝕刻選擇性是第一金屬層 62 及第四介電層 58 的蝕刻速率與半導體層 60 及第三介電層 56 的蝕刻速率的比率。因此，第一金屬層 62 及第四介電層 58 的部分可移除，同時最小化對半導體層 60 及第三介電層 56 任何不期望的蝕刻。

**【0030】** 在第 5 A 圖直至第 5 D 圖中，移除圖案化的硬遮罩層 64。圖案化的硬遮罩層 64 可藉由適宜蝕刻製程移除，此適宜蝕刻製程可以是各向同性蝕刻製程，諸如濕式蝕刻製程。蝕刻製程可對圖案化的硬遮罩層 64 的材料具有高蝕刻選擇性，此蝕刻選擇性是圖案化的硬遮罩層 64 的蝕刻速率與第一金屬層 62、半導體層 60、第四介電層 58 及第三介電層 56 的蝕刻速率的比率。因此，可移除圖案化的硬遮罩層 64，同時最小化對第一金屬層 62、半導體層 60、第四介電層 58 及第三介電層 56 任何不期望的蝕刻。

**【0031】** 在第 6 A 圖直至第 6 E 圖中，在第 5 A 圖直至第 5 D 圖中繪示的結構上方形成閘極介電層 70 及閘極電極材料 72。第 6 E 圖繪示了第 6 A 圖的區域 75 的詳細視圖。沿著半導體層 60 的頂表面、側壁及底表面、第一金屬層 62 的頂表面及側壁、第四介電層 58 的側壁，以及第三介電層 56 的頂表面共形地形成閘極介電層 70。閘極介電層 70 可藉由 CVD、ALD 或類似者形成。在一些實施例中，閘極介電層 70 可包括材料，諸如氧化矽、氮化矽、其組合或多層或類似者。閘極介電層 70 可包括介電常數值大於約 7.0

的高介電常數介電材料並且可包括金屬氧化物或鈰、鋁、銦、鐳、錳、鋇、鈦、鉛、其組合或類似者的矽酸鹽。閘極介電層 70 可具有從約 0.5 nm 至約 10 nm 的厚度。

【0032】 另外，在第 6A 圖直至第 6E 圖中，在閘極介電層 70 上方形成閘極電極材料 72。可藉由 CVD、ALD 或類似者形成閘極電極材料 72。在一些實施例中，閘極電極材料 72 可包括材料諸如氧化矽、氮化矽、其組合或多層或類似者。閘極電極材料 72 可包括含金屬材料，諸如氮化鈦 (TiN)、氧化鈦 (TaO<sub>x</sub>)、氮化鉭 (Ta<sub>2</sub>N<sub>5</sub>)、碳化鉭 (TaC)、鈷 (Co)、鈦 (Ru)、鋁 (Al)、鎢 (W)、銀 (Ag)、金 (Au)、銅 (Cu)、鎳 (Ni)、鉻 (Cr)、鈰 (Hf)、鉑 (Pt)、其組合或多層或類似者。儘管單層閘極電極材料 72 在第 6A 圖直至第 6C 圖中繪示，如第 6E 圖繪示，閘極電極材料 72 可包括任何數量的襯墊層 72A、任何數量的功函數調節層 72B 及填充材料 72C。如第 6A 圖、第 6B 圖及第 6E 圖中繪示，閘極電極材料 72 可填充在半導體層 60 與第三介電層 56 之間的空間。

【0033】 在第 7A 圖直至第 7D 圖中，閘極電極材料 72 經平坦化及圖案化以形成閘極電極 74。閘極電極材料 72 可藉由適宜的平坦化製程來平坦化，諸如化學機械研磨 (chemical mechanical polish, CMP)、回蝕製程、其組合或類似者。在平坦化製程之後，閘極電極材料 72 的頂表面可與閘極介電層 70 的頂表面及第一金屬層 62 的頂表面齊平。

【0034】 另外，在第 7 A 圖直至第 7 D 圖中，閘極電極材料 7 2 經圖案化以形成閘極電極 7 4。可在閘極電極材料 7 2 上方形成圖案化遮罩(諸如圖案化光阻)。可藉由使用旋轉塗佈或類似者在閘極電極材料 7 2 上方沉積光阻層來形成圖案化光阻。光阻層可隨後圖案化，藉由將光阻層暴露於圖案化的能源(例如，圖案化的光源)並且顯影光阻層以移除光阻層的已暴露或未暴露部分，由此形成圖案化光阻。閘極電極材料 7 2 可隨後藉由適宜蝕刻製程(諸如各向異性蝕刻製程)圖案化，以將圖案化光阻的圖案轉移到閘極電極材料 7 2。在一些實施例中，蝕刻製程可包括 R I E、N B E、類似者或其組合。可隨後移除圖案化光阻。在一些實施例中，閘極電極 7 4 的圖案亦可轉移到閘極介電層 7 0。閘極電極 7 4 的圖案可用於將每個閘極電極 7 4 與相鄰的閘極電極 7 4 實體分離。閘極電極 7 4 可具有縱向方向，此縱向方向實質上垂直於半導體層 6 0 的奈米結構 6 1 的縱向方向。閘極介電層 7 0 及閘極電極 7 4 可統稱為「閘極堆疊」。閘極電極 7 4 可以具有從約 5 n m 至約 5 0 0 n m 的閘極長度。

【0035】 在第 8 A 圖直至第 8 D 圖中，第一層間介電質 8 0 在第 7 A 圖直至第 7 D 圖中繪示的結構上方沉積並且平坦化第一層間介電質 8 0。第一層間介電質 8 0 可由介電材料形成，並且可藉由任何適宜方法沉積，諸如 C V D、電漿增強 C V D ( p l a s m a - e n h a n c e d C V D , P E C V D )、可流動 C V D ( f l o w a b l e C V D , F C V D ) (例如，在遠端電漿系統中基於 C V D 的材料沉積，此遠端電漿系統具有後固化

(post curing)以將所沉積的材料轉化為另一材料，諸如氧化物)、其組合或類似者。在一些實施例中，可由介電材料形成第一層間介電質 80，此介電材料包括磷矽酸鹽玻璃(phospho-silicate glass, PSG)、硼矽酸鹽玻璃(boro-silicate glass, BSG)、硼摻雜的磷矽酸鹽玻璃(boron-doped phospho-silicate glass, BPSG)、未摻雜的矽酸鹽玻璃(undoped silicate glass, USG)、其組合或多層或類似者。可使用藉由任何可接受製程形成的其他絕緣材料。

**【0036】** 在一些實施例中，襯墊層(未個別繪示)可在沉積第一層間介電質 80 之前沉積。例如，襯墊層可在第一層間介電質 80 與閘極介電層 70、閘極電極 74、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 之間沉積。襯墊層可包含具有與上層第一層間介電質 80 的材料不同的蝕刻速率的介電材料，諸如氮化矽、氧化矽、氮氧化矽或類似者。

**【0037】** 第一層間介電質 80 可隨後藉由適宜平坦化製程圖案化，諸如 CMP、回蝕製程、其組合或類似者。如第 7A 圖及第 7B 圖中繪示，在平坦化製程之後，第一層間介電質 80 的頂表面可與第一金屬層 62、閘極介電層 70 及閘極電極 74 的頂表面齊平。在包括襯墊層的實施例中，襯墊層的頂表面亦可與第一層間介電質 80、第一金屬層 62、閘極介電層 70 及閘極電極 74 的頂表面齊平。

**【0038】** 在第 9A 圖直至第 9D 圖中，第一金屬層 62、半

導體層 60、第四介電層 58、第三介電層 56 及第二介電層 54 經蝕刻以形成第一開口 82，從而暴露第一介電層 52。可在第一金屬層 62 上方形成圖案化遮罩(諸如圖案化光阻)。可藉由使用旋轉塗覆或類似者在第一金屬層 62 上方沉積光阻層來形成圖案化光阻。光阻層可隨後圖案化，藉由將光阻層暴露於圖案化的能源(例如，圖案化的光源)以及顯影光阻層以移除光阻層的已暴露或未暴露部分，由此形成圖案化光阻。

**【0039】** 第一金屬層 62、半導體層 60、第四介電層 58、第三介電層 56 及第二介電層 54 可隨後藉由適宜蝕刻製程(諸如各向異性蝕刻製程)圖案化，以將圖案化光阻的圖案轉移到第一金屬層 62、半導體層 60、第四介電層 58、第三介電層 56 及第二介電層 54。在一些實施例中，蝕刻製程可包括 RIE、NBE、類似者或其組合。當暴露出第一介電層 52 時可停止蝕刻製程。可隨後移除圖案化光阻。在一些實施例中，當暴露出第二介電層 54 時可停止蝕刻製程，使得僅藉由蝕刻製程來蝕刻第一金屬層 62、半導體層 60、第四介電層 58 及第三介電層 56。

**【0040】** 在第 10A 圖直至第 10D 圖中，通過第一開口 82 蝕刻第二介電層 54 以在第三介電層 56 下方延伸第一開口 82。第二介電層 54 可藉由適宜蝕刻製程蝕刻，諸如各向同性蝕刻製程。在一些實施例中，蝕刻製程可以是濕式蝕刻製程。如先前論述，可由對第一介電層 52、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 的材

料具有高蝕刻選擇性的材料形成第二介電層 54，使得在蝕刻第二介電層 54 期間最小化對第一介電層 52、第三介電層 56、第四介電層 58、半導體層 60 及第一金屬層 62 的任何蝕刻。亦可由對閘極介電層 70 及閘極電極 74 的材料具有高蝕刻選擇性的材料形成第二介電層 54，以在蝕刻第二介電層 54 期間最小化對閘極介電層 70 及閘極電極 74 的蝕刻。

**【0041】** 在一些實施例中，可由氧化物(諸如氧化矽)形成第一介電層 52 及第三介電層 56，並且可由氮化矽、聚矽或類似者形成第二介電層 54。在其中第一介電層 52 及第三介電層 56 包括氧化矽並且第二介電層 54 包括氮化矽的實施例中，磷酸( $\text{H}_3\text{PO}_4$ )可用於蝕刻第二介電層 54。在其中第一介電層 52 及第三介電層 56 包括氧化矽並且第二介電層 54 包括聚矽的實施例中，硝酸( $\text{HNO}_3$ )及氫氟酸( $\text{HF}$ )的混合物可用於蝕刻第二介電層 54。

**【0042】** 如第 10A 圖及第 10C 圖中繪示，第二介電層 54 的一部分可在蝕刻第二介電層 54 之後餘留。在第 10A 圖及第 10C 圖繪示的實施例中，第二介電層 54 可經蝕刻，使得第一開口 82 在閘極介電層 70 及閘極電極 74 下方並且在閘極堆疊的相對側面上的第四介電層 58、半導體層 60 及第一金屬層 62 下方延伸。在一些實施例中，第二介電層 54 可經蝕刻，使得第一開口 82 在閘極堆疊的一側上的第四介電層 58、半導體層 60 及第一金屬層 62 下方並且在閘極介電層 70 及閘極電極 74 下方延伸，而不在閘極

堆疊的相對側面上的第四介電層 58、半導體層 60 及第一金屬層 62 下方延伸。在一些實施例中，第二介電層 54 可經蝕刻，使得第一開口 82 在閘極堆疊的一側上的第四介電層 58、半導體層 60 及第一金屬層 62 下方延伸，並且不在閘極介電層 70 及閘極電極 74 下方延伸。

【0043】 第二介電層 54 可使用定時蝕刻製程蝕刻以控制移除的第二介電層 54 的量。移除第二介電層 54 的較大部分導致較大第一開口 82，其中可形成電容器(諸如包括第二金屬層 90、第五介電層 92 及第三金屬層 94 的電容器，下文關於第 12A 圖直至第 12D 圖論述)，這增加電容器的電容。然而，蝕刻過量的第二介電層 54 可導致元件崩潰。因此，在蝕刻製程之後的第二介電層 54 的寬度  $W_2$  與在蝕刻製程之前的第二介電層 54 的寬度  $W_3$  的比率可大於約 0.10、大於約 0.30 或在約 0.30 與約 0.50 之間。寬度  $W_2$  可從約 5 nm 至約 50 nm，並且寬度  $W_3$  可從約 5 nm 至約 500 nm。

【0044】 在第 11A 圖直至第 11D 圖中，形成第二金屬層 90、第五介電層 92 及第三金屬層 94，從而填充第一開口 82。第二金屬層 90 可共形地沉積在第一介電層 52 的頂表面、第二介電層 54 的側壁、第三介電層 56 的底表面及側壁、第四介電層 58 的側壁、半導體層 60 的側壁、第一金屬層 62 的側壁及頂表面，以及閘極介電層 70 及閘極電極 74 的頂表面上方。在一些實施例中，第二金屬層 90 可包括金屬材料，諸如鋁(Al)、鈦(Ti)、氮化鈦(TiN)、氮化

鈿 (Ta<sub>2</sub>N<sub>5</sub>)、鈷 (Co)、銀 (Ag)、金 (Au)、銅 (Cu)、鎳 (Ni)、鉻 (Cr)、鈦 (Hf)、鈳 (Ru)、鎢 (W)、鉑 (Pt)、其組合或多層或類似者。第二金屬層 90 可藉由物理氣相沉積 (physical vapor deposition, PVD)、CVD、ALD 或類似者沉積。第二金屬層 90 可具有從約 1 nm 至約 100 nm 的厚度。

**【0045】** 第五介電層 92 可在第二金屬層 90 上方共形地沉積。在一些實施例中，第五介電層 92 可包括介電材料，諸如氧化鈦 (HfO<sub>2</sub>)、氧化鈦鋯 (Hf<sub>1-x</sub>Zr<sub>x</sub>O<sub>2</sub>)、氧化鋯 (ZrO<sub>2</sub>)、氧化鈦 (TiO<sub>2</sub>)、氧化鎳 (NiO)、氧化鈿 (TaO<sub>x</sub>)、氧化銅 (Cu<sub>2</sub>O)、氧化鈮 (Nb<sub>2</sub>O<sub>5</sub>)、氧化鋁 (Al<sub>2</sub>O<sub>3</sub>)、其多層或組合或類似者。第五介電層 92 可藉由 PVD、CVD、ALD 或類似者沉積。第五介電層 92 可具有從約 0.5 nm 至約 50 nm 的厚度。

**【0046】** 第三金屬層 94 可在第五介電層 92 上方共形地沉積並且可填充第一開口 82 的剩餘部分。在一些實施例中，第三金屬層 94 可包括金屬材料，諸如鋁 (Al)、鈦 (Ti)、氮化鈦 (TiN)、氮化鈿 (Ta<sub>2</sub>N<sub>5</sub>)、鈷 (Co)、銀 (Ag)、金 (Au)、銅 (Cu)、鎳 (Ni)、鉻 (Cr)、鈦 (Hf)、鈳 (Ru)、鎢 (W)、鉑 (Pt)、其組合或多層或類似者。第三金屬層 94 可藉由 PVD、CVD、ALD 或類似者沉積。第三金屬層 94 可具有從約 1 nm 至約 100 nm 的厚度。

**【0047】** 在第 12A 圖直至第 12D 圖中，平坦化第三金屬層 94、第五介電層 92 及第二金屬層 90。第三金屬層 94、

第五介電層 92 及第二金屬層 90 可藉由適宜平坦化製程平坦化，諸如 CMP、回蝕製程、其組合或類似者。在平坦化製程之後，第三金屬層 94、第五介電層 92、第二金屬層 90、第一金屬層 62、閘極介電層 70 及閘極電極 74 的頂表面可彼此齊平。

【0048】 第三金屬層 94、第五介電層 92 及第二金屬層 90 可統稱為「水平電容器」，並且可用作記憶體單元中的電容器。形成具有在閘極堆疊下方延伸的水平電容器的記憶體單元，允許水平電容器的體積增加而不增加記憶體單元的面積。這種結構改進讀取可靠性並且增加元件效能，而不增加記憶體單元面積或減小元件密度。此外，上文描述的用於形成水平電容器及奈米結構場效應電晶體的方法可在現有形成互補金屬氧化物半導體裝置的製程流程中實施，這情況降低了成本。

【0049】 在第 13 A 圖直至第 13 D 圖中，在第 12 A 圖直至第 12 D 圖中繪示的結構上方形成第二層間介電質 96、位元線 99、字元線 98 及源極線 97。在一些實施例中，由介電材料(諸如 PSG、BSG、BPSG、USG 或類似者)形成第二層間介電質 96，並且可藉由任何適宜方法沉積，諸如 CVD、PECVD 或類似者。在一些實施例中，在形成第二層間介電質 96 之前，使閘極堆疊(包括閘極介電層 70 及閘極電極 74)凹陷，使得凹槽直接在閘極堆疊上方並且在第一金屬層 62 的相對部分之間形成。包括一或多層介電材料(諸如氮化矽、氮氧化矽或類似者)的閘極遮罩 95 在凹槽

中填充，接著藉由平坦化製程來移除在第一層間介電質 80 上方延伸的介電材料的過量部分。隨後形成的閘極觸點(諸如字元線 98)穿透閘極遮罩 95 以接觸凹陷的閘極電極 74 的頂表面。

**【0050】** 另外，在第 13 A 圖直至第 13 D 圖中，穿過第二層間介電質 96 形成位元線 99、字元線 98 及源極線 97。穿過第二層間介電質 96 形成用於位元線 99 及源極線 97 的開口，並且穿過第二層間介電質 96 及閘極遮罩 95 形成用於字元線 98 的開口。可使用可接受的微影及蝕刻技術形成開口。可在開口中形成一或多個襯墊(諸如擴散阻障層、黏附層、其組合或多層或類似者)，並且可在襯墊上方形成導電材料。襯墊可包括鈦、氮化鈦、鈇、氮化鈇、其組合或多層或類似者。導電材料可以是銅(Cu)、銅合金、銀(Ag)、金(Au)、鎢(W)、鈷(Co)、鋁(Al)、鎳(Ni)、氮化鈦(TiN)、氮化鈇(TaN)、鉻(Cr)、鈦(Hf)、鈷(Ru)、鉑(Pt)、其組合或多層或類似者。

**【0051】** 可執行平坦化製程(諸如CMP)以從第二層間介電質 96 的表面移除過量材料。剩餘襯墊及導電材料在開口中形成位元線 99、字元線 98 及源極線 97。位元線 99 實體及電性耦接到第一金屬層 62，字元線 98 實體及電性耦接到閘極電極 74，並且源極線 97 實體及電性耦接到第三金屬層 94。可在不同製程中或可在相同製程中形成位元線 99、字元線 98 及源極線 97。儘管繪示為在相同橫截面中形成，應當瞭解可在不同橫截面中形成位元線 99、字元線

98 及源極線 97 的每一者，這可避免觸點短路。

【0052】 實施例可實現優點。例如，形成至少部分在奈米結構場效應電晶體下方延伸的水平電容器可導致電容器體積增加，而不增加記憶體單元面積，這導致改進的讀取可靠性及改進的元件效能。此外，上文描述的方法可用現有的 CMOS 製程流程實施，這情形降低了成本。

【0053】 第 14 A 圖直至第 17 圖是根據進一步實施例的形成記憶體單元的中間階段的橫截面圖。第 14 A 圖繪示在第 1 圖中繪示的參考橫截面 A - A'。第 14 B 圖、第 15 圖、第 16 圖及第 17 圖繪示第 1 圖中繪示的參考橫截面 B - B'。

【0054】 第 14 A 圖及第 14 B 圖繪示了其中多個第二介電層 54 a 至第二介電層 54 d 及第三介電層 56 a 至第三介電層 56 d 在第一介電層 52 與第四介電層 58 之間堆疊，以擴大包括第二金屬層 90、第五介電層 92 及第三金屬層 94 的水平電容器的實施例。可由與用於第二介電層 54 且在上文參考第 2 A 圖直至第 2 D 圖描述的共同或類似材料及製程形成第二介電層 54 a 至第二介電層 54 d。可由與用於第三介電層 56 且在上文參考第 2 A 圖直至第 2 D 圖描述的共同或類似材料及製程形成第三介電層 56 a 至第三介電層 56 d。可使用與上文參考第 9 A 圖直至第 10 D 圖描述的共同或類似製程蝕刻第一金屬層 62、半導體層 60、第四介電層 58、第三介電層 56 a 至第三介電層 56 d 及第二介電層 54 a 至第二介電層 54 d，以形成開口。儘管第 14 A 圖及第 14 B 圖繪示了四個第二介電層 54 a 至第二介電層 54 d 及四個第

三介電層 56 a 至第三介電層 56 d，可使用任何數量的第二介電層 54 及第三介電層 56。

**【0055】** 另外，在第 14 A 圖及第 14 B 圖中，在開口中形成第二金屬層 90 a、第五介電層 92 a 及第三金屬層 94 a，此開口藉由蝕刻第一金屬層 62、半導體層 60、第四介電層 58、第三介電層 56 a 至第三介電層 56 d 及第二介電層 54 a 至第二介電層 54 d 所形成。可由與用於第二金屬層 90、第五介電層 92 及第三金屬層 94 並且在上文關於第 11 A 圖直至第 12 D 圖描述的共同或類似材料及製程形成第二金屬層 90 a、第五介電層 92 a 及第三金屬層 94 a。如第 14 A 圖中繪示，包括第二金屬層 90 a、第五介電層 92 a 及第三金屬層 94 a 的水平電容器在橫截面圖中可以是梳狀。提供多個第二介電層 54 及第三介電層 56 進一步增加包括第二金屬層 90 a、第五介電層 92 a 及第三金屬層 94 a 的水平電容器的體積，而不增加記憶體單元面積。此舉改進讀取可靠性並且增加元件效能，而不增加記憶體單元面積或減小元件密度。此外，上文描述的用於形成水平電容器及奈米結構場效應電晶體的方法可在現有形成互補金屬氧化物半導體裝置的製程流程中實施，這情形降低了成本。

**【0056】** 第 15 圖直至第 17 圖繪示了包括在半導體層 60 a 中形成的多個奈米結構 61 a 至奈米結構 61 c 的實施例，這些奈米結構具有各種橫截面形狀。可由與用於奈米結構 61、閘極介電層 70 及閘極電極 74 並且在上文參考第 3 A 圖直至第 7 D 圖描述的共同或類似材料及製程形成奈米結構

61 a 至奈米結構 61 c、閘極介電層 70 a 至閘極介電層 70 c 及閘極電極 74 a 至閘極電極 74 c。在第 15 圖繪示的實施例中，奈米結構 61 a 在橫截面圖中可具有矩形形狀。在第 16 圖繪示的實施例中，奈米結構 61 b 在橫截面圖中可具有方形形狀。在第 17 圖繪示的實施例中，奈米結構 61 c 在橫截面圖中可具有圓角形狀，諸如圓形形狀。第 15 圖直至第 17 圖繪示了其中形成用於奈米結構場效應電晶體的三個奈米結構 61 a 至奈米結構 61 c 的實施例，然而可形成任何數量的用於奈米結構場效應電晶體的奈米結構 61 a 至奈米結構 61 c。在奈米結構場效應電晶體中包括的奈米結構的形狀及數量可用於控制記憶體單元操作的驅動電流。因此，使用各種形狀及數量的奈米結構允許針對各種應用客製化記憶體單元。

**【0057】** 根據一實施例，一種半導體裝置包括在半導體基板上方的通道結構、環繞通道結構的閘極結構、鄰近閘極結構的第一源極/汲極區域，以及鄰近第一源極/汲極區域的電容器，在橫截面圖中電容器在第一源極/汲極區域及閘極結構下方延伸。在一實施例中，半導體裝置進一步包括鄰近閘極結構的第二源極/汲極區域，第二源極/汲極區域在閘極結構與第一源極/汲極區域相對的側面上設置，在橫截面圖中電容器在第二源極/汲極區域下方延伸。在一實施例中，位元線耦接到第二源極/汲極區域，字元線耦接到閘極結構，並且源極線耦接到電容器。在一實施例中，電容器包括在橫截面圖中在第一源極/汲極區域及閘極結構下方

延伸的第一部分，以及在橫截面圖中在第一源極/汲極區域及閘極結構下方延伸的第二部分，並且介電層在第一部分與第二部分之間延伸。在一實施例中，電容器在橫截面圖中是梳狀。在一實施例中，電容器在橫截面圖中是 L 形。在一實施例中，電容器、閘極結構及第一源極/汲極區域的頂表面彼此齊平。

**【0058】** 根據另一實施例，一種形成半導體裝置的方法包括在半導體基板上方沉積包括第一介電層、第二介電層、第三介電層、第四介電層、第一半導體層及第一金屬層的多層堆疊。方法包括執行第一圖案化製程以圖案化第一金屬層、第一半導體層及第四介電層，第一圖案化製程形成圍繞第一半導體層的通道區域的第一開口。方法包括在第一開口中形成圍繞通道區域的閘極結構。方法包括執行第二圖案化製程以圖案化第一金屬層、第一半導體層、第四介電層、第三介電層及第二介電層，第二圖案化製程形成暴露第一介電層的第一部分的第二開口，第二開口在閘極結構下面從閘極結構的第一側延伸到閘極結構與第一側相對的第二側。方法包括在第二開口中形成電容器。在一實施例中，第一圖案化製程包括在第一金屬層、第一半導體層及第四介電層上執行各向異性蝕刻製程以暴露第三介電層並且圖案化第一半導體層中的通道區域，以及在執行各向異性蝕刻製程之後，執行各向同性蝕刻製程以分別從通道區域之上及之下移除第一金屬層及第四介電層。在一實施例中，在執行第二圖案化製程之前第二介電層在垂直於半

導體基板的主表面的第一方向上具有第一寬度，在執行第二圖案化製程之後第二介電層在第一方向上具有第二寬度，並且第二寬度與第一寬度的比率是 0.30 至 0.50。在一實施例中，形成電容器包括在第二開口中沉積第二金屬層，第二金屬層接觸第一金屬層、第一半導體層、第四介電層、第三介電層及第二介電層的側壁。在一實施例中，方法進一步包括在第二金屬層上方沉積第五介電層、在第二金屬層上方沉積第三金屬層並且填充第二開口，以及平坦化第一金屬層、閘極結構、第二金屬層、第五介電層及第三金屬層的頂表面。在一實施例中，方法進一步包括圖案化閘極結構以形成第三開口，並且沉積填充第三開口的層間介電層。

**【0059】** 根據又一實施例，一種形成半導體裝置的方法包括在半導體基板上方形成電晶體，電晶體包括鄰近閘極結構的第一源極/汲極區域及鄰近閘極結構且與第一源極/汲極區域相對的第二源極/汲極區域。方法包括在第一源極/汲極區域上執行第一各向異性蝕刻製程以形成第一開口。方法包括穿過第一開口執行第一各向同性蝕刻製程以圖案化在半導體基板與電晶體之間的虛設介電層，第一各向同性蝕刻製程延伸第一開口。方法包括在第一開口中形成電容器。在一實施例中，形成電晶體包括圖案化半導體層以形成在平行於半導體基板的主表面的平面中延伸的複數個通道區域，以及圍繞複數個通道區域的每個通道區域形成閘極結構。在一實施例中，方法進一步包括在第一源極/汲極

區域及第二源極/汲極區域上方平坦化閘極結構及第一金屬層。在一實施例中，方法進一步包括在平坦化閘極結構及第一金屬層之後，圖案化閘極結構以移除閘極結構的第一部分且形成第二開口，在圖案化閘極結構之後餘留閘極結構的第二部分，以及在第二開口中形成層間介電層。在一實施例中，方法進一步包括在半導體層上方形成第一金屬層，在第一金屬層的部分中形成第一源極/汲極區域及第二源極/汲極區域。在一實施例中，形成電容器包括在第一開口中共形地沉積第一金屬層、在第一金屬層上方共形地沉積第一介電層、在第一介電層上方共形地沉積第二金屬層，以及平坦化第一金屬層、第一介電層及第二金屬層。在一實施例中，共形地沉積與第一源極/汲極區域接觸的第一金屬層。

**【0060】** 前面概述一些實施例的特徵，使得本領域技術人員可更好地理解本公開的觀點。本領域技術人員應該理解，他們可以容易地使用本公開做為設計或修改其他製程和結構的基礎，以實現相同的目的和/或實現與本文介紹之實施例相同的優點。本領域技術人員還應該理解，這樣的等同構造不脫離本公開的精神和範圍，並且在不脫離本公開的精神和範圍的情況下，可以進行各種改變、替換和變更。

### **【符號說明】**

#### **【0061】**

50：基板

- 5 2 : 第一介電層
- 5 4 , 5 4 a , 5 4 b , 5 4 c , 5 4 d : 第二介電層
- 5 5 : 多層堆疊
- 5 6 , 5 6 a , 5 6 b , 5 6 c , 5 6 d : 第三介電層
- 5 8 : 第四介電層
- 6 0 , 6 0 a , 6 0 b , 6 0 c : 半導體層
- 6 1 , 6 1 a , 6 1 b , 6 1 c : 奈米結構
- 6 2 : 第一金屬層
- 6 3 : 源極 / 汲極區域
- 6 4 : 圖案化的硬遮罩層
- 7 0 , 7 0 a , 7 0 b , 7 0 c : 閘極介電層
- 7 2 : 閘極電極材料
- 7 2 A : 襯墊層
- 7 2 B : 功函數調節層
- 7 2 C : 填充材料
- 7 4 , 7 4 a , 7 4 b , 7 4 c : 閘極電極
- 7 5 : 區域
- 8 0 : 第一層間介電質
- 8 2 : 第一開口
- 9 0 , 9 0 a : 第二金屬層
- 9 2 , 9 2 a : 第五介電層
- 9 4 , 9 4 a : 第三金屬層
- 9 5 : 閘極遮罩
- 9 6 : 第二層間介電質

97: 源極線

98: 字元線

99: 位元線

A - A'、B - B'、C - C': 橫截面

D<sub>1</sub>: 深度

W<sub>1</sub>、W<sub>2</sub>、W<sub>3</sub>: 寬度

**【發明申請專利範圍】**

【請求項 1】一種半導體裝置，包括：

- 一通道結構，在一半導體基板上方；
- 一閘極結構，環繞該通道結構；
- 一第一源極/汲極區域，鄰近該閘極結構；以及
- 一電容器，鄰近該第一源極/汲極區域，在一橫截面圖中該電容器在該第一源極/汲極區域及該閘極結構下方延伸。