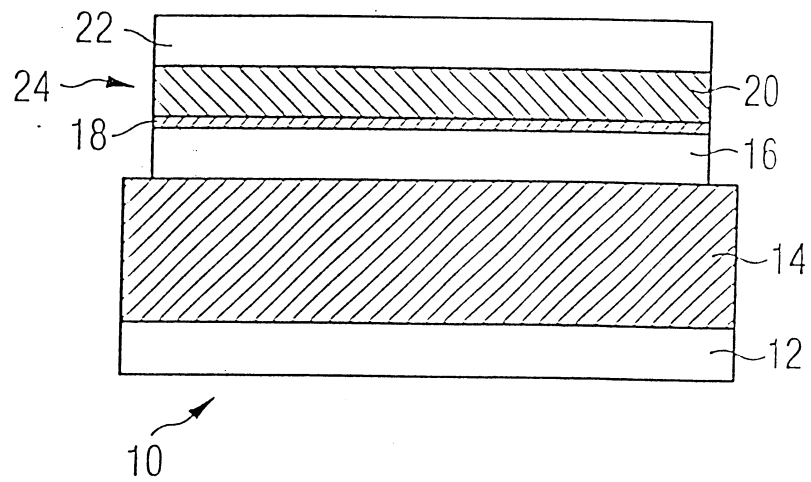
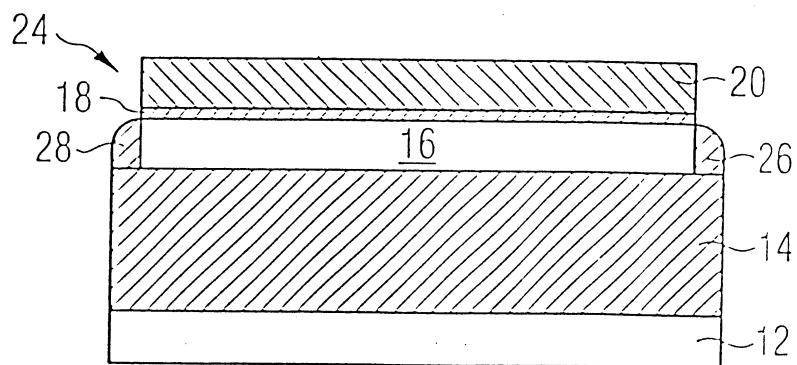


圖式

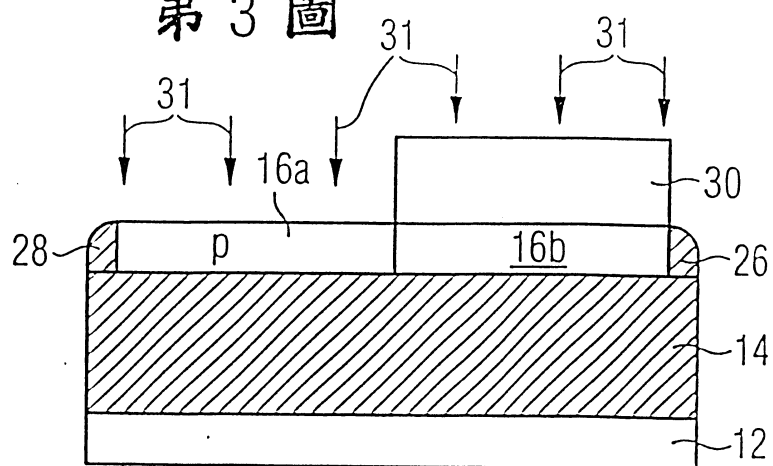
第 1 圖



第 2 圖

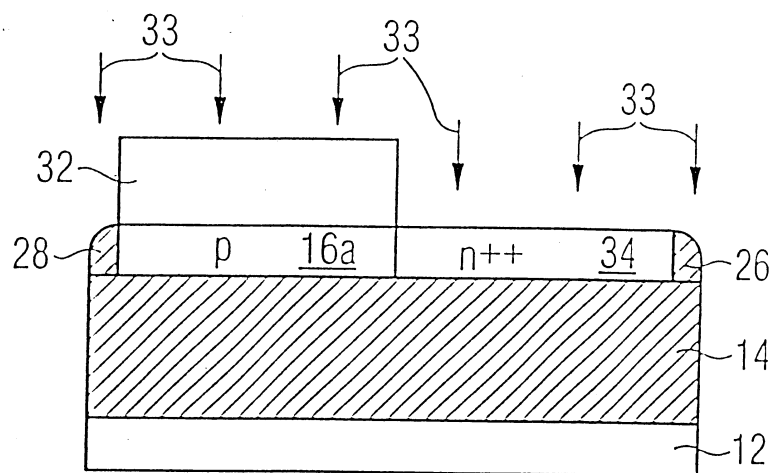


第 3 圖

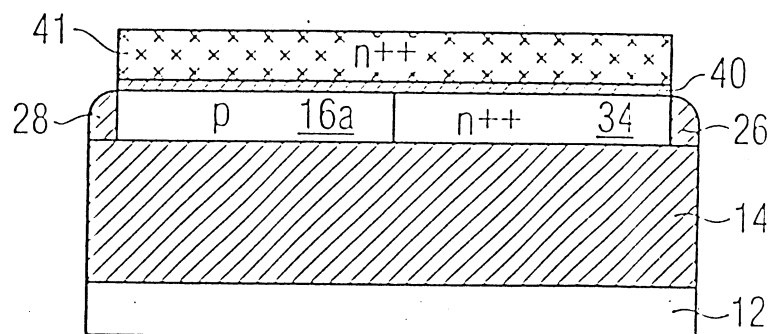


圖式

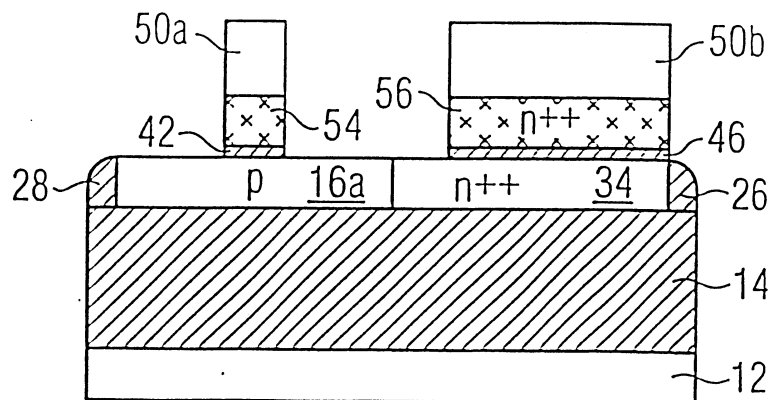
第 4 圖



第 5 圖

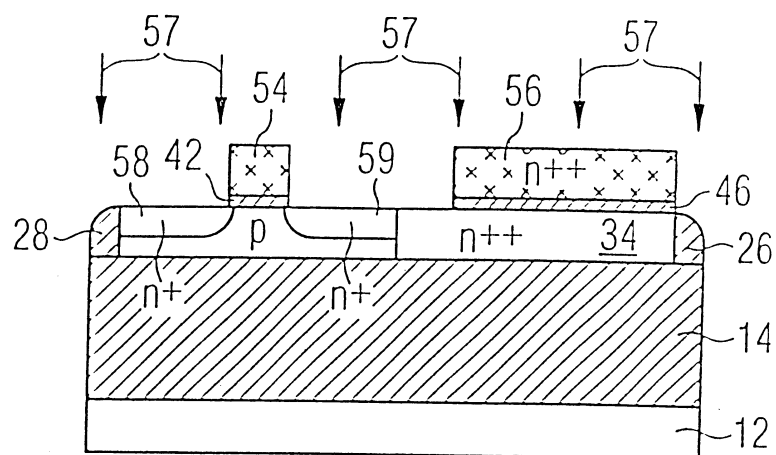


第 6 圖

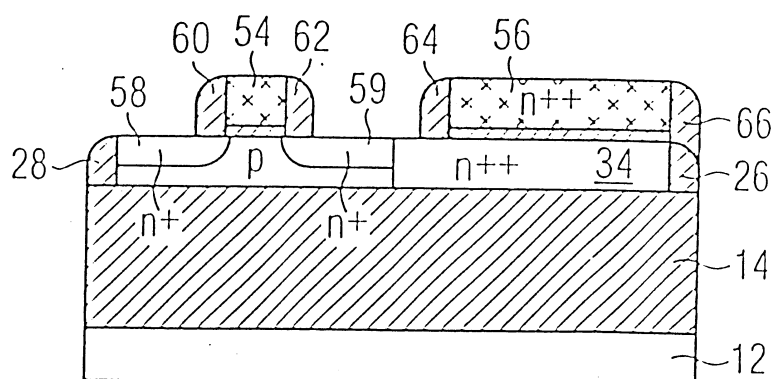


圖式

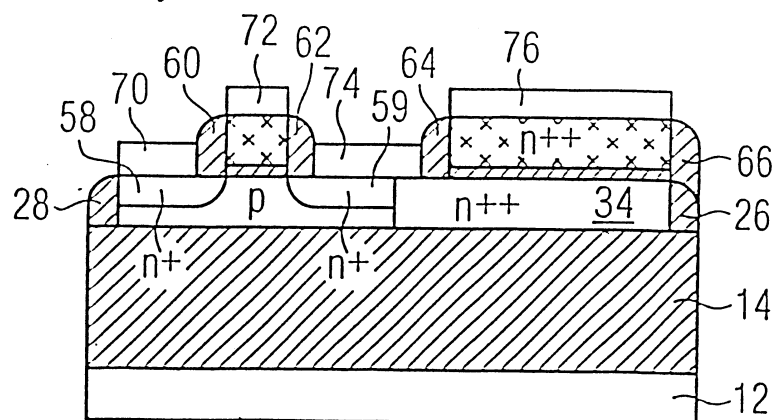
第 7 圖



第 8 圖

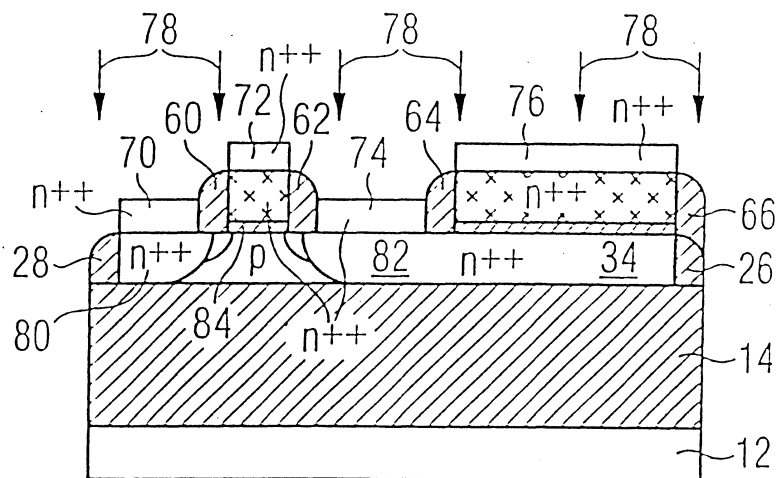


第 9 圖

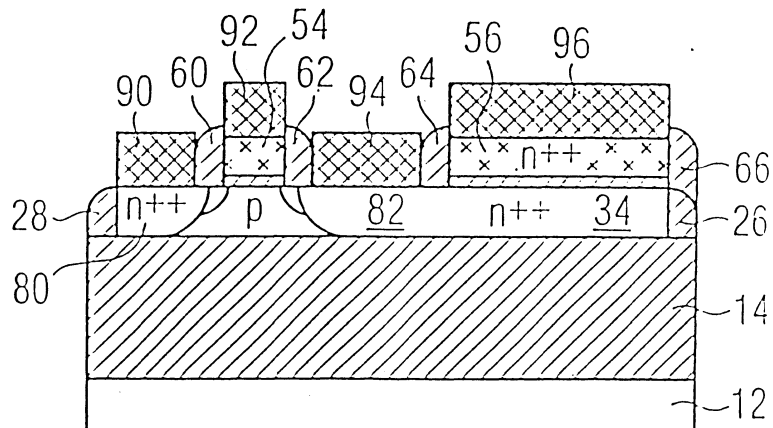


圖式

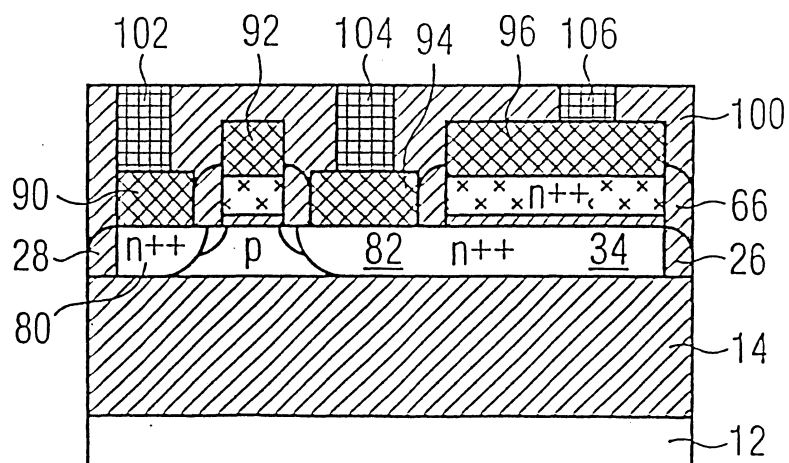
第10圖



第11圖

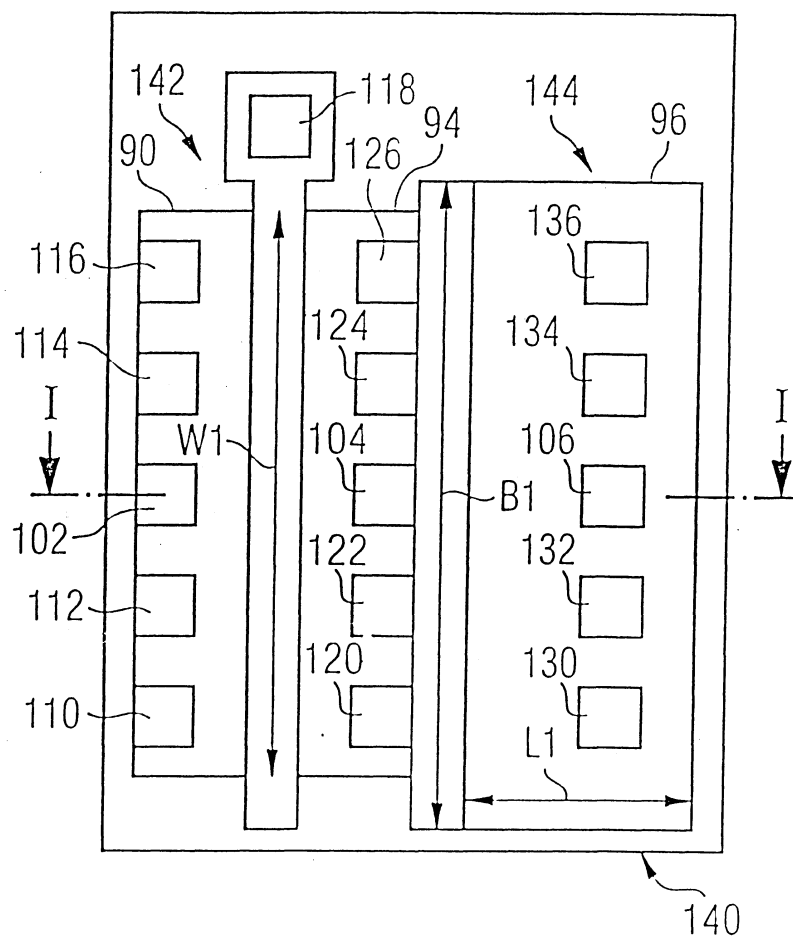


第12圖

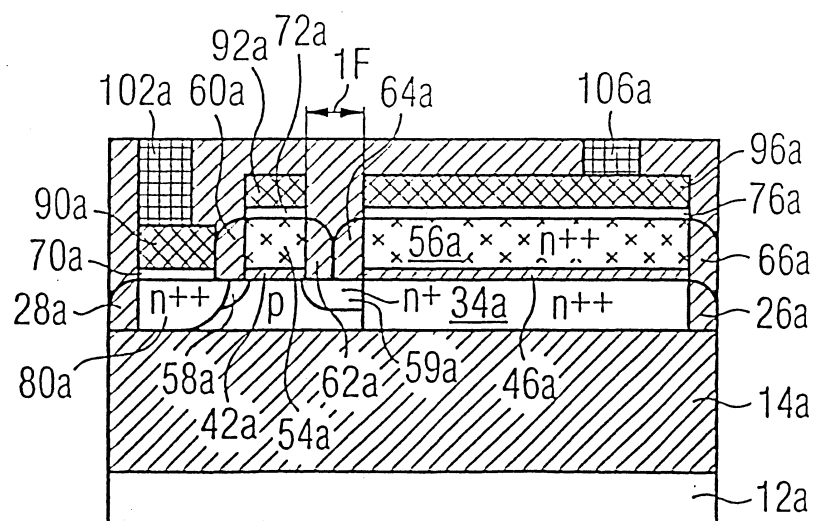


圖式

第13圖

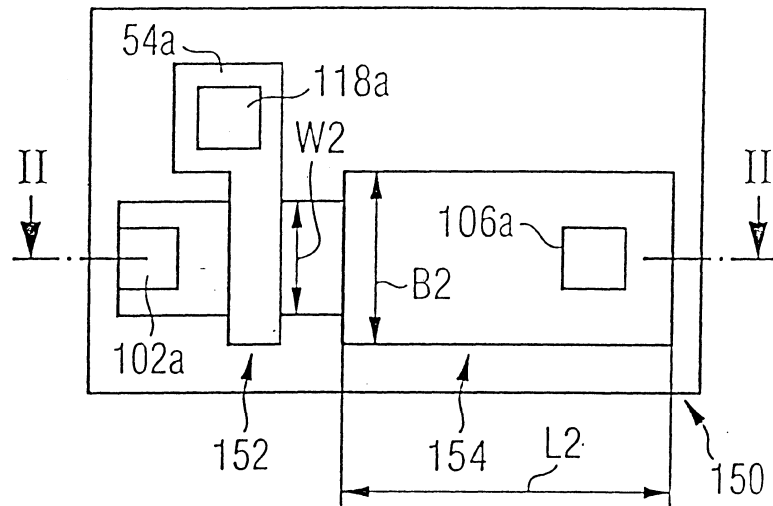


第14圖

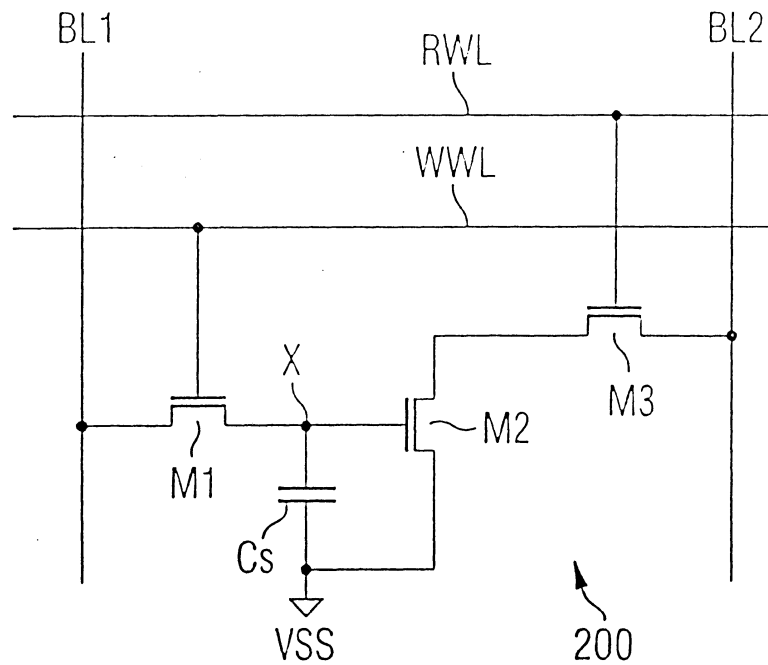


圖式

第15圖



第16圖



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92126126

※ 申請日期： 92 年 09 月 22 日

※IPC 分類： H01L 27/08

一、發明名稱：(中文/英文)

具電容器及較佳平面電晶體之積體電路排列及製造方法

Integrated Circuit Arrangement having Capacitors and having Preferably Planar Transistors and Fabrication Method

二、申請人：(共 1 人)

姓名或名稱：英飛凌科技股份有限公司 Infineon Technologies AG

代表人： 1. 米夏埃爾·戈爾維茨爾 Michael Gollwitzer

2. 霍斯特·舍費爾 Dr. Horst Schaefer

住居所或營業所地址：德國慕尼黑 D-81669 馬丁塊街 53 號

St.-Martin-Str. 53, D-81669 Muenchen, Germany

國 籍：(中文/英文) 德國 DE

三、發明人：(共 5 人)

1. 姓 名：(中文/英文) 拉爾夫·布雷德羅夫 Ralf BREDERLOW

國 籍：(中文/英文) 德國 DE

2. 姓 名：(中文/英文) 傑西卡·哈特維希 Jessica HARTWICH

國 籍：(中文/英文) 德國 DE

3. 姓 名：(中文/英文) 克利斯提昂·帕夏 Christian PACHA

國 籍：(中文/英文) 德國 DE

4. 姓 名：(中文/英文) 沃夫岡·勒斯納 Wolfgang ROESNER

國 籍：(中文/英文) 德國 DE

5. 姓 名：(中文/英文) 湯瑪士·舒爾茨 Thomas SCHULZ

國 籍：(中文/英文) 德國 DE

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 德國 DE；2002/10/18；No. 102 48 723.5

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

【先前技術】

【發明內容】

本案是有關於一種包含一電絕緣區域與至少一電容器的積體電路排列。該電容器係由一序列的區域所形成，其係依序包含：

- 接近該絕緣區域的一電極區域，
- 一介電區域，以及
- 遠離該絕緣區域的一電極區域。

該電隔離絕緣區域係包含，例如，具有在室溫攝氏 20 度時電阻率大於 $10^{12} \Omega \text{cm}$ (歐姆公分) 的一電絕緣材料，例如氧化物，特別是二氧化矽。而電極區域係包含，例如，具有在室溫攝氏 20 度時的電阻率小於 $10^{-4} \Omega \text{cm}$ (歐姆公分) 的一電絕緣材料。如可以選擇地，該電極區域係包含，例如，高度摻雜的多晶矽。同樣地，該介電區域係包含一電絕緣材料，例如氧化物，特別是二氧化物，其具有一介電常數大約是 3.9 左右。然而，亦可利用具有明顯較大介電常數的介電材料於該介電區域中。

本案之一目的係明確說明一種具有一電容器且製造簡單的積體電路排列。本案係為使積體電路排列，特別是用少數步驟來製造該積體電路排列成為可能，且尤其是使用少量的微影遮罩來製造。再者，本案係詳細說明一種具有電容器的積體電路排列簡單的製造方法。

有關該積體電路排列的目的，係藉由具有申請專利範圍第一項中所明確說明的特徵之積體電路排列而達成，並由在附屬項中之說明所來詳細闡述。

根據本案的電路排列，絕緣區域係為排列在一平面中的絕緣層的一部分，一電容器與該積體電路排列的至少一個主動元件，較佳是該積體電路排列的所有主動元件，係位於該絕緣層的同一側。再者，接近該絕緣區域的電極區域與該元件的作用區域，係被排列在與該絕緣層所排列在的平面平行的平面上。

根據本案的電路排列係以一簡單的方式所建構，且可以簡單的方式來製造，因為接近該絕緣區域的電極區域與作用區域係位於一平面中，再者，接近該絕緣區域的電極區域與作用區域係藉由該絕緣區域而被絕緣。隨意且可選擇的電壓因而可被施用到電容器的兩個電極區域。

此外，該電容器所具有重要的電性：

- 在寄生電容與電阻間關於有益電容之比值係為很小。

- 漏電流少。

- 電容的差動非線性(differential nonlinearity)小，不

同的差動電容係可歸因於空間電荷區。至於類比電容，差動電容係在操作點有效的電容。

- 在一廣泛的操作點範圍內，電容係為一常數。

- 可獲得的電容/區域之比值大，例如大於 10 塵法拉/平方公釐(femtofarads / mm²)，或是甚至大於 20 塵法拉/平方公釐(femtofarads / mm²)。

再者，在該主動元件與電容器之間，並不需要另外的層或是另外的層序列，此可使減少所需要的層與增加積體電路排列的平面性成為可能。

在一個情況中，主動元件係為一場效應電晶體：

- 場效應電晶體的通道區域係為作用區域。

- 場效應電晶體的控制電極係為一圖樣化的電極層的一部分，其中遠離絕緣區域的電容器的電極區域也被排列。該控制電極與遠離絕緣區域的電極區域係包含相同的材料，該等區域的厚度與其摻雜濃度亦為相當。

- 在一組態中，該場效應電晶體的一控制電極絕緣區域，係包含與該電容器的介電區域相同的材料，而該等區域的厚度亦為相當。

此等量度其意為製造該電容器與製造場效應電晶體僅需要三個層的產生步驟即可，場效應地晶體與電晶體之該等區域其係位於相同的層中而可一起被圖樣化。一個用以製造該電容器另外的遮罩僅在該電容器的底部電極區域其摻雜是不同於該場效應電晶體的通道區域時時才必須的。而僅在控制電極絕緣區域的材料及/或絕緣厚度與

電容器的介電區域不同時，才必須一個另外附加的遮罩。然而儘管如此，製造該電路排列所需要的遮罩數量仍然是很小。

在接下來的發展情況中，場效應電晶體係為一種平面的場效應電晶體，換言之，對於閘電極的控制有效的區域係與該絕緣層呈平行的狀態。除了 HDD 終端區域(高度摻雜的汲極)外，如果適當的話，場效應電晶體也還包含了 LDD 終端區域(輕微摻雜的汲極)或是輔助終端區域 及/或所謂的環形(pocket)或是暈圈(holes)，其在此係被設計來做為輔助摻雜區域。

在其他的配置中，控制電極係與矽化物區域毗連，此種方式使其可較容易的與該控制電極聯繫，因而同時降低了接觸電阻與片電阻。

在根據本案電路排列接下的情況中，場效應電晶體的終端區域係毗連絕緣層。在一種配置中，終端區域同樣地也與矽化物區域毗連，當半導體層在該矽化物形成之前與之後，其在終端區域的厚度係大於接近絕緣區域的電極之區域時，會呈現足夠的材料以形成矽化物。

在接下來的發展情況中，間隙壁係被排列在該控制電極的兩側，其間隙壁也包含與電極層不同的材料或是至少包含與電極層不同的材料，特別是不適合在產生半導體磊晶層的磊晶方法期間做為磊晶層成長的起始點的材料，例如，一種氮化矽材料。間隙壁的使用其意謂在控制電極的側邊區域係被覆蓋住，以至於沒有磊晶可以出自這裡，並

且可以避免短路。

在一組態中，間隙壁同樣地可以被排列在遠離絕緣區域的電極區域的至少一側，這些間隙壁已完成做為排列在控制電極的間隙壁的任務。假如排列在閘極上的間隙壁與排列在電容器的電極上的間隙壁彼此互相接觸，然後會形成遮罩，例如此遮罩的形成其可在遮罩的區域中防止摻雜或是矽化(siliciding)。

在一發展情況中，接近毗連電晶體一終端區域的絕緣區域的電極區域一側，係比接近呈橫向於那一側的絕緣區域的電極區域一側為長，其較佳是至少兩倍長或是至少五倍長。在此實例中，電晶體具有一多重最小特徵大小的電晶體寬度，其較佳是大於三倍或是大於 5 倍，此等基準其結果是在電晶體與電容器之間特別的低阻抗連接。此導致了特別是在類比電路中所謂的類比電容電性的改良，此類的類比電路的例子是類比數位轉換器。類比電容的其他例子是所謂的旁路電容(bypass capacitance)，其可被用來使在一操作電壓線上的或是在一訊號線上的突增瞬間電壓(voltage spike)平滑。

在一另外的發展情況中，相較之下，電極區域的一側其係接近橫向於電極區域的那一側，而電極區域的那一側係接近毗連終端區域的絕緣區域，該電極區域的一側比毗連終端區域的一側為長，其較佳是至少兩倍長或是至少五倍長。在此實例中，電晶體具有一小於三倍最小特徵大小的電晶體寬度，其較佳是小於二倍最小特徵大小。藉由此

基準，特別是在記憶胞元實例中所達到的是電容器的底部電極的無電抗電阻(nonreactive resistance)增加，以及儲存電容的快速放電也因而被抵銷。

在下一個發展情況中，場效應電晶體的終端區域與接近絕緣區域的電容器的電極區域係互相毗連，因而形成電傳導連接，此產生一種簡單建構的 DRAM(動態隨機存取記憶體)記憶胞元，並不需要另外的基準以製造與接近絕緣區域的底部電極的接觸。此種發展係特別被用在閘極與在電容器的覆蓋電極互相接觸的間隙壁的組合。

在一發展情況中，接近絕緣區域的電極區域以及作用區域(active region)，係為一半導體區域，其包含一半導體材料，例如具有介於 $10^{-6} \Omega \text{ cm}$ 與 $10^{+12} \Omega \text{ cm}$ 之間的電阻率，而特別是介於 $10^{-5} \Omega \text{ cm}$ 與 $10^{+10} \Omega \text{ cm}$ 之間，例如鍺、矽或者是砷化鎵。接近絕緣區域的電容器電極區域的電阻率可藉由在一組態中的摻雜而降低。

在電路排列的一個發展情況中，接近絕緣區域的電極區域與作用區域為摻雜或是未摻雜的單晶矽區域，在單晶矽層中的有效成分是特別的好，再者，電容器的單晶矽電極的電阻可藉由摻而被徹底的降低。在一組態中，接近絕緣區域的電及區域與作用區域其具有小於 100 奈米或是甚至小於 50 奈米的厚度。

在下一個發展情況中，毗連一承載基板的絕緣層，係如同具有所謂的 SOI(絕緣矽)基板的實例。此種型式的基板可用一種簡單的方法來製造，再者，設置在這些基板上

的電子電路具有特別好的電性。

在另外的發展情況中，電路排列包含至少一種處理器，此處理器則包括多重邏輯轉換功能。假如，在一組態中，電路排列除了處理器之外另外還包含多重 DRAM 記憶單元(動態隨機存取記憶體)，於是一檢索詞(term)也在一嵌入式記憶體中使用。為了製造此種電路排列，除了至少是製造邏輯(logic)所必須的製程步驟與遮罩外，尚僅需要少數額外的製程步驟與額外的遮罩以製造與其電傳導連接的電晶體或是電容器。

在另外的方面，本案同時係有關一種製造積體電路排列的方法，在根據本案或是其發展情況的其中之一時，其別是有關製造電路排列的方法。在根據本案的方法中，係執行以下的方法步驟，但並不受步驟次序的任何限制：

- 提供包含由電絕緣材料所製成的絕緣層以及半導體層的一基板，例如 SOI 基板，
- 圖樣化該半導體層，以形成做為一電容器的至少一電極區域與形成，做為一電晶體的至少一作用區域，
- 在圖樣化該半導體層之後，產生一介電層，
- 在產生該介電層之後，產生一電極層，以及
- 形成遠離絕緣區域的電容器的一電極，以及形成在電極層中的電晶體的一控制電極。

根據本案的方法是特別適合用來製造一種具有電容器的平面場效應電晶體，以上所述的根據本案與其發展情況的電路排列的技術效果，也可適用於根據本案與其發展

情況的方法中。

【實施方式】

第一圖至第十二圖係顯示在一電晶體-電容器排列的製造中的製造階段，第一圖到第十二圖是有關於沿著剖面平面 I 的剖面圖，其係呈有關於一場效應電晶體的通道的縱向狀態的剖面圖，特別是縱向於在該通道中的電流方向。此剖面平面 I 的位置可由第十三圖而可更清楚表示。

電晶體-電容器排列的製造係由一 SOI 基板 10 而開始進行，其包含一種由單晶矽所製成的載體積板 12、一種由二氧化矽(例如)所製成的所謂的植入絕緣層 14，以及一種由單晶矽所製成的薄的半導體層 16。在此示範性實施例中，載體積板 12 的厚度為 550 微米，絕緣層 14 的厚度為 100 奈米，而薄的半導體層 16 則為 50 奈米，一具有厚度為 5 奈米(例如)的薄二氧化矽層則已在半導體層 16 上形成。

如在第一圖中所示，氮化矽層 20 係被沉積在 SOI 基板 10 上，其沉積係可藉由例如一化學氣相沉積方法(CVD)來完成。在此示範性實施例中，氮化矽層 20 的厚度係為 50 奈米。

如在第一圖中所示，接下來係進行一微影方法，在微影末尾，一光阻層 22 則被施加於整個區域上、依照預先決定的佈局(layout)曝光與顯影。之後，做為硬式遮罩的氮化物層 20、二氧化矽層 18 與半導體層 16 被圖樣化，

例如其係可藉由一乾蝕刻法來完成。此將導致產生一具有幾乎是正方形基底區域的層堆疊 24，將被製造的場效應電晶體的幾何形狀與電容器的幾何形狀可以被指定，也因而可彼此獨立地而最有效的進行。

如在另外的示範性實施例中微影蝕刻方法另外的選擇，係可進行電子束微影方法或是其他適合的方法。在另外的示範性實施例中，並沒有使用硬式遮罩，例如，其係將光阻層以一較大的厚度施加在表面。

如第二圖所示，該光阻層 22 剩餘的區域接著被移除，在移除該光阻層 22 之後，接著進行一終端氧化。稍後可抑制在邊緣部分形成不想要通道的圓形氧化物區域 26、28，其係在製程中的半導體層 16 的側邊區域形成。可選擇地，為了絕緣的目的，其係可能執行一 LOCOS 方法(區域性矽氧化法，Local Oxidation of Silicon)或者是一 STI 方法(淺溝渠隔離法，Shallow Trench Isolation)並結合一 CMP 方法(化學機械拋光，Chemical Mechanical Polishing)。

然後，氮化物層 20 的剩餘區域與二氧化矽層 18 的剩餘區域接著被移除，例如其係可藉由一乾蝕刻法來進行。在隨後的植入步驟中，一薄的屏蔽氧化物層可被實施，但是此並未顯示於圖式之中。

如第三圖所示，之後，為了製造一種 nMOSFET，而進行另外的光阻層 30 的塗覆、曝光與顯影，以至於僅有通道區域以及針對電晶體終端區域的該等區域未被遮

蔽，可察看半導體層 16 的電晶體部分 16a。相比之下，為了電容器所提供的區域係被遮蔽，此可見半導體層 16 的電容器部分 16b。在光阻層 30 已被顯影之後，則進行一離子植入 31，此電晶體部分係為一 p-摻雜，也就是說係為 p 或者是 p⁺。

如第四圖所示，接著係進行一進一步的光微影 (photography) 方法，其中，為了製造電容器必須要有另外的遮罩。一個光阻層 32 係接著被塗覆、使用遮罩而進行曝光，以及顯影，以至於電晶體部分 16a 係被遮蔽，而電容器部分 16b 未被遮蔽。

之後，使用圖樣化的光阻層 32 來進行離子植入 33，電容器部分 13b 係被重度地 n-摻雜，也就是 n⁺⁺，因此產生一底部電極區域 34。在遮蔽的電晶體部分 16a，在離子植入期間，其摻雜仍然是未改變。由於另外的植入，該底部電極區域 34 得到低的阻抗。舉例來說，摻雜密度總計為每立方公分 1020 個摻雜原子。此摻雜密度較佳是在 1019 與 1021 摻雜原子/立方公分的範圍之間。隨著摻雜密度的增加，其介電值的增加比在未摻雜或是僅為中度 (medium-heavily) 摻雜區域更為快速。然而，隨著摻雜密度的增加，形成的空間電荷區 (space charge zone) 變得較小，以至於寄生效應 (parasitic effects) 也隨之變小。

如第五圖所顯示，該光阻層 32 隨之被移除。一個薄的二氧化矽層 40 接著在半導體層 16 的電晶體部分 16a 未被覆蓋的區域以及在底部電極區域 34 未被覆蓋的區域產

生，其係為二氧化矽層在電晶體的區域中形成一閘極氧化層 42，與在電容器的區域中形成一介電層 46。舉個例子來說，二氧化矽層 40 漸漸變熱。在此示範性實施例中，二氧化矽層 40 在未摻雜矽的區域中，其係具有 2 奈米的厚度。

在另外的示範性實施例中，使用一種另外的微影方法，由不同材料所製成的一種介電層 及/或 具有與在半導體層 16 的電晶體部分 16b 上不同厚度的介電層，其係在電容器的底部電極區域 34 上產生。

如在第五圖中所更進一步顯示的，原處(in-situ)摻雜或是隨後摻雜的多晶矽然後被沉積，因而產生一多晶矽層 41。此等多晶矽層，舉例而言，其係具有厚度為 100 奈米以及摻雜濃度為 10^{21} 摻雜原子/立方公分，n 傳導型式的重度摻雜係再次以符號 n^{++} 來表示。磷原子，例如，其係被用來做做摻雜原子。在另外的示範性實施例中，一種具有適合的材料功函數(work function)的非傳統快速傳導材料係被用來取代多晶矽層 41。

如第六圖中所示，接下來係進行一另外的微影方法，其特別是用來圖樣化一閘電極 54，值到期終了時，一光阻層則被塗覆、進行曝光，以及顯影，因而產生光阻層區域 50a 與 50b。之後，多晶矽層 41 與二氧化矽層 40 被圖樣化，例如使用蝕刻來完成。此可導致產生在光阻層區域 50a 之下的閘電極 54 與在光阻層區域 50b 之下的覆蓋電極 56。此等蝕刻係分別終止在半導體層 16 的電晶體部分 16a

與在底部電極區域 34。

如第七圖中所顯示，光阻層區域 50a 與 50b 在蝕刻後會被移除，然後，進行一離子植入 57 以產生在半導體層 16 的電晶體部分 16a 上部區域的淡摻雜的 LDD 區域 57 與 59(輕微摻雜的汲極)。

如第八圖中所顯示，一個薄的 TEOS 層或是氮化矽層隨後被沉積在整個區域之上，例如藉由一 CVD 方法(化學氣相沉積，Chemical Vapor Deposition)之助。如第八圖更進一步顯示，該 TEOS 層係隨後在非等向性蝕刻製程中被回蝕用以在閘電極 54 的側壁上形成間隙壁 60 與 62，也在覆蓋電極 56 的側壁上形成間隙壁 64 與 66。在此方法中，閘電極 54 與覆蓋電極 56 兩者對於所有的側邊皆為絕緣的。接著產生的磊晶其並不可能在該閘電極 54 的側邊區域以及在該覆蓋電極 56 的側邊區域，因此，其結果是可以避免短路的發生。

如第九圖中所顯示，隨之進行一種有選擇性的磊晶方法。一單晶磊晶層係在 LDD 區域 58 與 59 的未覆蓋區域部分

與在底部電極區域 54 的未覆蓋區域部分成長。磊晶區域 70 與 74 在半導體層 16 的單晶矽上被產生，該磊晶區域 70 與 74 其延伸幾乎分別接近該閘電極 54 與該覆蓋電極 56 高度的一半。該磊晶區域 70 與 74 也被歸於做為 "高層的" ("elevated") 源極/汲極區域。針對該磊晶區域 70 與 74，磊晶層的厚度主要係依據半導體層 16 的厚度以及

以下所說明的矽化。此等矽化會消耗現有的矽，其結果是為了此反應必須提供相對應大量的矽，此種措施可防止在汲極-源極區域的區域中通道終端的"撕裂掉" (tearing away)。磊晶區域 72 與 76 係被分別設置在該閘電極 54 上與在該覆蓋電極 56 上，假如可選擇的閘極材料被使用時，磊晶區域 72 與 76 則不會出現。

如第十圖中所顯示，在磊晶法之後，進行一離子植入 78，例如 n^{++} ，也就是重度 n -摻雜，其係為了製造高度摻雜的與因此而有低阻抗的源極/汲極區域 80 與 82，而磊晶區域 70 與 76 也在此步驟中被摻雜。於此，在一 CMOS(互補金屬氧化物半導體，Complementary Metal Oxide Semiconductor)製程中，僅僅為了分開具有互補電晶體的區域，必須要有一遮罩。在源極/汲極區域 82 與電容器的底部電極區域 34 之間會產生一連接，位於在半導體層 16 的電晶體部分 16a 中的源極/汲極區域 80 與 82 之間的通道區域 84 仍然是 p -摻雜，而間隙壁 60 與 62 以及閘極堆疊在植入期間係做為一植入遮罩。

如第十一圖中所顯示，金屬矽化物方法(自行對準矽化物，self-aligned silicide)係在 HDD (高密度汲極，High Density Drain) 植入之後進行。在其終了時，舉例而言，一個鎳層係被沉積在整個區域之上。例如，在溫度攝氏 500 度，在磊晶區域 70 到 76 中形成矽化鎳，也因此源極/汲極區域 80 與 82 上、在閘電極 54 上，以及在在覆蓋電極 56 上，請查看矽化物區域 90 到 96。其係可能使用

具有熔點大於攝氏 1400 度的不同的金屬來代替鎳，特別是可使用一種耐火金屬(refractory metal)，例如其可為了來製造矽化鈦(titanium silicide)或是矽化鈷(cobalt silicide)。在第十一圖所顯示的示範性實施例中，磊晶區域 70 到 76 被完全地矽化，相較之下，半導體層 16 與覆蓋電極 56 並未曾被矽化。而在另外的示範性實施例中，半導體層 16 的區域與覆蓋電極 56 的區域也被矽化。

如第十二圖中所顯示，一鈍化層 100 隨之被塗覆，例如一種 TEOS 層(四乙基正矽酸鹽，tetraethyl orthosilicate)、一 BPSQ 層(磷硼矽酸玻璃，borophosphorus silicate glass)或者是由其他適合的材料所製成的層。接觸孔(contact holes)被蝕刻至鈍化層 100 中，其係使用一種光微影方法進行，並以鎢來填充，舉例來說，因此而產生連接部分 102、104 以及 106，並以此次序而分別通向矽化物區域 90、94 以及 96。此連接部分 102 到 106 其後也被連接至一金屬化層或是複數個金屬化層的互連(未顯示)。一種習用的 CMOS 製程，也被歸為做為"後端"(back end)，其亦於此實例中進行。

為了能有較好的黏著或是做為一擴散阻障層(diffusion barrier)，另外的中間層通常被引進至接觸孔中。為了能更清楚的理由，這些中間層並未顯示於第十二圖中。經由實例，該等層係包含氮化鈦。

而金屬的互連例如係藉由所謂的雙鑲嵌(dual damascene)方法來製造，其中，銅係被填充至溝槽裡，然

後，藉由一種化學機械拋光(CMP)方法來進行拋光。然而，也可使用其他的方法，例如，鋁層的蝕刻。

第十三圖係顯示電晶體-電容器排列 140 的平面圖，其包含一平面 SOI-FET 142 與一電容器 144。

電晶體 142 係具有相當於大概是最低特徵大小 F10 倍的一電晶體寬度 W1。由於此種電晶體寬度，除了連接部分 102 外，有四個通到矽化物區域 90 的另外的連接部分 110 到 116。除了連接部分 104 外，尚有四個通到矽化物區域 94 的另外的連接部分 120 到 126。除了連接部分 106 外，同樣地還有四個通到矽化物區域 96 的另外的連接部分 130 到 136。

電容器 144 的長度 L1 係比其寬度 B1 短了非常多。在示範性實施例中，寬度 B1 大該相當於電晶體的寬度，而長度幾乎僅等於寬度 B1 的三分之一。由於此等大小以及由於連接部分 102 到 136 的多重性，電容器 144 因而可以承受非常迅速的電荷反向(charge reversal)。

一電晶體-電容器排列較佳的應用區域是動態的記憶胞元(dynamic memory cell)，其特別是一種所謂的嵌入式 DRAM(動態隨機存取記憶體)記憶胞元 150，如第十四圖與第十五圖中所示。此記憶胞元 150 僅包含一存取電晶體 152 與一電容器 154。以上參考第一圖至第十二圖所描述說明的方法步驟也已在該記憶胞元 150 的製造中執行，因此，在第十四圖與第十五圖中，相同的元件也藉由相同的參考符號來表明，但是緊接著一個小寫的字母 a。

因此，平面場效應電晶體 152 其包含，特別是：

- 一控制電極 54a，
- 一閘極氧化層 42a，
- LDD 區域 58a、59a，
- 終端區域 80a、82，以及
- 間隙壁 60a、62a。

而電容器 154，係包含：

- 一底部電極區域 34a，
- 一介電層 46a，
- 一覆蓋電極 66a，以及
- 間隙壁 64a。

分別在終端區域 80a 上方、在控制電極 54a 上方與在覆蓋電極 56a 上方的磊晶區域 70a、72a 以及 76a，其並未被完全的矽化，以至於矽化物區域 90a 到 96a 則被設置在該磊晶區域 70a、72a 以及 76a 上。

第十四圖係顯示在一剖面平面 II 的記憶胞元 150，其係為第十五圖中所描畫的記憶胞元並為置於電晶體 152 的通道中電流方向的縱向上，而在覆蓋電極 56a 與閘電極 54a 之間的距離已經被降低到最小的特徵大小 1 F。設置在閘電極 54a 的間隙壁 62a 與設置在覆蓋電極 56a 的間隙壁 64a 係彼此互相接觸，其結果是汲極並沒有被矽化。再者，此也意味著在汲極端上僅有一 LDD 區域 59a 存在，而沒有另外的終端區域，也根本沒有連接部分可通到汲極。此 LDD 區域 59a 直接地通到底部電極區域 34a，底部

電極區域 34a 從而增加的接觸電阻抵銷了該電容器 154 放出的電。電容器 154 所放出的電也由於電容器的寬度 B2 係比其長度 L2 短了許多的事實而被抵銷。平面 SOI 電晶體 152 低的漏電流也防止了儲存電容的快速放電。

為了獲得具有最小漏電流的最高可能組裝密度，電晶體 152 係具有 1.5 F 到 3 F(例如)的最小電晶體寬度 W2。電容器 154 則具有其長度 L2 係由記憶胞元 150 需要的最小儲存電容所決定的水平條狀的格式，電晶體的寬度 W2 與電容器的寬度 B2 幾乎是相當的，舉例而言，其偏差係小與百分之五十。在第十三圖與第十四圖中關於電晶體 152，該電容器 154 係被縮小顯示。

當中型的 SRAM 記憶單元(靜態隨機存取記憶體，Static Random Access Memory)被一個快速嵌入的 DRAM 所取代時，例如在微處理器記憶體層級的第二與第三存取級中，也就是在第二與第三級高速緩衝儲存器中，接著是計算結果。舉例而言，迄今 SRAM 記憶胞元已經具有 134 F2 的區域，其中 F 係為最小的特徵大小。假如使用具有介電常數為 3.9 的一介電層時，舉例來說，於是可能了解的是每個記憶胞元都具有 10 塵法拉(femtofarads)的典型的嵌入式 DRAM 電容 CMEM 係與以下的計算式相一致，氧化層電容總計為：

$$COX = \epsilon_r \epsilon_0 / t_{phys} = 34.5 \text{ fF} / \mu\text{m}^2,$$

其中， t_{phys} 為氧化層厚度，在示範性實施例中總計係為 1 奈米。此結果是儲存電容需要的面積 AMEM 為：

$$AMEM = CMEM / COX = 0.29 \mu m^2。$$

在最小特徵大小 F 等於 65 奈米時，其相當於 $69 F^2$ 的電容或者是對於包含存取電晶體的整個記憶胞元而言為 $90 F^2$ 。因此，嵌入式 DRAM 記憶胞元的面積遠小於 SRAM $134 F^2$ 的胞元大小。

假設一奈米的有效氧化層厚度、對於閘極與頂部的矽耗盡的校正為 0.8 奈米以及由於量子機械力學效應 (quantum mechanical effects)，其產生的每個面積的電容為：

$$COX = 3.9 \varepsilon_0 / t_{ox} = 19 \text{ fF} / \mu m^2，$$

其中 t_{ox} 等於 1.8 奈米，其代表電有效的氧化層厚度，而 ε_0 則代表自由空間的介電常數。假設使用一金屬閘極時，由於閘極耗盡已經不再存在，電有效的氧化層厚度會減少約 0.4 奈米，其結果是每個面積的電容增加至：

$$COX = 3.9 \varepsilon_0 / t_{ox} = 24 \text{ fF} / \mu m^2。$$

根據本案的電容也是被使用來做為所謂的旁路電容 (bypass capacitances)，用以減弱所謂的突波 (spike) 與檢若在積體電路排列的電壓供應中的串擾 (crosstalk)。它們也非常地適合做為類比電容，特別是在震盪器或是類比數位轉換器 (analog - to - digital converters) 中。

此電容也被使用在所謂的混合訊號電路 (mixed-signal circuits)，也就是使用在具有類比電容的電路，例如在記憶胞元中的儲存電容。

在其他的示範性實施例中，一種分隔的高介電常數的

DRAM 介電層，其中 $\epsilon \gamma$ 大於 100 以及有效氧化層厚度比等於 1 的 t_{eff} 為小，此，分隔的高介電常數的 DRAM 介電層係被用來取代閘極氧化層。例如，一種包含鈦酸鋇鋇 (barium strontium titanate, BST) 或者是磊晶鈦酸鋇鋇 (epitaxial barium strontium titanate)。因此，動態隨機存取記憶體 (DRAM) 記憶胞元所需的面積因而減少至大概 $22 F^2$ 。一個次要附加的遮罩則被用來確定在 SOI 堆疊上高介電常數介電層區域的界線。

在本案的實例中，電容被集成 (integrated) 至 FET 平面中，也就是說至所謂的在 SOI 基板上的矽的頂部。假如使用特別高品質的電晶體閘極介電層做為電容器的介電層時，SOI 電容的製造僅需要一個額外的製程步驟。

而所提供來超越習用技術概念另外的優點是在純邏輯區塊與嵌入式 DRAM 區塊之間的平面轉換 (planar transition)，再者，也可以避免深的通孔與接觸。

LDD (輕微摻雜的汲極) 摻雜與 HDD (高度摻雜的源極) 摻雜兩者已在參考第一圖至第十五圖而闡述的示範性實施例中完成，而在另外的示範性實施例中，相較之下，僅進行 HDD (高度摻雜的源極) 的摻雜但並未進行 LDD (輕微摻雜的汲極) 的摻雜。

在另外的較佳實施例中，一電晶體與一電容器係彼此互相被更遠的隔開而佔有空間地設置，且有專用的連接部分被分別提供給該電晶體與該電容器。

第十六圖係顯示具有三個電晶體 M1 到 M3 也具有一

個電容器 Cs 的 DRAM 記憶胞元 200 (動態隨機存取記憶體)的電路圖，此係已經藉由參考第一圖到第十二圖所闡述的方法步驟所製造。舉例而言，於第十四圖中所示之電晶體 152 係為第一個實例中的電晶體 M1，電容器 154 因而為電容器 Cs。在第一個實例中，一電傳導連接係由一與在半導體層 16 中的底部電極區域 34a 毗連的額外的襯墊而通向電晶體 M2。

如可供選擇的，在第二個實例中的佈局(layout)係以電晶體 152 相當於電晶體 M2 以及電容器 154 相當於電容器 Cs 的方式下而決定。在第二個實例中，覆蓋電極 56a 係被電傳導地連接至電晶體 M1 的一個終端區域與連接至電晶體 M2 的閘極。

記憶胞元 200 的電路包括一個用以寫入的子電路(subcircuit)與一個用以讀取的子電路，在讀取過程期間電容器 Cs 的電荷並未被改變，結果是在讀取操作之後其亦不必重新補充此電荷。

用以寫入的子電路係包含寫入電晶體 M1 與電容器 Cs。電晶體 M1 的閘極終端係被連接至一寫入字元線 WWL，而電晶體 M1 的源極終端係被連接至一寫入位元線 BL1。在與上述第一個實例一致的具有特別好電性的電路排列的實例中，

電晶體 M1 的汲極係通到一儲存節點 X，其係藉由電容器 154 的底部電極 34a 而被形成，而電容器 Cs 或 154 的覆蓋電極 56a 係在一接地電位(ground potential)VSS。在

與第二實例一致的另一選擇中，電晶體 M1 的汲極終端係通向藉由電容器 154 的覆蓋電極 56a 而形成的一儲存節點 X，電容器 Cs 的底部電極 34a 則在一接地電位 VSS。

用以讀取的子電路係包含電晶體 M2 與 M3。電晶體 M3 的閘極終端被連接至一讀取字元線 RWL。而電晶體 M3 的汲極終端則被連接至一讀取位元線 BL2，其係被充電至一操作電位 VDD，例如係在讀取操作的開始之前。電晶體 M3 的源極終端被連接至電晶體 M2 的一個汲極終端，電晶體 M2 的閘極終端則被連接至儲存節點 X，而電晶體 M2 的源極終端係在接地電位 VSS。

電晶體 M2 執行放大器的任務，以至於甚至如果在儲存節點 X 上發生電荷損失時，仍然可能有可靠的讀取。如果在儲存節點上有正電荷 X，於是電晶體 M2 是在開啟的狀態且預先充電的讀取位元線 BL2 在讀取操作期間則會被放電。

因為電晶體 M2 的閘極-源極電容係以與電容器 Cs 平行而被連接，有效的儲存電容 Cell 會增加：

$$C_{eff} = C_s + C_{GS}(M2)$$

其中，Cs 為電容器 Cs 的電容，且 CGS 為電晶體 M2 的閘極-源極電容。由於此製造方法，假如閘極氧化層與電容器介電層係在相同的介電層中被產生與該層在所有的點皆具有相同的厚度，儲存電容器 Cs 每個面積的電容與電晶體 M2 每個面積的電容會是在相同的強度(例如)。

該記憶胞元 200 的面積需求係由有效儲存電容 C_{eff}

的需要來決定。假設導致高的讀取電流的低漏電流與高電晶體增益，其可能降低儲存電容器 C_s 的大小。電容器 C_s 所需要的面積與其電性係為具有多重記憶胞元 200 的記憶體單元經濟製造的原則標準，具有多重記憶胞元 200 的記憶體單元也是適合用來取代在處理器記憶體層級中的 SRAM。

【圖式簡單說明】

第 1 圖至第 12 圖係顯示在積體電晶體-電容器排列的製造中的製造階段。

第 13 圖係顯示電晶體-電容器排列的平面圖。

第 14 圖係顯示具有一電晶體的 DRAM 記憶胞元的剖面圖。

第 15 圖係顯示該 DRAM 記憶胞元的平面圖。

第 16 圖係顯示具有三個電晶體的一 DRAM 記憶胞元的電路圖。

【元件符號說明】

I,II 剖面平面	10 SOI 基板	12 承載基板	14 絕緣層
16 半導體層	16a 電晶體部分	16b 電容器部分	
18 二氧化矽層	20 氮化矽層	22 光阻層	24 層堆疊
26,28 氧化物圓形部分		30,32 光阻層	33 注入
34 底部電極區域	40 二氧化矽層	41 多晶矽層	
42 閘極氧化層	46 介電層	50a,50b 光阻層區域	
54 閘電極	56 覆蓋電極	57 植入	
58,59LDD 區域	60-66 間隙壁	70-76 磊晶區域	
78 注入	80,82 源極/汲極區域	84 通道區域	
90-96 矽化物區域	100 鈍化層	102-136 連接部分	
140 電晶體-電容器排列		142 場效應電晶體	

144 電容器	W1,W2 電晶體寬度	L1,L2 長度
B1,B2 寬度	A 區域	F 最小特徵大小
150 記憶胞元	152 場效應電晶體	154 電容器
200 記憶胞元	M1-M3 電晶體	Cs 電容器
BL1 寫入位元線	BL2 讀取位元線	RWL 讀取字元線
WWL 寫入字元線	X 儲存節點	VDD 操作電位
VSS 接地電位		

五、中文發明摘要：

一種積體電路排列(140)，其包含一較佳的平面電晶體(142)與一電容器(144)，該電容器(144)的底部電極係與一SOI基板中電晶體(142)的一通道區域排列在一起。此種電路排列之製造簡單並具有極佳的電子特性。

六、英文發明摘要：

An explanation is given, inter alia, of an integrated circuit arrangement (140), which contains a preferably planar transistor (142) and a capacitor (144). The bottom electrode of the capacitor (144) is arranged together with a channel region of the transistor (142) in an SOI substrate. The circuit arrangement (140) is simple to fabricate and has outstanding electronic properties.

十、申請專利範圍：

1. 一種積體電路排列(140)，其具有一電隔離絕緣區域，且具有形成一電容器(144)的至少一序列區域，其係依序包含：

接近該絕緣區域的一電極區域(34)；

一介電層區域(46)，以及

遠離該絕緣區域的一電極區域(56)，

該絕緣區域係為排列在一平面中的一絕緣層(14)的一部分，

該電容器(144)與該積體電路排列(140)的至少一個主動元件(142)係被排列在該絕緣層(14)的同一側，且接近該絕緣區域的該電極區域(34)與該元件(142)的作用區域(84)係被排列在一平面，該平面係與該絕緣層(14)被排列於其中的平面互相平行，接近該絕緣區域的該電極區域(34)係為一單晶區域，該作用區域(84)係為一單晶區域，該介電層區域(46)係包含二氧化矽，可獲得的 電容/區域 之比值大於10 塵法拉/平方公釐。

2. 如申請專利範圍第1項所述之電路排列(140)，其特徵在於至少一個場效應電晶體(142)，於該場效應電晶體(142)中：

其通道區域(84)為該作用區域，該通道區域(84)較佳為被摻雜或是未被摻雜，

及/或 其控制電極(54)係包含與遠離該絕緣區域的該電

極區域(56)相同的材料 及/或 相同摻雜濃度的材料，

及/或 其控制電極絕緣區域(42)係包含與該介電層區域(46)相同的材料 及/或 具有相同厚度的材料，

及/或 其控制電極絕緣區域(42)係包含與該介電層區域(46)不同的材料 及/或 具有不同厚度的材料。

3. 如申請專利範圍第2項所述之電路排列(140)，其中該場效應電晶體(122)係為一平面場效應電晶體，

及/或 其中該電晶體係包含輔助終端區域(58, 59)，其具有與一終端區域(80, 82)相同傳導形式的一摻雜，但具有較小的摻雜濃度，其相差至少一個等級強度，

及/或 其中該電晶體係包含輔助摻雜區域(58, 59)，其係以接近該終端區域(80, 82) 及/或 接近該輔助終端區域 (58, 59)之方式而被排列，且其具有與該終端區域(80, 82)及/或該輔助終端區域(58, 59)不同傳導形式的一摻雜，及/或 其中該控制電極(54)係毗連包含一金屬-半導體化合物的一區域，特別是一矽化物區域(92)。

4. 如申請專利範圍第3項所述之電路排列(140)，其中該電晶體(142)其中一個終端區域(80, 82)或是該電晶體(142)的兩個終端區域(80, 82)係毗連該絕緣層(14)，

及/或 其中至少一個終端區域(80, 82)毗連包含一金屬-半導體化合物的一區域，其較佳是一矽化物區域(91, 96)，

及/或 其中至少一個終端區域(80, 82)的一邊界區域係遠離該絕緣區域，其較該作用區域(84)更遠離該絕緣層(14)，或是

其中至少一終端區域(80, 82)的一邊界區域係遠離該絕緣區域，其係被以比該作用區域(84)中遠離該絕緣區域的一邊界區域更接近該絕緣層(14)的方式排列。

5. 如申請專利範圍第2項所述之電路排列(140)，其中間隙壁(60, 62)係被排列在該控制電極(54)的兩側，其間隙壁係包含與該控制電極不同的材料，較佳是二氧化矽或是氮化矽，或者是該間隙壁，係至少包含與該控制電極不同的材料，較佳是二氧化矽或是氮化矽，

及/或 其中一間隙壁(64, 66)係被排列在遠離該絕緣區域的該電極區域(56)的至少一側，該間隙壁包含與遠離該絕緣區域的該電極區域(56)不同的材料，較佳是二氧化矽或是氮化矽，或者該間隙壁係至少包含由與遠離該絕緣區域的該電極區域(56)不同的材料所組成，較佳是二氧化矽或是氮化矽，

及/或 其中被排列在該控制電極(54)的一間隙壁(62a)與被排列在遠離該絕緣區域的該電極區域(56)的一間隙壁(64a)係彼此互相接觸。

6. 如申請專利範圍第2項所述之電路排列(140)，其中該場效應電晶體(142)的一終端區域(82)，與接近該絕緣區域的該電

容器(144)的該電極區域(34)，係互相毗連且具有在邊界的電傳導連接，

及/或 其中與接近該絕緣區域的該電極區域(34)毗連的該電晶體(152)的該終端區域(59a)，其並不與包含金屬半導體化合物的一區域相毗連，特別是不與一矽化物區域相毗連，

及/或 其中其他終端區域(80a)係與包含一金屬半導體化合物的一區域(70a)相毗連。

7. 如申請專利範圍第6項所述之電路排列(140)，其中接近該絕緣區域的該電極區域(34)中毗連該終端區域(82)的一側，其係比接近該絕緣區域的該電極區域(34)中橫向於該側的一側為長，較佳是至少為其2倍長或是至少為其5倍長，

該電晶體(152)較佳具有最小特徵大小(F)的倍數之一電晶體寬度(W2)，較佳是多於3倍或是多於5倍，

或是其中接近該絕緣區域的該電極區域(34)的一側，係橫向於接近該絕緣區域的該電極區域(34)中毗連該終端區域(82)的那一側，其係比毗連該終端區域(82)的該側為長，較佳是至少為其2倍長或是至少為其5倍長，

該電晶體(142)較佳具有小於3倍最小特徵大小(F)的一電晶體長度(W1)，較佳是小於2倍該最小特徵大小(F)。

8. 如申請專利範圍第2項所述之電路排列(140)，其中該電晶體(142)其中一個終端區域(80, 82)或是該電晶體(142)的兩個終端區域(80, 82)係毗連該絕緣層(14)，

及/或 其中至少一個終端區域(80, 82)毗連包含一金屬-半導體化合物的一區域，其較佳是一矽化物區域(91, 96)，

及/或 其中至少一個終端區域(80, 82)的一邊界區域係遠離該絕緣區域，其較該作用區域(84)更遠離該絕緣層(14)，或是

其中至少一終端區域(80, 82)的一邊界區域係遠離該絕緣區域，其係被以比該作用區域(84)中遠離該絕緣區域的一邊界區域更接近該絕緣層(14)的方式排列。

9. 如申請專利範圍第1至8任一項所述之電路排列(140)，其中接近該絕緣區域的該電極區域(34)係為一單晶區域，較佳是一摻雜的半導體區域，

及/或 其中接近該絕緣區域 及/或 該作用區域(84)的該電極區域(34) 具有小於100毫微米(nanometer)或是小於50毫微米的一厚度，

及/或 其中該作用區域(84)係為一單晶區域，較佳是一摻雜的或是未摻雜的半導體區域，

及/或 其中該絕緣層(14)其一邊係毗連一承載基板(12)，較佳是包含一半導體材料或是至少包含一半導體材料，特別

是矽或是單晶矽，

及/或 其中該絕緣層(14) 的另一側係毗連接近該絕緣層的該電極區域(34)，

及/或 其中該邊界區域較佳是完全位於兩個互相平行的平面中

及/或 其中該絕緣層係包含一電絕緣材料，較佳是一種氧化物，特別是一種二氧化矽，或至少包含一電絕緣材料，較佳是一種氧化物，特別是一種二氧化矽，

及/或 其中該主動元件(142)係為一電晶體，較佳是一場效應電晶體，特別是一平面場效應電晶體。

10. 如申請專利範圍第1至8任一項所述之電路排列(140)，其中該介電層區域(46)係包含二氧化矽或是至少包含二氧化矽，

及/或 其中該介電層區域(46)係至少包含具有介電常數大於4或是大於10或是大於50的一材料，

及/或 其中遠離該絕緣區域的該電極區域(56)係包含矽，較佳是一多晶矽，或是至少包含矽，較佳是一多晶矽，

及/或 其中遠離該絕緣區域的該電極區域(56)係包含一金屬，或是至少包含一金屬，

及/或 其中遠離該絕緣區域的該電極區域(56)係包含一低阻抗材料，較佳是氮化鈦、氮化鉭、鋁、或是高度摻雜的

矽化鍺，

及/或 其中遠離該絕緣層的該電極區域(56)係毗連包含金屬-半導體化合物的一區域，特別是一矽化物區域(96)。

11. 如申請專利範圍第1至8任一項所述之電路排列(140)，其中該電路排列係包含至少一處理器，較佳是一微處理器，

及/或 其中該電容器(154)與該主動元件(152)係形成一記憶胞元(150)，特別是在一動態隨機存取記憶體(dynamic RAM)記憶單元中，

及/或 其中一記憶胞元係包含一電容器(152)與唯一的一電晶體(152)，或是一電容器(Cs)與多於一個的電晶體(M1至M3)，較佳是三個電晶體(M1至M3)。

12. 一種製造具有一電容器(144)的一積體電路排列(140)之方法，特別是如前述申請專利範圍其中一項所述的一電路排列(140)，

其中下述方法之步驟之執行並不受說明中之次序所限制：

提供一基板，其係包含由電絕緣材料所製成之一絕緣層(14)，與一半導體層(16)，

圖樣化該半導體層(16)，用以形成有關於一電容器的至少一電極區域(34)，以及用以形成有關於一電晶體(142)的至少一作用區域(84)

在圖樣化該半導體層(16)之後，產生至少一介電層(42, 46)，

在產生該介電層(42, 46)之後，產生一電極層(41)，

形成該電容器(144)的一電極(56)於該電極層(41)中，且遠離該絕緣層，接近該絕緣區域的該電極區域(34)係為一單晶區域，該作用區域(84)係為一單晶區域，該介電層區域(46)係包含二氧化矽，可獲得的 電容/區域 之比值大於10 塵法拉/平方公釐。

13. 如申請專利範圍第12項所述之方法，其特徵在於以下所述之步驟：

在圖樣化之前，將至少一輔助層(18, 20)施加至該半導體層(16)上，較佳是氮化矽層(20) 及/或 一種氧化物層(18)，該輔助層較佳是在該半導體層(16)的圖樣化期間做為一硬式遮罩，

及/或 摻雜該電晶體(142)的一通道區域(84)，較佳是在產生該介電層(42, 46)之前，

進行一熱氧化，以形成一圓形氧化物(26, 28)，較佳是在形成該電極層(41)之前，

及/或 摻雜接近該絕緣區域的該電極(34)，較佳是在產生該介電層(42, 44, 46)之前，

及/或 同時產生該介電層(42, 46)以做為在該電晶體(122)

的該作用區域(84)的一介電層，

及/或 在形成遠離該絕緣區域的該電極區域(56)時，同時形成該電晶體(142)的一控制電極(54)。

14. 如申請專利範圍第12項或第13項所述之方法，其特徵在於以下所述之步驟：

形成具有摻雜濃度低於該電晶體(142)之終端區域(80, 82)的一輔助終端區域(58, 59)，較佳是在圖樣化該電晶體(142)的一控制電極(54)之後，

及/或 形成輔助摻雜區域，較佳是在該控制電極(54)的該圖樣化之前，

在該電晶體(142)的一控制電極(54)之圖樣化之後，施加上另外的輔助層(60至66)，較佳是氮化矽層或是二氧化矽層，特別是一TEOS層，

及/或 非等向性蝕刻該另外的輔助層(60至66)。

15. 如申請專利範圍第12項所述之方法，其特徵在於以下所述之步驟：

在由半導體材料(16)所製成的未覆蓋區域實行一選擇性磊晶，其係在形成遠離該絕緣層的該電極區域(56)之後，及/或 在該電晶體(142)的一控制電極(54)之圖樣化之後，

及/或 摻雜該電晶體(122)的一終端區域(70, 72)，其係在形成遠離該絕緣區域的該電極區域(56)之後，及/或 在該控

制電極(54)圖樣化之後，較佳是在該磊晶之後。

16. 如申請專利範圍第12項所述之方法，其特徵在於以下所述之步驟：

及/或 在該電極層(54) 及/或 未覆蓋的半導體區域(16)上，選擇性形成一金屬-半導體化合物，特別是選擇性形成矽化物。

七、指定代表圖：

(一)本案指定代表圖為：第 (13) 圖。

(二)本代表圖之元件符號簡單說明：

I 剖面平面

90-96 矽化物區域

100 鈍化層

102-136 連接部分

140 電晶體-電容器 排列

142 場效應電晶體

144 電容器

W1 寬度

L1 長度

B1 寬度

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：