



(12) 发明专利申请

(10) 申请公布号 CN 102013270 A

(43) 申请公布日 2011. 04. 13

(21) 申请号 201010275889. 6

(22) 申请日 2010. 09. 07

(30) 优先权数据

2009-206124 2009. 09. 07 JP

(71) 申请人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 浅井政生 高须贺志丞

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 孙志湧 穆德骏

(51) Int. Cl.

G11C 11/413(2006. 01)

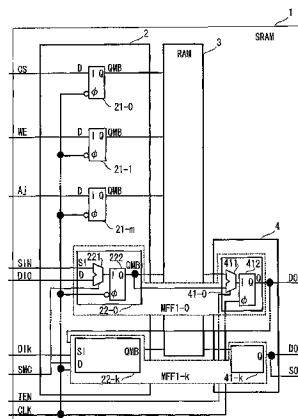
权利要求书 3 页 说明书 11 页 附图 7 页

(54) 发明名称

半导体集成电路

(57) 摘要

本发明涉及一种半导体集成电路。包括存储器宏的半导体集成电路包括：存储器单元部件、输入数据保持单元、以及输出数据保持单元。输入数据保持单元根据操作时钟并取决于扫描控制信号来保持输入数据信号的值和扫描值中的一个。输出数据保持单元根据不同于操作输入数据保持单元的相位的相位取决于测试控制信号来保持由输入数据保持单元保持的值和由存储器单元部件存储的数据值中的一个。此外，输入数据保持单元和输出数据保持单元被串联地交替连接，并且一个输入数据保持单元被布置在顶部。由一个输出数据保持单元保持的值被传输到被布置在所述一个输出数据保持单元的后级的另一输入数据保持单元作为扫描值。



1. 一种包括存储器宏的半导体集成电路，包括：

存储器单元部件；

多个输入数据保持单元，所述多个输入数据保持单元根据操作时钟并取决于扫描控制信号来保持输入数据信号的值和扫描值中的一个；以及

多个输出数据保持单元，所述多个输出数据保持单元根据不同于操作所述多个输入数据保持单元的相位的相位，并取决于测试控制信号，来保持由所述多个输入数据保持单元保持的值和由所述存储器单元部件存储的数据值中的一个；

其中，所述多个输入数据保持单元和所述多个输出数据保持单元被串联地交替连接，并且所述多个输入数据保持单元中的一个被布置在顶部，并且

由所述多个输出数据保持单元中的一个保持的值，被传输到被布置在所述多个输出数据保持单元中的所述一个的后级的所述多个输入数据保持单元中的另一个作为所述扫描值。

2. 根据权利要求1所述的半导体集成电路，其中当所述扫描控制信号被设置为扫描移位操作时，所述多个输入数据保持单元保持所述扫描值，并且当所述扫描控制信号被设置为除了所述扫描移位操作之外的操作时，保持所述输入数据信号的值。

3. 根据权利要求1所述的半导体集成电路，其中当所述测试控制信号被设置为测试模式时，所述多个输出数据保持单元保持由所述多个输入数据保持单元保持的值，并且当所述测试控制信号被设置为正常模式时，保持由所述存储器单元部件存储的数据值。

4. 根据权利要求2所述的半导体集成电路，其中当所述测试控制信号被设置为测试模式时，所述多个输出数据保持单元保持由所述多个输入数据保持单元保持的值，并且当所述测试控制信号被设置为正常模式时，保持由所述存储器单元部件存储的数据值。

5. 根据权利要求1所述的半导体集成电路，其中

所述多个输入数据保持单元中的每一个包括

输入选择器，所述输入选择器取决于所述扫描控制信号来选择所述输入数据信号中的一个的值和所述扫描值中的一个；以及

输入锁存器，所述输入锁存器根据所述操作时钟保持由所述输入选择器选择的值；

所述多个输出数据保持单元中的每一个包括

输出选择器，所述输出选择器取决于所述测试控制信号来选择由所述输入锁存器保持的值和所述数据值中的一个；以及

输出锁存器，所述输出锁存器根据不同于操作所述输入锁存器的相位的相位保持由所述输出选择器选择的值。

6. 根据权利要求2所述的半导体集成电路，其中

所述多个输入数据保持单元中的每一个包括

输入选择器，所述输入选择器取决于所述扫描控制信号来选择所述输入数据信号中的一个的值和所述扫描值中的一个；以及

输入锁存器，所述输入锁存器根据所述操作时钟保持由所述输入选择器选择的值；

所述多个输出数据保持单元中的每一个包括

输出选择器，所述输出选择器取决于所述测试控制信号来选择由所述输入锁存器保持的值和所述数据值中的一个；以及

输出锁存器，所述输出锁存器根据不同于操作所述输入锁存器的相位的相位保持由所述输出选择器选择的值。

7. 根据权利要求 3 所述的半导体集成电路，其中

所述多个输入数据保持单元中的每一个包括

输入选择器，所述输入选择器取决于所述扫描控制信号来选择所述输入数据信号中的一个的值和所述扫描值中的一个；以及

输入锁存器，所述输入锁存器根据所述操作时钟保持由所述输入选择器选择的值；

所述多个输出数据保持单元中的每一个包括

输出选择器，所述输出选择器取决于所述测试控制信号来选择由所述输入锁存器保持的值和所述数据值中的一个；以及

输出锁存器，所述输出锁存器根据不同于操作所述输入锁存器的相位的相位保持由所述输出选择器选择的值。

8. 根据权利要求 4 所述的半导体集成电路，其中

所述多个输入数据保持单元中的每一个包括

输入选择器，所述输入选择器取决于所述扫描控制信号来选择所述输入数据信号中的一个的值和所述扫描值中的一个；以及

输入锁存器，所述输入锁存器根据所述操作时钟保持由所述输入选择器选择的值；

所述多个输出数据保持单元中的每一个包括

输出选择器，所述输出选择器取决于所述测试控制信号来选择由所述输入锁存器保持的值和所述数据值中的一个；以及

输出锁存器，所述输出锁存器根据不同于操作所述输入锁存器的相位的相位保持由所述输出选择器选择的值。

9. 根据权利要求 5 所述的半导体集成电路，其中

由被包括在所述多个输入数据保持单元中的一个中的所述输入锁存器保持的值，被传输到被包括在被布置在所述多个输入数据保持单元中的所述一个的后级的所述多个输出数据保持单元中的一个中的所述输出选择器，并且

由被包括在所述多个输出数据保持单元中的一个中的所述输出锁存器保持的值，被传输到被包括在被布置在所述多个输出数据保持单元中的所述一个的后级的所述多个输入数据保持单元中的一个中的所述输入选择器。

10. 根据权利要求 5 所述的半导体集成电路，其中

所述输入锁存器将由本身保持的值输出到所述存储器单元部件，并且

所述输出选择器接收来自于所述存储器单元部件的数据值。

11. 根据权利要求 1 所述的半导体集成电路，其中

所述多个输入数据保持单元使用操作时钟的所述正常相位和所述反相位中的一个，并且

所述多个输出数据保持单元使用所述操作时钟的正常相位和反相位中的另一个。

12. 根据权利要求 1 所述的半导体集成电路，其中

所述多个输出数据保持单元使用具有与由所述多个输入数据保持单元使用的时钟相同的频率且不同的相位的时钟。

13. 根据权利要求 1 所述的半导体集成电路，其中

被布置在顶部的所述多个输入数据保持单元中的所述一个被连接至所述扫描值的输入端子，并且

当所述测试控制信号处于测试模式并且所述扫描控制信号处于扫描移位操作中时，所述多个输入数据保持单元和所述多个输出数据保持单元形成由具有数据选择功能的 D 型触发器组成的扫描链。

14. 根据权利要求 1 所述的半导体集成电路，进一步包括：

多个控制值保持单元，所述多个控制值保持单元被串联地连接；其中

所述多个控制值保持单元中的每一个包括

主选择器，所述主选择器取决于所述扫描控制信号来选择存储器控制信号的值和扫描值中的一个；

主锁存器，所述主锁存器根据所述操作时钟保持由所述主选择器选择的值；以及

副锁存器，所述副锁存器根据不同于操作所述主锁存器的相位的相位保持由所述主锁存器保持的值，

由所述多个控制值保持单元中的一个的所述副锁存器保持的值，被传输到被布置在所述多个控制值保持单元中的所述一个的后级的所述多个控制值保持单元中的另一个的所述主选择器作为扫描值，并且

由被布置在末端的所述多个控制值保持单元中的一个的所述副锁存器保持的值，被传输到被布置在顶部的所述多个输入数据保持单元中的所述一个作为所述扫描值。

15. 根据权利要求 12 所述的半导体集成电路，其中

被布置在顶部的所述控制值保持单元中的一个被连接至所述扫描值的输入端子，并且

当所述测试控制信号处于测试模式并且所述扫描控制信号处于扫描移位操作时，所述多个控制值保持单元、所述多个输入数据保持单元、以及所述多个输出数据保持单元形成由具有数据选择功能的 D 型触发器组成的扫描链。

16. 根据权利要求 14 所述的半导体集成电路，其中

所述主锁存器使用与所述多个输入数据保持单元相同的时钟，并且

所述副锁存器使用与所述多个输出数据保持单元相同的时钟。

半导体集成电路

[0001] 通过引用并入

[0002] 本申请基于并且要求 2009 年 9 月 7 日提交的日本专利申请 No.2009-206124 的优选权，其全部内容在此通过引用整体并入。

技术领域

[0003] 本发明涉及具有存储器宏的半导体集成电路，并且特别地涉及具有存储器宏的半导体集成电路的延迟故障检测。

背景技术

[0004] 在半导体集成电路中，已经执行固定故障测试（扫描）和延迟故障测试（延迟扫描）作为质量测试。在固定故障测试中检测半导体集成电路中的短路或者断开。日本未经审查的专利申请公开 No.4-48493 公布了执行固定故障测试的半导体集成电路的示例。

[0005] 在延迟故障测试中检测半导体集成电路中的延迟故障。当具有延迟故障的半导体集成电路被包括到实际的产品时，出现运行错误。近年来，已经执行半导体集成电路的更快速的操作和处理细化（segmentation）。为此，半导体集成电路中出现延迟故障的比率已经快速地增加。因此，强烈地要求检测延迟故障。

[0006] 具体地，在具有 RAM（随机存取存储器）宏的半导体集成电路中，被安装在电路上的 RAM 宏的数目已经增加。为了这些原因，存在对于有效率地并且确实地消除 RAM 周围的电路中的延迟故障的增长的需求。

[0007] 日本未经审查的日本专利申请公开 No.2006-4509（在下文中，被称为“Yoshimura 等人”）公布了一种半导体集成电路，该半导体集成电路检测存储器嵌入 LSI（大规模集成电路）中从存储器的输入和输出到存储器的路径的延迟故障。

[0008] 图 7 是示出在 Yoshimura 等人中公布的半导体集成电路的构造的框图。图 7 的电路构造包括扫描 FF 901a 至 901m、选择器 902a 至 902e、延迟调节电路 903a 至 903e、组合电路 910a 至 910c、存储器 911、以及 BIST（内建自测试）912。组合电路 910a 的输入被连接至扫描 FF 901a 至 901d。组合电路 910a 的输出被连接至选择器 902a 至 902d 的输入的相对应的一个。从 BIST 912 输出的数据被连接至选择器 902a 至 902d 的其它输入。选择器 902a 至 902d 的输出被连接至存储器 911 和延迟调节电路 903a 至 903d。延迟调节电路 903a 至 903d 被连接至扫描 FF 901e 至 901h 的输入。组合电路 910b 的输出被连接至扫描 FF 901k。扫描 FF 901k 的输出被连接至延迟调节电路 903e。延迟调节电路 903e 的输出被连接至选择器 902e 的一个输入。存储器 911 的数据输出被连接至选择器 902e 的另一输入。选择器 902e 的输出被连接至组合电路 910c。组合电路 910c 的输出被连接至扫描 FF 901m。选择器 902e 的输出也被连接至 BIST 912。

[0009] 扫描 FF 901a 至 901m 构造扫描路径。扫描路径被构造为从用于扫描路径测试的正常输入端子接收值，从用于扫描移位测试的测试输入端子 SI 接收数据，并且从测试输出端子 SOUT 输出数据。当存储器测试的控制信号是“H”时，选择器 902a 至 902d

选择 BIST 912 的输出数据作为测试输入。另一方面，当存储器测试的控制信号是“L”时，选择器 902a 至 902d 选择其它的输入作为正常操作。当测试模式的控制信号是“H”时，选择器 902e 选择扫描 FF 901k 的输出，并且当测试模式的控制信号是“L”时，选择存储器的输出数据。

[0010] 当对从扫描 FF 901a 经由组合电路 910a 到存储器 911 的 ADR 端子的路径执行路径延迟测试时，首先，存储器测试的控制信号被设置为“L”，通过扫描移位操作将扫描 FF 901a 至 901d 和组合电路 910a 的输入设置为初始值以初始化要被测试的路径。接下来，扫描 FF 901a 至 901d 和组合电路 910a 的输入被设置为最终值以激活要被测试的路径。

[0011] 根据与存储器的时钟周期相同的时序获得激活路径之后的值。通过扫描移位操作将扫描 901e 的值移位到输出端子以通过将值与期望值进行比较来执行测试。

[0012] 当对从存储器 911 的 DOUT 经由组合电路 910c 到扫描 FF 901m 的路径执行路径延迟测试时，首先，测试模式的控制信号被设置为“H”，通过扫描移位操作将组合电路 910c 的输入和扫描 FF 901k 设置为初始值以初始化要被测试的路径。接下来，扫描 FF 901k 和组合电路 910c 的输入被设置为最终值以激活要被测试的路径。

[0013] 根据与实际操作的时钟周期相同的时序获得激活路径之后的值。通过扫描移位操作将扫描 FF 901m 的值移位到输出端子以通过将值与期望值进行比较来执行测试。

[0014] 如上所述，在 Yoshimura 等人的半导体集成电路中，当对从扫描 FF 901a 经由组合电路 910a 到存储器 911 的 ADR 端子的路径执行路径延迟测试时，扫描 FF 901e 获得从组合电路 910a 传输的值。因此，在从选择器 902a 到 ADR 端子的信号线路中，没有对从分支到扫描 FF901e 的点到 ADR 端子的路径检测延迟故障。与 ADR 端子类似，在从选择器 902a 到 DIN、WE、以及 CS 的端子的信号线路中，没有对从分支到扫描 FF 901f 至 901h 的点到 DIN、WE、以及 CS 的各端子的路径检测延迟故障。此外，当对从存储器 911 的 DOUT 经由组合电路 910c 到扫描 FF 901m 的路径执行路径延迟测试时，不能够检测从 DOUT 到选择器 902e 的路径上的延迟故障。

[0015] 在延迟故障测试中，必须确认输入数据被输入到存储器宏并且输出数据被从存储器宏输出。然而，在 Yoshimura 等人的半导体集成电路中，不能够检测部分路径上的延迟故障。

发明内容

[0016] 本发明人发现在具有存储器宏的半导体集成电路中没有确实地检测延迟故障。因此，很难提高质量。

[0017] 本发明的示例性方面是包括存储器宏的半导体集成电路，包括：存储器单元部件、输入数据保持单元、以及输出数据保持单元。输入数据保持单元根据操作时钟并取决于扫描控制信号来保持扫描值和输入数据信号的值中的一个。输出数据保持单元根据不同于操作输入数据保持单元的相位的相位并取决于测试控制信号来保持由输入数据保持单元保持的值和由存储器单元部件存储的数据值中的一个。此外，输入数据保持单元和输出数据保持单元被串行地交替连接，并且输入数据保持单元中的一个被布置在顶部。由输出数据保持单元中的一个保持的值被传输到被布置在输出数据保持单元中的一

个的后级的输入数据保持单元中的另一个作为扫描值。输入数据保持单元和输出数据保持单元被串行地交替连接，从而形成扫描链。扫描链使得能够从外部设置被保持在存储器宏中的值并且将被保持在存储器宏中的值输出到外部。这使得能够通过使用由是存储器单元部件的前面的部件（输入数据保持单元）和存储器单元部件的之后的部件（输出数据保持单元）保持的值来检测在存储器宏的前级和后级出现的延迟故障。因此，能够改进延迟故障检测的精确度。这导致改进了半导体集成电路的质量。

[0018] 根据本发明的示例性方面，能够确实地检测具有存储器宏的半导体集成电路中的延迟故障以提高其质量。

附图说明

[0019] 结合附图，根据某些优选示例性实施例的以下描述，以上和其它示例性方面、优点和特征将更加明显，其中：

[0020] 图 1 是示出被包括在本发明的第一示例性实施例的半导体集成电路中的存储器宏中的示例性构造的框图；

[0021] 图 2 是示出使用图 1 中所示的 SRAM 的具有测试延迟故障的功能的半导体集成电路的示例性构造的模式图；

[0022] 图 3 是示出在被布置在第一示例性实施例的 SRAM 的后级的逻辑锥中测试延迟故障的示例性操作的流程图；

[0023] 图 4 是示出被包括在本发明的第二示例性实施例的半导体集成电路中的存储器宏的示例性构造的框图；

[0024] 图 5 是示出包括具有时序生成电路的 SRAM 的半导体集成电路的模式图；

[0025] 图 6 是示出在图 5 中所示的 SRAM 中使用的示例性时钟的时序图；以及

[0026] 图 7 是示出在 Yoshimura 等人中公布的半导体集成电路的构造的框图。

具体实施方式

[0027] 在下文中，将会参考附图描述本发明的实施例。为了解释的清楚，下面的描述和附图被适当地省略和简化。在每个附图中，通过相同的附图标记来表示具有相同的构造和功能的组件，和相对应的部件，并且其描述被省略。

[0028] 将会使用 SRAM 作为存储器示例来解释下面的示例性实施例。SRAM 是具有带有同步时钟的宏的 RAM。然而，本发明不限于此 SRAM。本发明可以被应用于包括被提供在存储器单元部件的输入 / 输出侧处并且保持数据的锁存器的存储器宏。例如，本发明可以被应用于具有包括输入锁存器和输出锁存器的存储器宏的半导体集成电路。此外，输入锁存器被提供在输入侧并且保持要被写入到存储器单元部件的数据，并且输出锁存器被提供在输出侧并且保持要从存储器单元部件读取的数据。

[0029] [第一示例性实施例]

[0030] 图 1 是示出被包括在本发明的第一示例性实施例的半导体集成电路中的存储器宏的示例性构造的框图。例如，本示例性实施例示出是具有同步时钟的 RAM 宏的 SRAM 1 作为存储器宏。SRAM 1 包括输入单元 2、存储器单元部件 (RAM) 3、以及输出单元 4。

[0031] 输入单元 2 保持存储器控制信号的值并且输入数据信号。输入单元 2 使用保持

的值将数据写入存储器单元部件 3。输入单元 2 可以保持扫描值替代输入数据信号的值。扫描值是在扫描移位操作的状态下设置的测试数据。

[0032] 存储器单元部件 3 是存储要根据由输入单元 2 保持的值写入的数据的存储器区域。存储器单元部件 3 还根据存储器控制信号的值读出存储的数据以将该数据输出到输出单元 4。

[0033] 输出单元 4 保持从存储器单元部件 3 读取的输出数据。输出单元 4 可以保持由输入单元 2 保持的值替代输出数据值。

[0034] 输入单元 2 包括多个锁存器（主锁存器）21-0 至 21-m(m 是整数并且大于 0) 和多个输入数据保持单元 22-0 至 22-k(k 是整数并且等于或者大于 0)。

[0035] 锁存器 21-0 至 21-m 保持存储器控制信号的值（控制值）。图 1 示出信号“CS”、“WE”、以及“Aj”作为存储器控制信号的示例。存储器控制信号的输入端子被称为“输入端子 CS”、“输入端子 WE”、以及“输入端子 Aj”。信号“Aj”是地址信号。尽管实际上输入多个地址信号 A0 至 Aj(j 是整数并且大于零)，但是在本示例中为了阐明解释仅示出信号“Aj”。图 1 还示出存储器控制信号的数目及其一些种类的示例；然而，存储器控制信号不限于它们。锁存器 21-0 至 21-m 被示出作为保持图 1 中的存储器控制信号的值的电路的示例，但是可以使用其它的电路。

[0036] 输入数据保持单元 22-0 至 22-k 根据操作时钟的反相并取决于扫描控制信号（在下文中被称为“SMC”）来保持输入数据信号的值和扫描值中的一个。对应于输入数据信号(DI0 至 DOK) 提供输入数据保持单元 22-0 至 22-k。

[0037] 当扫描控制信号被设置为扫描移位操作（例如，SMC = “1”）时输入数据保持单元 22-0 至 22-k 保持扫描值。当扫描控制信号被设置为除了扫描移位操作之外的操作（例如，SMC = “0”）时输入数据保持单元 22-0 至 22-k 保持输入数据信号的值。

[0038] 输入数据保持单元 22-0 至 22-k 中的每一个包括输入选择器（也被称为“输入数据选择器”、“选择器电路”、或者“SEL1”）221 和输入锁存器（也被称为“输入数据锁存器”、或者“DIL”）222。尽管图 1 示出输入数据保持单元 22-0 的构造，但是输入数据保持单元 22-1 至 22-k 也具有相同的构造。

[0039] 输入选择器 221 取决于扫描控制信号来选择输入数据信号的值和扫描值中的一个。输入选择器 221 被连接至 SMC 的输入端子 SMC 并且接收 SMC 作为选择信号。

[0040] 输入数据保持单元 22-0 至 22-k 中每一个的输入选择器 221 包括两个输入端子。输入选择器 221 的一个输入端子 D 被连接至输入数据信号（即，DI0 至 DOK）中的一个的相对应的输入端子（即，输入端子 DI0、...、或者输入端子 DIk）。因此，输入数据信号中的一个被从输入端子 DI0 至 DIk 中的一个输入到对应于输入信号中的该一个的输入数据保持单元 22-0 至 22-k 中的一个的输入选择器 221 的一个输入端子 D。

[0041] 此外，输入数据保持单元 22-0 的输入选择器 221 的另一输入端子 SI 被连接至接收扫描值(SIN) 的输入端子 SIN。扫描值被从输入端子 SIN 输入到输入数据保持单元 22-0 的输入选择器 221 的输入端子 SI。输入数据保持单元 22-1 至 22-k 的输入选择器 221 的其它输入端子 SI 被连接至输出单元 4 的输出端子（稍后讨论的多个输出数据保持单元 41-0 至 41-(k-1) 的输出端子中的一个）。因此，输入数据保持单元 22-1 至 22-k 的输入选择器 221 接收来自于输出单元 4 的输出值作为扫描值。

[0042] 输入选择器 221 的输出被输入到输入锁存器 222。

[0043] 输入锁存器 222 根据操作时钟的反相位保持由输入选择器 221 选择的值。输入锁存器 222 的输出 QMB 被输入到存储器单元部件 3 的相对应的位，并且被传输到输出单元 4。

[0044] 输出单元 4 包括多个输出数据保持单元 41-0 至 41-k。

[0045] 输出数据保持单元 41-0 至 41-k 根据操作时钟的正常相位并取决于测试控制信号（在下文中，也被称为“TEN”）来保持由输入数据保持单元 22-0 至 22-k 保持的值（输入保持值）和由存储器单元部件 3 存储的数据值（输出数据值）中的一个。由输入数据保持单元 22-0 至 22-k 保持的值中的一个是由输入锁存器 222 保持的值。

[0046] 当测试控制信号被设置为测试模式（例如，TEN = “1”）时，输出数据保持单元 41-0 至 41-k 中的每一个根据操作时钟 CLK 的正常相位保持由被布置在前级中的输入数据保持单元 22-0 至 22-k 中的一个保持的值。当扫描控制信号被设置为正常模式时，输出数据保持单元 41-0 至 41-k 中的每一个保持由存储器单元部件 3 存储的数据值。

[0047] 输出数据保持单元 41-0 至 41-k 中的每一个包括输出选择器（也被称为“输出数据选择器”、或者“SEL2”）411 和输出锁存器（也被称为“输出数据锁存器”、或者“DOL”）412。尽管图 1 仅示出输出数据保持单元 41-0 的构造，但是输出数据保持单元 41-1 至 41-k 也具有相同的构造。

[0048] 输出选择器 411 取决于 TEN 来选择由输入数据保持单元 22-0 至 22-k 中的一个保持的值和由存储器单元部件 3 存储的数据值中的一个。输出选择器 411 被连接至 TEN 的输入端子并且接收 TEN 作为选择信号。

[0049] 输出数据保持单元 41-0 至 41-k 中的每一个的输出选择器 411 包括两个输入端子。输出选择器 411 的一个输入端子被连接至存储器单元部件 3 的相对应的位。来自于存储器单元部件 3 的数据值被输入到输出数据保持单元 41-0 至 41-k 中的相对应的一个的输出选择器 411。这就是说，从存储器单元部件 3 输出的数据被输入到一个输入端子作为输出数据值。

[0050] 此外，输出选择器 411 的另一输入端子被连接至输入数据保持单元 22-0 至 22-k 中的一个的输入锁存器 222。即，输入锁存器 222 的输出信号 QMB 被输入到输出数据保持单元 41-0 至 41-k 中的一个所包括的输出选择器 411 的另一输入端子。

[0051] 输出锁存器 412 根据操作时钟的正常相位保持由输出选择器 411 选择的值。输出数据保持单元 41-0 至 41-k 的输出锁存器 412 被连接至输出端子 DO0 至 DOK 中的相对应的一个。此外，输出数据保持单元 41-0 至 41-(k-1) 中的每一个的输出锁存器 412 被连接至输入数据保持单元 22-1 至 22-k 中的一个的输入选择器 221 的另一输入端子 SI。输出数据保持单元 41-k 的输出锁存器 412 被连接至扫描值的输出端子 SOT。因此，来自于输出锁存器 412 的输出信号 Q 被输出到是输出端子 DO0 至 DOK 中的一个的相对应的输出端子、和输入选择器 221、或者用于扫描值的输出端子 SOT。

[0052] 操作时钟（在下文中，也被称为“CLK”）被从输入端子 CLK 提供给输入单元 2 和输出单元 4 的每个组件（即，锁存器 21-0 至 21-m、每个输入锁存器 222 以及每个输出锁存器 412）。

[0053] 多个输入数据保持单元 22-0 至 22-k 和多个输出数据保持单元 41-0 至 41-k 被串

联地交替连接作为第一链。输入数据保持单元 22-0 被布置在第一链的顶部（第一级）。例如，由输出数据保持单元 41-0 保持的值（输出保持值）被输入到被布置在输出数据保持单元 41-0 的后级（后级）的输入数据保持单元 22-1（被布置在输出数据保持单元 41-0 之后的输入数据保持单元 22-1）作为扫描值。当 TEN 的值是“1”时，通过输入数据保持单元 22-0 至 22-k 中的一个和被布置在输入数据保持单元 22-0 至 22-k 中的一个的后级的输出数据保持单元 41-0 至 41-k 中的一个的组合来实现作为具有数据选择功能的 D 型触发器的功能。在下文中，此组合被称为“组合 MFF1”或者“MFF1”。例如，输入数据保持单元 22-0 和输出数据保持单元 41-0 的组合被认为是一个 MFF1。在图 1 中，由虚线包围一个 MFF1。当 TEN 的值是“1”时，MFF1 形成扫描触发器。在图 1 中，形成 (k+1) 个组合 MFF1-0 至 MFF1-k。

[0054] 组合 MFF1-0 至 MFF1-k 形成由具有数据选择功能的 D 型触发器组成的扫描链。因此，当测试控制信号是测试模式并且扫描控制信号是扫描移位操作时，组合 MFF1-0 至 MFF1-k 工作作为扫描链。

[0055] 接下来，将会参考图 2 解释使用图 1 中所示的 SRAM 1 的测试延迟故障的示例性构造。图 2 是示出使用图 1 中所示的 SRAM 1 的具有测试延迟故障的功能的半导体集成电路的示例性构造的模式图。图 2 中所示的半导体集成电路包括 SRAM 1、组合电路 61 和 62、触发器 (F/F) 63 和 64、以及选择器 65 和 66。选择器 65 和 66 通常由选择电路和选择器形成。尽管 SRAM 1 包括与图 1 中的相同的组件，图 2 仅示出输入数据保持单元 22-0 的输入选择器 221 和输入锁存器 222 (DIL)，和输出数据保持单元 41-0 的输出选择器 411 和输出锁存器 412 (DOL) 作为代表示例。

[0056] 选择器 65 选择被输入到触发器 63 的值。选择器 66 选择被输入到触发器 64 的值。操作时钟 CLK 对于触发器 63 和 64、输入锁存器 222、以及输出锁存器 412 来说是共同的。

[0057] 延迟故障测试将通过一个逻辑锥的单元扫描是否发生延迟故障。要被扫描的一个逻辑锥的单元是从被布置在组合电路的前级的触发器的输入端子到被布置在组合电路的后级的触发器的输入端子的路径。例如，在测试被布置在图 2 中的 SRAM 1 的前级的逻辑锥的情况下，延迟故障测试将扫描从触发器 63 到输入锁存器 222 的路径。或者，在测试被布置在 SRAM 1 的后级中的逻辑锥的情况下，延迟故障测试将扫描从输出锁存器 412 到触发器 64 的路径。

[0058] 例如，当对从触发器 63 经由组合电路 61 到 SRAM 1 的端子 DI 的路径执行延迟故障测试时，在 TEN 被设置为测试模式 (TEN = “1”) 之后，SMC 被设置为扫描移位操作 (SMC = “1”)，并且通过扫描移位操作将触发器 63 的输入、和组合 MFF1-0 至 MFF1-k 的输入设置为所想要的值。接下来，SMC 被设置为扫描捕获操作（扫描捕获操作的状态）(SMC = “0”)，根据用于正常操作的操作时钟或者等于或者小于操作时钟的电平的周期时钟激活（启动，捕获）要被测试的路径。然后，SMC 被设置为扫描移位操作 (SMC = “1”)，并且取回输入锁存器 222 保持的值。

[0059] 能够检测包括在连接到布置在 SRAM 1 的前级的逻辑锥中的 SRAM 1 中的输入锁存器 222 的线路中发生的延迟故障的延迟故障。此外，能够检查输入锁存器 222 中保持的值。这使得能够确实地检测延迟故障。

[0060] 图 2 中所示的半导体集成电路能够通过使用来自于输出锁存器 412 的值执行被布置在 SRAM 1 的后级的逻辑锥的延迟故障测试。换言之，能够扫描包括连接到输出锁存器 412 的线路中的延迟故障的延迟故障。将会参考图 3 解释此测试的细节。

[0061] 图 3 是示出要测试被布置在第一示例性实施例的 SRAM 的后级中的逻辑锥的延迟故障的示例性操作。将会使用在 SRAM 1 和触发器 64 之间将触发器 64 的输入值从“0”变成“1”的示例解释示例性测试操作。

[0062] 触发器 64 被布置在 SRAM 1 的后级并且保持来自于 SRAM 1 的值。尽管图 2 仅示出 SRAM 1 中的一个 MFF1，SRAM 1 包括如图 1 中所示的 MFF1-0 至 MFF1-k 的 (k+1) 个组合。此外，假定 (k+1) 个触发器 63 被提供在 SRAM 1 的前级，(k+1) 个触发器 64 被提供在 SRAM 1 的后级，(k+1) 个选择器 65 和 (k+1) 个选择器 66 被提供，并且 (k+1) 个触发器形成扫描链。在这里，还假定当 TEN 等于“1”时 SRAM 1 的状态是测试模式，并且当 SMC 等于“1”时状态是扫描移位操作。

[0063] TEN 被设置为“1”以将 SRAM 1 的状态设置为测试模式 (S11)。SMC 被设置为“1”以将状态设置为扫描移位操作。

[0064] 接下来，设置测试数据 (S13)。在这里，组合 MFF1-0 至 MFF1-k 的保持值被设置为首先将端子 D3 设置为“0”。接下来，输入数据信号 DI0 至 DIk 被设置为将端子 D3 变成“1”。在这样的情况下，从组合 MFF1-0 以及输入数据信号 DI0 到组合 MFF1-k 和输入数据信号 DIk 的重复数据设置被串行地重复 (S14)。

[0065] 组合 MFF1-0 至 MFF1-k 的数据设置如下所示。数据“0”被从输入端子 SIN 输入作为扫描值。输入数据保持单元 22-0 的输入选择器 221 取决于 SMC 的值来选择扫描值。输入数据保持单元 22-0 的输入锁存器 222 根据 CLK 的反相位保持“0”作为从输入数据保持单元 22-0 的输入选择器 221 输出的扫描值。接下来，输出数据保持单元 41-1 的输出选择器 411 取决于 TEN 来选择从输入数据保持单元 22-0 的输入锁存器 222 输出的输出信号值“0”（输入保持值）。输出数据保持单元 41-1 的输出锁存器 412 根据 CLK 的正常相位保持从输出数据保持单元 41-1 的输出选择器 411 输出的值“0”。

[0066] 响应于测试数据设置的结束（在 S 14 中是），SMC 被设置为“0”以将状态设置为扫描捕获操作 (S15)。然后，响应于执行启动，触发器 64 获得“0”。同时，组合 MFF1-0 至 MFF1-k 获得从输入端子 DI0 至 DIk 输入的输入数据信号 DI0 至 DIk 的值 (S16)。这使得能够将由组合 MFF1-0 至 MFF1-k（输出锁存器 412）保持的值从将触发器 64 的输入端子 D3 设置为“0”的值改变为将输入端子 D3 设置为“1”的值。接下来，执行捕获。这使得触发器 64 能够保持“1” (S17)。在这样的情况下，从启动到捕获的时间等于或者小于正常操作时钟的频率。

[0067] 在捕获之后，SMC 被设置为“1”以将状态设置为扫描移位操作 (S18)。执行扫描以确定测试结果 (S19)。在这里，对被布置在 SRAM 1 的后级的触发器 64 的扫描链执行扫描以确定是否出现延迟故障。

[0068] 如上所述，本示例性实施例的 SRAM 1 的使用使得能够提高用于存储器宏和被布置在存储器宏的前级和后级的逻辑锥的延迟故障测试的质量。具体地，本示例性实施例使得延迟故障测试能够扫描存储器宏中的路径，其包括到输入数据保持单元 22-0 至 22-k 的输入端子的路径和从输出数据保持单元 41-0 至 41-k 的输出端子的路径。这就

是说, 本示例性实施例使延迟故障测试能够扫描与正常操作的路径相同的路径。这使得能够肯定地确认被输入到存储器宏的数据信号的传输和从存储器宏输出的数据信号的传输。在 Yoshimura 等人中, 延迟故障测试没有扫描存储器宏中的路径。因此本示例性实施例能够实现比 Yoshimura 等人的技术更高的质量。

[0069] 此外, 可以如下地解释本示例性实施例。本示例性实施例使用存在的输入锁存器和输出锁存器。输入锁存器和输出锁存器使用相同的操作时钟。输出锁存器以操作时钟的正常相位进行操作并且输入锁存器以操作时钟的反相位进行操作。本示例性实施例可以包括下述组件。

[0070] 输入选择器(选择电路 SEL1)被连接至与存储器宏的数据输入信号相对应的数据输入锁存器(DIL)的输入并且取决于选择信号 SMC 来选择数据输入锁存器的输入。输入选择器中的每一个包括两个输入。

[0071] 输出选择器(选择电路 SEL2)被连接至与存储器宏的数据输出信号相对应的输出锁存器(DOL)的输入并且取决于选择信号 TEN 来选择输出锁存器的输入。输出选择器中的每一个包括两个输入。

[0072] 线路如下地连接输入选择器的两个输入。通过第一线路将一个输入连接至存储器宏的输入端子 DI0 至 DIk 中的一个(输入数据信号 DI0 至 DIk 中的一个)。通过第二线路将另一输入连接至扫描值(SIN)的输入端子 SIN 或者输出锁存器的输出中一个。

[0073] 线路如下地连接输出选择器的两个输入。通过第三线路将一个输入连接至存储器单元部件的输出端子 DO0 至 DOk 中的一个。通过第四线路将另一输入连接至输入锁存器的输出中的一个。

[0074] 上述构造的使用使得输入选择器 221、输入锁存器 222、输出选择器 411、以及输出锁存器 412 能够通过选择信号 TEN 操作作为具有数据选择功能的 D 型触发器。

[0075] 在本构造中, 已有的锁存器的使用使得能够减少附加的电路的数目。特别地, 图 1 的构造使得能够通过添加输入选择器 221、输出选择器 411、以及线路来获得用于延迟故障测试的构造。添加的电路的数目小于 Yoshimura 等人的数目。这使得半导体集成电路的芯片尺寸能够较小并且减少制造半导体集成电路的成本。

[0076] 此外, 在存储器宏中形成的扫描链使测试数据的设置更容易。具体地, 扫描链使得能够通过从输入端子 SIN 输入的扫描值(SIN)设置组合 MFF1-0 至 MFF1-k。此外, 在存储器宏中形成的扫描链使得更容易获得测试结果。这使得能够减少测试时间。特别地, 不需要通过使用被布置在存储器宏的前级的触发器将测试数据设置为组合 MFF1-0 至 MFF1-1, 因为扫描链使得能够将测试数据设置为组合 MFF1-0 至 MFF1-k。因此, 这能够有助于生成测试数据并且减少生成测试数据所要求的时间。

[0077] [第二示例性实施例]

[0078] 在本示例性实施例中将会解释形成关于接收存储器控制信号的锁存器 21-0 至 21-2 的扫描链的示例性实施例。图 4 是示出本发明的第二示例性实施例的半导体集成电路包括的存储器宏的示例性构造的框图。SRAM 6 包括输入单元 5 替代图 1 中所示的输入单元 2。输入单元 5 包括被构造为具有除了图 1 中所示的锁存器 21-0 至 21-m 之外的额外的电路的控制值保持单元 51-0 至 51-m。除了输入数据保持单元 22-0 的上面的描述和连接之外, 图 4 中所示的构造与图 1 的相同。

[0079] 控制值保持单元 51-0 至 51-m 中的每一个包括主选择器 (SEL1) 511、主锁存器 (ML) 512、以及副锁存器 (SL) 513。尽管图 4 示出控制值保持单元 51-0 的构造,但是控制值保持单元 51-1 至 51-m 也包括相同的构造。

[0080] 主选择器 511 取决于扫描控制信号来选择存储器控制信号的值和扫描值中的一个。主选择器 511 被连接至 SMC 的输入端子 SMC 并且接收 SMC 作为选择信号。

[0081] 控制值保持单元 51-0 至 51-m 中的每一个的主选择器 511 包括两个输入端子。主选择器 511 的一个输入端子 D 被连接至相对应的存储器控制信号的输入端子的一个 (输入端子 CS、输入端子 WE、或者输入端子 Aj)。存储器控制信号 CS、WE、以及 Aj 中的每一个被从相对应的存储器控制信号的输入端子中的一个,即,输入端子 CS、输入端子 WE、以及输入端子 Aj 中的输入端子中的一个输入到主控制器 511 的输入端子 D。

[0082] 此外,控制值保持单元 51-0 的主选择器 511 的另一输入端子 SI 被连接至接收扫描值 (SIN) 的输入端子 SIN。扫描值被从输入端子 SIN 输入到控制值保持单元 51-0 的主选择器 511 的另一输入端子 SI。控制值保持单元 51-1 至 51-m 的主选择器 511 的另一输入端子 SI 被连接至副锁存器 513 的输出端子。因此,控制值保持单元 51-1 至 51-m 的主选择器 511 接收从副锁存器 513 输出的输出值作为扫描值。

[0083] 主选择器 511 的输出被输入到主锁存器 512。

[0084] 主锁存器 512 根据操作时钟的反相位保持由主选择器 511 选择的值。主锁存器 512 的输出 QMB 被输入到存储器单元部件 3 的相对应的端子,并且被传输到副锁存器 513。

[0085] 副锁存器 513 根据操作时钟的正常相位保持由主锁存器 511 保持的值。副锁存器 513 的输出 Q 被连接至被布置在控制值保持单元 51-0 至 51-m 中的一个的后级的控制值保持单元的主选择器 511 的端子 SI。

[0086] 上面描述的构造使得控制值保持单元 51-0 至 51-m 能够操作作为具有数据选择功能的 D 型触发器作。在下文中,“控制值保持单元”也被称为“单元 MFF2”、或者“MFF2”。图 4 示出 (m+1) 个单元 MFF2-0 至 MFF2-m 和 (k+1) 个组合 MFF1-0 至 MFF1-k。

[0087] 此外,控制值保持单元 51-0 至 51-m 被串联地相互连接作为第二扫描链。由控制值保持单元 51-0 至 51-(m-1) 中的一个的副锁存器 513 保持的值被输入到被布置在控制值保持单元 51-0 至 51-(m-1) 中的一个的后级的控制值保持单元 51-1 至 51-m 中的另一个的主选择器 511 作为扫描值。由被布置在第二扫描链的末端的主选择器 511 保持的值被输入到被布置在第一链的顶部的输入数据保持单元 22-0 作为扫描值。

[0088] 此连接使得控制值保持单元 51-0 至 51-m、输入数据保持单元 22-0 至 22-k、以及输出数据保持单元 41-0 至 41-k 能够形成由具有数据选择功能的 D 型触发器组成的扫描链。因此,当测试控制信号处于测试模式并且扫描控制信号处于扫描移位操作时,此连接操作作为扫描链 (多级移位寄存器)。这使得能够通过延迟扫描检测存储器宏和被布置在存储器宏的前级和后级中的逻辑锥中的延迟故障。

[0089] 本示例性实施例的 SRAM 6 形成与图 2 中所示的第一示例性实施例相类似的用于延迟故障测试的构造。除了图 2 中所示的第一示例性实施例的 SRAM 1 之外,SRAM 6

能够确认从被布置在 SRAM 6 的前级的逻辑锥输出的存储器控制信号的值。关于用于被布置在 SRAM 6 的前级的逻辑锥的延迟故障测试，能够检测在从逻辑锥到存储器控制信号的输入端子的路径中出现的延迟故障。

[0090] 此外，SRAM 6 能够将存储器控制信号的值设置为所想要的值。例如，SRAM 6 能够接收用于来自于输入端子 SIN 的数据信号和存储器控制信号的想要的值从而每个锁存器保持想要的值以执行延迟故障测试。

[0091] 根据本示例性实施例，除了第一示例性实施例的示例性有利效果之外，能够改进关于被布置在存储器宏的前级的逻辑锥的存储器控制信号的延迟故障测试的质量。

[0092] [其它示例性实施例]

[0093] 使用 SRAM 作为存储器的示例来描述上面的示例性实施例，但是存储器不限于此。本发明能够被应用于除了 SRAM 之外的存储器，诸如具有包括被提供在存储器单元部件的输入和输出侧的锁存器的存储器宏的 RAM、或者 ROM(只读存储器)。

[0094] 上面的示例性实施例被解释为下述示例，其中输入数据保持单元和主锁存器根据操作时钟的反相位保持值，输出数据保持单元和副锁存器根据操作时钟的正常相位保持值。操作时钟的相位不限于它们。仅要求由输入数据保持单元和主锁存器使用的操作时钟的一个相位和由输出数据保持单元和副锁存器使用的另一相位彼此相反。因此，一个可以使用操作时钟的正常相位，并且另一个可以使用操作时钟的反相位。

[0095] 此外，使用操作时钟 CLK 的正常和反相位解释上面的示例性实施例。相位不限于它们，并且仅要求可以使用由多个输出数据保持单元使用的一个相位和由多个输入数据保持单元使用的不同于该一个相位的其它相位。例如，能够通过移位操作时钟的相位使用具有相互不同的相位的时钟。图 5 是示出包括有时序生成电路的 SRAM 的半导体集成电路的模式图。SRAM 7 包括时序生成电路 71。时序生成电路 71 基于操作时钟 CLK 生成具有相互不同的相位的时钟 CKS 和 CKM。

[0096] 图 6 示出诸如操作时钟 CLK 和时钟 CKS 和 CKM 的示例性时钟。操作时钟 CLK 和时钟 CKS 以及 CKM 具有相同的频率。高电平时段和低电平时段可以在时钟 CKS 和 CKM 之间相互不同。因此，仅要求由输入数据保持单元(输入锁存器)使用的一个时钟和由输出数据保持单元(输出锁存器)使用的另一时钟具有相同的频率并且具有相同的相位差。注意，由主锁存器使用的一个时钟和由副锁存器使用的另一时钟与上面的相类似。

[0097] 图 5 示出 SRAM 7 作为时序生成电路 71 被并入图 1 中所示的 SRAM 1 的示例。能够将时序生成电路 71 并入图 4 中所示的 SRAM 6。在这样的情况下，可以以下述方式构造 SRAM，即输入锁存器 222 和主锁存器 512 使用一个时钟 CKM，并且输出锁存器 412 和副锁存器 513 使用另一时钟 CKS。这就是说，可以以下述方式构造 SRAM，即输入数据保持单元 22-0 至 22-k 和控制值保持单元 51-0 至 51-m 中的每一个的主锁存器 512 使用一个时钟 CKM，并且输出数据保持单元 41-0 至 41-k 和控制值保持单元 51-0 至 51-m 中的每一个的副锁存器 513 使用另一时钟 CKS。

[0098] 虽然已经按照若干示例性实施例描述了本发明，但是本领域的技术人员将理解本发明可以在权利要求的精神和范围内进行各种修改的实践，并且本发明并不限于上述的示例。

[0099] 本领域的技术人员能够根据需要组合示例性实施例中的每一个。

[0100] 此外，权利要求的范围不受到上述的示例性实施例的限制。

[0101] 此外，应当注意的是，申请人意在涵盖所有权利要求要素的等同形式，即使在后期的审查过程中对权利要求进行过修改亦是如此。

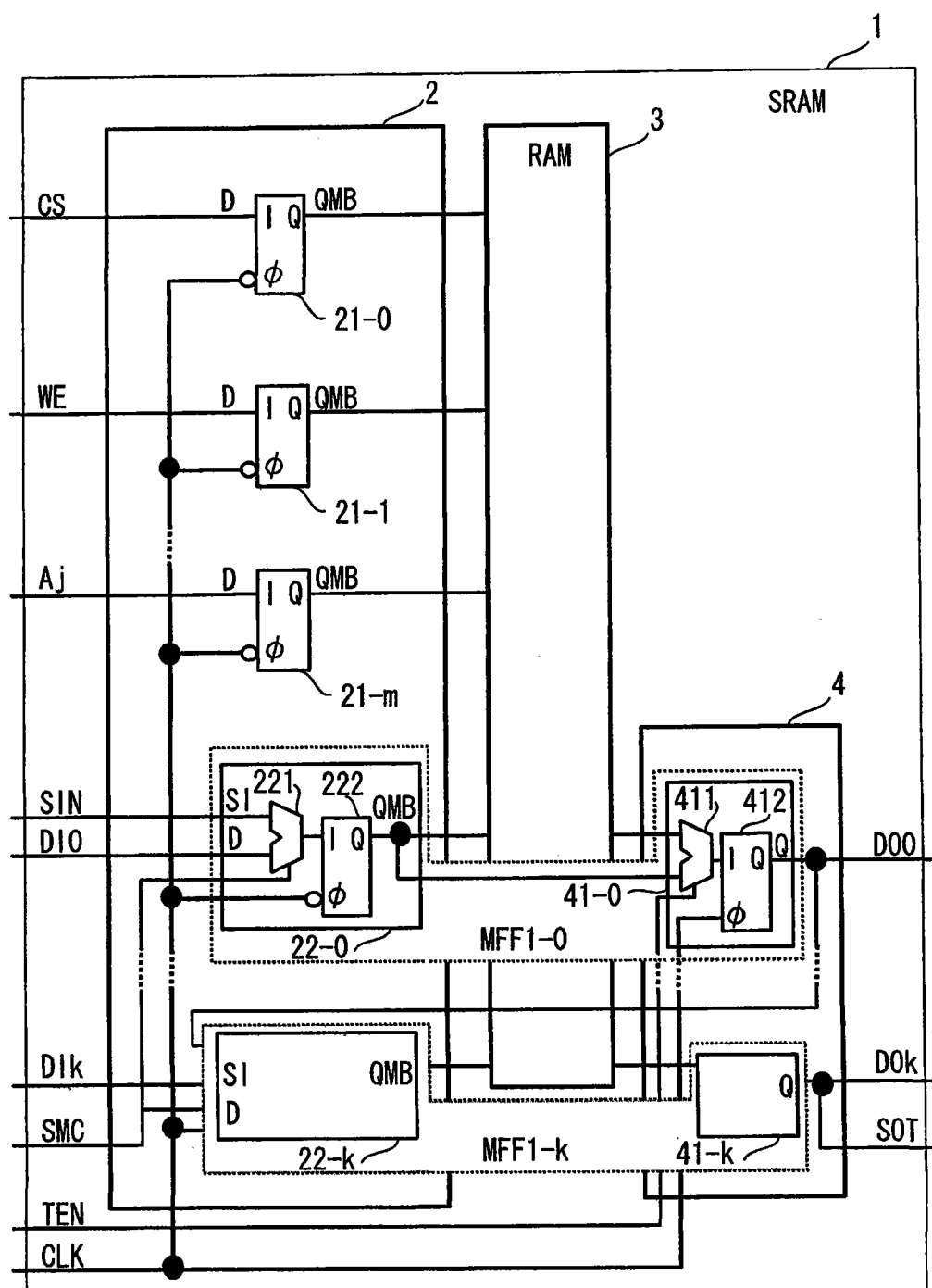


图 1

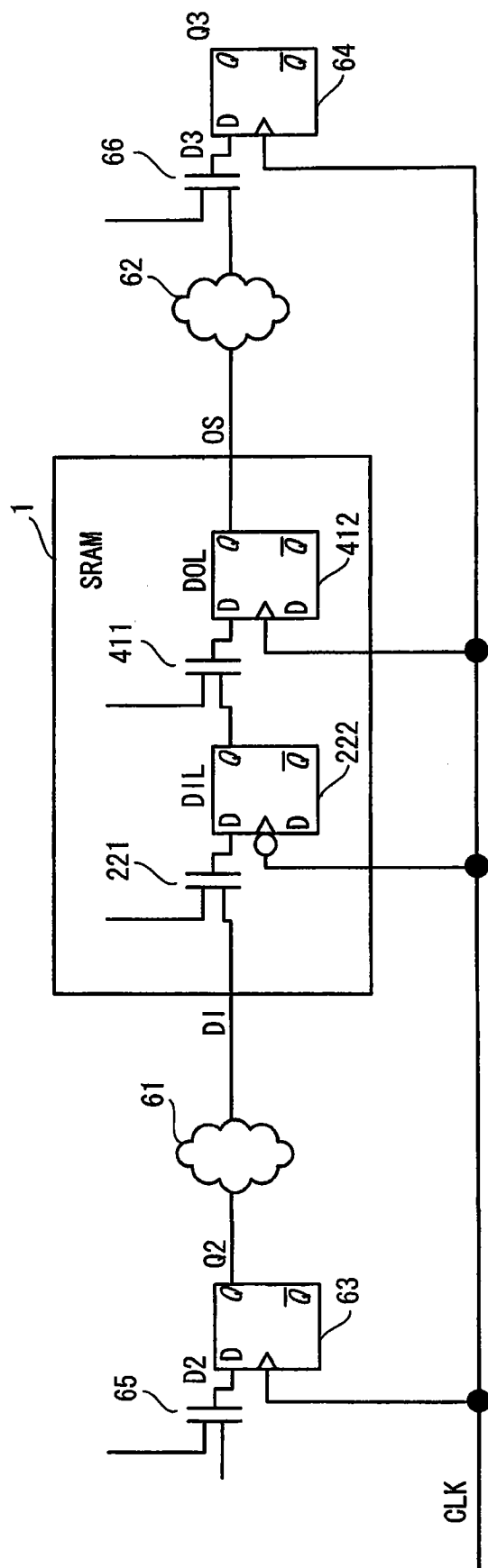


图 2

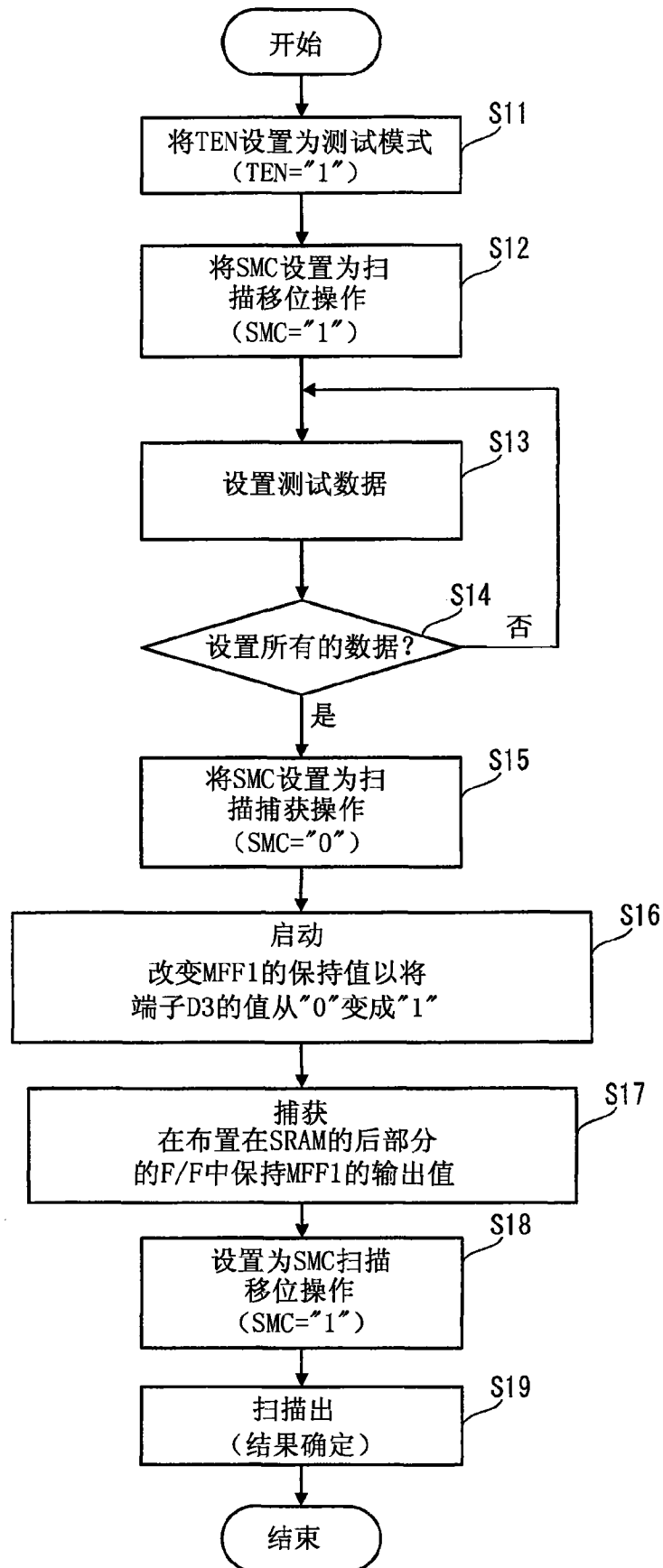


图 3

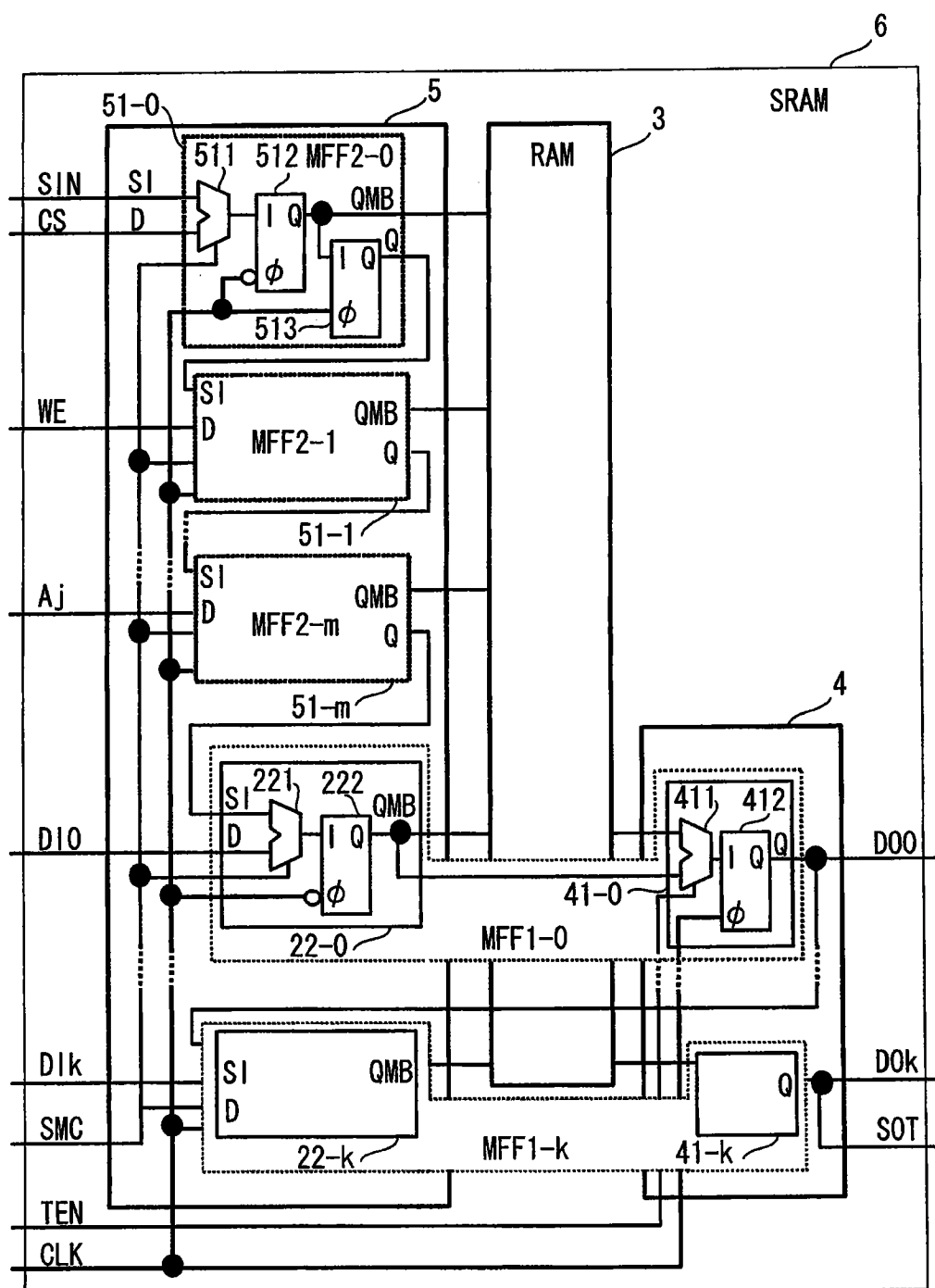


图 4

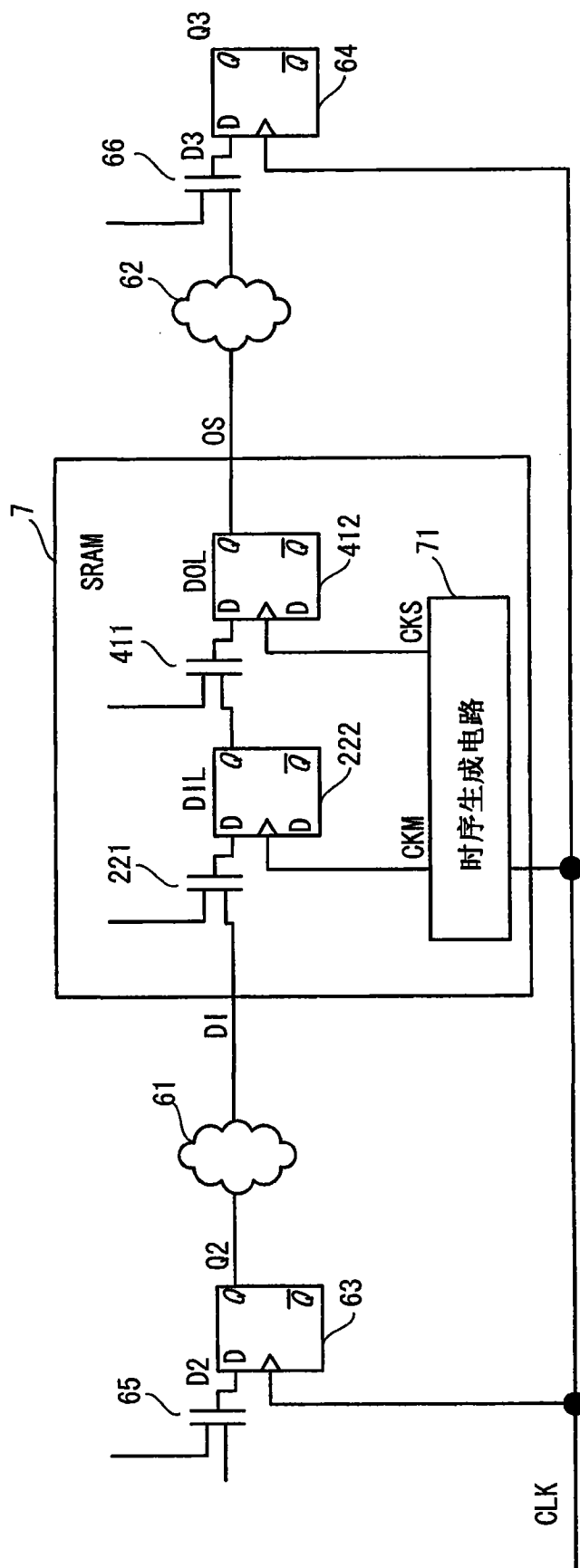


图 5

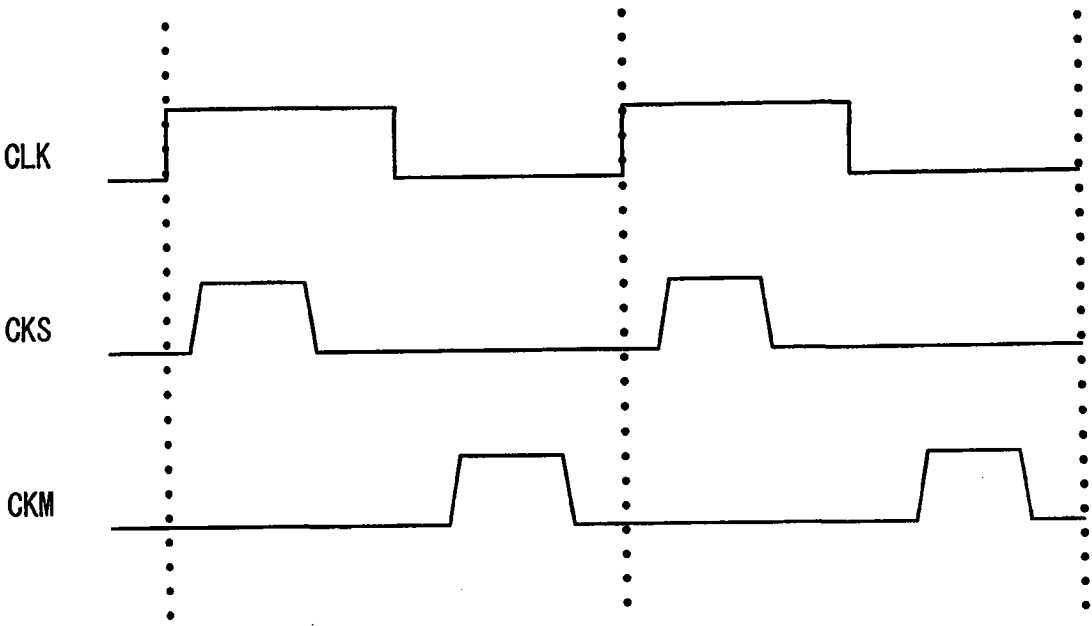
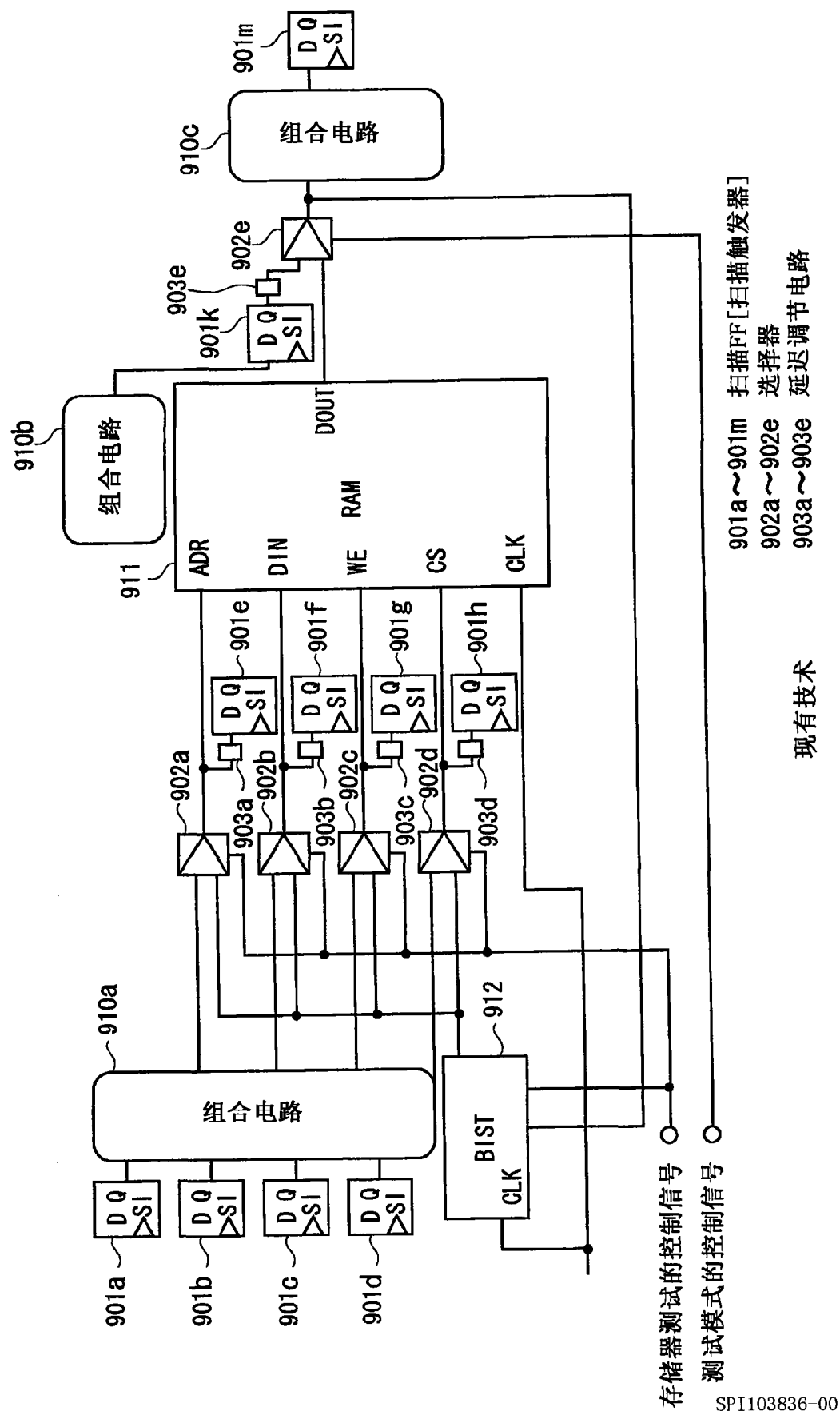


图 6



SPI103836-00

图 7