

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月23日(23.01.2025)



(10) 国際公開番号

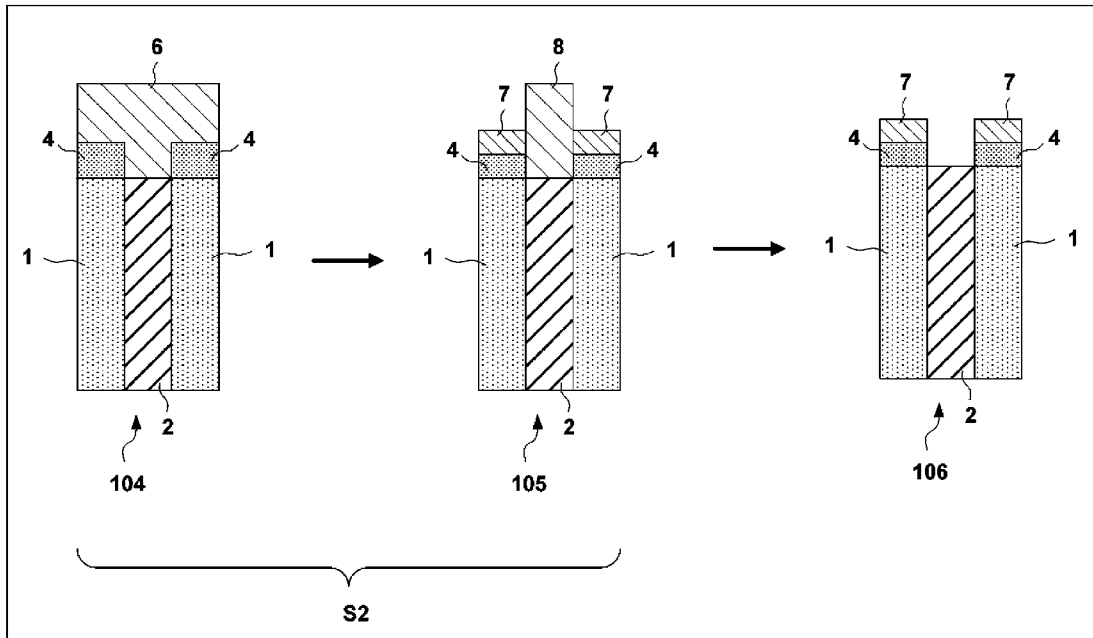
WO 2025/017981 A1

- (51) 国際特許分類:
H10B 43/27 (2023.01) *H01L 29/786* (2006.01)
H01L 21/20 (2006.01) *H01L 29/788* (2006.01)
H01L 21/28 (2006.01) *H01L 29/792* (2006.01)
H01L 21/336 (2006.01) *H10B 41/27* (2023.01)
- (21) 国際出願番号: PCT/JP2024/014280
- (22) 国際出願日: 2024年4月8日(08.04.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-115732 2023年7月14日(14.07.2023) JP
- (71) 出願人: キヤノンアネルバ株式会社(CANON ANELVA CORPORATION) [JP/JP]; 〒2158550

- 神奈川県川崎市麻生区栗木2-5-1 Kanagawa (JP).
- (72) 発明者: 松井 尚子(MATSUI, Naoko); 〒2158550 神奈川県川崎市麻生区栗木2-5-1 キヤノンアネルバ株式会社内 Kanagawa (JP). 吉田 悠人(YOSHIDA, Yuto); 〒2158550 神奈川県川崎市麻生区栗木2-5-1 キヤノンアネルバ株式会社内 Kanagawa (JP). 入澤 寿和(IRISAWA, Toshikazu); 〒2158550 神奈川県川崎市麻生区栗木2-5-1 キヤノンアネルバ株式会社内 Kanagawa (JP).
- (74) 代理人: 弁理士法人大塚国際特許事務所(OHTSUKA PATENT OFFICE, P.C.);

(54) Title: SEMICONDUCTOR ELEMENT MANUFACTURING METHOD AND SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子の製造方法及び半導体素子



(57) Abstract: This semiconductor element manufacturing method comprises a conversion process for converting amorphous silicon into monocrystalline silicon. The conversion process includes: a first step for, through a treatment accompanying heat, forming a first film containing a first material so as to cover the amorphous silicon to form a silicide film in contact with the amorphous silicon; a second step for, after the first step and through a treatment accompanying heating, forming a second film containing a second material so as to cover the silicide film to form a compound comprising Si, the



WO 2025/017981 A1

〒1020094 東京都千代田区紀尾井町 3 番 6 号
紀尾井町パークビル 7 F Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

first material, and the second material so as to be in contact with the silicide film; and a third step for changing, into the compound through heating, the silicide film remaining after the second step. The first material is a material selected from the group consisting of Ni, Pd, Ti, Cu, Pt, Co, Mo, Mg, W, Cr, and Mn, and the second material is a material selected from the group consisting of Al, Au, Sb, In, Ag, and Ga.

(57) 要約 : 半導体素子の製造方法は、アモルファスシリコンを単結晶シリコンに変換する変換工程を含む。前記変換工程は、熱を伴う処理により、前記アモルファスシリコンを覆うように第1材料を含む第1膜を形成することにより、前記アモルファスシリコンに接するシリサイド膜を形成する第1工程と、前記第1工程後、加熱を伴う処理により、前記シリサイド膜を覆うように第2材料を含む第2膜を形成することにより、前記シリサイド膜に接するように、Si、前記第1材料および前記第2材料で構成される化合物を形成する第2工程と、前記第2工程後に残っている前記シリサイド膜を、熱処理により、前記化合物に変化させる第3工程と、を含み、前記第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料であり、前記第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料である。

明 細 書

発明の名称：半導体素子の製造方法及び半導体素子

技術分野

[0001] 本発明は、半導体素子の製造方法および半導体素子に関する。

背景技術

[0002] 半導体素子（例えば、薄膜トランジスター、半導体記憶装置）に対して、チャネル抵抗の増大等による性能劣化を解決する方法の1つとして、チャネル内のアモルファスシリコンまたは多結晶シリコンを単結晶化する方法がある。単結晶化の方法として、Niシリサイドを結晶化の成長端とするMILC (Metal Induced Lateral Crystallization (金属誘導側面結晶化)) プロセスがある。MILCプロセスの例として特許文献1に示す「金属誘導側面結晶化方法を用いた薄膜トランジスター及びその製造方法」について、図1から図3を用いて説明する。図1から図3において、200は絶縁基板、210はバッファ層、220は活性層、221、225はソース／ドレイン領域、223はチャネル領域、230はゲート絶縁膜、240はゲート電極、250は層間絶縁膜、251、255はコンタクトホール、260は結晶化誘導金属膜を示す。

[0003] 図1に示されるように、ゲート電極240を備える絶縁基板200上に層間絶縁膜250を蒸着し、ソース／ドレイン領域221、225の一部を露出させるコンタクトホール251、255を形成する。次に、絶縁基板200上にスパッタリングなどの方法でNiなどの結晶化誘導金属膜260を蒸着する。

[0004] 次に、図2に示されるように、炉内で熱処理を行うことにより、活性層220の非晶質シリコン膜を結晶化して、多結晶シリコン膜に変化させる（550℃で3 μ m/hrの速度で結晶化）。この際、コンタクトホール251、255内の結晶化誘導金属膜260の下にある下部領域221a、225aの非晶質シリコンは、金属誘導結晶化 (Metal Induced C

ry s t a l l i z a t i o n : M I C) 法により結晶化され、それ以外の領域 221b、225b の非晶質シリコンは、M I L C 法により結晶化される。

[0005] 次に、図3に示されるように、結晶化誘導金属膜260を除去し、ソース／ドレイン電極271、275を形成することによって薄膜トランジスタが得られる。

[0006] 特許文献2には、読み出し速度、書き込み速度、消去速度などの動作速度の向上を図りつつ、動作制御および回路レイアウト設計の緩和を図るため、半導体基板、第1層、第2導電層、メモリ膜および半導体層を備え、半導体層に接するNi、Co、Al、またはPdを含む金属層を具備する不揮発性半導体記憶装置が開示されている。また、特許文献2には、「金属層70がシリサイドを形成しない材料、例えばAlで構成される場合、アニール後、半導体ピラーSPにおける下端部近傍がAlとの合金を含んでもよく、半導体ピラーSPにおける上端部近傍がAlとの合金を含んでもよい。また、半導体ピラーSPにおける上端部および下端部近傍に限らず、半導体ピラーSPがAlとの合金を含んでもよい。」との開示がある。

[0007] 特許文献3には、処理能力を向上するため、第1配線層と第2配線層とメモリピラーとを備える半導体記憶装置が開示されている。また、特許文献3には、NiSi₂は、その格子定数がSiの格子定数と0.3%程度のミスマッチしかないため、M I L C による単結晶シリコンの形成に適している。M I L C 法によって半導体ピラー（例えば、シリコン、シリコンゲルマニウム、ゲルマニウム）を結晶化させる金属材料としては、例えば、Ni、Co、Al、またはPdが挙げられることが開示されている。

[0008] 非特許文献1は、Siの格子定数、NiSi₂の格子定数、NiSi_{2-x}Al_xの格子定数に関するものである。図4の横軸はNiSi_{2-x}Al_xに対するAlの比率X、aはSiの格子定数、図4の縦軸は格子定数を示す。図4から、NiSi₂の格子定数は5.406、Siの格子定数は5.431であり、Alの比率X=0.24のとき、NiSi_{2-x}Al_x=5.431となり、

Siの格子定数と一致することが分かる。なお、非特許文献1における格子定数の単位はオングストロームであり、本明細書においても、格子定数の単位はオングストロームであるものとして説明する。

先行技術文献

特許文献

- [0009] 特許文献1：特開2005-159307号公報
特許文献2：特開2014-175348号公報
特許文献3：特開2019-165178号公報

非特許文献

- [0010] 非特許文献1：Klaus et al. 「Appl. Phys. Lett. 83, 497 (2003)」P497-499

発明の概要

発明が解決しようとする課題

- [0011] 本発明は、単結晶シリコンの格子定数により近い格子定数を有するシリサイドによってアモルファスシリコンを単結晶シリコンに変換する技術を提供する。

課題を解決するための手段

- [0012] 本発明の第1側面は、アモルファスシリコンを単結晶シリコンに変換する変換工程を含む、半導体素子の製造方法に係り、前記製造方法において、前記変換工程は、熱を伴う処理により、前記アモルファスシリコンを覆うように第1材料を含む第1膜を形成することにより、前記アモルファスシリコンに接するシリサイド膜を形成する第1工程と、前記第1工程後、加熱を伴う処理により、前記シリサイド膜を覆うように第2材料を含む第2膜を形成することにより、前記シリサイド膜に接するように、Si、前記第1材料および前記第2材料で構成される化合物を形成する第2工程と、前記第2工程後に残っている前記シリサイド膜を、熱処理により、前記化合物に変化させる第3工程と、を含み、前記第1材料は、Ni、Pd、Ti、Cu、Pt、C

o、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料であり、前記第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料である。

[0013] 本発明の第2側面は、アモルファスシリコンを単結晶シリコンに変換する変換工程を含む、半導体素子の製造方法に係り、前記製造方法において、前記変換工程は、前記アモルファスシリコンを覆うように第1材料を含む第1膜を形成する第1工程と、前記第1工程後、前記第1膜を覆うように第2材料を含む第2膜を形成する第2工程と、前記第2工程後、熱処理により、Si、前記第1材料および前記第2材料を含む化合物を形成する第3工程と、を含み、前記第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料であり、前記第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料である。

[0014] 本発明の第3側面は、アモルファスシリコン、化合物および単結晶シリコンの積層構造を含む半導体素子に係り、前記半導体素子において、前記化合物は、Si、第1材料および第2材料の化合物であり、前記第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料であり、前記第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料である。

図面の簡単な説明

[0015] [図1]特許文献1記載の薄膜トランジスターの製造方法を説明するための工程断面図である。

[図2]特許文献1記載の薄膜トランジスターの製造方法を説明するための工程断面図である。

[図3]特許文献1記載の薄膜トランジスターの製造方法を説明するための工程断面図である。

[図4]非特許文献1に記載のSiの格子定数、NiSi₂の格子定数、NiS

$i_{2-x}A_1x$ の格子定数の関係を示す図である。

[図5A]第1実施形態の半導体素子の製造方法を示す工程図である。

[図5B]第1実施形態の半導体素子の製造方法を示す工程図である。

[図5C]第1実施形態の半導体素子の製造方法を示す工程図である。

[図6A]第2実施形態の半導体素子の製造方法を示す工程図である。

[図6B]第2実施形態の半導体素子の製造方法を示す工程図である。

[図6C]第2実施形態の半導体素子の製造方法を示す工程図である。

[図7A]第3実施形態の半導体素子の製造方法を示す工程図である。

[図7B]第3実施形態の半導体素子の製造方法を示す工程図である。

[図7C]第3実施形態の半導体素子の製造方法を示す工程図である。

[図8A]第1実施形態の半導体素子の製造方法を示す工程図である。

[図8B]第1実施形態の半導体素子の製造方法を示す工程図である。

[図8C]第1実施形態の半導体素子の製造方法を示す工程図である。

[図9]第4実施形態の半導体素子の製造方法を示す工程図である。

[図10]第4実施形態の半導体素子の製造方法を示す工程図である。

[図11]第4実施形態の半導体素子の製造方法を示す工程図である。

[図12]第4実施形態の半導体素子の製造方法を示す工程図である。

[図13]第4実施形態の半導体素子の製造方法を示す工程図である。

[図14]第4実施形態の半導体素子の製造方法を示す工程図である。

[図15]第4実施形態の半導体素子の製造方法を示す工程図である。

[図16]第4実施形態の半導体素子の製造方法を示す工程図である。

[図17]第4実施形態の半導体素子の製造方法を示す工程図である。

[図18A]第5実施形態の半導体素子の製造方法を示す工程図である。

[図18B]第5実施形態の半導体素子の製造方法を示す工程図である。

発明を実施するための形態

[0016] 以下、添付図面を参照して実施形態を詳しく説明する。なお、以下の実施形態は特許請求の範囲に係る発明を限定するものではない。実施形態には複数の特徴が記載されているが、これらの複数の特徴の全てが発明に必須のも

のとは限らず、また、複数の特徴は任意に組み合わせられてもよい。さらに、添付図面においては、同一若しくは同様の構成に同一の参照番号を付し、重複した説明は省略する。

[0017] 図5Aから図5Cは、アモルファスシリコン1を単結晶シリコン10に変換する変換工程を含む、半導体素子の製造方法の第1実施形態を模式的に示す図である。本発明者は、アモルファスシリコン上にAl膜及びNi膜を順に成膜して得られた構造体を加熱する実験の結果から、Al膜がNi膜のシリサイド化を阻害することを発見した。また、本発明者は、アモルファスシリコン上にNiAl膜を成膜して得られた構造体を加熱する実験の結果から、AlがNiシリサイド内に含まれず、AlがNiAl膜の表面側に押し出されてしまうことを発見した。また、本発明者は、アモルファスシリコン上に加熱を伴う工程によってNi膜を形成することによりアモルファスシリコンに接するNiシリサイド膜を形成した後、Niシリサイド膜上に加熱を伴う処理によりAl膜を形成することにより、Niシリサイド膜にAlが拡散し、NiAlSiが形成されるという現象を発見した。NiAlSiは、単結晶シリコンに近い格子定数を有するので、NiAlSiとアモルファスシリコンとを接触させて熱処理を行うことによって容易に単結晶シリコンを得ることができる。以下の実施形態は、以上の知見に基づくものである。

[0018] 第1実施形態の半導体素子の製造方法は、アモルファスシリコン1を単結晶シリコン10に変換する変換工程を含みうる。アモルファスシリコン1は、基板の一部を構成しうる。変換工程は、

加熱を伴う熱処理により、アモルファスシリコン1を覆うように第1材料としてのNi（ニッケル）を含む第1膜3を形成することにより、アモルファスシリコン1に接するシリサイド4としてのNiシリサイドを形成する第1工程S1と、

第1工程S1の後、加熱を伴う処理により、シリサイド4を覆うように第2材料としてのAl（アルミニウム）を含む第2膜6を形成することにより、シリサイド4に接するように、Si（シリコン）、Ni（第1材料）、A

l (第2材料)で構成される化合物7としてのNiAlSiを形成する第2工程S2と、

第2工程S2の後に残っているシリサイド4を、熱処理により、Si、Ni (第1材料)、Al (第2材料)で構成される化合物9としてのNiAlSi膜に変化させる第3工程S3と、を含みうる。

[0019] これにより、アモルファスシリコン1に接するように化合物9としてのNiAlSiが配置された構造体を作成することができる。

[0020] 図5Aには、第1工程S1において、加熱を伴う熱処理により、アモルファスシリコン1を覆うように第1材料としてのNiを含む第1膜3が形成された段階の構造体101と、シリサイド4としてのNiシリサイドが形成された構造体102とが示されている。図5Bには、加熱を伴う処理により、シリサイド4を覆うように第2材料としてのAlを含む第2膜6が形成された段階の構造体104と、シリサイド4に接するように、Si、Ni (第1材料)、Al (第2材料)で構成される化合物7としてのNiAlSiが形成された段階の構造体105が示されている。図5Cには、第2工程S2の後に残っているシリサイド4を有する構造体106と、熱処理によりシリサイド4が化合物9に変化した後の構造体107とが示されている。

[0021] ここで、第1材料としては、Niに代えて、Pd (パラジウム)、Ti (チタン)、Cu (銅)、Pt (白金)、Co (コバルト)、Mo (モリブデン)、Mg (マグネシウム)、W (タングステン)、Cr (クロム) および Mn (マンガン) を使用してもよい。つまり、第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、Cr および Mn からなるグループから選択される1つの材料でありうる。

[0022] 第2材料としては、Alに換えて、Au (金)、Sb (アンチモン)、In (インジウム)、Ag (銀) 又は Ga (ガリウム) を使用してもよい。つまり、第2材料は、Al、Au、Sb、In、Ag および Ga からなるグループから選択される1つの材料でありうる。

[0023] Si、第1材料および第2材料で構成される化合物は、例えば、NiAl

Siの他、NiAuSi、NiSbSi、NiInSi、NiAgSi又はNiGaSiが好適である。

[0024] アモルファスシリコン1を単結晶シリコン10に変換する変換工程は、更に、第3工程S3の後に残っているアモルファスシリコン1の少なくとも一部を、熱処理により、単結晶シリコン10に変化させる第4工程S4を含みうる。図5Cには、第3工程S3の後に残っているアモルファスシリコン1の少なくとも一部が熱処理により、単結晶シリコン10に変化した後の構造体108が示されている。第4工程は、MILC (Metal Induced Lateral Crystallization) プロセスを含みうる。

[0025] 第1工程が実施される基板は、アモルファスシリコン1の他、絶縁膜2（例えば、SiO₂：二酸化シリコン）を有しうる。アモルファスシリコン1と絶縁膜2とは互いに接触して、あるいは、互いに近接して配置されうる。第1工程S1では、加熱を伴う処理により、アモルファスシリコン1の他、絶縁膜2を覆うように第1材料（例えば、Ni）を含む第1膜3を形成することにより、アモルファスシリコン1に接するシリサイド4の他、絶縁膜2に接する第1材料膜3'が形成されてもよい。図5Aには、第1材料膜3'を有する構造体102が示されている。

[0026] この場合、変換工程は、第1工程S1と第2工程S2との間に、絶縁膜2に接する第1材料膜3'を化学エッチング等によって除去する工程を更に含みうる。図5Aには、第1材料膜3'が除去された構造体103が示されている。第1材料膜3'を除去することにより、シリサイド4が横方向に成長して他のシリサイド4と会合し電氣的にショートすることを防止することができる。絶縁膜2に接する第1材料膜3'が除去された場合、第2工程S2では、シリサイド4に接するように、Si、Ni（第1材料）、Al（第2材料）で構成される化合物7としてのNiAlSiを形成するときに、絶縁膜2を覆う部分には、第2膜6の一部である第2材料膜8が残る。第2材料膜8は、第2工程S2の後（例えば、第2工程S2と第3工程S3との間）

に除去されうる。

[0027] 第2工程S2で形成する第2膜6の厚さ（Niシリサイド4を覆う部分における第2膜6の厚さ） T_2 は、第1工程S1で形成される第1膜3の厚さ T_1 より大きく、第1工程S1で形成される第1膜3の厚さ T_1 の4倍より小さいことが好ましい。つまり、 $0 < T_2 < 4 T_1$ を満たすことが好ましい。

[0028] $T_2 = 0$ は、図4の横軸であるXの値が0であることに相当する。この場合、 $NiSi_{2-0}Al_0$ （つまり、 $NiSi_2$ ）の格子定数は、5.406である。 $T_2 = 4 T_1$ は、図4の横軸であるXの値が0.54であることに相当する。Xの値が0.54である場合、 $NiSi_{1.46}Al_{0.54}$ の格子定数は5.454である。

[0029] $0 < T_2 < 4 T_1$ を満たす場合、 $NiSi_{2-x}Al_x$ の格子定数は、以下で示される。

[0030] $5.406 < NiSi_{2-x}Al_x$ の格子定数 < 5.454

よって、 $NiSi_2$ の格子定数（5.406）に比べて、Siの格子定数=5.430に近い場合、MILCプロセスによる単結晶シリコンの形成に適していることが分かる。

[0031] これにより、例えば、薄膜トランジスタ、半導体記憶装置（例えば、3D NANDメモリ）等の半導体素子における課題であるチャンネル抵抗が低減されうる。

[0032] 図6A乃至図6Cは、アモルファスシリコン1を単結晶シリコン10に変換する変換工程を含む、半導体素子の製造方法の第2実施形態を模式的に示す図である。第2実施形態として言及しない事項は、第1実施形態に従いうる。図6Aは第1工程S1を模式的に示し、図6Bは第2工程S2を模式的に示し、図6Cは第3工程S3および第4工程S4を模式的に示している。

[0033] 第2実施形態では、第1工程S1と第2工程S2との間において、絶縁膜2に接触している第1材料膜3'を除去しない。よって、第2工程S2では、加熱を伴う処理によりシリサイド4および第1材料膜3'を覆うように第2材料としてのAlを含む第2膜6を形成することにより、シリサイド4に

接する化合物 7 の他、絶縁膜 2 に接するように、第 1 材料および第 2 材料の第 2 化合物 1 1 が得られる。

[0034] 第 2 実施形態では、変換工程は、第 2 工程 S 2 と第 3 工程 S 3 との間に、絶縁膜 2 に接する第 2 化合物 1 1 を除去する工程を含みうる。第 2 化合物 1 1 を除去することにより、シリサイド 4 が横方向に成長して他のシリサイド 4 と会合し電氣的にショートすることを防止することができる。図 6 B には、第 2 化合物 1 1 が除去された構造体 1 0 6 が示されている。

[0035] 図 7 A から図 7 C は、アモルファスシリコンを単結晶シリコンに変換する変換工程を含む、半導体素子の製造方法の第 3 実施形態を模式的に示す図である。第 3 実施形態として言及しない事項は、第 1 実施形態に従いうる。図 7 A は第 1 工程 S 1 を模式的に示し、図 7 B は第 2 工程 S 2 を模式的に示し、図 7 C は第 3 工程 S 3 および第 4 工程 S 4 を模式的に示している。

[0036] 第 3 実施形態では、第 1 工程 S 1 と第 2 工程 S 2 との間において、絶縁膜 2 に接触している第 1 材料膜 3' を除去しない。よって、第 2 工程 S 2 では、加熱を伴う処理によりシリサイド 4 および第 1 材料膜 3' を覆うように第 2 材料としての A 1 を含む第 2 膜 6 を形成することにより、シリサイド 4 に接する化合物 7 の他、絶縁膜 2 に接するように、第 1 材料および第 2 材料の第 2 化合物 1 1 が得られる。また、第 2 実施形態では、第 2 工程 S 2 と第 3 工程 S 3 との間において、絶縁膜 2 に接する第 2 化合物 1 1 を除去しない。

[0037] 第 3 実施形態では、変換工程は、第 3 工程 S 3 の後、より具体的には、第 3 工程 S 3 と第 4 工程 S 4 との間に、絶縁膜 2 に接する第 2 化合物 1 1 を除去する工程を含みうる。第 2 化合物 1 1 を除去することにより、シリサイド 4 が横方向に成長して他のシリサイド 4 と会合し電氣的にショートすることを防止することができる。図 7 C には、第 2 化合物 1 1 が除去された構造体 1 0 7 が示されている。

[0038] 第 1 乃至第 3 実施形態では、参照する図面において、アモルファスシリコン 1 の上に第 1 膜および第 2 膜が形成されることが示されているが、これは図示された姿勢において、アモルファスシリコン 1 の上に第 1 膜および第 2

膜が形成されることを示しているに過ぎない。アモルファスシリコン1の上に第1膜および第2膜が形成されることは、膜形成装置内において、アモルファスシリコン1の上方に第1膜および第2膜が形成されることに発明を限定するものではない。アモルファスシリコン1の上に第1膜および第2膜が形成されることは、例えば、図8A～図8Cに例示されるように、膜形成装置内において、アモルファスシリコン1の下方に第1膜および第2膜が形成されることも包含する。

[0039] 次に、図9乃至図17を参照しながら半導体素子の製造方法の第4実施形態を説明する。第4実施形態は、半導体素子の一例として半導体記憶装置を製造する方法を提供する。ここでは、NANDストリングを有する半導体記憶装置を製造する例を説明する。NANDストリングは、直列に接続された複数の薄膜トランジスターを含む。

[0040] 図9乃至図17において、100は半導体基板、111、114、116、136は絶縁膜、112、113は配線層、115はゲート電極層、119はトンネル絶縁膜、120は電荷蓄積層、121はブロック絶縁膜、135はアモルファスシリコン、123はコア層、124A、124B、141はシリサイド層、125はキャップ層、136は導電層、GPは空隙、MPはメモリピラー、SLTはスリットを示す。

[0041] 図9に示された状態において、空隙GPは、スリットSLTを介して外部空間に連通している。また、アモルファスシリコン135は、前述のアモルファスシリコン1に対応し、単結晶化の対象である。アモルファスシリコン135は、空隙GPに対して露出している。この状態で図10、図11に示される第1工程において、加熱を伴う熱処理により、アモルファスシリコン135を覆うように第1材料としてのNiを含む第1膜3を形成することにより、アモルファスシリコン135に接するシリサイド4としてのNiシリサイドを形成する。このとき、アモルファスシリコン135に接するシリサイド4の他、絶縁膜に接する第1材料膜3'が形成されうる。第1材料膜3'は、その後に除去されうる。

[0042] 次いで、図12、図13に示される第2工程において、加熱を伴う処理により、シリサイド4を覆うように第2材料としてのAlを含む第2膜6を形成することにより、シリサイド4に接するように、Si、Ni（第1材料）、Al（第2材料）で構成される化合物7としてのNiAlSiを形成する。このとき、絶縁膜136等を覆う部分には、第2膜6の一部である第2材料膜8が残る。

[0043] 次いで、図14に示される任意の工程において、絶縁膜の上の第2材料膜8が除去される。次いで、図15に示される第3工程において、第2工程の後に残っているシリサイド膜4を、熱処理により、Si、Ni（第1材料）、Al（第2材料）で構成される化合物9としてのNiAlSi膜に変化させる。

[0044] 次いで、図16、図17に示される第4工程において、第3工程の後に残っているアモルファスシリコン135の少なくとも一部を、熱処理により、単結晶シリコン10に変化させる。
第4実施形態は、半導体記憶装置（例えば、3D NANDメモリ）の課題であるチャンネル抵抗の低減に有利である。

[0045] 図18A、図18Bは、アモルファスシリコンを単結晶シリコンに変換する変換工程を含む、半導体素子の製造方法の第5実施形態を模式的に示す図である。第5実施形態として言及しない事項は、第1乃至第3実施形態に従いうる。また、第5実施形態は、第4実施形態に適用可能である。

[0046] 半導体素子の製造方法の第5実施形態は、アモルファスシリコン1を単結晶シリコン10に変換する変換工程を含みうる。アモルファスシリコン1は、基板の一部を構成しうる。変換工程は、アモルファスシリコン1を覆うように第1材料としてのNiを含む第1膜3を形成する第1工程S1'と、第1工程S1'の後、第1膜3を覆うように第2材料としてのAlを含む第2膜6を形成する第2工程S2'、第2工程S2'の後、熱処理により、Si、Ni（第1材料）、Al（第2材料）で構成される化合物9としてのNiAlSi膜に変化させる第3工程S3'と、を含みうる。

- [0047] これにより、アモルファスシリコン1に接するように化合物9としてのNiAlSiが配置された構造体を作成することができる。
- [0048] ここで、第1材料としては、Niに代えて、Pd（パラジウム）、Ti（チタン）、Cu（銅）、Pt（白金）、Co（コバルト）、Mo（モリブデン）、Mg（マグネシウム）、W（タングステン）、Cr（クロム）およびMn（マンガン）を使用してもよい。つまり、第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料でありうる。
- [0049] 第2材料としては、Alに換えて、Au（金）、Sb（アンチモン）、In（インジウム）、Ag（銀）又はGa（ガリウム）を使用してもよい。つまり、第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料でありうる。
- [0050] Si（シリコン）、Ni（第1材料）、Al（第2材料）で構成される化合物は、例えば、NiAlSiの他、NiAuSi、NiSbSi、NiInSi、NiAgSi又はNiGaSiが好適である。
- [0051] アモルファスシリコン1を単結晶シリコン10に変換する変換工程は、更に、第3工程S3'の後に残っているアモルファスシリコン1の少なくとも一部を、熱処理により、単結晶シリコン10に変化させる第4工程S4'を含みうる。また、変換工程は、第3工程S3'と第4工程S4'との間に、絶縁膜2に接する第2化合物11を除去する工程を含んでもよい。
- [0052] 第4工程S4'を経て、アモルファスシリコン1、化合物9および単結晶シリコン10の積層構造が形成される。第4工程S4'は、MILC（Metal Induced Lateral Crystallization）プロセスを含みうる。第2工程S2'で形成する第2膜6の厚さは、第1工程S1'で形成される第1膜3の厚さより大きく、第1工程S1'で形成される第1膜3の厚さの4倍より小さいことが好ましい。
- [0053] 発明は上記実施形態に制限されるものではなく、発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、発明の範囲

を公にするために請求項を添付する。

符号の説明

[0054] 1 : アモルファスシリコン、2 : 絶縁膜、3 : 第1膜 (例えばNi膜)、3' : 第1材料膜 (例えばNi膜)、4 : シリサイド (例えばNiシリサイド)、6 : 第2膜 (例えばAl膜)、7 : 化合物 (例えばNiAlSi)、8 : 第2材料膜 (例えばAl膜)、9 : 化合物 (例えばNiAlSi)、10 : 単結晶シリコン、11 : 第2化合物 (例えばNiAl)

請求の範囲

- [請求項1] アモルファスシリコンを単結晶シリコンに変換する変換工程を含む、半導体素子の製造方法において、前記変換工程は、
- 加熱を伴う処理により、前記アモルファスシリコンを覆うように第1材料を含む第1膜を形成することにより、前記アモルファスシリコンに接するシリサイドを形成する第1工程と、
- 前記第1工程後、加熱を伴う処理により、前記シリサイドを覆うように第2材料を含む第2膜を形成することにより、前記シリサイドに接するように、Si、前記第1材料および前記第2材料で構成される化合物を形成する第2工程と、
- 前記第2工程後に残っている前記シリサイドを、熱処理により、前記化合物に変化させる第3工程と、を含み、
- 前記第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料であり、
- 前記第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料である、
- ことを特徴とする半導体素子の製造方法。
- [請求項2] 前記変換工程は、前記第3工程後に残っている前記アモルファスシリコンの少なくとも一部を、熱処理により、単結晶シリコンに変化させる第4工程を更に含む、
- ことを特徴とする請求項1に記載の半導体素子の製造方法。
- [請求項3] 前記第4工程を経て、前記アモルファスシリコン、前記化合物および前記単結晶シリコンの積層構造が形成される、
- ことを特徴とする請求項2に記載の半導体素子の製造方法。
- [請求項4] 前記第4工程は、MILC (Metal Induced Lateral Crystallization) プロセスを含む、
- ことを特徴とする請求項3に記載の半導体素子の製造方法。

- [請求項5] 前記第2工程で形成する前記第2膜の厚さは、前記第1工程で形成される前記第1膜の厚さより大きく、前記第1工程で形成される前記第1膜の厚さの4倍より小さい、
ことを特徴とする、請求項1乃至4のいずれか1項に記載の半導体素子の製造方法。
- [請求項6] 前記第2材料は、Alである、
ことを特徴とする請求項1乃至5のいずれか1項に記載の半導体素子の製造方法。
- [請求項7] 前記第1材料は、Niである、
ことを特徴とする請求項1乃至5のいずれか1項に記載の半導体素子の製造方法。
- [請求項8] 前記第1材料は、Niであり、前記第2材料は、Alである、
ことを特徴とする請求項1乃至5のいずれか1項に記載の半導体素子の製造方法。
- [請求項9] 前記第1工程では、加熱を伴う処理により、前記アモルファスシリコンの他、絶縁膜を覆うように前記第1材料を含む前記第1膜を形成することにより、前記アモルファスシリコンに接する前記シリサイドの他、前記絶縁膜に接する第1材料膜が形成される、
ことを特徴とする請求項1から4のいずれか1項に記載の半導体素子の製造方法。
- [請求項10] 前記変換工程は、前記第1工程と前記第2工程との間に、前記絶縁膜に接する前記第1材料膜を除去する工程を更に含む、
ことを特徴とする請求項9に記載の半導体素子の製造方法。
- [請求項11] 前記第2工程では、加熱を伴う処理により、前記シリサイドの他、前記絶縁膜を覆うように前記第1材料を含む前記第2膜を形成することにより、前記シリサイドに接する前記化合物の他、前記絶縁膜に接する第2材料膜が形成される、
ことを特徴とする請求項10に記載の半導体素子の製造方法。

- [請求項12] 前記変換工程は、前記第2工程と前記第3工程との間に、前記絶縁膜に接する前記第2材料膜を除去する工程を更に含む、
ことを特徴とする請求項11に記載の半導体素子の製造方法。
- [請求項13] 前記第2工程では、加熱を伴う処理により、前記シリサイドおよび前記第1材料膜を覆うように第2材料を含む前記第2膜を形成することにより、前記シリサイドに接する前記化合物の他、前記絶縁膜に接する、前記第1材料および前記第2材料の第2化合物が得られる、
ことを特徴とする請求項9に記載の半導体素子の製造方法。
- [請求項14] 前記変換工程は、前記第2工程と前記第3工程との間に、前記絶縁膜に接する前記第2化合物を除去する工程を含む、
ことを特徴とする請求項13に記載の半導体素子の製造方法。
- [請求項15] 前記変換工程は、前記第3工程の後に、前記絶縁膜に接する前記第2化合物を除去する工程を更に含む、
ことを特徴とする請求項13に記載の半導体素子の製造方法。
- [請求項16] 請求項1乃至15のいずれか1項に記載の半導体素子の製造方法により作成された単結晶シリコンを含む半導体素子。
- [請求項17] 前記単結晶シリコンが薄膜トランジスタ又は半導体記憶装置の一部を構成することを特徴とする請求項16に記載の半導体素子。
- [請求項18] アモルファスシリコンを単結晶シリコンに変換する変換工程を含む、半導体素子の製造方法において、前記変換工程は、
前記アモルファスシリコンを覆うように第1材料を含む第1膜を形成する第1工程と、
前記第1工程後、前記第1膜を覆うように第2材料を含む第2膜を形成する第2工程と、
前記第2工程後、熱処理により、Si、前記第1材料および前記第2材料を含む化合物を形成する第3工程と、を含み、
前記第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料

であり、

前記第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料である、

ことを特徴とする半導体素子の製造方法。

[請求項19]

前記変換工程は、前記第3工程後に残っている前記アモルファスシリコンの少なくとも一部を、熱処理により、単結晶シリコンに変化させる第4工程を更に含む、

ことを特徴とする請求項18に記載の半導体素子の製造方法。

[請求項20]

前記第4工程を経て、前記アモルファスシリコン、前記化合物および前記単結晶シリコンの積層構造が形成される、

ことを特徴とする請求項19に記載の半導体素子の製造方法。

[請求項21]

前記第4工程は、MILC (Metal Induced Lateral Crystallization) プロセスを含む、

ことを特徴とする請求項20に記載の半導体素子の製造方法。

[請求項22]

前記第2工程で形成する前記第2膜の厚さは、前記第1工程で形成される前記第1膜の厚さより大きく、前記第1工程で形成される前記第1膜の厚さの4倍より小さい、

ことを特徴とする、請求項18乃至21のいずれか1項に記載の半導体素子の製造方法。

[請求項23]

前記第2材料は、Alである、

ことを特徴とする請求項18乃至22のいずれか1項に記載の半導体素子の製造方法。

[請求項24]

前記第1材料は、Niである、

ことを特徴とする請求項18乃至22のいずれか1項に記載の半導体素子の製造方法。

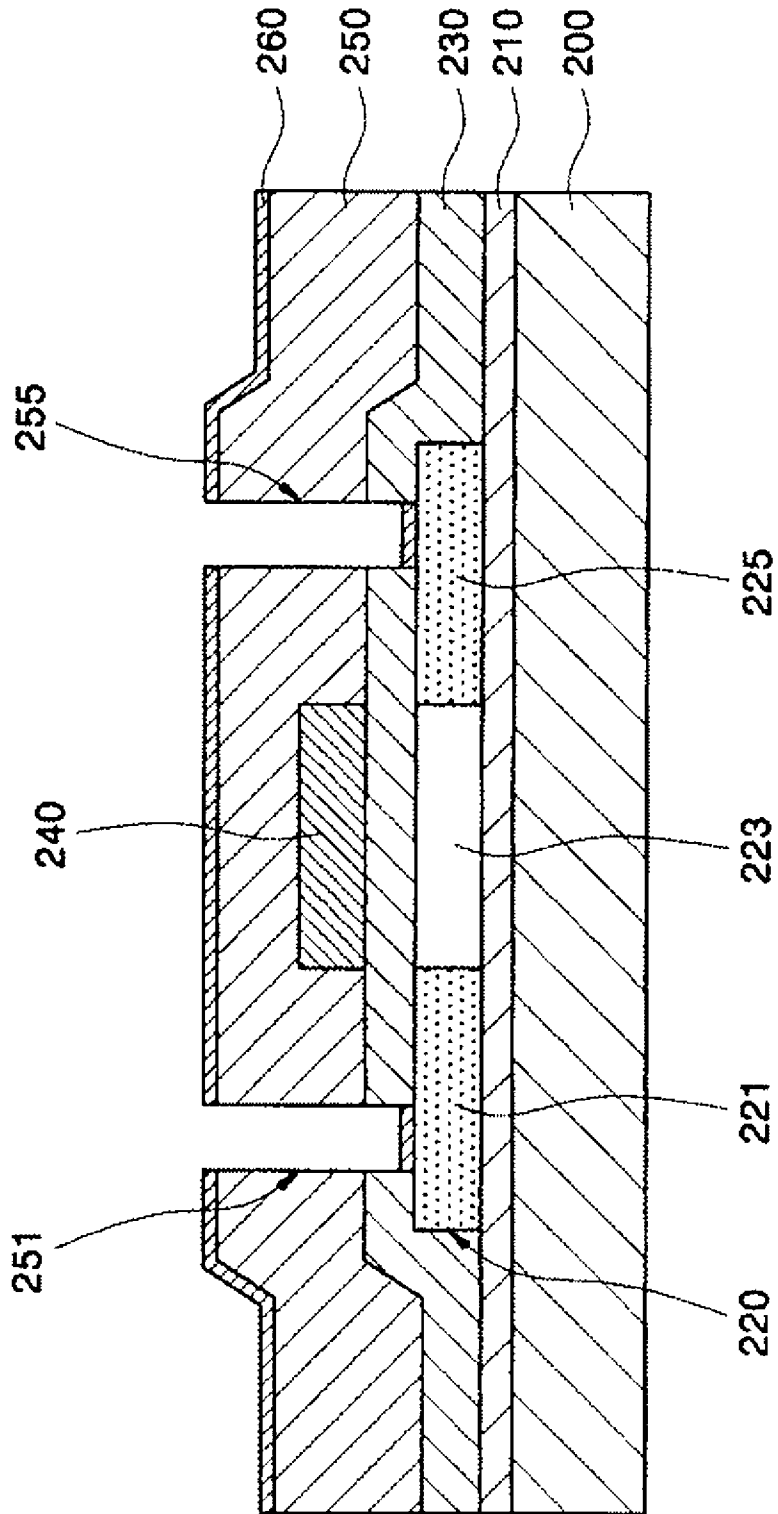
[請求項25]

前記第1材料は、Niであり、前記第2材料は、Alである、

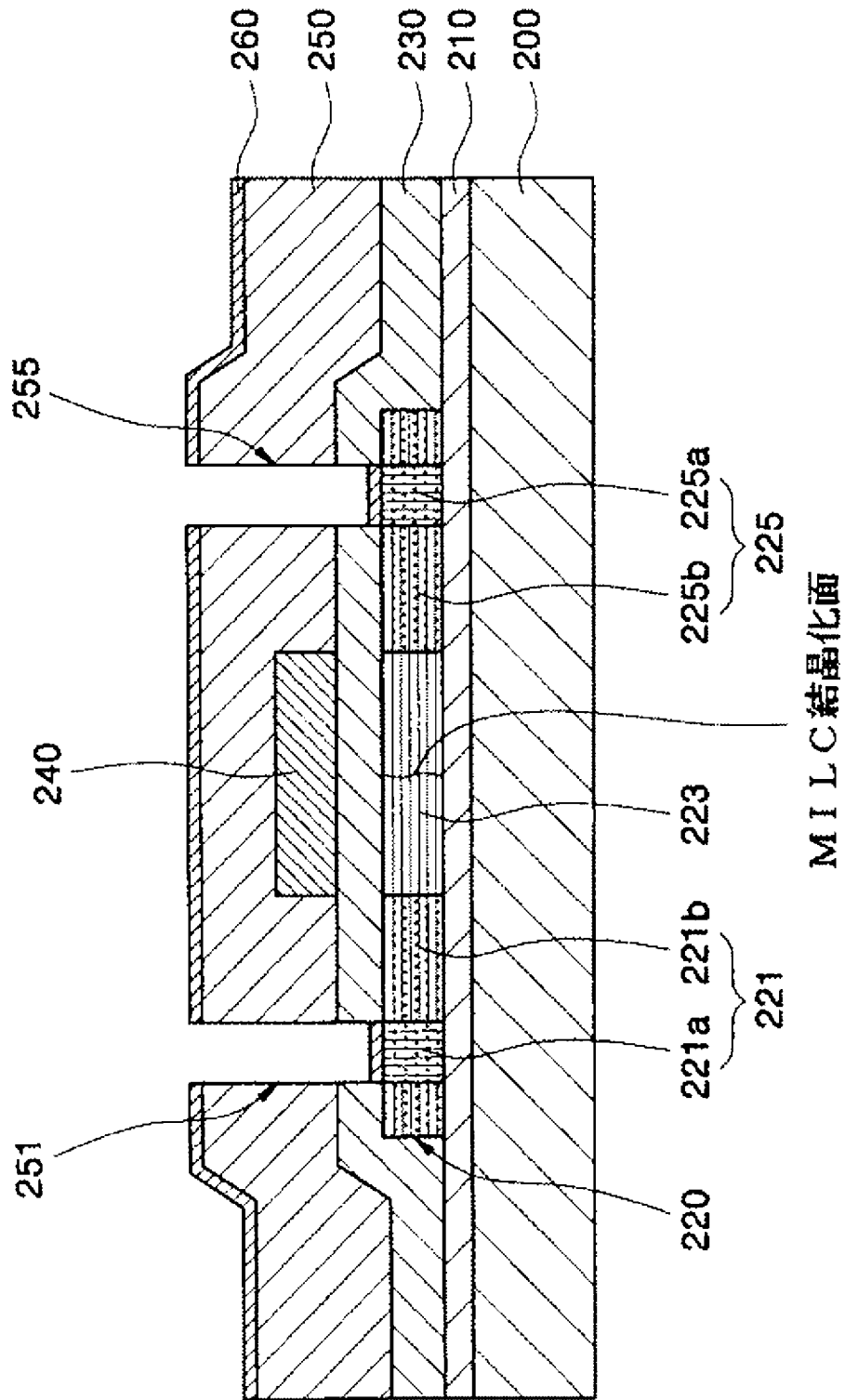
ことを特徴とする請求項18乃至22のいずれか1項に記載の半導体素子の製造方法。

- [請求項26] 請求項18乃至25のいずれか1項に記載の半導体素子の製造方法により作成された単結晶シリコンを含む半導体素子。
- [請求項27] 前記単結晶シリコンが薄膜トランジスタ又は半導体記憶装置の一部を構成することを特徴とする請求項26に記載の半導体素子。
- [請求項28] アモルファスシリコン、化合物および単結晶シリコンの積層構造を含む半導体素子であって、
前記化合物は、Si、第1材料および第2材料の化合物であり、
前記第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料であり、
前記第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料である、
ことを特徴とする半導体素子。

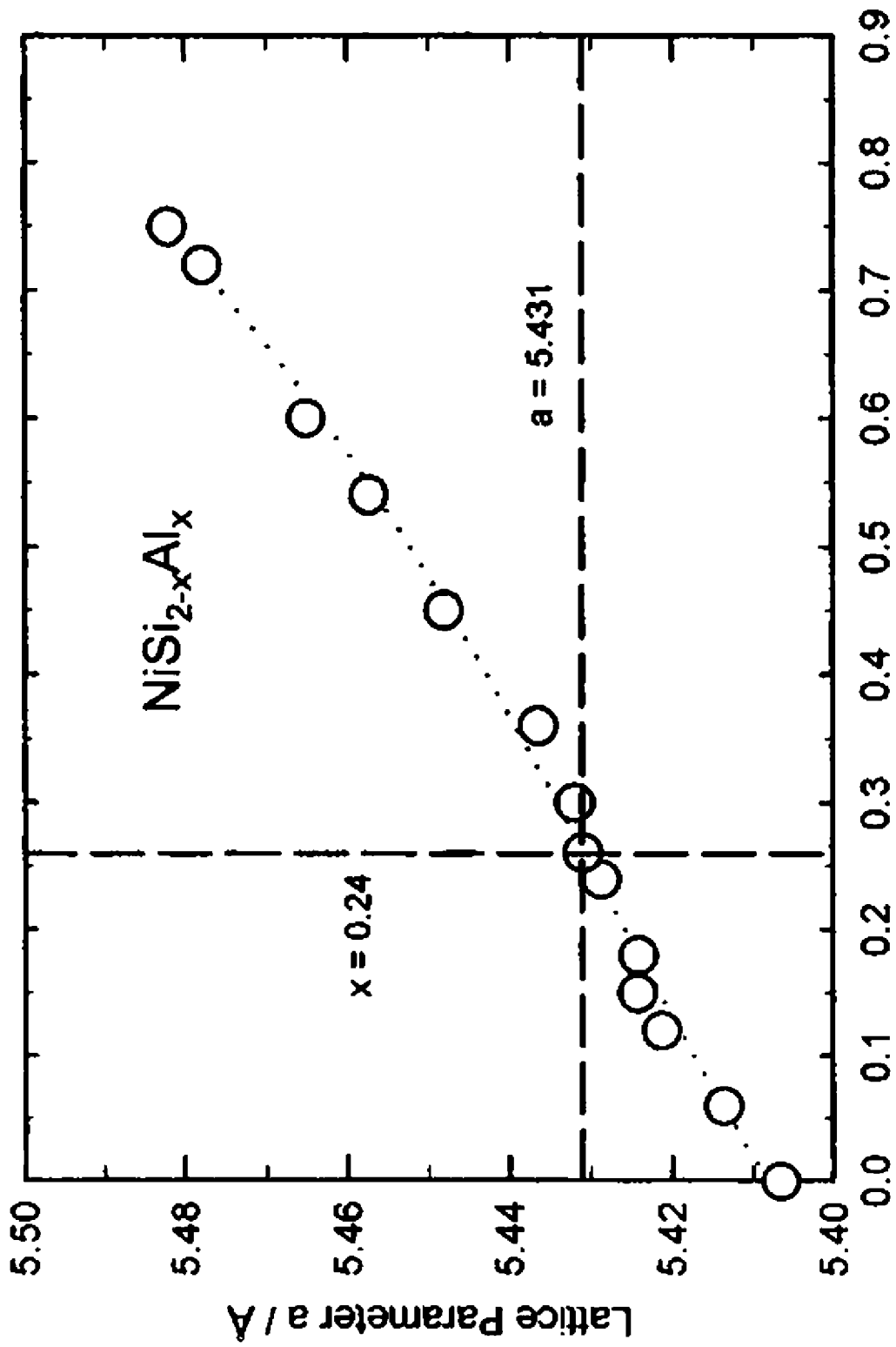
[図1]



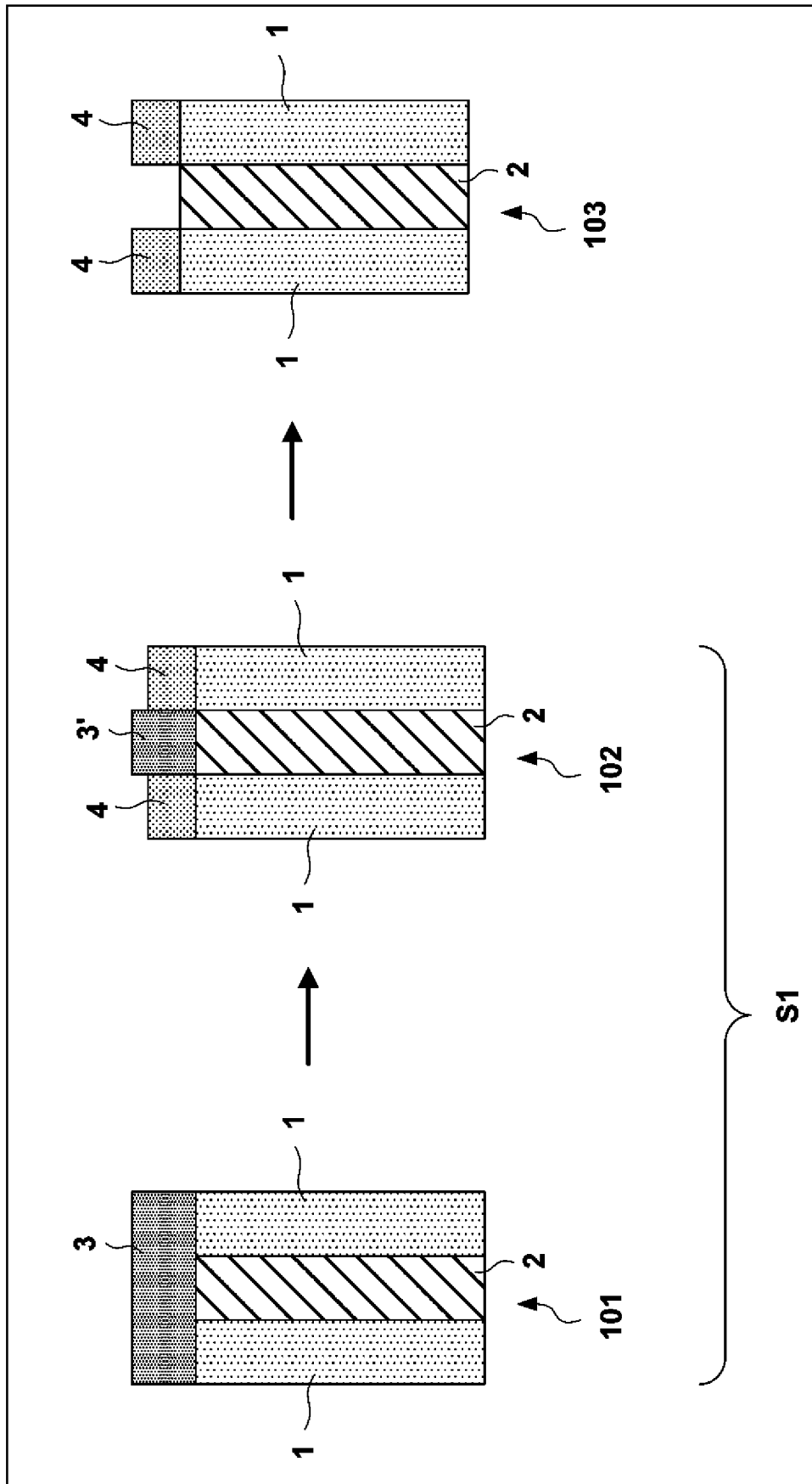
[図2]



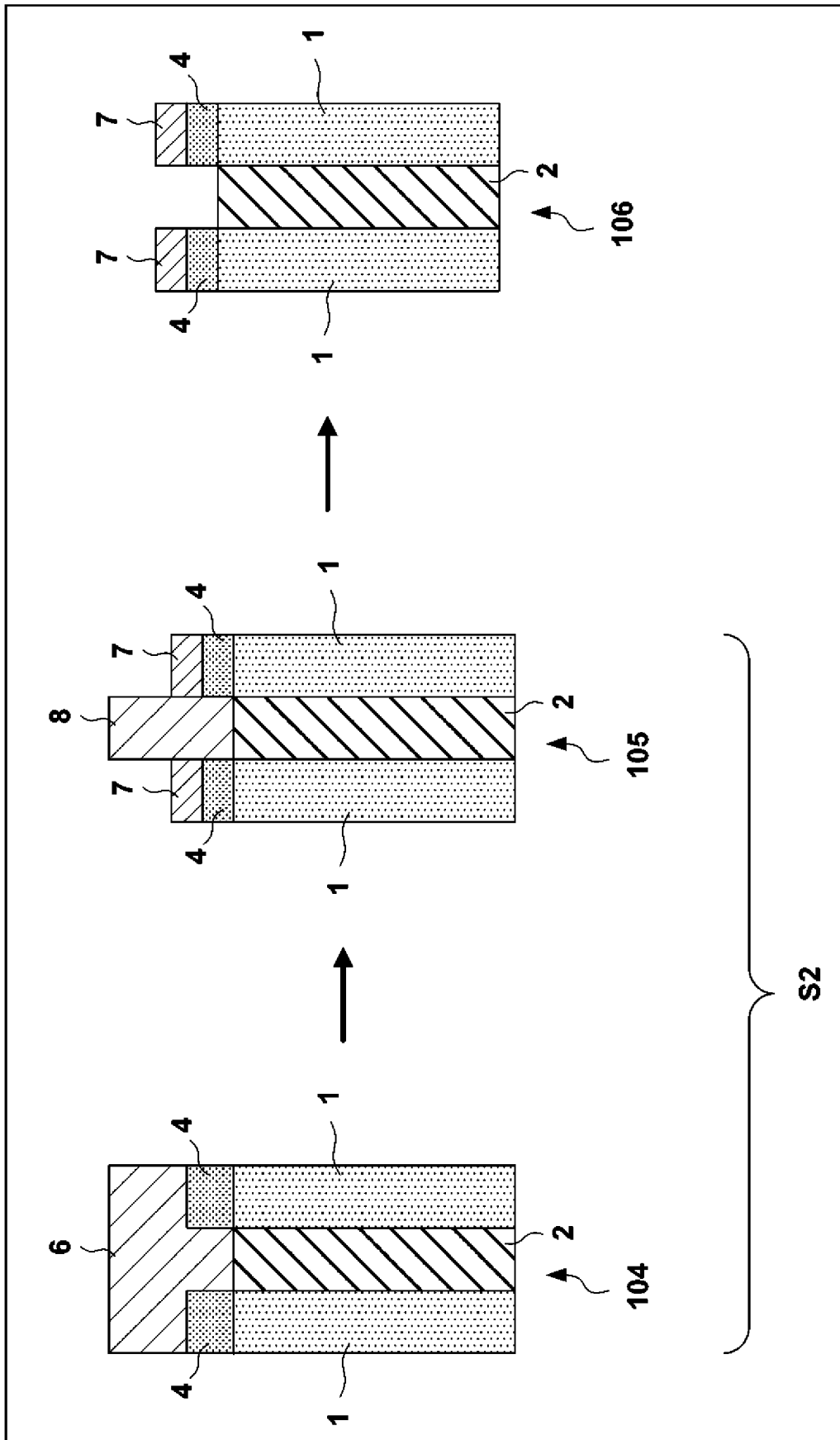
[図4]



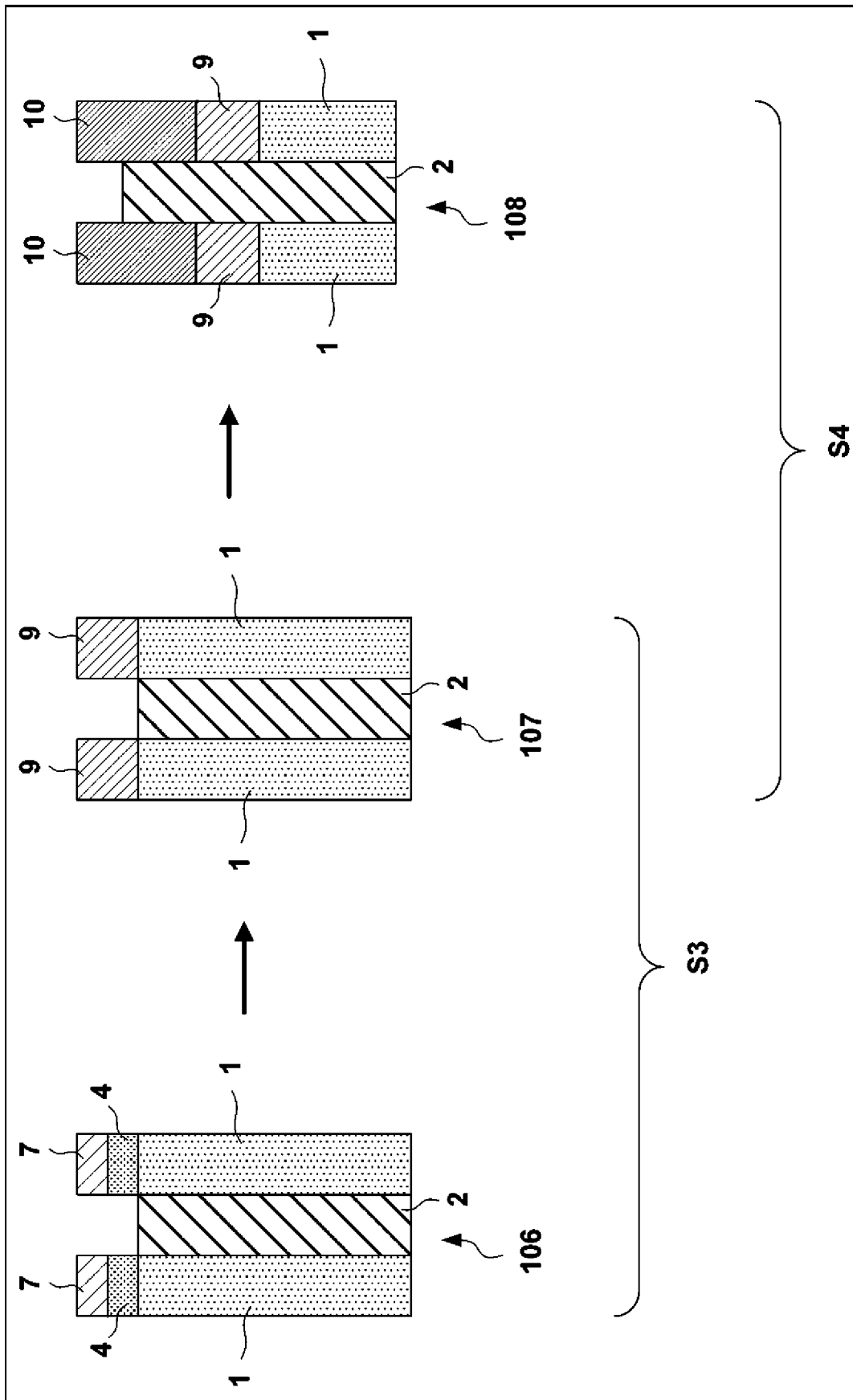
[図5A]



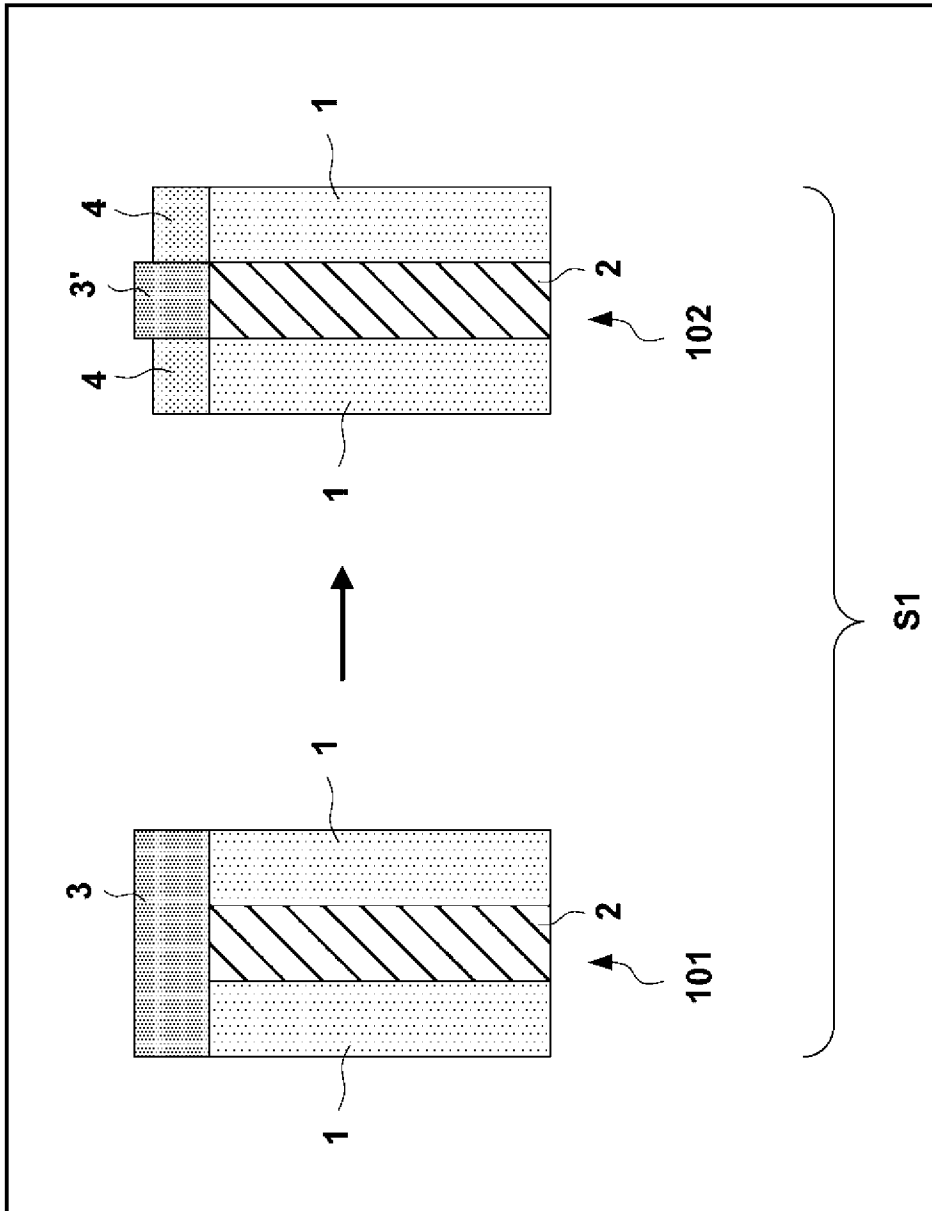
[図5B]



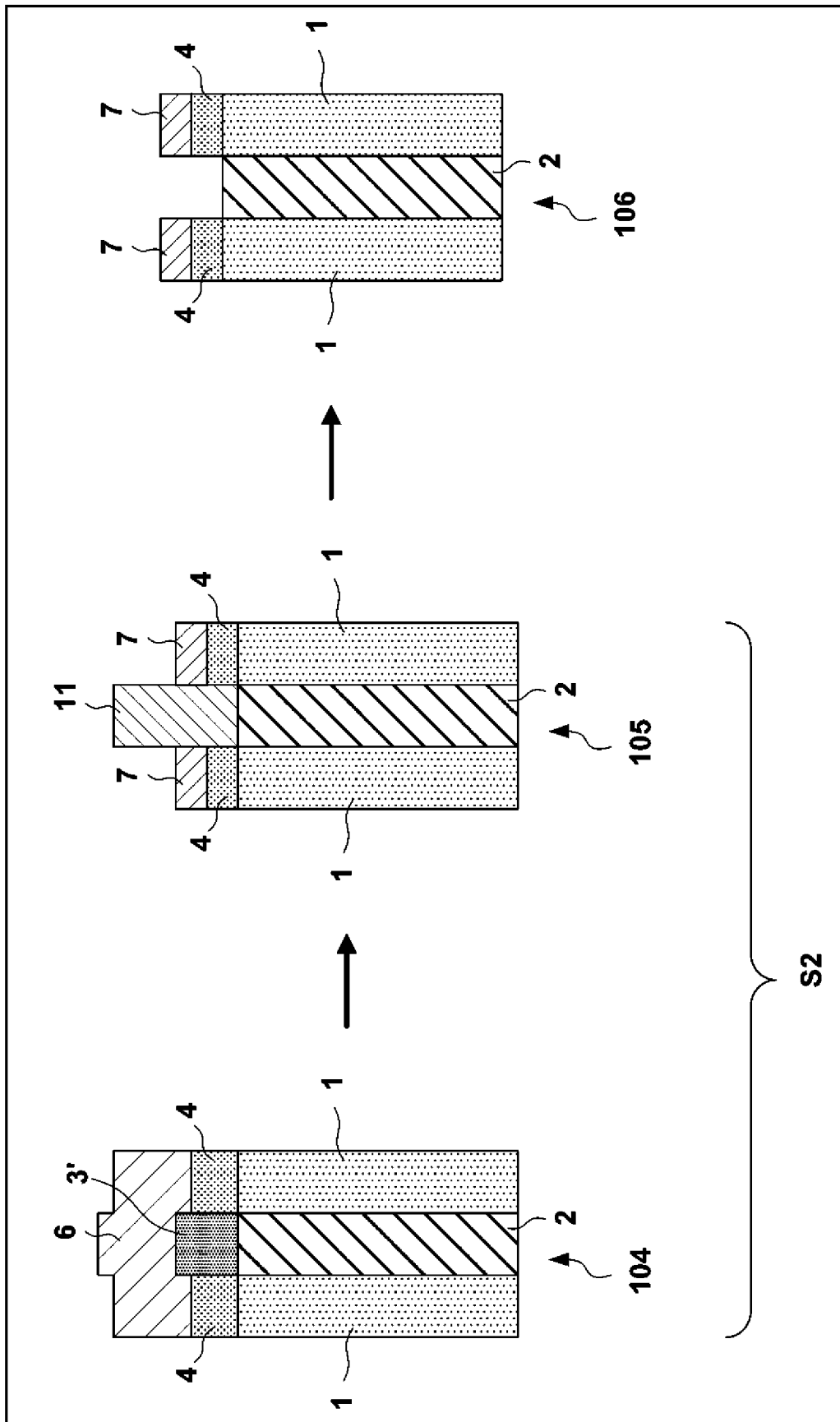
[図5C]



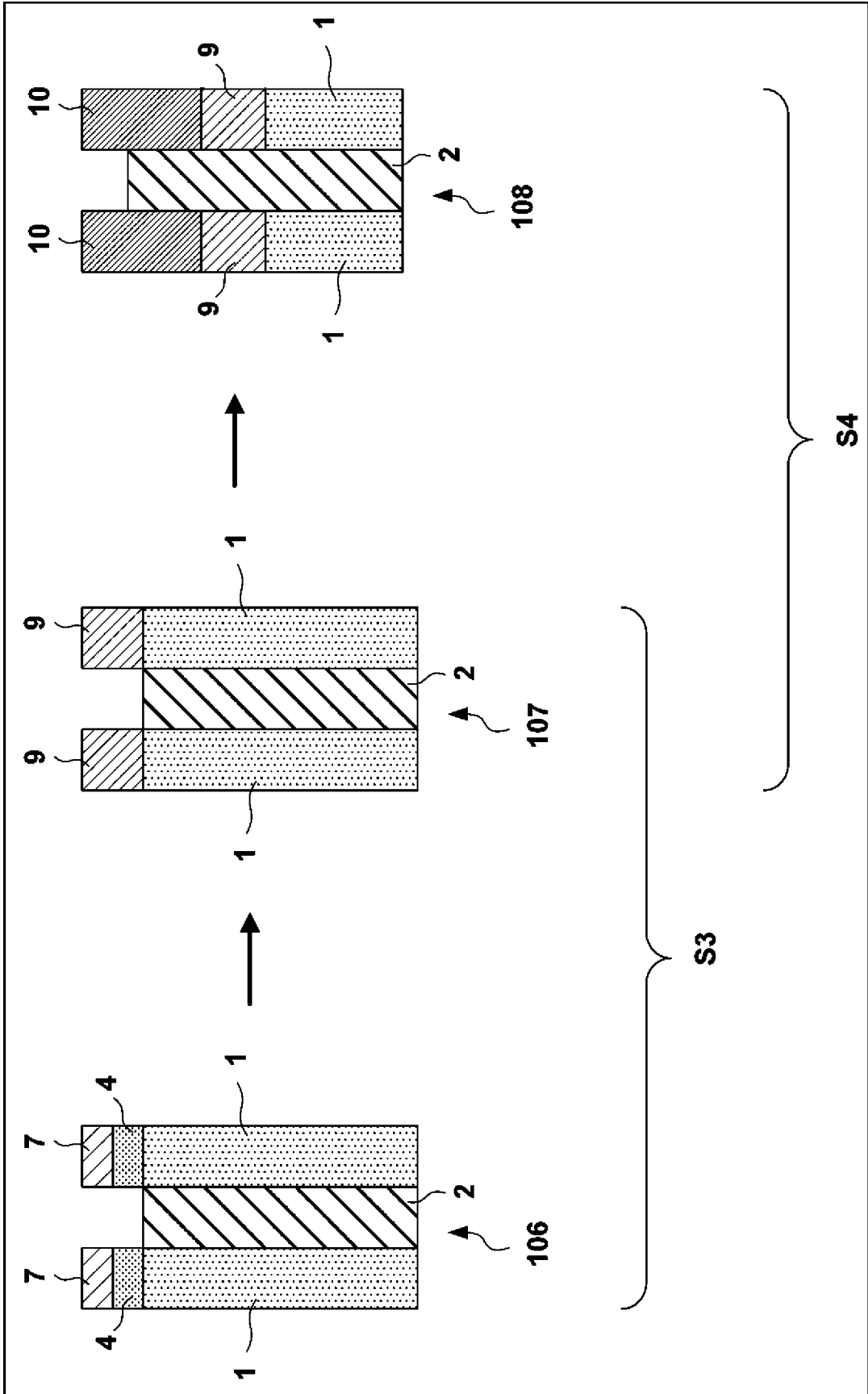
[図6A]



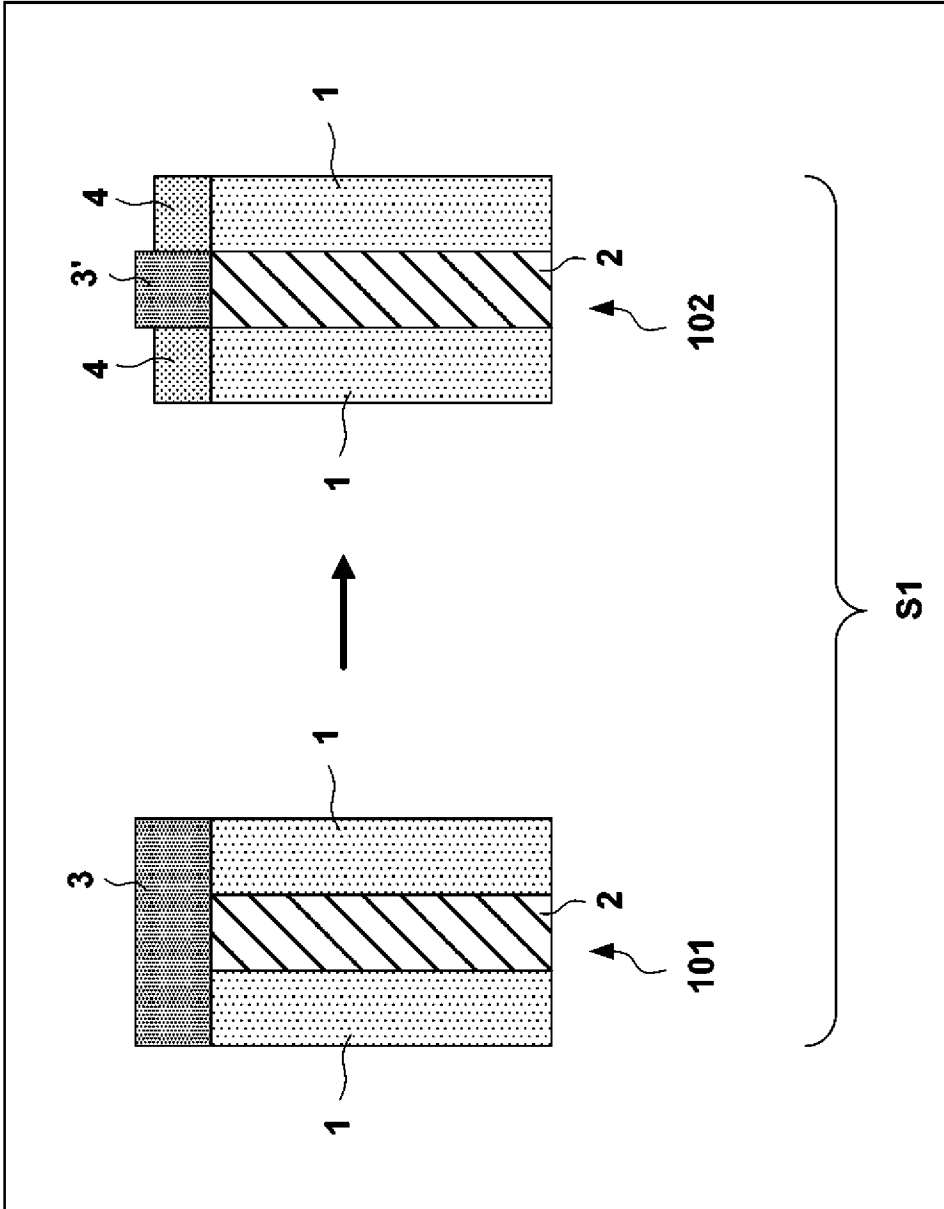
[図6B]



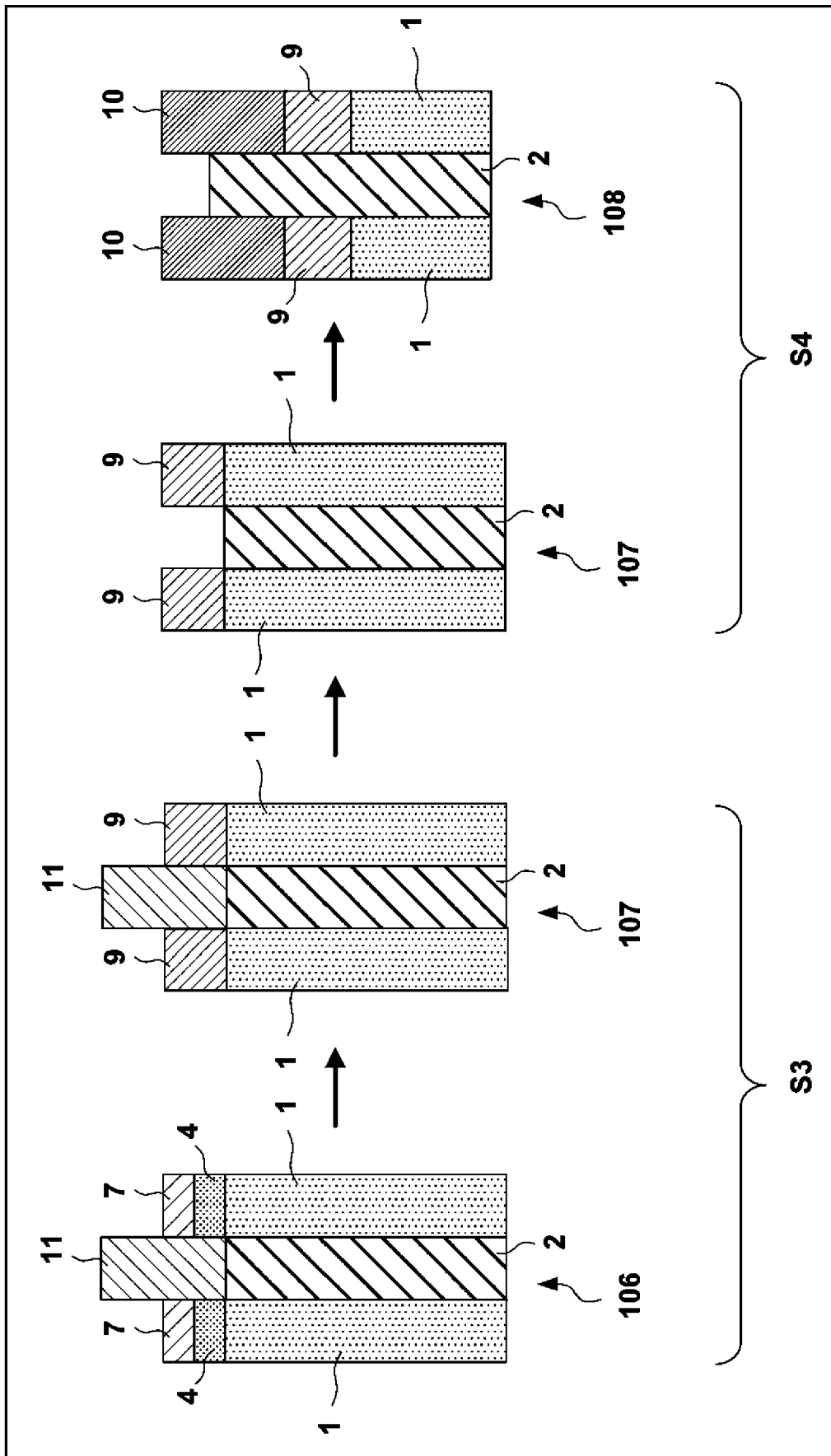
[図6C]



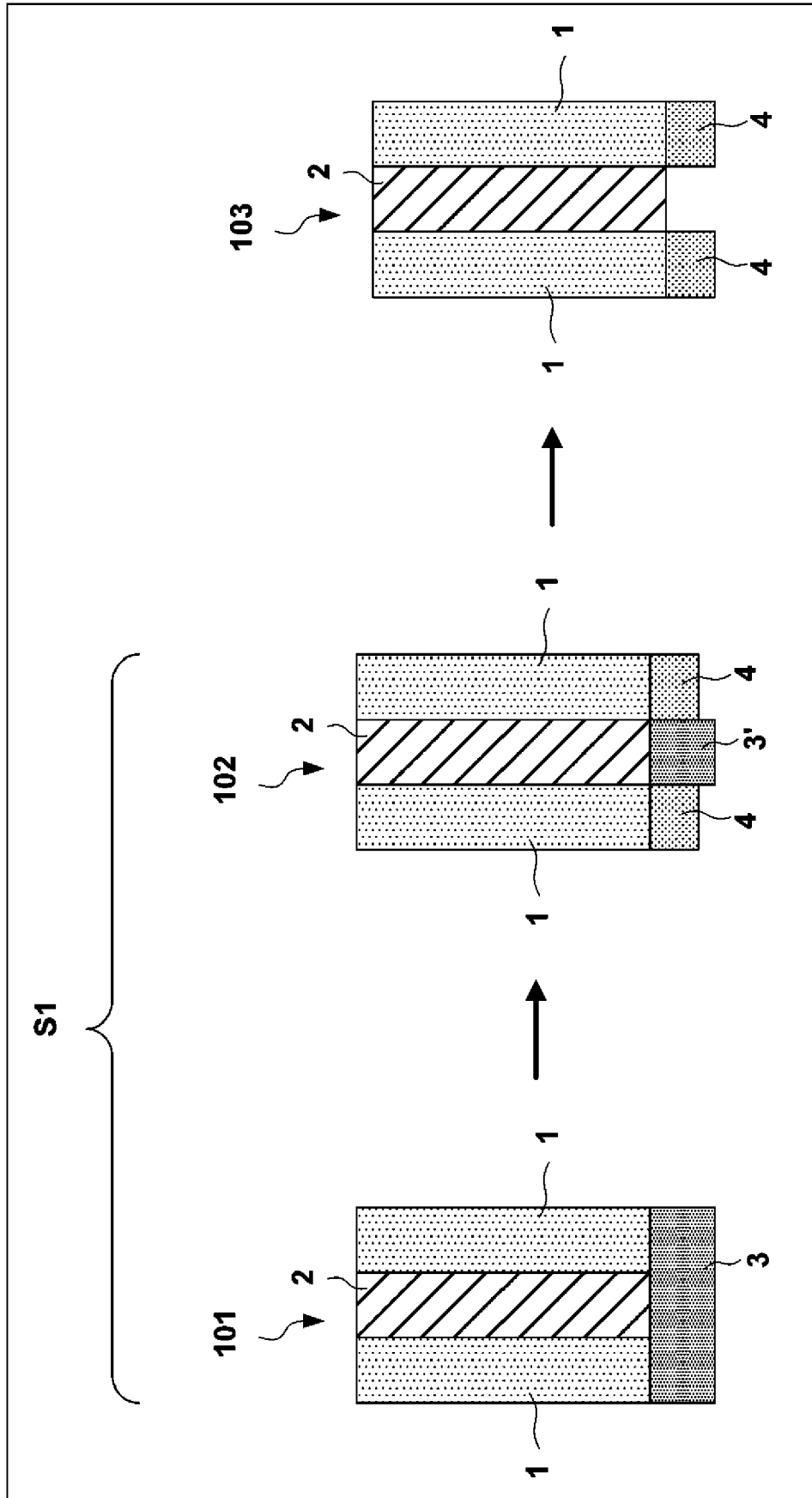
[図7A]



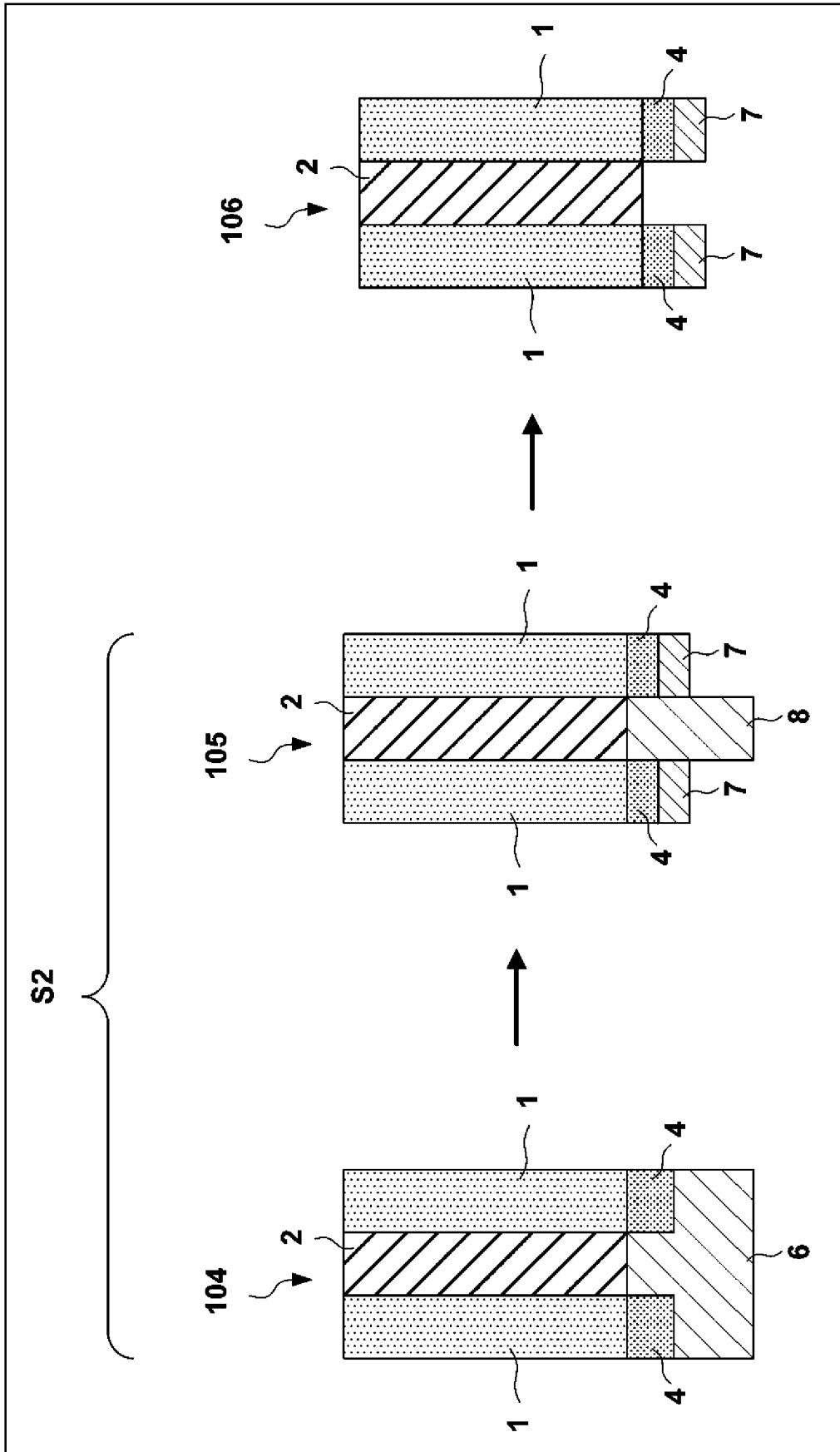
[図7C]



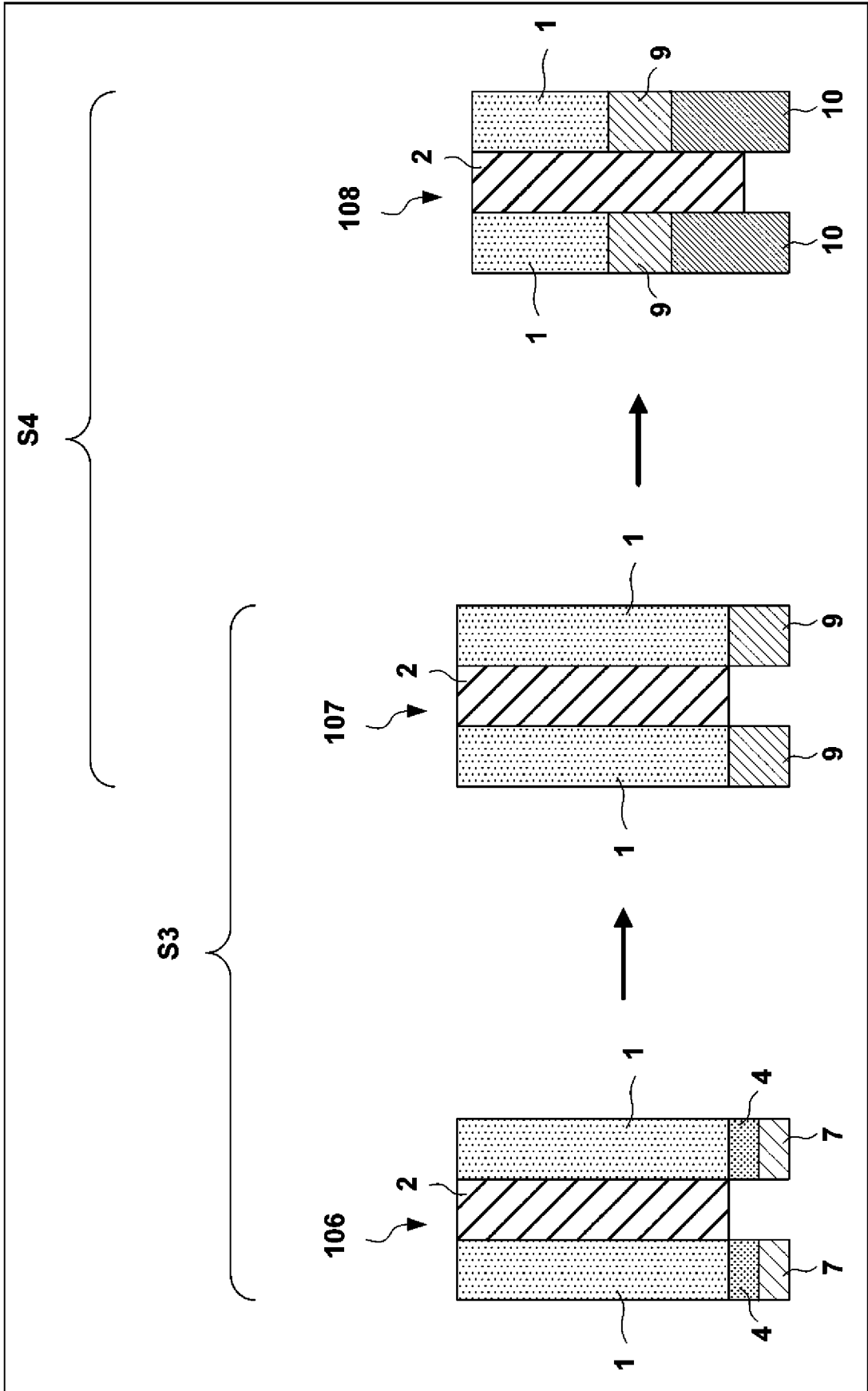
[図8A]



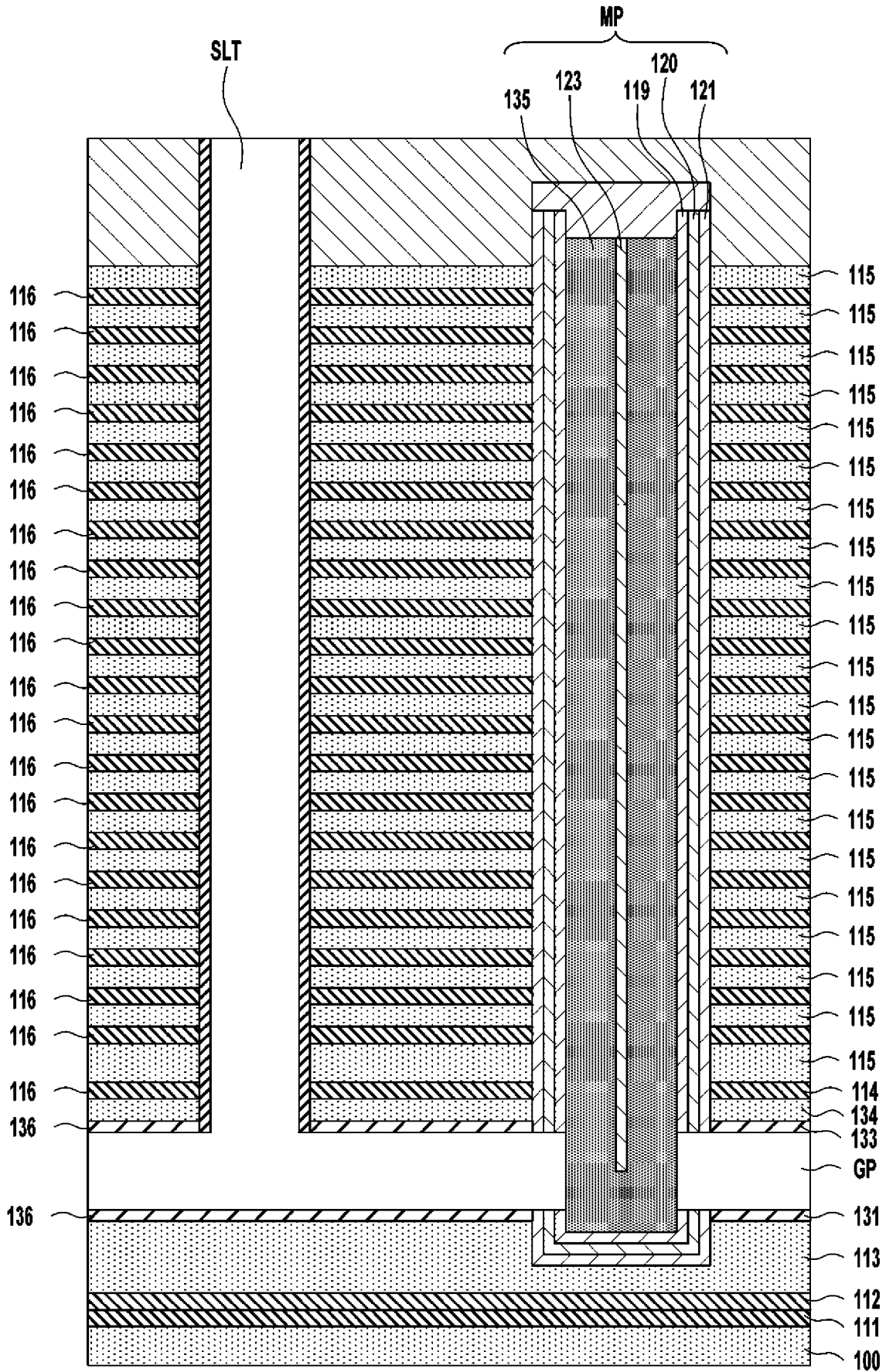
[8B]



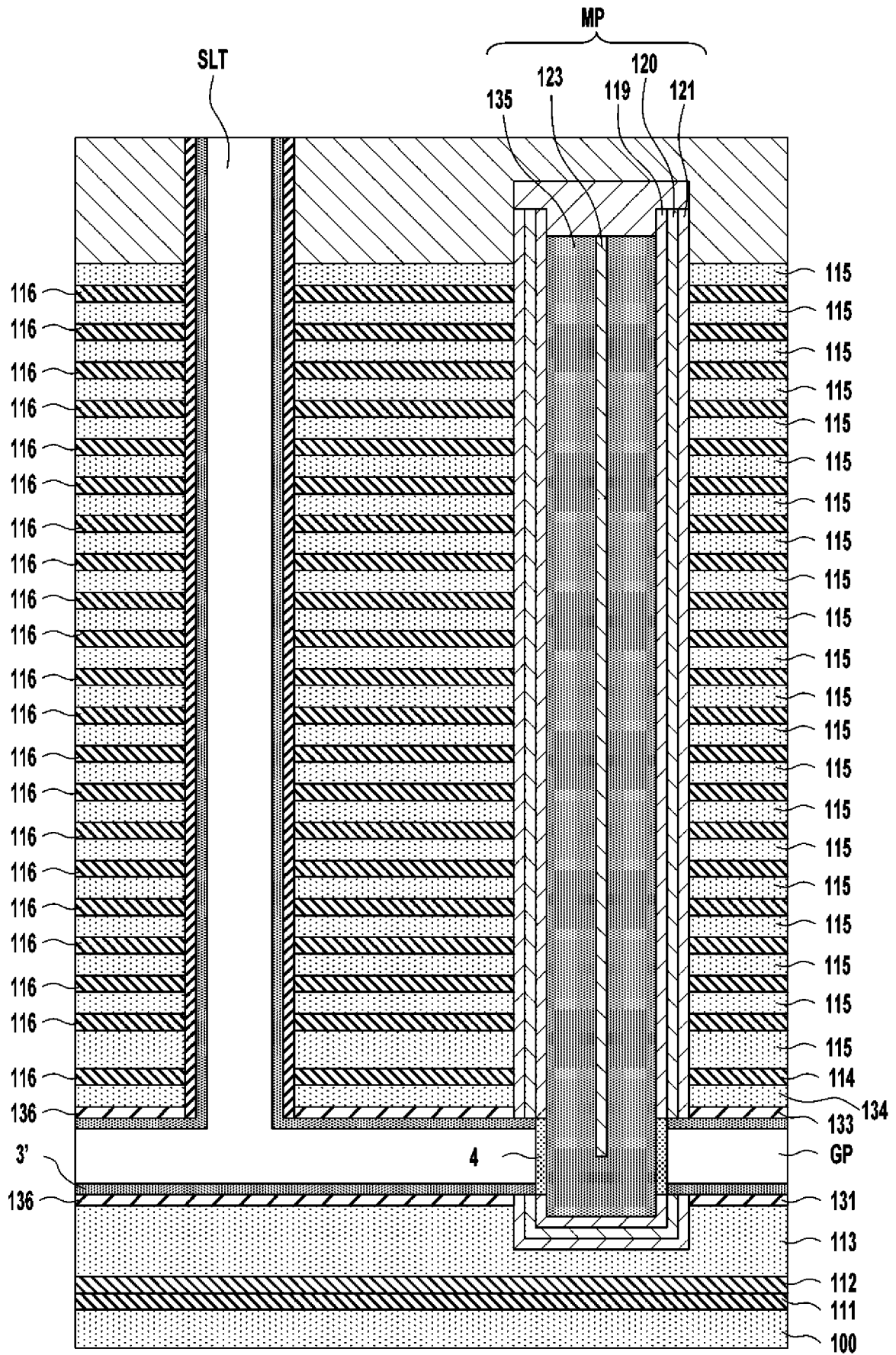
[図8C]



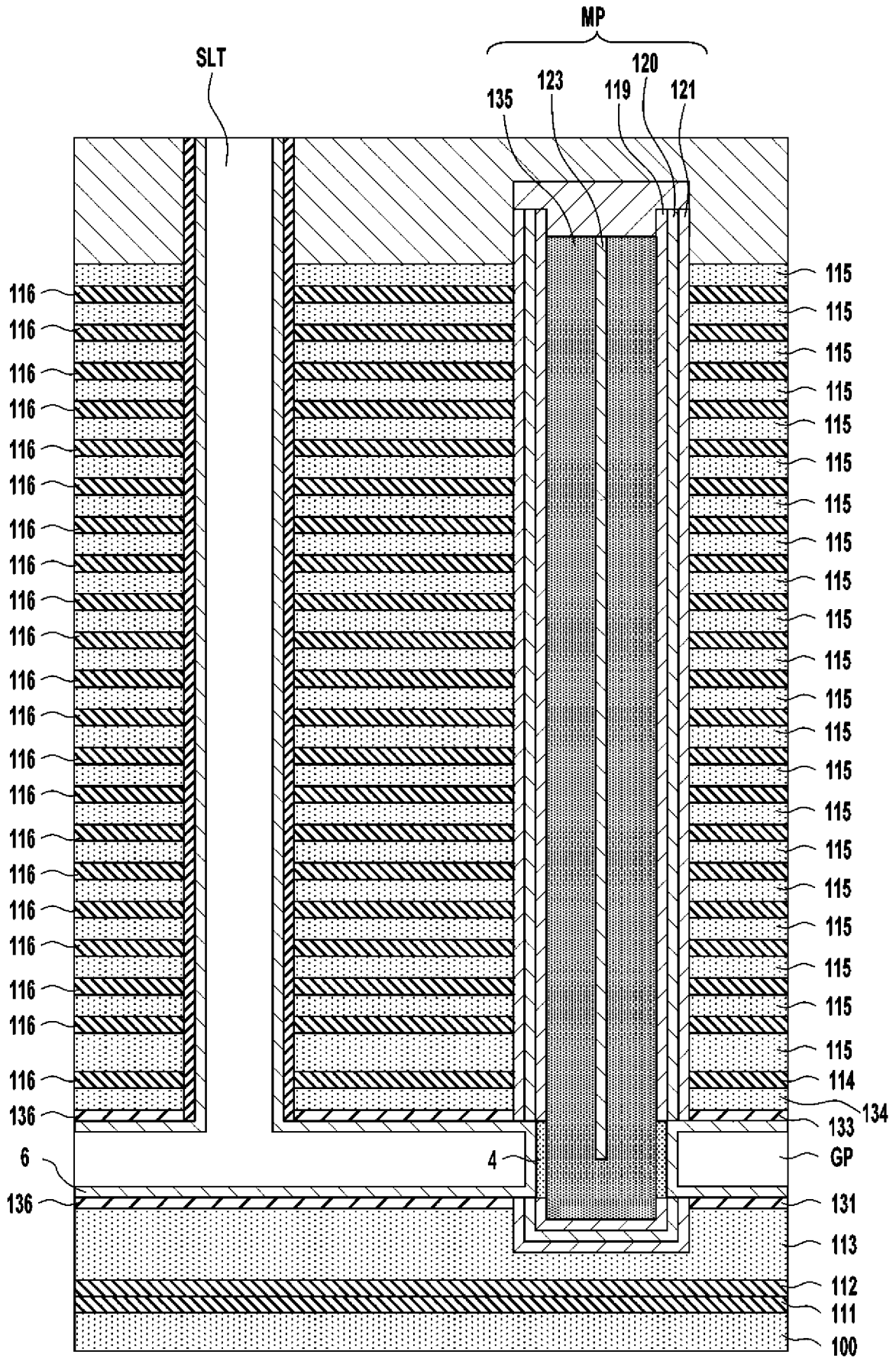
[図9]



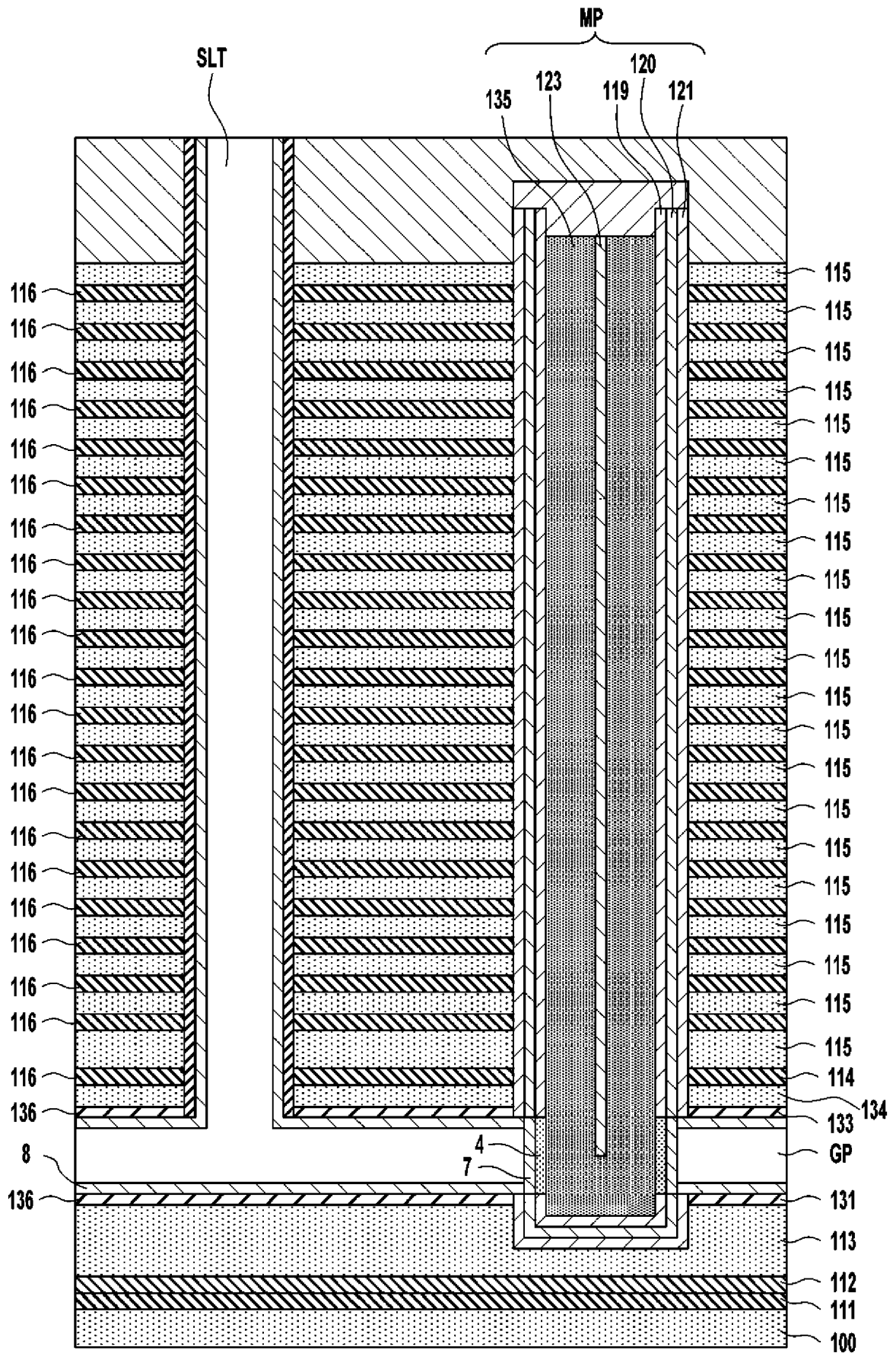
[図11]



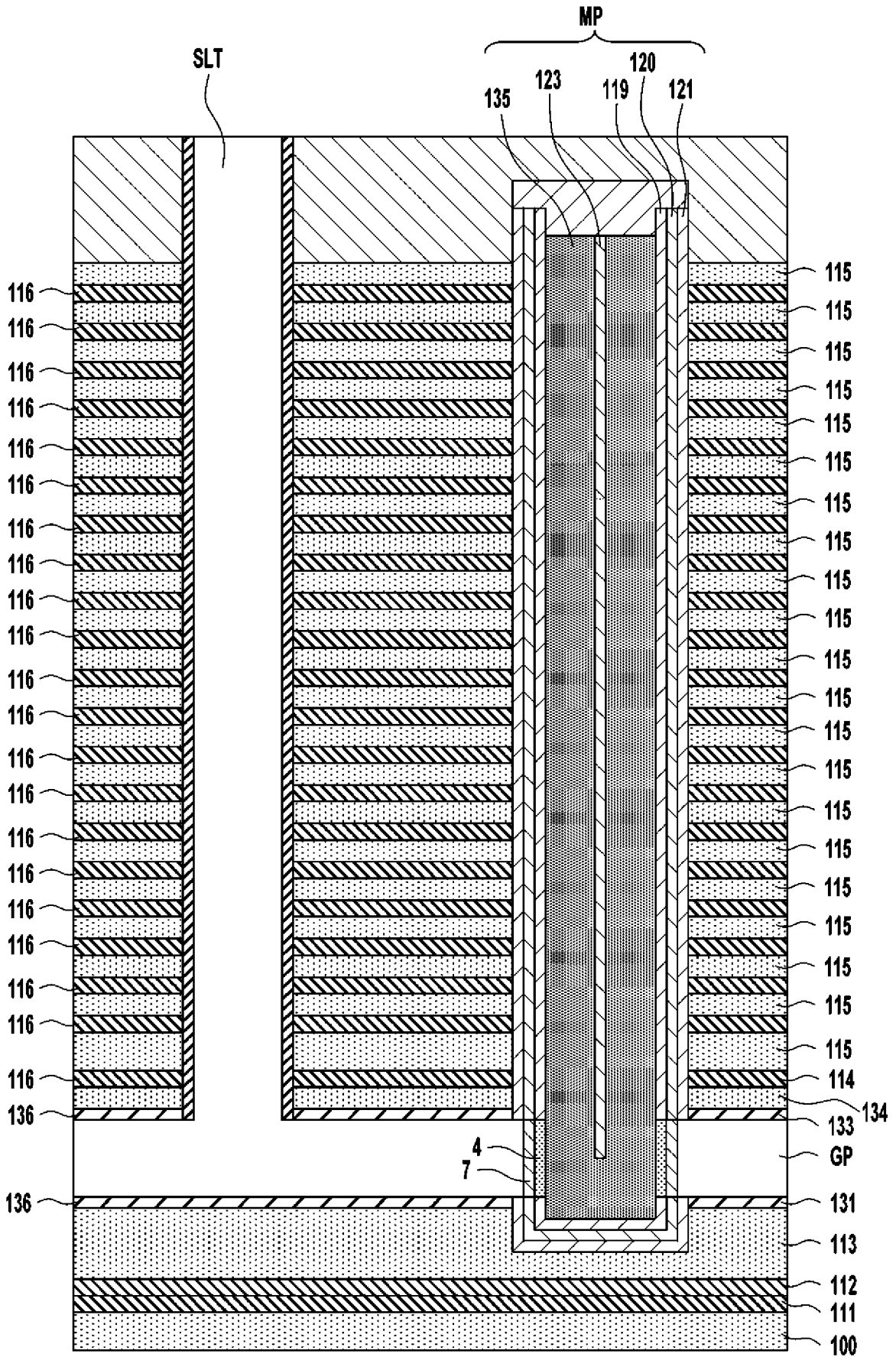
[図12]



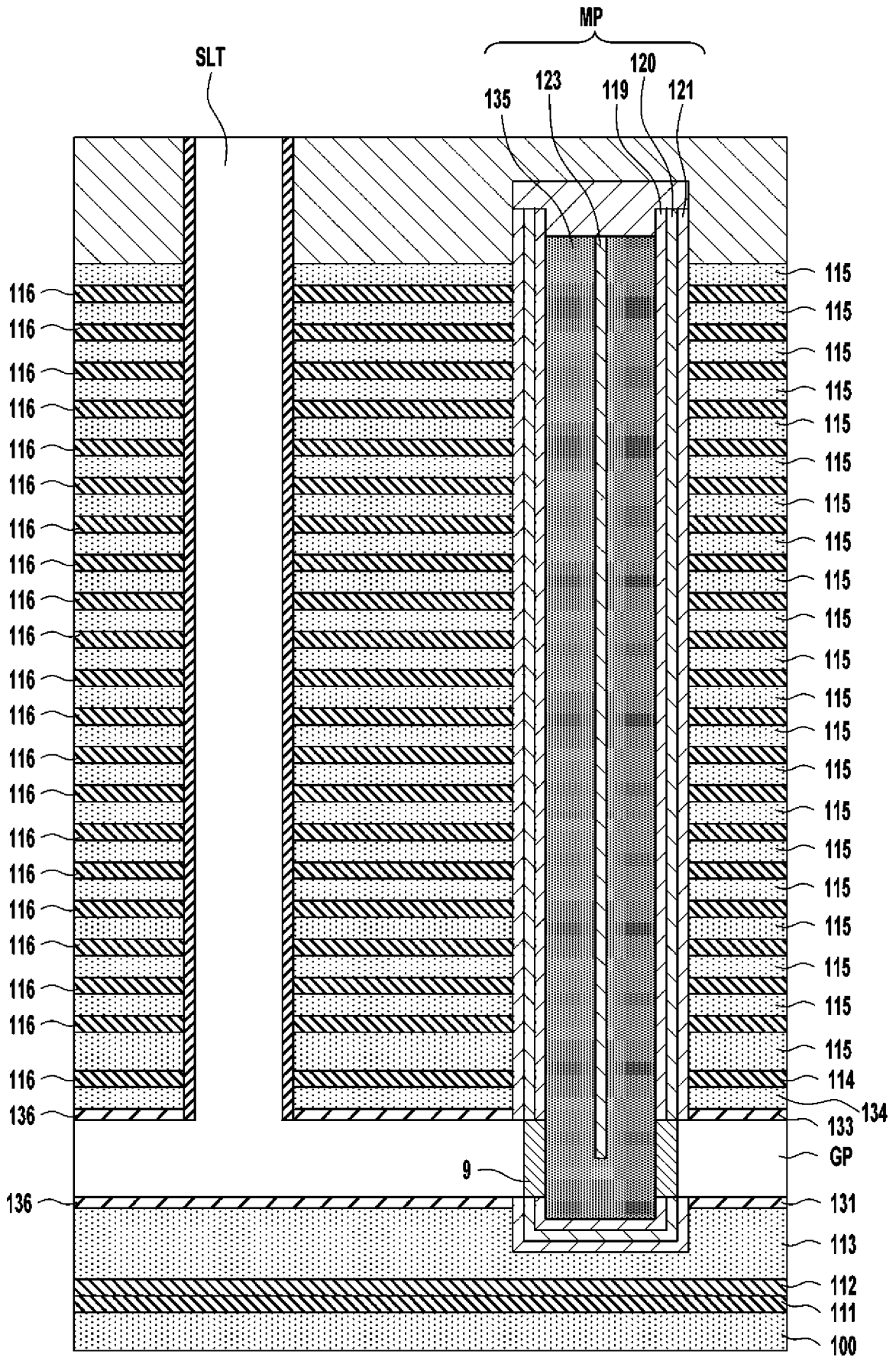
[図13]



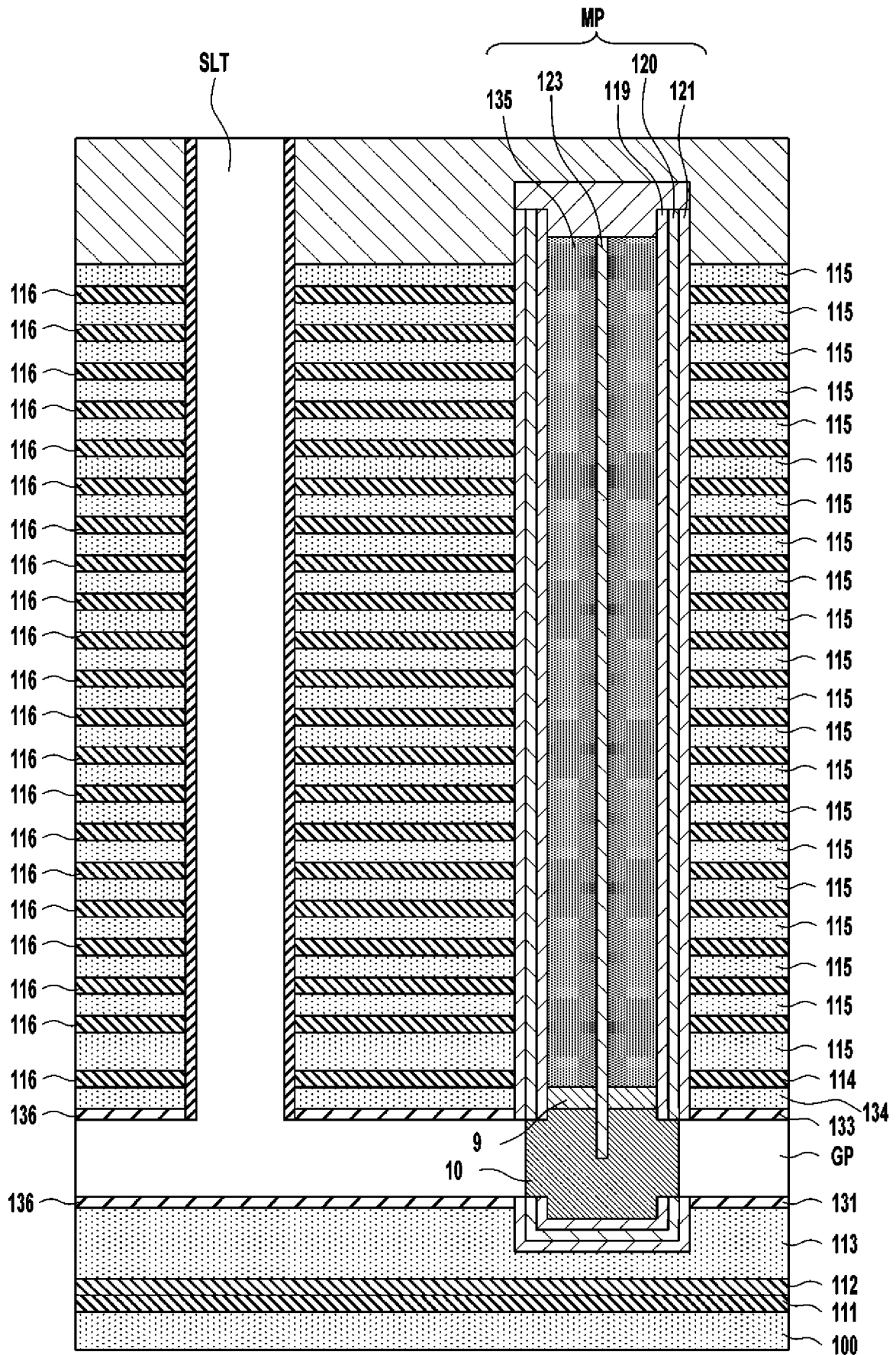
[図14]



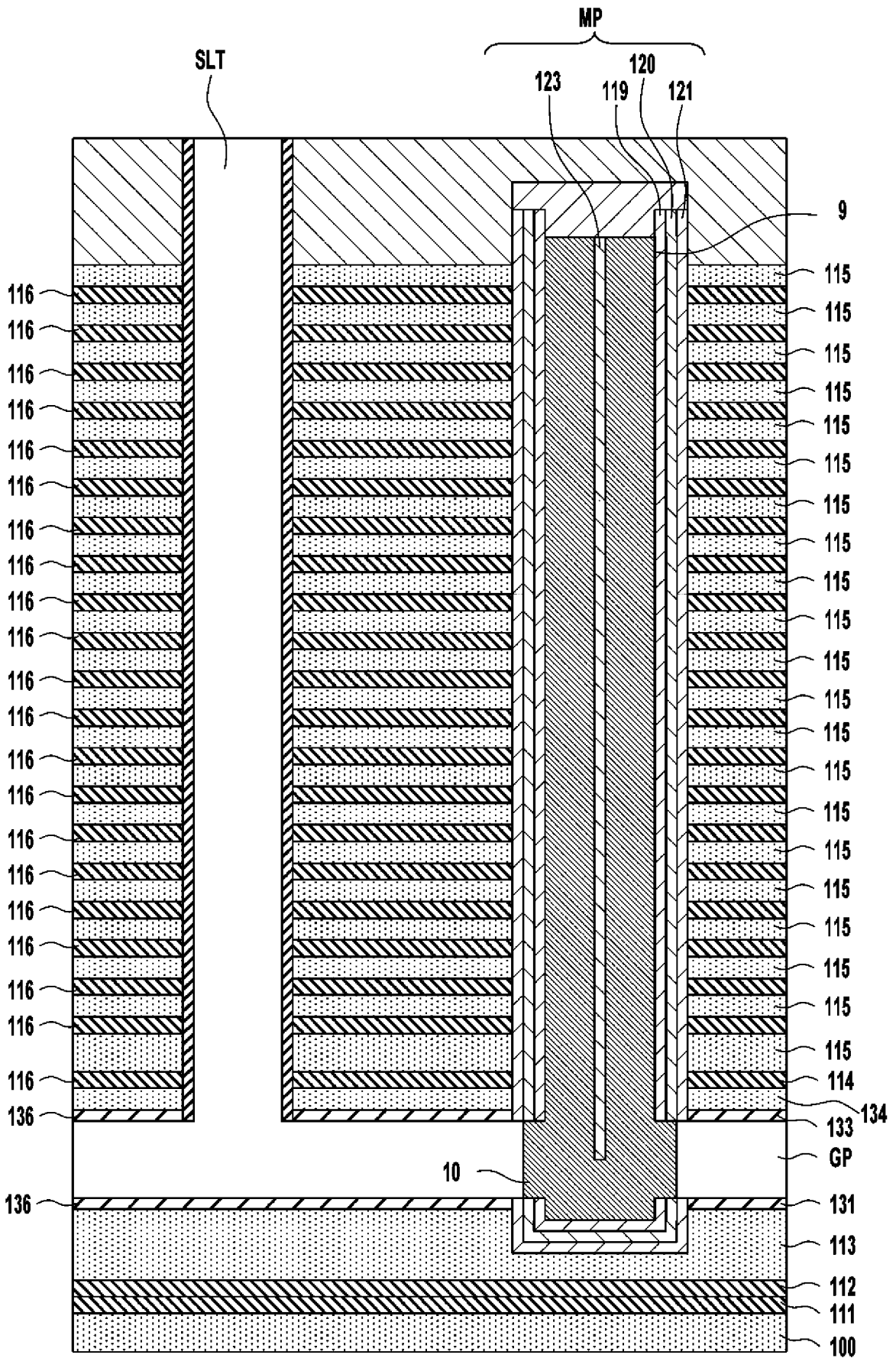
[図15]



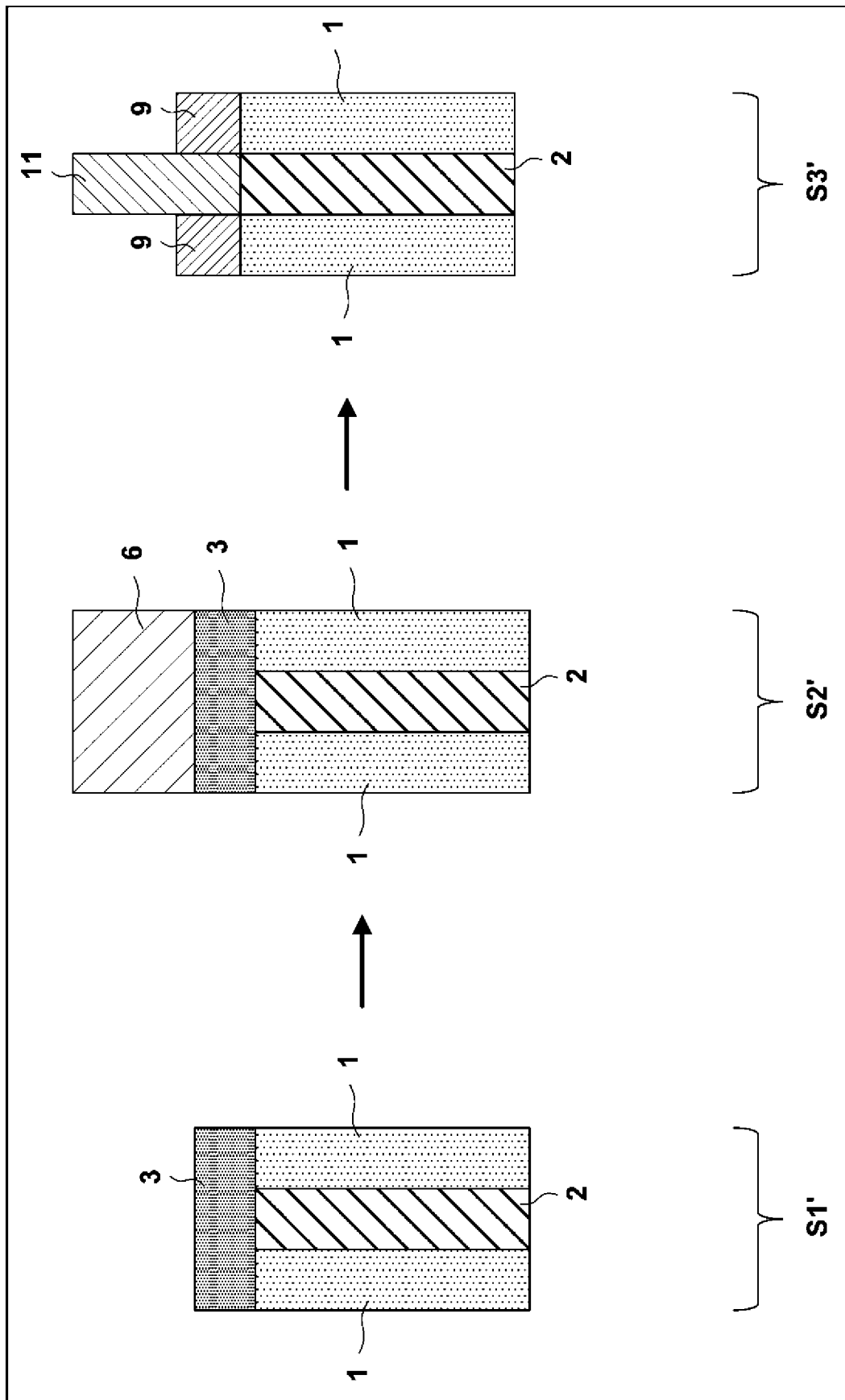
[図16]



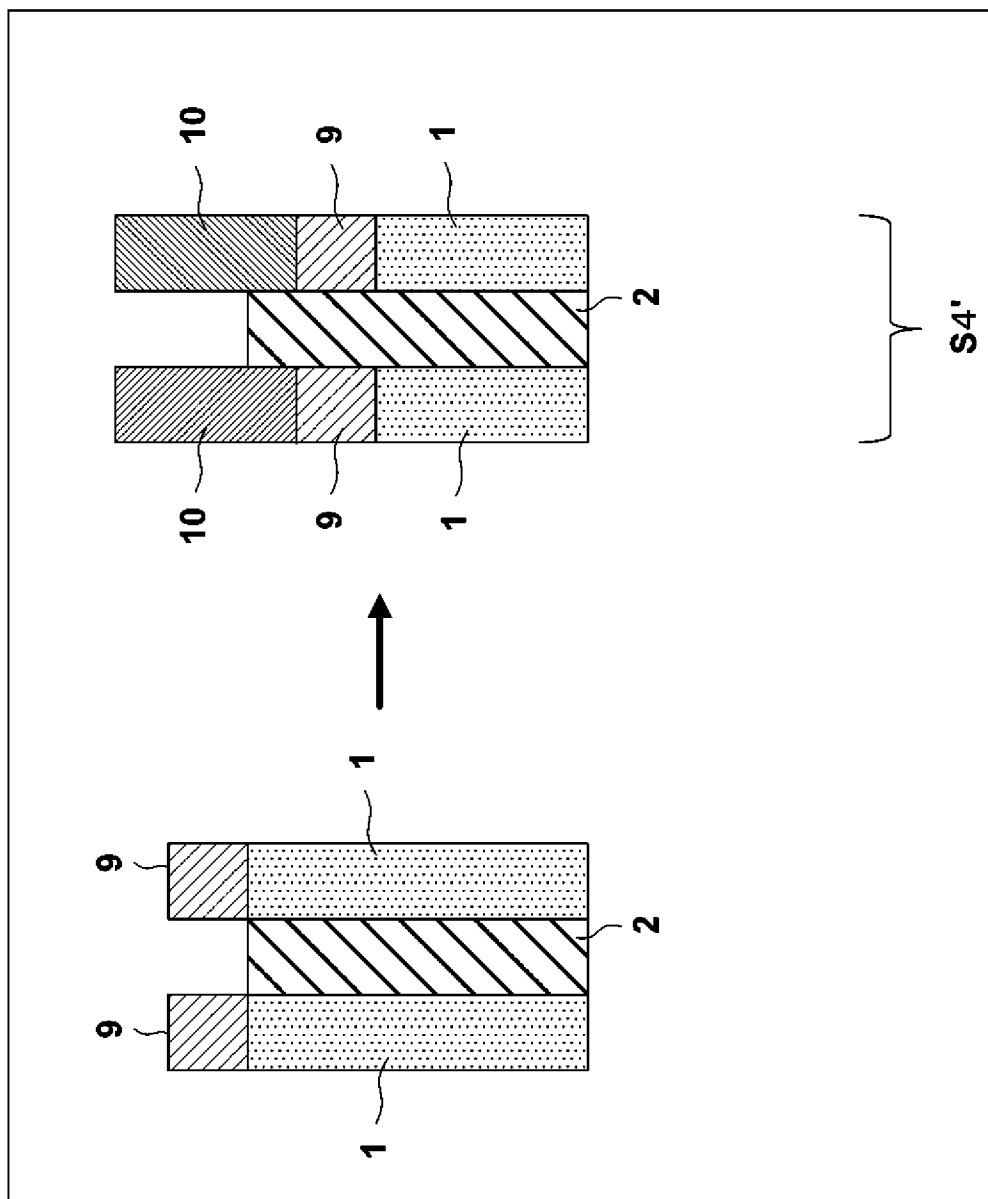
[図17]



[図18A]



[図18B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/014280

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H10B 43/27</i> (2023.01)i; <i>H01L 21/20</i> (2006.01)i; <i>H01L 21/28</i> (2006.01)i; <i>H01L 21/336</i> (2006.01)i; <i>H01L 29/786</i> (2006.01)i; <i>H01L 29/788</i> (2006.01)i; <i>H01L 29/792</i> (2006.01)i; <i>H10B 41/27</i> (2023.01)i FI: H10B43/27; H01L21/20; H01L21/28 301S; H01L29/78 371; H01L29/78 627G; H10B41/27		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H10B43/27; H01L21/20; H01L21/28; H01L21/336; H01L29/786; H01L29/788; H01L29/792; H10B41/27		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-165178 A (TOSHIBA MEMORY CORP.) 26 September 2019 (2019-09-26) paragraphs [0042]-[0055], fig. 1-50	1-28
A	JP 2018-157069 A (TOSHIBA MEMORY CORP.) 04 October 2018 (2018-10-04) paragraphs [0015]-[0085], fig. 1-42	1-28
A	US 2020/0083238 A1 (MICRON TECHNOLOGY, INC.) 12 March 2020 (2020-03-12) paragraphs [0010]-[0076], fig. 1-22	1-28
A	JP 2007-251030 A (RENESAS TECHNOLOGY CORP.) 27 September 2007 (2007-09-27) paragraphs [0025]-[0059], fig. 1-18	1-28
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 June 2024		Date of mailing of the international search report 18 June 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2024/014280

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2019-165178 A	26 September 2019	US 2019/0295956 A1 paragraphs [0060]-[0072], fig. 1-50	
JP 2018-157069 A	04 October 2018	US 2018/0269277 A1 paragraphs [0056]-[0135], fig. 1-42	
US 2020/0083238 A1	12 March 2020	(Family: none)	
JP 2007-251030 A	27 September 2007	US 2007/0221970 A1 paragraphs [0044]-[0078], fig. 1-18	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H10B 43/27(2023.01)i; H01L 21/20(2006.01)i; H01L 21/28(2006.01)i; H01L 21/336(2006.01)i; H01L 29/786(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H10B 41/27(2023.01)i FI: H10B43/27; H01L21/20; H01L21/28 30IS; H01L29/78 371; H01L29/78 627G; H10B41/27</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H10B43/27; H01L21/20; H01L21/28; H01L21/336; H01L29/786; H01L29/788; H01L29/792; H10B41/27</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2024年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2024年	日本国実用新案登録公報	1996 - 2024年	日本国登録実用新案公報	1994 - 2024年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2024年																
日本国実用新案登録公報	1996 - 2024年																
日本国登録実用新案公報	1994 - 2024年																
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2019-165178 A（東芝メモリ株式会社） 26.09.2019（2019 - 09 - 26） 段落0042-0055, 図1-50</td> <td>1-28</td> </tr> <tr> <td>A</td> <td>JP 2018-157069 A（東芝メモリ株式会社） 04.10.2018（2018 - 10 - 04） 段落0015-0085, 図1-42</td> <td>1-28</td> </tr> <tr> <td>A</td> <td>US 2020/0083238 A1（MICRON TECHNOLOGY, INC.） 12.03.2020（2020 - 03 - 12） 段落0010-0076, 図1-22</td> <td>1-28</td> </tr> <tr> <td>A</td> <td>JP 2007-251030 A（株式会社ルネサステクノロジ） 27.09.2007（2007 - 09 - 27） 段落0025-0059, 図1-18</td> <td>1-28</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2019-165178 A（東芝メモリ株式会社） 26.09.2019（2019 - 09 - 26） 段落0042-0055, 図1-50	1-28	A	JP 2018-157069 A（東芝メモリ株式会社） 04.10.2018（2018 - 10 - 04） 段落0015-0085, 図1-42	1-28	A	US 2020/0083238 A1（MICRON TECHNOLOGY, INC.） 12.03.2020（2020 - 03 - 12） 段落0010-0076, 図1-22	1-28	A	JP 2007-251030 A（株式会社ルネサステクノロジ） 27.09.2007（2007 - 09 - 27） 段落0025-0059, 図1-18	1-28
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
A	JP 2019-165178 A（東芝メモリ株式会社） 26.09.2019（2019 - 09 - 26） 段落0042-0055, 図1-50	1-28															
A	JP 2018-157069 A（東芝メモリ株式会社） 04.10.2018（2018 - 10 - 04） 段落0015-0085, 図1-42	1-28															
A	US 2020/0083238 A1（MICRON TECHNOLOGY, INC.） 12.03.2020（2020 - 03 - 12） 段落0010-0076, 図1-22	1-28															
A	JP 2007-251030 A（株式会社ルネサステクノロジ） 27.09.2007（2007 - 09 - 27） 段落0025-0059, 図1-18	1-28															
<p>国際調査を完了した日</p> <p>06.06.2024</p>	<p>国際調査報告の発送日</p> <p>18.06.2024</p>																
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>小山 満 5F 9458</p> <p>電話番号 03-3581-1101 内線 3514</p>																

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/014280

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-165178 A	26.09.2019	US 2019/0295956 A1 段落0060-0072, 図1-50	
JP 2018-157069 A	04.10.2018	US 2018/0269277 A1 段落0056-0135, 図1-42	
US 2020/0083238 A1	12.03.2020	(ファミリーなし)	
JP 2007-251030 A	27.09.2007	US 2007/0221970 A1 段落0044-0078, 図1-18	