

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4851255号  
(P4851255)

(45) 発行日 平成24年1月11日(2012.1.11)

(24) 登録日 平成23年10月28日(2011.10.28)

(51) Int.Cl.

F 1

G02F 1/1345 (2006.01)

G02F 1/1345

G09F 9/30 (2006.01)

G09F 9/30 330Z

G09F 9/00 (2006.01)

G09F 9/00 348Z

請求項の数 12 (全 21 頁)

(21) 出願番号

特願2006-193987 (P2006-193987)

(22) 出願日

平成18年7月14日 (2006.7.14)

(65) 公開番号

特開2008-20791 (P2008-20791A)

(43) 公開日

平成20年1月31日 (2008.1.31)

審査請求日

平成21年6月10日 (2009.6.10)

(73) 特許権者 502356528

株式会社 日立ディスプレイズ

千葉県茂原市早野3300番地

(74) 代理人 100075959

弁理士 小林 保

(73) 特許権者 506087819

パナソニック液晶ディスプレイ株式会社

兵庫県姫路市飾磨区妻鹿日田町1-6

(74) 代理人 100075959

弁理士 小林 保

(74) 代理人 110000154

特許業務法人はるか国際特許事務所

(72) 発明者 高橋 洋之

千葉県茂原市早野3300番地 株式会社

日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】表示装置

(57) 【特許請求の範囲】

## 【請求項 1】

表示部と周辺部とを有する基板と、

前記基板の前記周辺部に搭載された半導体チップとを有する表示装置であって、

前記半導体チップは、第1のバンプ電極を有し、

前記基板は、表示領域の配線に接続された第1の配線と、前記第1の配線に隣接して配置され表示領域の別の配線に接続された第2の配線と、前記第1の配線と前記第2の配線とを被う絶縁膜と、前記絶縁膜に形成された第1のコンタクト孔と、前記絶縁膜より上層に形成され前記第1のコンタクト孔を介して前記第1の配線と接続された第1の端子とを有し、

前記第1のバンプ電極は、前記第1の端子と接続されており、

前記第2の配線は、前記第1の端子と電気的に絶縁されており、

平面的に見た場合に、前記第1の端子は、前記絶縁膜を介して前記第2の配線と重畳して配置されていることを特徴とする表示装置。

## 【請求項 2】

平面的に見た場合に、前記第1のバンプ電極は、前記絶縁膜を介して前記第2の配線と重畳して配置されていることを特徴とする請求項1に記載の表示装置。

## 【請求項 3】

表示部と周辺部とを有する基板と、

前記基板の前記周辺部に搭載された半導体チップとを有する表示装置であって、

10

20

前記半導体チップは、第1のバンプ電極を有し、

前記基板は、表示領域の配線に接続された第1の配線と、前記第1の配線に隣接して配置され表示領域の別の配線に接続された第2の配線と、前記第1の配線と前記第2の配線とを被う絶縁膜と、前記絶縁膜に形成された第1のコンタクト孔と、前記絶縁膜より上層に形成され前記第1のコンタクト孔を介して前記第1の配線と接続された第1の端子とを有し、

前記第1のバンプ電極は、前記第1の端子と接続されており、

前記第2の配線は、前記第1の端子と電気的に絶縁されており、

平面的に見た場合に、前記第1のバンプ電極は、前記絶縁膜を介して前記第2の配線と重畠して配置されていることを特徴とする表示装置。 10

#### 【請求項4】

前記絶縁膜は、2層以上の絶縁膜で構成されていることを特徴とする請求項1から3のいずれかに記載の表示装置。

#### 【請求項5】

前記基板は、薄膜トランジスタを有し、

前記絶縁膜は、前記薄膜トランジスタのゲート絶縁膜と同材料からなる絶縁膜を含むことを特徴とする請求項1から4のいずれかに記載の表示装置。

#### 【請求項6】

前記端子は、少なくともその表面がITO(Indium Tin Oxide)で形成されていることを特徴とする請求項1から5のいずれかに記載の表示装置。 20

#### 【請求項7】

前記半導体チップは、第2のバンプ電極を有し、

前記基板は、前記絶縁膜より上層に形成され前記第2のバンプ電極に接続される第2の端子を有し、

前記第1の端子と前記表示部との間の距離は、前記第2の端子と前記表示部との間の距離と異なっており、

平面的に見た場合に、前記第1の端子に重畠する前記基板の配線の本数が、前記第2の端子に重畠する前記基板の配線の本数と等しいことを特徴とする請求項1から6のいずれかに記載の表示装置。

#### 【請求項8】

前記基板の前記周辺部は、第1の検査端子と、第1のスイッチング素子とを有し、

前記第1の検査端子は、前記第1のスイッチング素子を介して前記第1の配線に接続されていることを特徴とする請求項1から7のいずれかに記載の表示装置。

#### 【請求項9】

前記半導体チップは、第2のバンプ電極を有し、

前記基板は、前記絶縁膜に形成された第2のコンタクト孔と、前記絶縁膜より上層に形成され前記第2のコンタクト孔を介して前記第2の配線と接続された第2の端子とを有し、

前記第2のバンプ電極は、前記第2の端子と接続されており、

前記第1の配線は、前記第2の端子と電気的に絶縁されており、 40

平面的に見た場合に、前記第2の端子は、前記第1の配線と重畠して配置されていることを特徴とする請求項1から8のいずれかに記載の表示装置。

#### 【請求項10】

前記半導体チップは、前記半導体チップの1つの長辺に、前記第1のバンプ電極を含む複数のバンプ電極を有し、

前記複数のバンプ電極は、前記半導体チップの短辺方向に2段以上に配置されており、

前記複数のバンプ電極は、第1段目のバンプ電極の前記半導体チップの長辺方向の位置が、第2段目のバンプ電極の前記半導体チップの前記長辺方向の位置に対して、シフトしていないことを特徴とする請求項1から9のいずれかに記載の表示装置。

#### 【請求項11】

10

20

30

40

50

前記半導体チップは、前記半導体チップの1つの長辺に、前記第1のバンプ電極を含む複数のバンプ電極を有し、

前記複数のバンプ電極は、前記半導体チップの短辺方向に2段以上に配置されており、

前記複数のバンプ電極は、第1段目のバンプ電極の前記半導体チップの長辺方向の位置が、第2段目のバンプ電極の前記半導体チップの前記長辺方向の位置に対して、シフトしていることを特徴とする請求項1から9のいずれかに記載の表示装置。

【請求項12】

前記基板に対向して配置された対向基板と、前記基板と前記対向基板との間に挟持された液晶とを有することを特徴とする請求項1から11のいずれかに記載の表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は表示装置に係り、特に、その基板に半導体チップが搭載された表示装置に関する。

【背景技術】

【0002】

たとえば液晶表示装置は、その表示部において液晶を介して互いに対向配置される一対の基板を有し、これら各基板のうち一方の基板が前記表示部以外の領域（周辺部）にまで延在し、その延在部に液晶表示駆動回路からなる半導体チップが搭載されて構成されている。

20

【0003】

該半導体チップが搭載される前記基板の表面には表示部内の各画素に信号を入力させる複数の配線層が形成され、該半導体チップがフェースダウンボンディングされることにより、該半導体チップの各バンプ電極が、それぞれ対応する前記各配線層の端子に接続されるようになっている。

【0004】

そして、このような構成において、近年、表示部の画素の数が増大し、これにともなってこれら各画素に信号を入力させる前記配線層の数も増大するようになってきている。

【0005】

このため、これら各配線層は、半導体チップの搭載領域内において、それらの並設ピッチを小さくして形成することはもちろんのこと、前記各端子をさらに集約させたパターンで形成する必要が生じる。

30

【0006】

ここで、各端子を集約させたパターンで形成する1つの手法として、たとえば、下記特許文献1に開示されているように、各配線層の並設方向に配列される各端子からなる端子群を該各配線層の延在方向に2段に配設させ、一本おきの各配線層を1段目の端子群の各端子に接続させ、他の残りの各配線層を2段目の端子群の各端子に接続させたものが知られている。あるいは、該特許文献1とほぼ同様の趣旨からなる下記特許文献2に開示されているように、さらに3段目の端子群を備えさせたものが知られている。

【0007】

40

なお、この場合において、半導体チップも、前記端子と接続されるように、2段のバンプ電極群として、あるいは3段のバンプ電極群として構成される。

【特許文献1】特開2005-99310号公報

【特許文献2】特開平8-313925号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかし、特許文献1および特許文献2に示されている構成は、いずれも、各配線層とそれに隣接する他の配線層との間の距離を狭めたい場合に制約が付され、また、端子の面積を大きくしたい場合に制約が付されるものであった。

50

**【0009】**

たとえば図12(a)は、並設された各配線層6のうちたとえば1本おきの配線層6に1段目の端子群の各端子TMが形成され、他の残りの配線層6に2段目の端子群の各端子TMが形成されている場合を示す平面図である。各端子TMは図示していない半導体チップの各バンプ電極と電気的接続が図られる箇所であることから、配線層6よりも幅広の領域として形成されている。そして、各端子TMは、それらの面積をできるだけ大きく形成できるよう、いわゆる千鳥配置されたパターンとして形成されている。この場合、2段目の端子TMに接続される配線層6は、互いに隣り合う2つの1段目の端子TMの間を通る位置に配置されている。

**【0010】**

しかし、図12(b)は、図12(a)に示した各端子TMに、半導体チップの各バンプ電極BPを対応させて配置(実装)させた場合を示す図である。尚、図12(b)では、半導体チップのうちバンプ電極BPのみを図示しており、半導体チップの半導体基板や半導体チップのパッケージ等の図示は省略している。前記半導体チップの配置において、図12(b)中SFで示すようにそれが生じた場合、各端子TMとそれに対応するバンプ電極BPとの接触面積が小さくなつて、充分な電気的接続が図れなくなる。したがつて、前記端子TMの面積をさらに大きくして形成することが望まれる。しかし、端子TMとそれに隣接する配線層6との間の距離も、所定の距離だけ離間させなければならない。その結果、端子TMの面積を大きくする分だけ、隣接する配線層6どうしを離間させなければならなくなる。

10

**【0011】**

すなわち、従来の千鳥配置パターンでは、端子TMの面積を大きくさせることにより配線層6どうしの間の距離を狭めることができなくなつてしまい、逆に、配線層6どうしの間の距離を狭めることにより端子TMの面積を大きくすることができなくなつてしまうという問題を有している。

20

**【0012】**

また、図12(c)は、図12(a)の構成を発展させてさらに3段目の端子群を形成した構成となっているものである。しかし、2段構成の端子群からなるものと比較して配線層6および端子TMの数を増大できるのみで、基本的には図12(a)に示した上述の不都合を解消できない構成となっている。

30

**【0013】**

また、特許文献1や特許文献2に開示された千鳥ではない多段の構成の場合も、2段目の端子TMに接続される配線層6は、互いに隣り合う2つの1段目の端子TMの間を通る位置に配置されている構成であるため、同様の問題を有している。

**【0014】**

本発明の利点は、半導体チップが実装される領域において、隣接する配線層の間の距離を狭め、また、該半導体チップのバンプ電極と接続される前記配線層の端子の面積を大きくできる表示装置を提供できることである。

**【課題を解決するための手段】****【0015】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

40

**【0016】**

(1) 表示部と周辺部とを有する基板と、

前記基板の前記周辺部に搭載された半導体チップとを有する表示装置であつて、

前記半導体チップは、第1のバンプ電極を有し、

前記基板は、表示領域の配線に接続された第1の配線と、前記第1の配線に隣接して配置され表示領域の別の配線に接続された第2の配線と、前記第1の配線と前記第2の配線とを被う絶縁膜と、前記絶縁膜に形成された第1のコンタクト孔と、前記絶縁膜より上層に形成され前記第1のコンタクト孔を介して前記第1の配線と接続された第1の端子とを

50

有し、

前記第1のバンプ電極は、前記第1の端子と接続されており、

前記第2の配線は、前記第1の端子と電気的に絶縁されており、

平面的に見た場合に、前記第1の端子は、前記絶縁膜を介して前記第2の配線と重畠して配置されている。

#### 【0017】

(2)(1)において、平面的に見た場合に、前記第1のバンプ電極は、前記絶縁膜を介して前記第2の配線と重畠して配置されている構成としても良い。

#### 【0018】

(3)表示部と周辺部とを有する基板と、

10

前記基板の前記周辺部に搭載された半導体チップとを有する表示装置であって、

前記半導体チップは、第1のバンプ電極を有し、

前記基板は、表示領域の配線に接続された第1の配線と、前記第1の配線に隣接して配置され表示領域の別の配線に接続された第2の配線と、前記第1の配線と前記第2の配線とを被う絶縁膜と、前記絶縁膜に形成された第1のコンタクト孔と、前記絶縁膜より上層に形成され前記第1のコンタクト孔を介して前記第1の配線と接続された第1の端子とを有し、

前記第1のバンプ電極は、前記第1の端子と接続されており、

前記第2の配線は、前記第1の端子と電気的に絶縁されており、

平面的に見た場合に、前記第1のバンプ電極は、前記絶縁膜を介して前記第2の配線と重畠して配置されている。

20

#### 【0019】

(4)(1)から(3)のいずれかにおいて、前記絶縁膜は、2層以上の絶縁膜で構成されている構成としても良い。

#### 【0020】

(5)(1)から(4)のいずれかにおいて、前記基板は、薄膜トランジスタを有し、

前記絶縁膜は、前記薄膜トランジスタのゲート絶縁膜と同材料からなる絶縁膜を含む構成としても良い。

#### 【0021】

(6)(1)から(5)のいずれかにおいて、前記端子は、少なくともその表面がITO(Indium Tin Oxide)で形成されている構成としても良い。

30

#### 【0022】

(7)(1)から(6)のいずれかにおいて、前記半導体チップは、第2のバンプ電極を有し、

前記基板は、前記絶縁膜より上層に形成され前記第2のバンプ電極に接続される第2の端子を有し、

前記第1の端子と前記表示部との間の距離は、前記第2の端子と前記表示部との間の距離と異なっており、

平面的に見た場合に、前記第1の端子に重畠する前記基板の配線の本数が、前記第2の端子に重畠する前記基板の配線の本数と等しい構成としても良い。

40

#### 【0023】

(8)(1)から(7)のいずれかにおいて、前記基板の前記周辺部は、第1の検査端子と、第1のスイッチング素子とを有し、

前記第1の検査端子は、前記第1のスイッチング素子を介して前記第1の配線に接続されている構成としても良い。

#### 【0024】

(9)(1)から(8)のいずれかにおいて、前記半導体チップは、第2のバンプ電極を有し、

前記基板は、前記絶縁膜に形成された第2のコンタクト孔と、前記絶縁膜より上層に形成され前記第2のコンタクト孔を介して前記第2の配線と接続された第2の端子とを有し

50

、前記第2のバンプ電極は、前記第2の端子と接続されており、  
前記第1の配線は、前記第2の端子と電気的に絶縁されており、  
平面的に見た場合に、前記第2の端子は、前記第1の配線と重畠して配置されている構成としても良い。

**【0025】**

(10)(1)から(9)のいずれかにおいて、前記半導体チップは、前記半導体チップの1つの長辺に、前記第1のバンプ電極を含む複数のバンプ電極を有し、

前記複数のバンプ電極は、前記半導体チップの短辺方向に2段以上に配置されており、

前記複数のバンプ電極は、第1段目のバンプ電極の前記半導体チップの長辺方向の位置が、第2段目のバンプ電極の前記半導体チップの前記長辺方向の位置に対して、シフトしていない構成としても良い。  
10

**【0026】**

(11)(1)から(9)のいずれかにおいて、前記半導体チップは、前記半導体チップの1つの長辺に、前記第1のバンプ電極を含む複数のバンプ電極を有し、

前記複数のバンプ電極は、前記半導体チップの短辺方向に2段以上に配置されており、

前記複数のバンプ電極は、第1段目のバンプ電極の前記半導体チップの長辺方向の位置が、第2段目のバンプ電極の前記半導体チップの前記長辺方向の位置に対して、シフトしている構成としても良い。  
20

**【0027】**

(12)(1)から(11)のいずれかにおいて、前記基板に対向して配置された対向基板と、前記基板と前記対向基板との間に挟持された液晶とを有する構成としても良い。

**【0028】**

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

**【発明の効果】**

**【0029】**

このように構成された表示装置は、半導体チップが実装される領域において、隣接する配線層の間の距離を狭め、また、該半導体チップのバンプ電極と接続される前記配線層の端子の面積を大きくすることができます。  
30

**【発明を実施するための最良の形態】**

**【0030】**

以下、本発明による表示装置の実施例を図面を用いて説明をする。

**【0031】**

まず、図2は本発明による表示装置の一実施例を示す外観図で、(a)は正面図を(b)は側面図を示している。

**【0032】**

図2は液晶表示装置を示し、この液晶表示装置はたとえば携帯電話器の表示装置として使用されるようになっている。

**【0033】**

図2において、まず、該液晶表示装置1は液晶を介して対向配置され少なくとも一方において透明からなる一対の矩形状の基板2、3を備えて構成されている。各基板2、3の液晶側の面にはマトリックス状に配置された多数の画素が形成され、これら各画素の集合体で液晶表示部ARが形成されるようになっている。  
40

**【0034】**

前記各基板2、3のうちたとえば前方に配置される基板(対向基板)3は後方に配置される基板2よりも面積が小さく形成され、これにより、前方から観た液晶表示装置1は、表示部ARとして形成される領域の図中下方の領域において後方の基板2が比較的小い面積で露呈されるようになっている。また、表示部AR以外の部分は周辺部と呼ばれる。

**【0035】**

10

20

30

40

50

該基板 2 の上述のように露呈された領域には液晶表示駆動回路として構成される半導体チップ 4 が搭載され、また、該半導体チップ 4 に近接する前記基板 2 の図中下部側辺にはフレキシブル基板 5 が固定されている。

**【 0 0 3 6 】**

該液晶表示装置 1 に対して別個に形成される外部回路からの電源および信号は前記フレキシブル基板 5 を介して半導体チップ 4 に入力され、該半導体チップ 4 からの出力信号は前記各基板 2、3 の間に形成されている各画素に入力されるようになっている。

**【 0 0 3 7 】**

図 3 は前記液晶表示装置 1 において、フレキシブル基板 5 と半導体チップ 4 とを結線する配線層 6 A、6 B、該半導体チップ 4 と前記表示部 A R 内の各画素を結線する配線層 6 C、6 D を示した図で、図 2 と対応した図となっている。配線層 6 は、引き出し配線とも呼ばれ、これらの配線層 6 A、6 B、6 C、6 D のうちの 1 つ以上を示している。  
10

**【 0 0 3 8 】**

フレキシブル基板 5 と半導体チップ 4 の間の配線層 6 は、基板 2 の表面に並設された多数の配線層群から構成され、たとえばその両脇のいくつかは電源を供給する配線層 6 A、そして他は信号を供給する配線層 6 B として形成されている。

**【 0 0 3 9 】**

表示部 A R には、行方向（図中 x 方向）に延在するロウ配線層 7 A と、列方向（図中 y 方向）に延在するカラム配線層 7 B とが、互いに交差して配置されている。ロウ配線層 7 A は、例えば走査信号線（ゲート信号線ともいう）やコモン信号線が該当する。カラム配線層 7 B は、例えば映像信号線（ドレイン信号線、データ線ともいう）が該当する。ロウ配線層 7 A、カラム配線層 7 B は、それぞれ表示部 A R の画素に接続されている。  
20

**【 0 0 4 0 】**

半導体チップ 4 と表示部 A R の各画素の間の配線層 6 は、カラム配線層 7 B を半導体チップ 4 まで引き出す配線層 6 C と、ロウ配線層 7 A を半導体チップ 4 まで引き出す配線層 6 D とで構成されている。尚、図 3 では、ロウ配線層 7 A は上下 2 つの群に分けられており、上側の群のロウ配線層 7 A は、図中左辺側の配線層 6 D に接続されており、下側の群のロウ配線層 7 A は、図中右辺側の配線層 6 D に接続されている。

**【 0 0 4 1 】**

このように形成される配線層 6、7 A、7 B において、ロウ配線層 7 A の一に信号を供給することにより、それに隣接する画素列を選択でき、この際に、各カラム配線層 7 B に映像信号を供給することにより、当該画素列の各画素を駆動させることができるようになつている。  
30

**【 0 0 4 2 】**

なお、上側基板 3 の液晶と対向する面にたとえばその全域にわたって共通電極（透明電極）が形成され、この共通電極は、表示部 A R の外側の領域の一部において導電体 8 によって下側基板 2 の液晶と対向する面に引き出され、この面に形成された共通電極配線層 9 を介して前記半導体チップ 4 の一の電極に接続されるようになっている。この共通電極配線層 9 も、配線層 6 の一種である。

**【 0 0 4 3 】**

基板 2 には、配線層 6 の端子 T M が形成されている。前記半導体チップ 4 は、その主面（バンプ電極が形成された面）が下側基板 2 にフェースダウンされて搭載され、該半導体チップ 4 の長手方向に並設された各バンプ電極 B P が、配線層 6 の端子 T M に電気的に接続されるようになっている。この場合、半導体チップ 4 の各バンプ電極 B P と対応する各端子 T M との電気的な接続は、たとえば異方性導電膜（図示せず）を介してなされている。  
40

**【 0 0 4 4 】**

図 4 は、図 3 における VI - VI 線における断面を示した図で、配線層 6 が形成された下側基板 2 に対し、バンプ電極 B P が形成された半導体チップ 4 を接続するにあたって、前記異方性導電膜 1 2 を介して行っていることを示している。異方性導電膜 1 2 は、たとえば  
50

導電材の粒子を樹脂膜に散在させて構成され、下側基板2との間に該異方性導電膜12を介在させた半導体チップ4を下側基板2側に加圧させることにより、配線層6（厳密には図示しない端子T M）とバンプ電極B Pとの電気的接続を図るようになっている。

#### 【0045】

なお、図4では、半導体チップ4と配線層6 A、6 Bの接続を示したものであるが、同様に、配線層6 C、6 Dと接続することで、前記口ウ配線層7 A、カラム配線層7 B、および共通電極配線層9との接続もなされていることはいうまでもない。

#### 【0046】

また、前記フレキシブル基板5は、その一辺において該フレキシブル基板5内に形成された配線層と接続された各端子が並設されており、これら各端子が前記配線層6の前記フレキシブル基板5側の端部に形成された端子（図示せず）とたとえば異方性導電膜等を介して接続されることにより、液晶表示装置1の下側基板2に固定されるようになっている。  
10

#### 【0047】

図5は前記表示部A R内に形成される画素の構成を示した図で、図5(a)は、たとえば、図3に示す表示部A R内の図中点線丸枠Aの部分の画素の平面図を示している。また、図5(b)は図5(a)のb-b線における断面図、図5(c)は図5(a)のc-c線における断面図を示している。

#### 【0048】

まず、図5(a)に示すように、図中x方向に延在して配置される前記口ウ配線層7 Aとして、図中上からゲート信号線G L、このゲート信号線G Lと比較的大きく離間されて隣接されるコモン信号線C L、このコモン信号線C Lと近接して配置されるゲート信号線G L、このゲート信号線G Lと比較的大きく離間されて隣接されるコモン信号線C L、……というようにゲート信号線G Lとコモン信号線C Lとが図中y方向に交互に配置されて形成されている。  
20

#### 【0049】

また、図中y方向に延在して配置される前記カラム配線層7 Bがドレイン信号線D Lとして図中x方向に並設されて形成されている。

#### 【0050】

これにより、ゲート信号線G L、このゲート信号線G Lと比較的大きく離間されて隣接されるコモン信号線C L、並設される一対のドレイン信号線D Lとによって囲まれた領域を画素領域とし、この画素領域にそれぞれ一の画素が構成されるようになっている。なお、図5(a)の場合、たとえば $2 \times 2$ の画素が示されている。  
30

#### 【0051】

下側基板2の液晶側の面には、まず、ゲート信号線G Lとコモン信号線C Lとがそれぞれ同層で形成されている。そして、前記ゲート信号線G Lは各画素領域の一角に相当する部分において幅広に形成され、この部分は後に詳述する薄膜トランジスタTFTのゲート電極G Tとして構成されるようになっている。

#### 【0052】

このようにゲート信号線G Lとコモン信号線C Lが形成された下側基板2の表面には該ゲート信号線G Lとコモン信号線C Lをも被ってたとえば窒化シリコン膜からなる第1絶縁膜IN1が形成されている。  
40

#### 【0053】

この第1絶縁膜IN1は前記薄膜トランジスタTFTの形成領域にあってはゲート絶縁膜として機能し、後述の容量素子Cstgの形成領域にあっては誘電体膜として機能するようになっている。

#### 【0054】

そして、該第1絶縁膜IN1の上面には前記ゲート電極に重ね合わせてたとえばシリコン(Si)からなる半導体層SCが形成されている。

#### 【0055】

10

20

30

40

50

この半導体層 S C の上面において互いに離間させてドレイン電極 D T とソース電極 S T を形成することにより、いわゆる逆スタガ構造の M I S 型トランジスタが構成されることになる。

#### 【 0 0 5 6 】

この場合、前記ドレイン電極 D T はたとえば前記ドレイン信号線 D L と一緒に形成されるようになっており、ソース電極 S T は半導体層 S C が形成されていない領域まで延在されて形成され後述する画素電極 P X との接続が図られるようになっている。

#### 【 0 0 5 7 】

また、前記コモン信号線 C L の一部に重畠して第 1 絶縁膜 I N 1 の表面に容量電極 C C T が形成され、この容量電極 C C T はたとえば前記ソース電極 S T の形成の際に同時に形成されるようになっている。

10

#### 【 0 0 5 8 】

この容量電極 C C T は、第 1 絶縁膜 I N 1 を誘電体膜としコモン信号線 C L を他方の電極とする容量素子 C s t g における一方の電極であり、前記ソース電極 S T とは後述する画素電極 P X の形成領域の周辺の一部に沿って形成される配線層を介して接続されている。

#### 【 0 0 5 9 】

後述の画素電極 P X のみによって前記容量電極 C C T とソース電極 S T との電気的接続を行うことはできるが、電気的抵抗の低減を図るために前記配線層を形成している。

#### 【 0 0 6 0 】

また、このように薄膜トランジスタ T F T が形成された下側基板 2 の表面には後述の画素電極 P X の形成領域よりも若干内側に各辺が位置づけられる開口を有するたとえば窒化シリコン膜からなる第 2 絶縁膜 I N 2 が形成されている。

20

#### 【 0 0 6 1 】

この第 2 絶縁膜 I N 2 は液晶の前記薄膜トランジスタ T F T への直接の接触を回避させるための保護膜として機能し、また、光透過量の減衰を軽減するために画素電極 P X の形成領域の大部分に及んで開口が設けられた構成となっている。

#### 【 0 0 6 2 】

そして、前記第 2 絶縁膜 I N 2 の前記開口が形成された部分から該開口の周辺に至る部分に及んで透明電極からなる画素電極 P X が形成されている。

30

#### 【 0 0 6 3 】

この画素電極 P X は、その形成によって、第 2 絶縁膜 I N 2 の前記開口から露呈されたソース電極 S T の一部および前記容量電極 C C T の一部に接触し電気的接続が図れるようになっている。

#### 【 0 0 6 4 】

なお、このように画素電極 P X が形成された下側基板 2 の表面には該画素電極 P X をも被って配向膜（図示せず）が形成され、この配向膜に直接接触する液晶の分子の初期配向方向を決定づけるようになっている。

#### 【 0 0 6 5 】

また、図示していないが、上側基板 3 の液晶側の面には、各画素領域に共通に形成される透明電極からなる共通電極、各画素領域を画して形成されるブラックマトリックス、このブラックマトリックスの開口部を被って形成されるカラーフィルタ、および液晶と接触するようにして配置される配向膜等が形成されている。

40

#### 【 0 0 6 6 】

図 1 ( a ) は、前記下側基板 2 の前記半導体チップ 4 がフェースダウンボンディングされる部分（図中 L T で示す）を示した平面図で、前記下側基板 2 の表面に図中 y 方向に延在され x 方向に並設された配線層 6 が形成されていることを示している。図 1 ( a ) は、図 3 の E の部分に相当する。厳密には、図 3 に示したように配線層 6 は L T の境界近傍で屈曲するが、図 1 ( a ) では説明の便宜のために屈曲していないものとして説明する。

#### 【 0 0 6 7 】

50

図1(a)において、該配線層6はたとえば6本のみを示しており、さらに、それら各配線層6にそれぞれ電気的に接続された6個の端子TMを示している。

#### 【0068】

前記各端子TMは、前記各配線層6のうち図中左の3本の配線層6上に重畠されてこれら配線層6の延在方向に沿って3個の端子TMが形成され、図中右の3本の配線層6上に重畠されてこれら配線層6の延在方向(表示部ARからの距離が離れる方向)に沿って3個の端子TMが形成されている。ここで、各端子TMを互いに隣接して配置される3本の配線層6に重畠させて形成するのは各端子TMの面積をできるだけ大きくする趣旨である。したがって、このような端子TMの配置では、隣接する端子TMの間において配線層6が走行していない構成となっている。このように、端子TMを隣接する配線層6と重畠させることで、端子TMの面積を大きくしても配線層6のピッチを広げる必要がないので、配線層6や端子TMのファインピッチ化を図ることができる。10

#### 【0069】

そして、図中左の3個の端子TMと図中右の3個の端子TMは前記各配線層6の延在方向と直交する方向(半導体チップ4の長辺方向)に並列されて配置されている。図示を省略しているが、さらに多数の配線6および端子TMが同様のパターンで並んで配置されている。各端子TMにおいてこのような配置がなされているのは、フェースダウンされる前記半導体チップ4のバンプ電極BPが、図1(b)に示すように配置されていることに対応させている。すなわち、図1(b)は、半導体チップ4のバンプ電極BPの配置を説明するために半導体基板やパッケージ等を透かして描画された図であり、該各バンプ電極BPは、図1(a)に示す各端子TMにそれぞれ重ねられて位置づけられるようになる。20

#### 【0070】

すなわち、半導体チップ4は、半導体チップ4の1つの長辺に、複数のバンプ電極BPを有している。そして、バンプ電極BPは、半導体チップ4の短辺方向(表示部ARからの距離が離れる方向)に2段以上(図1(b)の場合は3段)に配置されており、複数のバンプ電極BPは、第1段目のバンプ電極BPの半導体チップ4の長辺方向の位置が、第2段目のバンプ電極BPの半導体チップ4の長辺方向の位置に対して、シフトしていない構成となっている。このようなバンプ電極BPの配置を、(千鳥配置ではない)多段バンプと呼ぶこともある。

#### 【0071】

そして、図1(a)に示すように、互いに隣接して配置される3本の配線層6に重畠されてこれら配線層6の延在方向に沿って並んで形成された3個の端子TMのそれぞれは、各配線層6の並設方向において位置的にずらした各接続部(後に説明するコンタクト孔THに相当する)を介して対応する配線層6と電気的に接続されている。すなわち、一番右の3個の端子TMと一番右の3本の配線層6に注目した場合、表示部ARから一番遠い一番下の端子(第3段目の端子)TMは、一番右の配線層6とコンタクト孔THを介して接続されており、それ以外の配線層6とは絶縁されている。同様に、一番下の端子TMよりも表示部ARに近い位置にある真ん中の端子(第2段目の端子)TMは、コンタクト孔THを介して右から2番目の配線層6と接続されており、それ以外の配線層6とは絶縁されている。同様に、真ん中の端子TMよりも表示部ARに近い位置にある一番上の端子(第1段目の端子)TMは、コンタクト孔THを介して右から3番目の配線層6と接続されており、それ以外の配線層6とは絶縁されている。尚、どの端子TMとどの配線層6とを接続するかは図示した構成に限られず、任意に選択してよい。40

#### 【0072】

図1(c)は、その上段において、図1(a)に示す各端子TMのうち図中点線枠Cで囲まれた端子TMを拡大した平面図を、下段において、該平面図の図中d-d線における断面図を示している。

#### 【0073】

図1(c)の下段の図において、下側基板2の表面に、まず、互いに隣接して配置される3本の配線層6が形成されている。なお、この配線層6はその下層において図示してい50

ない絶縁層上に形成されてもよい。

**【0074】**

このように各配線層6が形成された下側基板2の表面には該各配線層6をも被って前記第1絶縁膜IN1および第2絶縁膜IN2が順次形成されている。各配線層6を被って形成される絶縁膜は、半導体チップ4のバンプ電極BPと対応する端子TMとの電気的接続の際に、該端子TMを通して比較的大きな圧力が印加されることから、その破壊を防止するため、上述したようにたとえば第1絶縁膜IN1と第2絶縁膜IN2の2層構造として構成されている。したがって、この趣旨から、他の絶縁膜をさらに積層させ、3層以上の絶縁膜で形成するようにしてもよい。

**【0075】**

そして、図中右側に位置づけられる配線層6の一部を露出させるためのコンタクト孔THが第2絶縁膜IN2および第1絶縁膜IN1を順次貫通する孔として形成されている。

**【0076】**

さらに、前記第2絶縁膜IN2の上面に端子TMが形成され、この端子TMはその幅Wが互いに隣接して配置される3本の配線層の並設幅wにほぼ一致づけられて形成され、前記コンタクト孔THを介して図中右側に位置づけられる配線層6と電気的に接続されている。また、この端子TMはたとえばITO(Indium Tin Oxide)膜で形成されている。電食を防ぐ趣旨である。このことから、該端子TMは金属層とITO膜の順次積層体で構成するようにしてもよい。

**【0077】**

尚、配線層6はゲート信号線GLと同一工程で形成可能である。第1絶縁膜IN1はゲート絶縁膜と同一工程で形成可能である。第2絶縁膜IN2は画素の中の第2絶縁膜IN2と同一工程で形成可能である。端子TMは画素電極PXと同一工程で形成可能である。よって、プロセス数を増やすことなく、マスクパターンの変更だけで製造が可能である。

**【0078】**

端子TMが映像信号を印加するための端子である場合は、途中で配線層6とドレイン信号線DLとの間で電気的に接続するか、配線層6自身をドレイン信号線DLと同一工程で形成すればよい。

**【0079】**

図6(a)は、前述した図5(a)に対応する図であり、下側基板2に半導体チップ4をフェースダウンボンディングした場合の前記端子TMと半導体チップ4のバンプ電極BPの位置関係を示した図である。図6(a)に示すバンプ電極BPは、半導体チップ4の半導体基板やパッケージ等を透過させて描画している。

**【0080】**

この図6(a)から明らかなように、半導体チップ4のバンプ電極BPはその面積が端子TMの面積よりも若干小さく形成され、端子TMに対するバンプ電極BPが正確な位置に配置されている場合、バンプ電極BPの周辺において端子TMが若干はみ出るようにして配置されている。このように、バンプ電極BPを端子TMよりも小さく形成したのは、隣接する他のバンプ電極BPと電気的に接続されてしまう懼れを回避せんがためである。

**【0081】**

しかし、図6(a)に示す点線枠Dの部分の拡大図である図6(b)に示すように、該端子TMは該端子TMの下層に形成されている3本の各配線層6のそれぞれに全て重畳する程度に大きく形成されている。端子TMに対してバンプ電極BPをできるだけ大きく形成する趣旨であり、これにより端子TMに対するバンプ電極BPの接続における抵抗の低減を図るためである。

**【0082】**

なお、このように端子TMに対するバンプ電極BPの大きさは、下側基板2への半導体チップ4の配置における位置ずれを考慮した上での設定となっている。すなわち、たとえ下側基板2に対する半導体チップ4の位置ずれが生じても、該バンプ電極BPは端子TM上に確実に位置づけられるようになっている。

10

20

30

40

50

**【 0 0 8 3 】**

また、端子 T M に対するバンプ電極 B P の電気的接続は、図 6 ( b ) の c - c 線における断面図である図 6 ( c ) に示すように、異方性導電膜 1 2 を介してなされるようになっている。異方性導電膜 1 2 は、上述したように、多数の粒状の導電材が散在された樹脂膜から構成されたものである。下側基板 2 の少なくとも前記半導体チップ 4 を搭載する領域に前記異方性導電膜 1 2 を配置し、該半導体チップ 4 をそれら各バンプ電極 B P が対応する各端子 T M に対向するように位置決め配置させた後に、下側基板 2 に対して該半導体チップ 4 に圧力を加えることにより、各端子 T M に対するバンプ電極 B P の電気的接続が図れるようになっている。

**【 0 0 8 4 】**

10

ここで、バンプ電極 B P は、このバンプ電極 B P に対応する配線層 6 に対して隣接する配線層 6 と重疊させても良いし、重疊させなくても良い。例えば、図 6 ( a ) の一番右の列の 3 個の端子 T M のうち、真ん中（第 2 段目）の端子 T M は、右から 2 番目の配線層 6 に対応している。この端子 T M に接続されるバンプ電極 B P は、右から 2 番目の配線層 6 に対して隣接する配線層（一番右、または、右から 3 番目の配線層）6 と重疊させても良いし、重疊させなくてもよい。

**【 0 0 8 5 】**

なお、半導体チップ 4 を下側基板 2 に対して圧力を加える際ににおいて、端子 T M と配線層 6 との間に介在されている絶縁膜 I N 1、I N 2 に破壊が生じるのを回避するため、該絶縁膜 I N は 2 層にあるいはそれ以上の多層に形成しているのは上述したとおりである。

20

**【 0 0 8 6 】**

図 7 は、本発明の他の実施例を説明する図である。図 7 ( a )、( b ) は、それぞれ前述の図 6 ( b )、( c ) に対応する図である。図 7 ( a )、( b ) において、図 6 ( b )、( c ) と異なる構成は、端子 T M と配線層 6 との間に介在される絶縁膜 I N を一層として構成していることにある。

**【 0 0 8 7 】**

この場合、前記絶縁膜 I N として前記薄膜トランジスタ T F T においてゲート絶縁膜として機能するたとえばシリコン窒化膜からなる第 1 絶縁膜 I N 1 を用いている。薄膜トランジスタ T F T のゲート絶縁膜は、その特性を良好にするため、通常、高温処理して形成され、他の絶縁膜よりも比較的強度の高い絶縁膜として形成することができる。このため、半導体チップ 4 を下側基板 2 に対して圧力を加えて、端子 T M とバンプ電極 B P との接続を図る際ににおいて、該絶縁膜 I N の破壊を回避できるようになる。

30

**【 0 0 8 8 】**

尚、絶縁膜を 2 層以上で構成する場合も、そのうちの 1 層にゲート絶縁膜を含むようにすることによって、同様の効果を得られる。

**【 0 0 8 9 】**

また、この場合において、端子 T M の下層の絶縁膜 I N は、配線層 6 を覆って形成されている。端子 T M の下では、複数の配線層 6 が、それぞれ線幅がほぼ等しくほぼ等間隔に配置されている。

**【 0 0 9 0 】**

40

平面的に見た場合に、ある端子 T M に重疊する配線層 6 の本数が、それとは表示部 A R からの距離が異なる別の端子 T M に重疊する配線層 6 の本数と等しい構成とすることが望ましい。こうすることで、これらの配線層 6 を被って形成される前記絶縁膜 I N は、その表面に大きな段差が生じることはなく、ほぼ平坦な状態で形成されることになる。したがって、前記端子 T M を介して該絶縁膜 I N に加わる圧力は均等となり、その圧力の分散効果によって絶縁膜 I N の破壊に至り難いという効果を奏するようになる。あるいは、段差に起因して端子 T M とバンプ電極 B P の接続不良が起こるという問題を低減できる。

**【 0 0 9 1 】**

尚、以上の説明は、絶縁膜 I N を 2 層以上で構成した場合も同様である。

**【 0 0 9 2 】**

50

図8は、本発明の他の実施例を説明する図である。図8(a)は、液晶表示装置において前記半導体チップ4が搭載される領域およびその近傍を示す平面図である。

#### 【0093】

また、図8(b)は液晶表示装置1の下側基板2に搭載される半導体チップ4を示し、そのバンプ電極BPは半導体基板やパッケージ等を透視した状態で描いている。

#### 【0094】

ここで、該半導体チップ4は、少なくとも液晶表示部AR側におけるバンプ電極BP、すなわち液晶表示部ARから延在される配線層6の各端子TMに接続されるバンプ電極BPは、該半導体チップ4の長手方向辺に配列されるバンプ電極群が短手方向辺に沿ってそのままシフトされた状態でたとえば3段に並設されて形成されている。なお、以下の説明において、このように3段に並設されたバンプ電極群を総括して多段バンプ電極群と称する場合がある。バンプ電極群からは、例えば、走査信号や、映像信号が出力される。10

#### 【0095】

図8(a)において、液晶表示部ARから半導体チップ4の搭載領域LTに至って延在される各配線層6は図中左側から右側にかけてほぼ等間隔に配列され、それらは後述の検査回路用薄膜トランジスタIFTTにまで至って形成されている。

#### 【0096】

半導体チップ4の搭載領域LTにおいて、液晶表示部ARから前記検査回路用薄膜トランジスタIFTTにまで至る部分には、前記半導体チップ4の多段バンプ電極群の各バンプ電極BPに対応(対向)する位置にそれぞれ端子TMが形成されて多段端子群を構成するようになっている。20

#### 【0097】

これら各端子TMは、液晶表示部ARに近い側から遠い側にかけて、1段目端子群、2段目端子群、および3段目端子群と称した場合、一段目端子群においてたとえば図中左側から右側の方向へ順次配列される各端子TMは、それぞれ前記各配線層6を同方向に3本づつ跨ぐようにして配設され、このような関係は2段目端子群、3段目端子群においても同様となっている。

#### 【0098】

そして、1段目端子群の各端子TMはその下層に位置づけられる3本の各配線層6のうち図中左側の配線層6にコンタクト孔THを介して電気的に接続され、2段目端子群の各端子TMはその下層に位置づけられる3本の各配線層のうち中央の配線層6にコンタクト孔THを介して電気的に接続され、3段目端子群の各端子TMはその下層に位置づけられる3本の各配線層のうち図中右側の配線層6にコンタクト孔THを介して電気的に接続されている。30

#### 【0099】

これらの端子TMが映像信号用の端子である場合を考える。この場合、前記各配線層6をその図中左側から右側にかけて、順次、カラー表示用の青色(B)用配線、緑色(G)用配線、赤色(R)用配線、青色(B)用配線、緑色(G)用配線、……とした場合に、前記半導体チップ4において、1段目端子群の各端子TMにそれぞれ接続される各バンプ電極BP(1段目バンプ電極群)には赤色(R)用信号を、2段目端子群の各端子TMにそれぞれ接続される各バンプ電極BP(2段目バンプ電極群)には緑色(G)用信号を、3段目端子群の各端子Bにそれぞれ接続される各バンプ電極BP(3段目バンプ電極群)には青色(B)用信号を出力させることができる。40

#### 【0100】

このことは、たとえば半導体チップ4内の回路と各バンプ電極BPとの関係が上述したようになっている場合には、半導体チップ4内の回路配置をRGBをひとまとめにして規則的に配置できる効果を奏する。

#### 【0101】

前記検査回路用薄膜トランジスタIFTTは、各端子TMと接続された各配線層6をたとえば第1検査端子ITM1、第2検査端子ITM2、および第3検査端子ITM3にそ50

れぞれ接続するためとその解除のために設けられている。

**【0102】**

すなわち、該検査回路用薄膜トランジスタ I T F T は、各端子 T M と接続された各配線層 6 を第 1 の端子とし、前記第 1 検査端子 I T M 1、第 2 検査端子 I T M 2、および第 3 検査端子 I T M 3 にそれぞれ接続される配線層（検査用配線層）14 を第 2 の端子とし、第 1 の端子と第 2 の端子との間に形成された半導体層（図示せず）をチャネル層とし、半導体層の下に形成された電極をゲート電極 15 としたスイッチング素子を構成している。

**【0103】**

そして、1段目の各端子 T M と接続される配線層 6 はたとえば前記検査回路用薄膜トランジスタ I T F T のオンによって配線層（検査用配線層）14 を介して第 3 検査端子 I T M 3 に接続され、2段目の各端子 T M と接続される配線層 6 は前記検査回路用薄膜トランジスタ I T F T のオンによって配線層（検査用配線層）14 を介して第 2 検査端子 I T M 2 に接続され、3段目の各端子 T M と接続される配線層 6 は前記検査回路用薄膜トランジスタ I T F T のオンによって配線層（検査用配線層）14 を介して第 1 検査端子 I T M 1 に接続されるようになっている。このように、配線層 6 はスイッチング素子 I T F T を介して検査用端子 I T M 1、I T M 2、I T M 3 と接続されている。

**【0104】**

この場合、検査回路用薄膜トランジスタ I T F T から各検査端子 I T M に至る各配線層 14 にあっては、互いに交叉する個所が生じることから少なくともその個所に絶縁層 16 を形成する等をして絶縁を図っている。

**【0105】**

尚、このような検査用端子およびスイッチング素子は、走査信号を印加するための端子 T M についても同様に形成できる。この場合、R G B の 3 グループではなく、例えば、偶数行、奇数行の 2 つのグループに分ければよい。

**【0106】**

次に、千鳥配置ではない多段バンプによる別の効果を説明する。

**【0107】**

千鳥配置の多段バンプの場合、半導体チップ 4 は、半導体チップ 4 の 1 つの長辺に、複数のバンプ電極 B P を有し、複数のバンプ電極 B P は、半導体チップ 4 の短辺方向に 2 段以上に配置されており、複数のバンプ電極 B P は、第 1 段目のバンプ電極 B P の半導体チップ 4 の長辺方向の位置が、第 2 段目のバンプ電極 B P の半導体チップ 4 の長辺方向の位置に対して、シフトしている。これに対して、千鳥配置ではない多段バンプの場合、複数のバンプ電極 B P は、第 1 段目のバンプ電極 B P の半導体チップ 4 の長辺方向の位置が、第 2 段目のバンプ電極 B P の半導体チップ 4 の長辺方向の位置に対して、シフトしていない。

**【0108】**

千鳥配置ではない多段バンプの場合も、半導体チップ 4 の各バンプ電極 B P と対応する端子 T M との電気的接続は、下側基板 2 と半導体チップ 4 の間に異方性導電膜 12 を介し、下側基板 2 に対して半導体チップ 4 を加圧させることによって行うことは前述したとおりである。

**【0109】**

千鳥配置ではない多段バンプの場合、千鳥配置の場合に比べて、異方性導電膜 12 内の導電材の粒子によって隣接するバンプ電極（端子 T M）B P 間が電気的にショートする問題が発生する確率を大幅に抑制できる。すなわち、千鳥配置でない多段バンプの場合、前記各バンプ電極（端子 T M）B P は、一方向に配列されるバンプ電極（端子）群が該一方向と直交する方向に沿ってそのままシフトされた状態（そのままシフトされた状態とは、第 1 段目のバンプ電極 B P の前記一方向の位置と第 2 段目のバンプ電極 B P の前記一方向の位置とが同じであること意味する）で多段に並設されて形成されているため、これら各バンプ電極（端子 T M）B P の間の領域は規則正しい格子状のパターンとして形成されることになる。このため、異方性導電膜 12 を介して下側基板 2 に対する半導体チップ 4 の加

10

20

30

40

50

圧を行った際に、前記各バンプ電極（端子 T M）B P の間の領域は異方性導電膜 1 2 内の導電材の粒子の移動通路となって、その移動は円滑なものとなり、隣接するバンプ電極（パッド部）の間で詰まってしまうということがなくなるからである。したがって、千鳥配置のバンプに比べて導電材の粒子の流れが良いので、ショートが起こりにくい。

#### 【 0 1 1 0 】

図 9 は、本発明による液晶表示装置の他の実施例を示す図で、図 8 に対応した図となっている。図 8 と比較して異なる構成は、端子 T M の配置をいわゆる千鳥配置としたものである。

#### 【 0 1 1 1 】

すなわち、図 8 の場合と同様、各端子 T M は 3 段で配列されている。しかし、図 8 と異なる点は、2 段目の端子群は 1 段目の端子群に対してたとえば図中右方向へ 1 / 3 ピッチ分ずれて配置され、また、3 段目の端子群は 2 段目の端子群に対して図中右方向へ 3 / 1 ピッチ分ずれて配置されている点である。10

#### 【 0 1 1 2 】

このような各端子 T M の配置によって、各端子 T M のコンタクト孔 T H の位置を、どの段でもほぼ同じ位置（この場合はほぼ中央）に形成できるようになる。

#### 【 0 1 1 3 】

例えば、前記各端子 T M は絶縁膜 I N に形成されたコンタクト孔 T H を介して該端子 T M のほぼ中央部を走行する配線層 6 と電気的に接続されている。すなわち、それぞれの端子 T M は、その中央部にコンタクト孔 T H を位置づけさせることができ、各端子 T M において、半導体チップ 4 のバンプ電極 B P との接続の状態を均等にできるという効果を奏する。20

#### 【 0 1 1 4 】

この関係は、次の隣接する 3 本の各配線層 6 とそれら各配線層 6 と接続される端子 T M においても同様であり、さらに、次の隣接する 3 本の各配線層 6 とそれら各配線層 6 と接続される端子 T M においても同様となっている。

#### 【 0 1 1 5 】

なお、図 9 に示したような構成とした場合、該端子 T M と接続されて搭載される半導体チップ 4 は、図 9 ( b ) に示すように、そのバンプ電極 B P は該端子 T M の配置に対応した配列で形成されていることはいうまでもない。ここで、図 9 ( b ) は、半導体チップ 4 の半導体基板やパッケージ等を透過させた状態でそのバンプ電極 B P を描画した図である。30

#### 【 0 1 1 6 】

図 10 は、本発明による液晶表示装置の他の実施例を示す図で、図 8 に対応した図となっている。

#### 【 0 1 1 7 】

図 10 において、図 8 の場合と比較して異なる構成は、半導体チップ 4 のバンプ電極 B P のうち液晶表示部 A R から延在される配線層 6 の端子 T M に接続されるバンプ電極 B P にあり、該半導体チップ 4 の長手方向辺に沿って配列されるバンプ電極群が短手方向辺へそのままシフトされた状態で 2 段に並設されて構成されていることにある。40

#### 【 0 1 1 8 】

これに相応して、前記下側基板 2 における該半導体チップ 4 の搭載領域 L T に並設される各配線層 6 上には、前記バンプ電極 B P に接続されるべく端子 T M がそれぞれ隣接する 2 本の配線層 6 を跨ぐようにして形成されている。すなわち、各端子 T M は、各配線層 6 の並設方向に沿って配列される端子群が各配線層 6 の延在方向へそのままシフトされた状態で 2 段に並設されて配置され、1 段目の端子群の各端子 T M はその下層の 2 本の配線層 6 のうちたとえば図中左側の配線層 6 にコンタクト孔 T H を介して電気的に接続され、2 段目の端子群の各端子 T M はその下層の 2 本の配線層 6 のうち図中右側の配線層 6 にコンタクト孔 T H を介して電気的に接続されている。

#### 【 0 1 1 9 】

50

このことから、配線層 6 に接続される端子 T M のこのような多段構成は、2 段、あるいは 3 段に限られることはなく、4 段、あるいはそれ以上であってもよい。すなわち、各配線層 6 の並設方向に隣接する配線層を  $n$  ( $n$  は 2 以上) 本ずつ被って並設される端子群が該配線層 6 の長手方向へシフトされた状態で  $n$  段に端子 T M が形成され、同じ  $n$  本の配線層を被って形成される  $n$  個の各端子 T M はそれぞれ異なる配線層 6 と前記絶縁膜 I N に形成されたコンタクト孔 T H を介して電気的に接続されるように構成されればよい。

#### 【 0 1 2 0 】

図 1 1 は、本発明による液晶表示装置の他の実施例を示す図で、図 1 0 に対応した図となっている。

#### 【 0 1 2 1 】

図 1 1 において、図 1 0 の場合と比較した場合、半導体チップ 4 のバンプ電極 B P のうち液晶表示部 A R から延在される配線層 6 の端子 T M に接続されるバンプ電極 B P は、2 段のバンプ電極群として構成されていることは同様であるが、1 段目のバンプ電極群に対して 2 段目のバンプ電極群はそのバンプ電極ピッチ分ずれて配置されていることに相異を有する。すなわち、各バンプ電極 B P はいわゆる千鳥配置となっている。

#### 【 0 1 2 2 】

これに相応して、前記下側基板 2 における該半導体チップ 4 の搭載領域 L T に形成される端子 T M も千鳥配置されるようになっている。すなわち、各端子 T M は、各配線層 6 の並設方向に沿って配列される 1 段目の端子群と、この 1 段目の端子群が各配線層 6 の延在方向へそのままシフトされた後に該 1 段目の端子群に対し端子 T M の半ピッチ分ずれて配置された 2 段目の端子群を有して構成されている。

#### 【 0 1 2 3 】

1 段目の端子群の各端子 T M はその下層の 2 本の配線層 6 のうちたとえば図中右側の配線層 6 にコンタクト孔 T H を介して電気的に接続され、2 段目の端子群の各端子 T M はその下層の 2 本の配線層 6 のうちたとえば図中右側の配線層 6 にコンタクト孔 T H を介して電気的に接続されている。

#### 【 0 1 2 4 】

この場合、図 1 1 において示されるように、一方の端子群に対して一端が突出するようにして配置される他方の端子群の該一端側の端子 T M において、1 本の配線層 6 上に形成され 2 本の配線層 6 を跨ぐようなことがなくなる場合があるが、このことが特に問題となることはない。

#### 【 0 1 2 5 】

このことから、配線層 6 に接続される端子 T M のこのような多段構成は、2 段、あるいは 3 段に限られることはなく、4 段、あるいはそれ以上であってもよい。すなわち、各配線層 6 の並設方向に隣接する配線層を  $n$  ( $n$  は 2 以上) 本ずつ被って並設される端子群が該配線層 6 の長手方向へシフトされた後に  $1/n$  ピッチずれた状態で  $n$  段に端子 T M が形成され、同じ  $n$  本の配線層を被って形成される  $n$  個の各端子 T M はそれぞれ異なる配線層 6 と前記絶縁膜 I N に形成されたコンタクト孔 T H を介して電気的に接続されるように構成されればよい。

#### 【 0 1 2 6 】

これまで説明してきた何れの実施例でも、隣接する配線層 6 の間の距離を狭め、また、半導体チップ 4 のバンプ電極 B P と接続される配線層 6 の端子 T M の面積を大きくすることができます。

#### 【 0 1 2 7 】

上述した各実施例ではたとえば液晶表示装置 1 を揚げて本発明を示したものである。しかし、液晶表示装置 1 に限定されることではなく、たとえば有機 E L 表示装置等のような他の表示装置においても適用できる。たとえば有機 E L 表示装置においても、表示部 A R 以外の場所（周辺部）に表示駆動回路からなる半導体チップが搭載されて構成されるからである。

#### 【 0 1 2 8 】

10

20

30

40

50

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【図面の簡単な説明】

【0129】

【図1】本発明による表示装置の一実施例を示す図で、搭載される半導体チップのバンプ電極とそれに接続される配線層との部分を示した図である。

【図2】本発明による表示装置の一実施例を示す全体構成図である。

【図3】図2に示した表示装置においてそれに形成される配線層と該配線層と接続される半導体チップを示した平面図である。

【図4】本発明による表示装置において、その基板と半導体チップの接続構成の一実施例を示した断面図である。 10

【図5】本発明による表示装置の画素の構成の一実施例を示す図である。

【図6】本発明による表示装置の他の実施例を示す図である。

【図7】本発明による表示装置の他の実施例を示す図である。

【図8】本発明による表示装置の他の実施例を示す図である。

【図9】本発明による表示装置の他の実施例を示す図である。

【図10】本発明による表示装置の他の実施例を示す図である。

【図11】本発明による表示装置の他の実施例を示す図である。

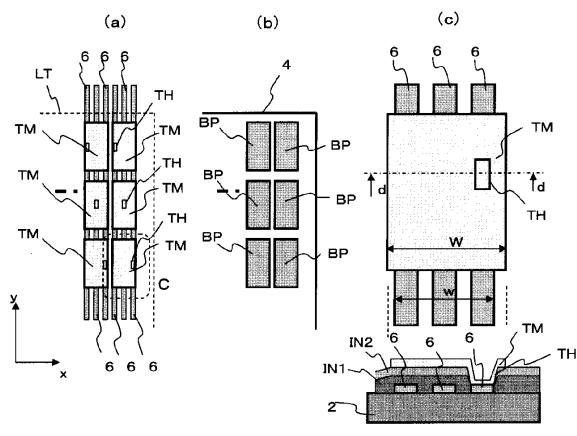
【図12】従来の表示装置において不都合な点を説明する図である。

【符号の説明】

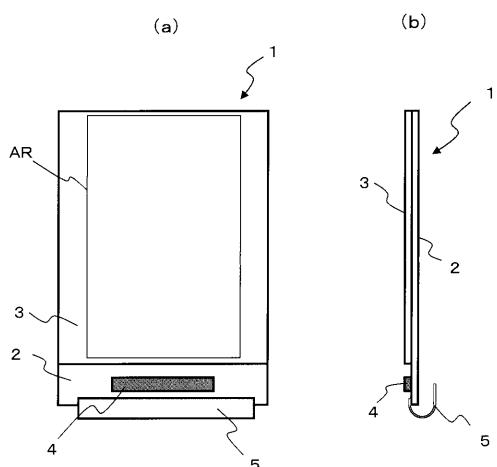
【0130】

1 ..... 液晶表示装置、 2、 3 ..... 基板、 4 ..... 半導体チップ、 5 ..... フレキシブル基板、  
6 ..... 配線層、 7 A ..... 口ウ配線層（ゲート信号線、コモン信号線）、 7 B ..... カラム配線層（ドレイン信号線）、 8 ..... 導電体、 9 ..... 共通電極配線層、 12 ..... 異方性導電膜、  
14 ..... 配線層、 15 ..... 半導体層、 16 ..... 絶縁膜、 A R ..... 液晶表示部、 G L .....  
ゲート信号線、 G T ..... ゲート電極、 C L ..... コモン信号線、 D L ..... ドレイン信号線、  
I N 1 ..... 第1絶縁膜、 T F T ..... 薄膜トランジスタ、 S C ..... 半導体層、 D T ..... ドレイン電極、  
S T ..... ソース電極、 C C T ..... 容量電極、 I N 2 ..... 第2絶縁膜、 P X .....  
画素電極、 T M ..... 端子、 B P ..... バンプ電極、 T H ..... コンタクト孔、 I N ..... 絶縁膜、  
L T ..... 半導体チップ4の搭載領域、 I T F T ..... 検査回路用薄膜トランジスタ、 I T  
M ..... 検査端子。 30

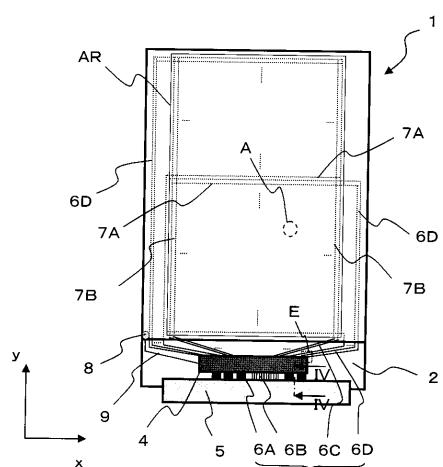
【図1】



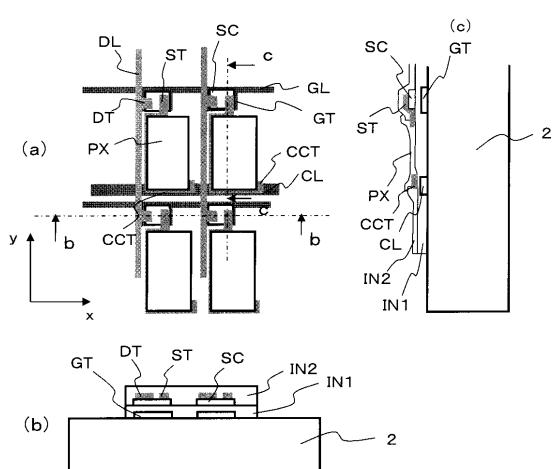
【図2】



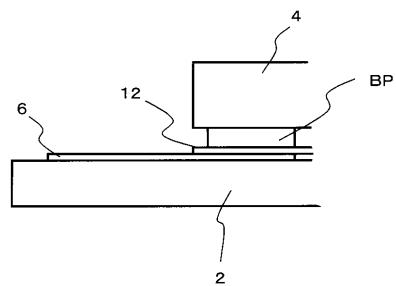
【図3】



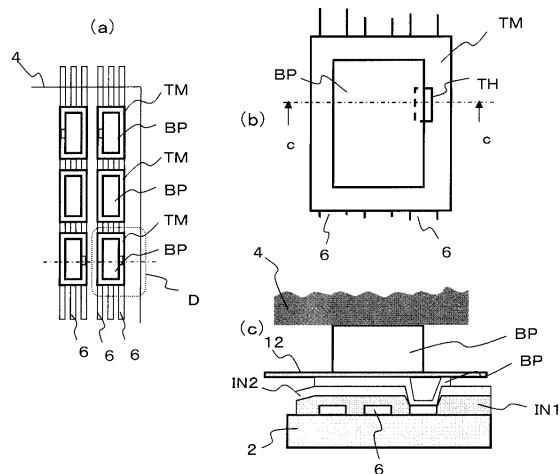
【図5】



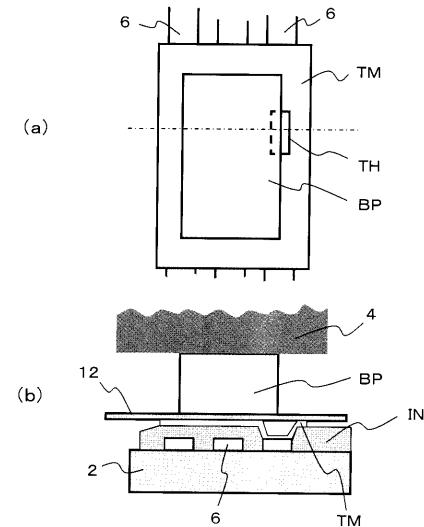
【図4】



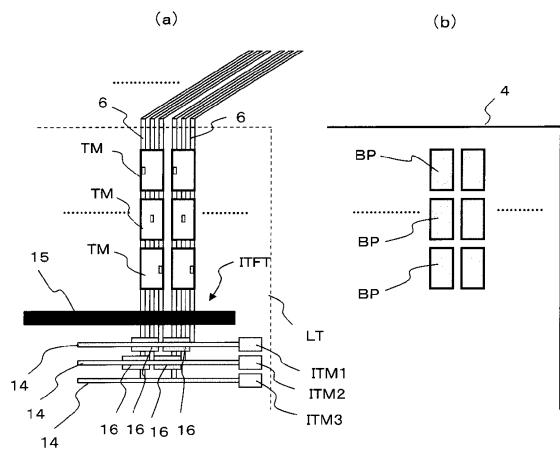
【 図 6 】



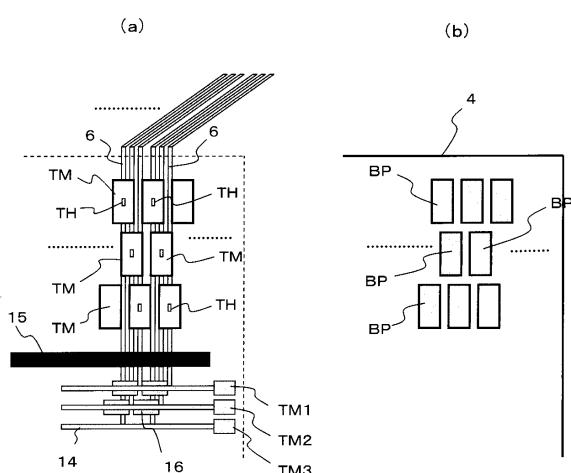
【 図 7 】



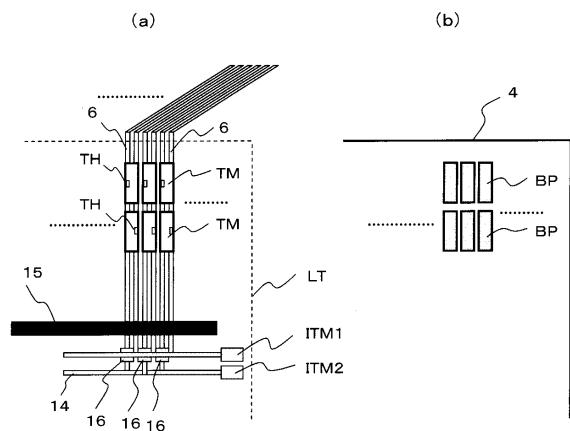
【図8】



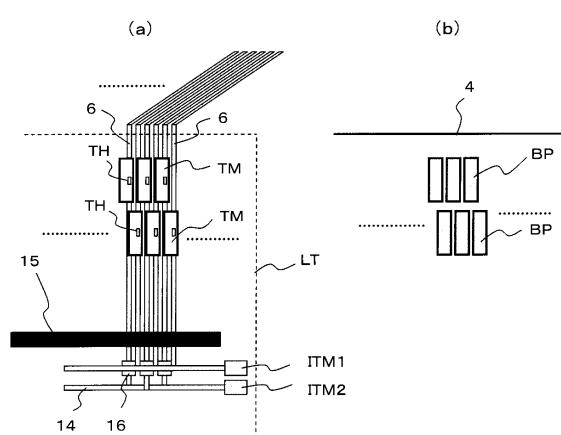
【 四 9 】



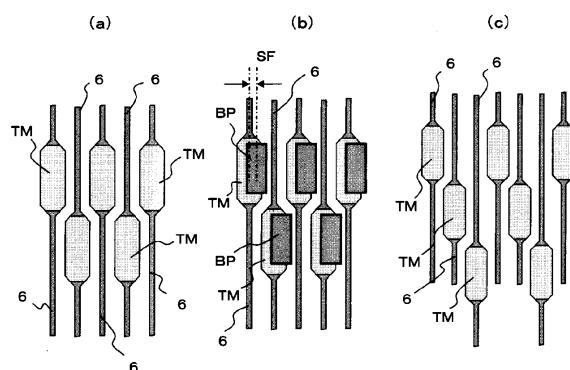
【図10】



【図11】



【図12】



---

フロントページの続き

審査官 藤田 都志行

(56)参考文献 特開2005-062582(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 02 F	1 / 1345
G 09 F	9 / 00
G 09 F	9 / 30