



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I847197 B

(45)公告日：中華民國 113 (2024) 年 07 月 01 日

(21)申請案號：111127569

(22)申請日：中華民國 111 (2022) 年 07 月 22 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(30)優先權：2021/07/27 日本

2021-122144

(71)申請人：日商新唐科技日本股份有限公司 (日本) NUVOTON TECHNOLOGY CORPORATION JAPAN (JP)

日本

(72)發明人：神田裕介 KANDA, YUSUKE (JP)

(74)代理人：劉法正；尹重君

(56)參考文獻：

TW I65866

TW I681561

US 10355045B1

US 2020/0051823A1

審查人員：修宇鋒

申請專利範圍項數：18 項 圖式數：29 共 68 頁

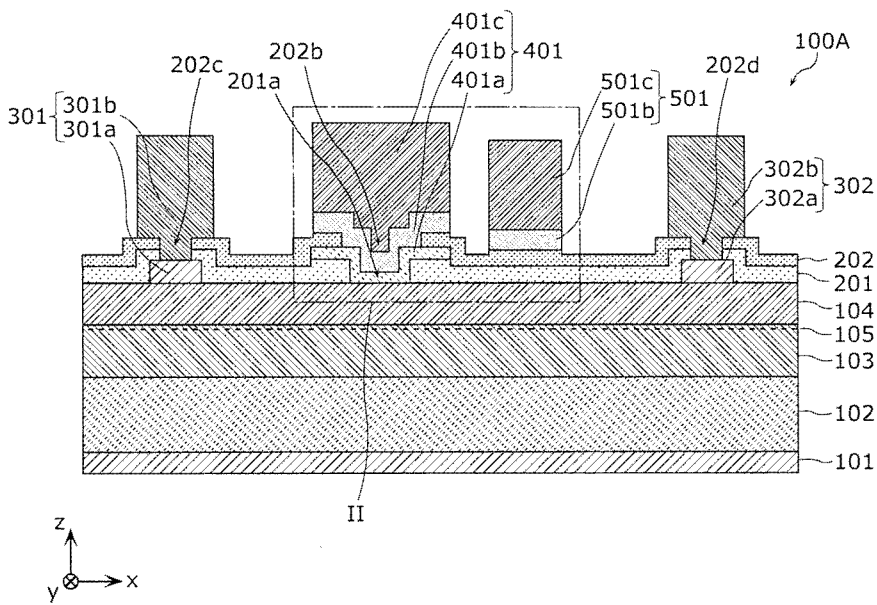
(54)名稱

半導體裝置

(57)摘要

本發明之半導體裝置(100A)具有：第 1 氮化物半導體層(103)；第 2 氮化物半導體層(104)；源極電極(301)及汲極電極(302)；及閘極電極(401)，其與源極電極(301)及汲極電極(302)隔著間隔地設置，並與第 2 氮化物半導體層(104)接觸；閘極電極(401)包含：第 1 阻障層(401a)，其由 TaN 所構成，層厚為 Z1，蕭特基接合於第 2 氮化物半導體層(104)；第 2 阻障層(401b)，其設成與第 1 阻障層(401a)之上接觸，由 TiN 或 WN 所構成，層厚為 Z2；及配線層，其設成與第 2 阻障層(401b)之上接觸；Z1 及 Z2 滿足  $200\text{nm} \geq Z1 + Z2 \geq 50\text{nm}$ 、 $Z1 < Z2$ 、以及  $50\text{nm} > Z1 > 3\text{nm}$ 。

指定代表圖：



【圖1】

符號簡單說明：

100A:半導體裝置

101:基板

102:緩衝層

103:第1氮化物半導體層

104:第2氮化物半導體層

105:二維電子氣體層

201:第1絕緣層

201a:第1開口部

202:第2絕緣層

202b:第2開口部

202c:第3開口部

202d:第4開口部

301:源極電極

301a,302a:歐姆電極

301b,302b:第2配線層

302:汲極電極

401:閘極電極

401a:第1阻障層

401b:第2阻障層

401c:第1配線層

501:場板電極

501b:第3阻障層

501c:第3配線層

II:區域



## 公告本

I847197

## 【發明摘要】

## 【中文發明名稱】

半導體裝置

## 【中文】

本發明之半導體裝置(100A)具有：第1氮化物半導體層(103)；第2氮化物半導體層(104)；源極電極(301)及汲極電極(302)；及閘極電極(401)，其與源極電極(301)及汲極電極(302)隔著間隔地設置，並與第2氮化物半導體層(104)接觸；閘極電極(401)包含：第1阻障層(401a)，其由Ta<sub>2</sub>N<sub>5</sub>所構成，層厚為Z<sub>1</sub>，蕭特基接合於第2氮化物半導體層(104)；第2阻障層(401b)，其設成與第1阻障層(401a)之上接觸，由TiN或WN所構成，層厚為Z<sub>2</sub>；及配線層，其設成與第2阻障層(401b)之上接觸；Z<sub>1</sub>及Z<sub>2</sub>滿足 $200\text{nm} \geq Z_1 + Z_2 \geq 50\text{nm}$ 、 $Z_1 < Z_2$ 、以及 $50\text{nm} > Z_1 > 3\text{nm}$ 。

**【指定代表圖】 圖1****【代表圖之符號簡單說明】**

100A:半導體裝置  
101:基板  
102:緩衝層  
103:第1氮化物半導體層  
104:第2氮化物半導體層  
105:二維電子氣體層  
201:第1絕緣層  
201a:第1開口部  
202:第2絕緣層  
202b:第2開口部  
202c:第3開口部  
202d:第4開口部  
301:源極電極  
301a,302a:歐姆電極  
301b,302b:第2配線層  
302:汲極電極  
401:閘極電極  
401a:第1阻障層  
401b:第2阻障層  
401c:第1配線層  
501:場板電極  
501b:第3阻障層  
501c:第3配線層  
II:區域

**【特徵化學式】**

(無)

## 【發明說明書】

### 【中文發明名稱】

半導體裝置

### 【技術領域】

【0001】 本揭示係關於一種半導體裝置，特別係關於一種使用了III族氮化物半導體之III族氮化物半導體裝置。

### 【先前技術】

【0002】 III族氮化物半導體，特別是使用了氮化鎵(GaN)或氮化鋁鎵(AlGaN)之III族氮化物半導體裝置，因材料之能隙寬，故具有高絕緣崩潰電壓。又，III族氮化物半導體裝置中容易形成AlGaN/GaN等異質結構。

【0003】 AlGaN/GaN異質結構中，藉由從材料間之晶格常數差異產生之壓電極化與AlGaN及GaN之自發極化，會在AlGaN/GaN界面之GaN層側形成利用高濃度電子(以下稱為「二維電子氣體層(two-dimensional electron gas layer)」)而產生的通道。利用該二維電子氣體層之通道的III族氮化物半導體裝置，因電子飽和速度較高，且耐絕緣性較高、熱傳導率亦較高，故被應用在高頻功率元件上。並且，須將已對AlGaN進行蕭特基接合(schottky junction)之電極作為閘極電極來使用。

【0004】 該等III族氮化物半導體裝置中為了提升特性，就閘極電極須減少高溫動作下之電極劣化與減少反向漏電流。因此，用於閘極電極之材料宜使用高熔點且功函數高之材料。藉由使用該材料，即可盡量地提高閘極電極之耐熱性與蕭特基障壁之高度。如此進行，藉由減少高溫動作下之電極劣化與反向漏電流，即可提高可靠性。

【0005】 又，須減少III族氮化物半導體裝置特有之課題，即所謂電流崩潰(current collapse)之現象。電流崩潰係因施加大電流且高電壓之壓力而造成導通

電阻增大的現象。該現象係因藉由高電壓之壓力而加速之電子被存在於III族氮化物半導體裝置內部之結晶缺陷及膜界面之能階捕獲而產生。

【0006】 專利文獻1中揭示了一種半導體裝置，係在+c面方向(<0001>方向)之n型Ga<sub>2</sub>N層之上，具備藉由高熔點之濺鍍法成膜之NaCl結構之N/Ta比=1.00的氮化鉭(TaN)層，n型Ga<sub>2</sub>N層與Ta<sub>2</sub>N層呈蕭特基接合者。藉由該構成，NaCl結構之N/Ta比=1.00的Ta<sub>2</sub>N不僅因作為材料之功函數高達5.4eV，且與n型Ga<sub>2</sub>N層之a軸方向的晶格常數差異少，故功函數成為最大，即蕭特基障壁成為最大。因此，可提高耐熱性並提高蕭特基障壁，而可獲得可靠性高之閘極電極。

【0007】 圖29係顯示專利文獻2之半導體裝置(III族氮化物半導體裝置)之閘極電極附近之構成的截面圖。如圖29所示，專利文獻2之半導體裝置中，在基板101之上依序設有緩衝層102、Ga<sub>2</sub>N層103a及AlGa<sub>2</sub>N層104a。該半導體裝置藉由異質結構而在Ga<sub>2</sub>N層103a側具備二維電子氣體層105。又，在AlGa<sub>2</sub>N層104a之上設置第1絕緣層211、與在第1絕緣層211設置去除了第1絕緣層211以使AlGa<sub>2</sub>N層104a露出的第1開口部211a。此外，設置用以覆蓋第1絕緣層211之上及第1開口部211a之閘極絕緣層204、與在閘極絕緣層204之上設置Ta<sub>2</sub>N層411a，以覆蓋第1開口部211a。設置第2絕緣層212以覆蓋閘極絕緣層204之上與Ta<sub>2</sub>N層411a之上，且在第2絕緣層212設置去除了第2絕緣層212以使Ta<sub>2</sub>N層411a之一部分露出的第2開口部212b。依序積層氮化鈦層(TiN層411b)與第1配線層411c以覆蓋第2開口部212b，即該半導體裝置具備由Ta<sub>2</sub>N層411a、TiN層411b及第1配線層411c所構成之閘極電極411。專利文獻2之半導體裝置係已具備閘極絕緣層204之MIS(Metal-Insulator-Semiconductor：金屬絕緣半導體)結構，但亦可作為MES(Metal-Semiconductor：金屬半導體)結構利用。此時，專利文獻2之半導體裝置中，即使Ta<sub>2</sub>N層411a與AlGa<sub>2</sub>N層104a為蕭特基接合，仍可如專利文獻1所記載般，耐熱性提高並提高蕭特基障壁，而可獲得可靠性高之閘極電極。

先前技術文獻

專利文獻

【0008】 專利文獻1：日本專利特開2006-190749號公報

專利文獻2：日本專利特開2013-201370號公報

## 【發明內容】

【0009】 發明欲解決之課題

根據上述專利文獻2，顯示了由TaN層411a、TiN層411b及第1配線層411c所構成之閘極電極411。專利文獻2所記載之方法中，根據製造步驟中之熱歷程，若第1配線層411c之金屬原子往AlGaIn層104a或第1絕緣層211內部擴散，便會產生能階。因已產生之能階，會造成蕭特基障壁高度降低、或在源極電極與汲極電極之間施加有高電壓時因電流崩潰導致電子被捕捉而導通電阻增大。因此，即使根據製造步驟中之熱歷程而賦予250°C~500°C左右之溫度，仍須考慮TaN層411a之層厚與TiN層411b之層厚，以使第1配線層411c之金屬原子不會從第1配線層411c往AlGaIn層104a或第1絕緣層211擴散。然而，在專利文獻1及2中，並無TaN層411a之層厚規定與TiN層411b之層厚規定，對於抑制第1配線層411c之金屬原子往AlGaIn層104a或第1絕緣層211之擴散的阻障性並不清楚。

【0010】 本揭示係有鑑於如此課題而作成者，目的在於提供一種具有可靠性高、低導通電阻之閘極電極之半導體裝置。

【0011】 用以解決課題之手段

為了達成上述目的，本揭示之半導體裝置之一態樣，具有：基板；第1氮化物半導體層，其設於基板之上；第2氮化物半導體層，其相較於第1氮化物半導體層能隙較大，並設於第1氮化物半導體層之上；第1絕緣層，其設於第2氮化物半導體層之上；源極電極及汲極電極，其等隔著間隔地設置，各自貫通第1絕緣層並電性連接於第1氮化物半導體層；開口部，其在源極電極與汲極電極之間，設

於第1絕緣層以使第2氮化物半導體層露出；及閘極電極，其與源極電極及汲極電極隔著間隔地設置，並在開口部與第2氮化物半導體層接觸；閘極電極，包含：第1阻障層，其由Ta<sub>2</sub>N<sub>5</sub>所構成，層厚為Z1，蕭特基接合於第2氮化物半導體層；第2阻障層，其設成與第1阻障層之上接觸，由TiN或WN所構成，層厚為Z2；及配線層，其設成與第2阻障層之上接觸；Z1及Z2滿足 $200\text{nm} \geq Z1+Z2 \geq 50\text{nm}$ 、 $Z1 < Z2$ 、以及 $50\text{nm} > Z1 > 3\text{nm}$ 。

### 【0012】發明效果

利用本揭示之半導體裝置，可獲得一種半導體裝置，其具有可靠性高、低導通電阻之閘極電極。

### 【圖式簡單說明】

【0013】圖1係顯示實施形態1之半導體裝置之構成的截面圖。

圖2係顯示將圖1之區域II放大後的截面圖。

圖3係顯示實施形態1之檢討例之半導體裝置具有之閘極電極附近的截面圖。

圖4係顯示實施形態1之檢討例之半導體裝置中間極電極之反向漏電流、高電壓時之導通電阻/低電壓時之導通電阻，與TiN層之層厚相依性結果的圖。

圖5係顯示實施形態1之檢討例之半導體裝置中間極電極之反向漏電流、高電壓時之導通電阻/低電壓時之導通電阻，與TiN層之層厚相依性結果的其他圖。

圖6係顯示實施形態1之半導體裝置之製造方法之步驟的截面圖。

圖7係顯示實施形態1之半導體裝置之製造方法之步驟的截面圖。

圖8係顯示實施形態1之半導體裝置之製造方法之步驟的截面圖。

圖9係顯示實施形態1之半導體裝置之製造方法之步驟的截面圖。

圖10係顯示實施形態1之半導體裝置之製造方法之步驟的截面圖。

圖11係顯示實施形態1之半導體裝置之製造方法之步驟的截面圖。

圖12係顯示實施形態1之半導體裝置之製造方法之步驟的截面圖。

圖13係顯示實施形態1之半導體裝置之製造方法之步驟的截面圖。

圖14係顯示實施形態2之半導體裝置的截面圖。

圖15係顯示實施形態2之變形例1之半導體裝置之閘極電極附近之構成的截面圖。

圖16係顯示實施形態2之變形例2之半導體裝置之閘極電極附近之構成的截面圖。

圖17係顯示實施形態2之變形例3之半導體裝置之閘極電極附近之構成的截面圖。

圖18係顯示將圖17之區域XVIII放大後的截面圖。

圖19係顯示實施形態2之變形例4之半導體裝置之閘極電極附近之構成的截面圖。

圖20係顯示實施形態2之半導體裝置之製造方法之步驟的截面圖。

圖21係顯示實施形態2之半導體裝置之製造方法之步驟的截面圖。

圖22係顯示實施形態2之半導體裝置之製造方法之步驟的截面圖。

圖23係顯示實施形態2之半導體裝置之製造方法之步驟的截面圖。

圖24係顯示實施形態2之半導體裝置之製造方法之步驟的截面圖。

圖25係顯示實施形態2之半導體裝置之製造方法之步驟的截面圖。

圖26係顯示實施形態2之半導體裝置之製造方法之步驟的截面圖。

圖27係顯示實施形態2之半導體裝置之製造方法之步驟的截面圖。

圖28係顯示實施形態2之半導體裝置之製造方法之步驟的截面圖。

圖29係顯示專利文獻2之半導體裝置之閘極電極附近之構成的截面圖。

## 【實施方式】

【0014】發明人等為了提供一種具有可靠性高、低導通電阻之閘極電極之

半導體裝置，積極檢討並反覆進行實驗。結果，發明人等想出下述半導體裝置等。

【0015】 以下，針對本揭示一態樣之半導體裝置等的具體例，一邊參照圖式一邊說明。此處所示之實施形態均係顯示本揭示之一具體例者。從而，以下實施形態中所示之數值、形狀、構成要素、構成要素之配置與連接形態、以及製程(步驟)與製程之順序等均係一例，並非限定本揭示之旨趣。於是，在以下實施形態之構成要素中，關於獨立項中未記載之構成要素係作為任意之構成要素來說明。

【0016】 又，各圖係示意圖，並非精確地圖示者。在各圖中，對於實質上相同之構成係賦予相同的符號，而省略或簡化重複之說明。

【0017】 又，在本說明書中，半導體裝置之構成中「上」及「下」的用語並非指絕對空間辨識中之上方向(鉛直上方)及下方向(鉛直下方)的用語，而係藉由以積層結構中之積層順序為基準的相對位置關係來規定的用語。又，「上」及「下」的用語不僅適用於2個構成要素互相隔著間隔地配置且2個構成要素之間存在其他構成要素的情況，亦適用於2個構成要素互相密著地配置且2個構成要素相接的情況。

【0018】 又，在本說明書及圖式中，x軸、y軸及z軸係顯示三維正交座標系之三軸。各實施形態中，令與半導體裝置具有之基板包含之上表面平行的二軸為x軸及y軸，令與該上表面正交之方向為z軸方向。在以下說明之實施形態中，有將z軸正方向記載為上、z軸負方向記載為下的情況。

【0019】 又，在本說明書中「俯視」係指從z軸正方向觀看半導體裝置具有之基板的情況。

#### 【0020】 (實施形態1)

首先，針對實施形態1之半導體裝置，係使用圖1及圖2進行說明。圖1係顯示實施形態1之半導體裝置100A之構成的截面圖。圖2係顯示將圖1之區域II放大後

的截面圖。本實施形態中，針對半導體裝置100A係具備蕭特基接合閘極結構之高電子遷移率電晶體(High Electron Mobility Transistor：HEMT)的情況進行說明。

【0021】如圖1所示，半導體裝置100A具備：基板101、緩衝層102、第1氮化物半導體層103、第2氮化物半導體層104、二維電子氣體層105、第1絕緣層201、開口部(此處為第1開口部201a)、第2絕緣層202、第2開口部202b、第3開口部202c、第4開口部202d、由歐姆電極301a及第2配線層301b所構成之源極電極301、由歐姆電極302a及第2配線層302b所構成之汲極電極302、包含第1阻障層401a、第2阻障層401b及配線層(此處為第1配線層401c)之閘極電極401、以及由第3阻障層501b及第3配線層501c所構成之場板電極(field plate electrode)501。

【0022】基板101在本實施形態中係例如，由Si所構成之基板。基板101不限於由Si所構成之基板，亦可為由藍寶石(Sapphire)、SiC、GaN、或AlN等所構成之基板。

【0023】緩衝層102設於基板101之上。在本實施形態中，緩衝層102例如，係層厚為 $2\mu\text{m}$ 之III族氮化物半導體層，更具體而言，係由以AlN及AlGaN構成之複數層積層結構所構成之III族氮化物半導體層。又，層厚係指z軸方向之層的厚度。緩衝層102亦可藉由其他之GaN、AlGaN、AlN、InGaN、或AlInGaN等III族氮化物半導體之單層或複數層構成。

【0024】第1氮化物半導體層103設於基板101之上，更具體而言，係設於緩衝層102之上。在本實施形態中，第1氮化物半導體層103例如，係藉由層厚為200nm之GaN構成。另外，第1氮化物半導體層103不限於GaN，亦可藉由InGaN、AlGaN、或AlInGaN等III族氮化物半導體構成，又，第1氮化物半導體層103中亦可包含n型不純物。

【0025】第2氮化物半導體層104相較於第1氮化物半導體層103能隙較大，並設於第1氮化物半導體層103之上。在本實施形態中，第2氮化物半導體層104例

如，係藉由層厚為20nm之Al組成比為25%的AlGa<sub>0.25</sub>N<sub>0.75</sub>構成。另外，「Al組成比為25%」係表示Al<sub>0.25</sub>Ga<sub>0.75</sub>N。在第2氮化物半導體層104與第1氮化物半導體層103之異質界面的第1氮化物半導體層103側，產生高濃度之二維電子氣體，形成二維電子氣體層105之通道。

【0026】 另外，第2氮化物半導體層104不限於AlGa<sub>0.25</sub>N<sub>0.75</sub>，亦可藉由AlInGa<sub>0.25</sub>N<sub>0.75</sub>等III族氮化物半導體構成，又，第2氮化物半導體層104中亦可包含n型不純物。

【0027】 另外，在第2氮化物半導體層104之上，蓋層方面例如亦可設置由Ga<sub>0.25</sub>N<sub>0.75</sub>所構成之層厚為約1nm以上且2nm以下之蓋層。即，在第2氮化物半導體層104與第1絕緣層201之間亦可設置如此之蓋層。又，在第1氮化物半導體層103與第2氮化物半導體層104之間，間隔層方面例如亦可設置由AlN所構成之層厚為約1nm之間隔層。

【0028】 歐姆電極301a及302a係設成在第2氮化物半導體層104之上相對向。在本實施形態中，歐姆電極301a及302a例如，分別係由依Ti膜與Al膜之順序積層之積層結構所構成的多層電極膜，但不受此限。又，歐姆電極301a及302a分別與二維電子氣體層105電性歐姆連接。

【0029】 另外，在歐姆電極301a及302a下，亦可設置已去除第2氮化物半導體層104及第1氮化物半導體層103之一部分的凹部、以及包含了含Si等施體(donor)之n型不純物的接觸層之至少一者。又，包含了n型不純物的接觸層亦可藉由電漿處理、離子注入及再成長等形成。

【0030】 第1絕緣層201設於第2氮化物半導體層104之上。在本實施形態中，第1絕緣層201係設成覆蓋第2氮化物半導體層104之上、歐姆電極301a之一部分及歐姆電極302a之一部分。在本實施形態中，第1絕緣層201例如，係藉由層厚為100nm之Si<sub>3</sub>N<sub>4</sub>構成。

【0031】 第1開口部201a係在源極電極301與汲極電極302之間，設於第1絕

緣層201以使第2氮化物半導體層104露出之開口部一例。在本實施形態中，第1開口部201a係去除位於歐姆電極301a及302a之間的第1絕緣層201而形成，設成使第2氮化物半導體層104露出。

【0032】 第1阻障層401a設於因第1開口部201a而露出之第2氮化物半導體層104與第1絕緣層201之一部分之上，以覆蓋第1開口部201a與第1絕緣層201之一部分。此處，如圖2所示，令第1阻障層401a之層厚 $t_1$ 為 $Z_1$ 。在本實施形態中，第1阻障層401a例如，係藉由第1阻障層401a之層厚 $t_1$ ( $Z_1$ )為30nm的TaN構成，該TaN係僅朝(111)面定向之NaCl型結構之N/Ta比=1.00。又，第1阻障層401a與第2氮化物半導體層104係蕭特基接合。表示層厚 $t_1$ 之 $Z_1$ 滿足 $50\text{nm} > Z_1 > 3\text{nm}$ 。

【0033】 另外，在TaN(第1阻障層401a)是藉由濺鍍法而形成的情況下，因使TaN呈僅朝(111)面定向之NaCl結構，故 $Z_1$ 宜為 $Z_1 > 10\text{nm}$ 。另外，在TaN(第1阻障層401a)是藉由原子層沉積法(Atomic layer deposition)而形成的情況下，雖不限於上述層厚，但有生產性低之課題。

【0034】 另外，第1阻障層401a亦可為僅朝(111)面定向之NaCl型結構之N/Ta比=0.70~1.00的TaN。藉由如此方式，即可如專利文獻1記載般地提高蕭特基障壁高度。

【0035】 又，NaCl型結構之N/Ta比=0.70~1.00的TaN之相鄰金屬原子間的距離(即晶格常數)係成為0.310nm以上且0.315nm以下。AlGaN之晶格常數係0.311nm以上且0.319nm以下。於是，可縮短由TaN所構成之第1阻障層401a與由AlGaN所構成之第2氮化物半導體層104之原子間距離的差。因此，由於難以在第1阻障層401a形成差排，故可減少第1配線層401c之金屬原子透過第1阻障層401a之差排而擴散。

【0036】 第2絕緣層202係設成覆蓋第1絕緣層201之上與第1阻障層401a。更具體而言，第2絕緣層202係設成覆蓋第1絕緣層201之上、與第1阻障層401a之一

部分之上。在本實施形態中，第2絕緣層202宜以含氧率1%以下之材料構成，例如藉由層厚為150nm之SiN構成。另外，第2絕緣層202不限於SiN，亦可為SiC、或SiCN。

【0037】第2開口部202b係去除第2絕緣層202而形成，設成在俯視下覆蓋第1開口部201a之範圍且使第1阻障層401a露出。此時，在俯視下第1開口部201a係配置成被包含於較大尺寸之第2開口部202b中。

【0038】另外，第2開口部202b係設成在俯視下覆蓋第1開口部201a之範圍，但不限於此，亦可為第2開口部202b靠汲極電極302側之端部位於第1開口部201a之內側。即，此時，在俯視下，相較於圖1所示之半導體裝置100A，第2開口部202b之尺寸變得較小。如此，藉由將可成為第1配線層401c之金屬原子擴散路徑的第2開口部202b之尺寸做得較小，即可進而減少第1配線層401c之金屬原子往汲極電極302側之第1絕緣層201與第2氮化物半導體層104中的擴散。

【0039】第2阻障層401b與第1配線層401c係依第2阻障層401b、以及第1配線層401c之順序積層。第2阻障層401b設於因第2開口部202b而露出之第1阻障層401a與第2絕緣層202之一部分之上，並與第1阻障層401a接觸，以覆蓋第2開口部202b。此外，第1配線層401c設成與第2阻障層401b之上接觸。另外，第1配線層401c係與第2阻障層401b之上接觸而設的配線層之一例。藉此，形成包含第1阻障層401a、第2阻障層401b及第1配線層401c之間極電極401。

【0040】在本實施形態中，第2阻障層401b例如，係第2阻障層401b之層厚 $t_2$ (參照圖2)為50nm之由TiN或WN所構成之層。另外，以下，令第2阻障層401b之層厚 $t_2$ 為 $Z_2$ 。第1配線層401c例如，係藉由層厚為450nm之Al構成。

【0041】另外，第2阻障層401b不限於TiN或WN之單層，亦可為以TiN與WN構成之複數層積層結構。另外，第1配線層401c不限於Al，可為W、Au、或Cu，亦可為包含了該等元素之化合物，亦可為由藉由該等元素構成之複數層積層結

構所構成之多層電極膜。

【0042】另外，在第2阻障層401b係藉由TiN構成的情況下，亦可為NaCl型結構之N/Ti比=1.00~1.20的TiN。或者在第2阻障層401b係藉由WN構成的情況下，亦可為NaCl型結構之N/W比=0.10的WN。藉由如此方式，因第2阻障層401b設於由僅朝(111)面定向之NaCl型結構之N/Ta比=1.00的TaN所構成之第1阻障層401a之上，故第2阻障層401b可成為僅朝(111)面定向之結晶結構。又，由僅朝(111)面定向之TiN或WN所構成之第2阻障層401b之相鄰金屬原子間的距離(晶格常數)分別係0.302nm或0.298nm左右。又，由N/Ta比=1.00的TaN所構成之第1阻障層401a之相鄰金屬原子間的距離(晶格常數)係0.315nm。如此，因第2阻障層401b與第1阻障層401a之相鄰金屬原子間距離的差小，故難以在第2阻障層401b形成差排。因此，可減少第1配線層401c之金屬原子透過第2阻障層401b之差排進行的金屬擴散。

【0043】又，藉由使第2阻障層401b之結晶結構呈僅朝(111)面定向之NaCl型結構，設於第2阻障層401b之上的第1配線層401c之結晶結構容易成為僅朝(111)面定向之結晶結構。在第1配線層401c係藉由層厚為450nm之Al構成的情況下，第1配線層401c之結晶結構係成為僅朝(111)面定向之FCC型結構，相鄰金屬原子間的距離為0.286nm。藉由如此方式，即可減少第1配線層401c之電阻或提升可靠性。

【0044】又，如由TaN所構成之第1阻障層401a、由TiN或WN所構成之第2阻障層401b、以及由Al所構成之第1配線層401c般，因成為相鄰金屬原子間的距離從下層朝向上層逐漸縮短的結構，故難以在第1配線層401c形成差排。因此，可進而減少第1配線層401c之電阻及提升可靠性。

【0045】如上述，本實施形態之閘極電極401係包含第1阻障層401a、第2阻障層401b及第1配線層401c之電極。又，如圖1所示，閘極電極401係與源極電極

301及汲極電極302隔著間隔地設置，並在第1開口部201a與第2氮化物半導體層104接觸的電極。換言之，閘極電極401係貫通第1絕緣層201及第2絕緣層202，而與第2氮化物半導體層104接觸的電極。

【0046】此處，針對第1阻障層401a、第2阻障層401b及第2絕緣層202之位置關係進行說明。

【0047】第1阻障層401a與第2阻障層401b係在從第1開口部201a朝向汲極電極302之途中分歧。更具體而言，第1阻障層401a與第2阻障層401b係在圖2中以虛線之圓圈記載的分歧點p2起分歧。從第1開口部201a朝向汲極電極302之方向係x軸正方向。即，第1阻障層401a與第2阻障層401b在較分歧點p2為x軸負側處相接，且在較分歧點p2為x軸正側處分歧並遠離。又，可謂第2絕緣層202係在分歧點p2與汲極電極302之間並從第1阻障層401a之上延伸設置至第1絕緣層201之上。即，在較分歧點p2為x軸正側上，第2絕緣層202之一部分被第1阻障層401a與第2阻障層401b包夾。

【0048】場板電極501係設於作為開口部之一例的第1開口部201a與汲極電極302之間的第2絕緣層202之上的電極。構成場板電極501之第3阻障層501b與第3配線層501c係依第3阻障層501b、及第3配線層501c之順序積層。第3阻障層501b設於第2開口部202b與汲極電極302之間的第2絕緣層202之上之一部分。藉此，形成由第3阻障層501b及第3配線層501c所構成之場板電極501。又，場板電極501連接於源極電極301之電位。此時，場板電極501顯示與源極電極301相同之電位。

【0049】第3阻障層501b宜為與第2阻障層401b相同之構成，但不受此限。又，第3配線層501c宜為與第1配線層401c相同之構成，但不受此限。

【0050】另外，雖未圖示，但在基板101包含之上表面(z軸正側之主面)的垂直方向(z軸方向)上，場板電極501之最上表面位置亦可在較最接近汲極電極302之第2阻障層401b之側面的下端位置p1下方。場板電極501之最上表面位置係指

圖2所示之場板電極501之最上表面501t之位置。又，第2阻障層401b之側面在此係指與yz平面平行之第2阻障層401b的面，最接近汲極電極302之側面係指與汲極電極302距離最短之側面。圖2中，第2阻障層401b之側面的下端位置p1係以虛線之圓圈表示。此時，雖未圖示，但最上表面501t之位置亦可位於較第2阻障層401b之側面的下端位置p1下側(z軸負側)。藉由如此方式，因可縮小場板電極501與閘極電極401對向之面積，故可減少場板電極501與閘極電極401之靜電容量。另外，在本實施形態中，如圖2所示，場板電極501之最上表面位置位於較下端位置p1上側(z軸正側)。

【0051】 另外，在本實施形態中，在基板101包含之上表面的垂直方向上，場板電極501之最下表面位置設於較最接近汲極電極302之第2阻障層401b之側面的下端位置p1下方。場板電極501之最下表面位置係指圖2所示之場板電極501之最下表面501u之位置。即，此時，如圖2所示，最下表面501u之位置位於較第2阻障層401b之側面的下端位置p1下側(z軸負側)。藉由如此方式，可較為鬆弛最接近汲極電極302之第1阻障層401a下端之電場。

【0052】 另外，在本實施形態中，場板電極501之一部分之材料與第2阻障層401b之材料相同。更具體而言，第2阻障層401b之材料與第3阻障層501b之材料相同，第1配線層401c之材料與第3配線層501c之材料相同。藉由如此方式，即可同時形成閘極電極401與場板電極501。

【0053】 另外，場板電極501係以包含下層與上層之複數層構成。更具體而言，場板電極501係以作為下層之第3阻障層501b與作為上層之第3配線層501c構成。如上述，構成場板電極501之第3阻障層501b及第3配線層501c分別與構成閘極電極401之第2阻障層401b及第1配線層401c為相同材料。在本實施形態中，進而，上層之電阻率小於下層之電阻率。即，上層之由Al所構成之第3配線層501c之電阻率小於下層之由TiN所構成之第3阻障層501b。因此，可降低場板電極501

之阻抗。

【0054】 第3開口部202c及第4開口部202d係去除第1絕緣層201與第2絕緣層202而形成，設成使歐姆電極301a及歐姆電極302a之一部分露出。

【0055】 第2配線層301b設於因第3開口部202c而露出之歐姆電極301a與第2絕緣層202之一部分之上，以覆蓋第3開口部202c。同樣地，第2配線層302b設於因第4開口部202d而露出之歐姆電極302a與第2絕緣層202之一部分之上，以覆蓋第4開口部202d。在本實施形態中，第2配線層301b與第2配線層302b分別例如，係依層厚為200nm之TiN、層厚為3000nm之Al及層厚為50nm之TiN之順序積層而構成。另外，第2配線層301b與第2配線層302b不限於Al，可以Au或Cu取代Al，亦可為包含了該等元素之化合物，亦可為由藉由該等元素構成之複數層積層結構所構成之多層電極膜。

【0056】 由歐姆電極301a與第2配線層301b所構成之源極電極301、及由歐姆電極302a與第2配線層302b所構成之汲極電極302係如上述來構成。又，源極電極301及汲極電極302係隔著間隔地設置。源極電極301及汲極電極302皆各自貫通第1絕緣層201及第2絕緣層202，並電性連接於第1氮化物半導體層103。即，在本實施形態中，源極電極301及汲極電極302分別在第3開口部202c及第4開口部202d與第2氮化物半導體層104接觸，並電性連接於第1氮化物半導體層103。

【0057】 此處，針對表示第1阻障層401a之層厚 $t_1$ 的 $Z_1$ 、與表示第2阻障層401b之層厚 $t_2$ 的 $Z_2$ 進行說明。該 $Z_1$ 及 $Z_2$ 滿足 $200\text{nm} \geq Z_1 + Z_2 \geq 50\text{nm}$ 、 $Z_1 < Z_2$ 、以及 $50\text{nm} > Z_1 > 3\text{nm}$ 。

【0058】 藉由做成如此結構之半導體裝置100A，相較於專利文獻2之習知技術，可期待以下效果。首先，藉由令 $Z_1 + Z_2 \geq 50\text{nm}$ ，利用第1阻障層401a與第2阻障層401b，第1配線層401c之金屬原子往第1絕緣層201與第2氮化物半導體層104中的擴散可受抑制，而可減少第1絕緣層201與第2氮化物半導體層104中之能

階產生。因此，可一面減少閘極電極401之反向漏電流，一面減少電流崩潰。此外，藉由令 $Z1+Z2 \geq 70\text{nm}$ ，可一面減少閘極電極401之反向漏電流，一面進而減少電流崩潰。從而，可獲得具有可靠性高且低導通電阻之閘極電極401之半導體裝置100A。

【0059】 茲敘述藉由令 $Z1+Z2 \geq 50\text{nm}$ ，可一面減少閘極電極401之反向漏電流，一面減少電流崩潰之理由。圖3係顯示實施形態1之檢討例之半導體裝置具有之閘極電極401x附近的截面圖。該檢討例之半導體裝置主要除了未具有第2絕緣層202之點、以及閘極電極401x係藉由TiN層401bx與Al層401cx之積層結構構成之點以外，具有與本實施形態之半導體裝置100A相同之構成。圖4係顯示實施形態1之檢討例之半導體裝置中閘極電極401x之反向漏電流、高電壓時之導通電阻/低電壓時之導通電阻，與TiN層401bx之層厚相依性結果的圖。更具體而言，顯示關於圖4圖表之第1軸(左側軸)上，閘極電極401x之反向漏電流與TiN層401bx之層厚相依性的結果。接著，顯示關於圖4圖表之第2軸(右側軸)上，成為電流崩潰指標之在源極電極301與汲極電極302之間施加電壓並進行切換時之高電壓時(85V)之導通電阻與低電壓時(30V)之導通電阻的比，與TiN層401bx之層厚相依性的結果。

【0060】 圖5係顯示實施形態1之檢討例之半導體裝置中，閘極電極401x之反向漏電流、高電壓時之導通電阻/低電壓時之導通電阻，與TiN層401bx之層厚相依性結果的其他圖。更具體而言，圖5圖表之橫軸係顯示閘極電極401x之反向漏電流，圖5圖表之縱軸係顯示上述高電壓時(85V)之導通電阻與低電壓時(30V)之導通電阻的比。又，TiN層401bx之層厚記載於圖表外。

【0061】 如圖4所示，關於閘極電極401x之反向漏電流與TiN層401bx之層厚相依性的結果中，可知若TiN層401bx之層厚成為30nm以上，即可減少閘極電極401x之反向漏電流。吾等認為因使TiN層401bx之層厚為30nm以上且100nm以下

時，閘極電極401x之反向漏電流的變動，相較於TiN層401bx之層厚從20nm變化至30nm時的變動幅度非常小，故為製造變異(manufacturing variation)。接著，關於進行切換時之高電壓時與低電壓時之導通電阻的比，與TiN層401bx之層厚相依性的結果中，可知若TiN層401bx之層厚成為50nm以上且100nm以下，則導通電阻的比變小，減少了電流崩潰。此外，TiN層401bx之層厚為70nm以上且100nm以下時導通電阻的比會變得更小，並減少了電流崩潰。

【0062】 一般而言，若閘極電極401x之反向漏電流大，已被捕捉於能階之電子會被釋出，故閘極電極401x之反向漏電流之減少與電流崩潰之增大互為權衡(trade-off)關係。然而，本檢討結果中，可知若令TiN層401bx之層厚為50nm以上，則可在閘極電極401x之反向漏電流不變的情況下減少電流崩潰，解除了權衡關係。TiN層401bx之層厚為70nm以上時電流崩潰之減少係顯著。圖5中，顯示了遞降之一點鏈線之直線，越接近該一點鏈線之直線，則表示反向漏電流之減少與電流崩潰之增大越互為權衡關係。如圖5所示，隨著TiN層401bx之層厚增加為50nm、70nm及100nm，而從遞降之一點鏈線之直線附近遠離，解除了權衡關係。

【0063】 又，吾等認為TiN層401bx之層厚為20nm時，因Al之金屬原子擴散，造成蕭特基障壁降低，使閘極電極401x之反向漏電流變多。因此，吾等認為電流崩潰較TiN層401bx之層厚為50nm時減少。

【0064】 此處，比較本實施形態之半導體裝置100A與檢討例之半導體裝置。本實施形態之閘極電極401係藉由第1阻障層401a(TaN)、第2阻障層401b(TiN)及第1配線層401c(Al)構成。又，檢討例之閘極電極401x係藉由TiN層401bx與Al層401cx構成。即，若檢討例之TiN層401bx之一部分被替換成第1阻障層401a，則檢討例之閘極電極401x與本實施形態之閘極電極401便成為相同構成。

【0065】 此處，關於TaN，係功函數為5.4eV、晶格常數為0.310nm以上且0.315nm以下、熔點為3090°C。關於TiN，係功函數為4.7eV、晶格常數為0.302nm、

熔點為2930°C。

【0066】因此，在檢討例之TiN層401bx之一部分被替換成第1阻障層401a(TaN)之構成的閘極電極401中，相較於檢討例之閘極電極401x，功函數增加，晶格常數及熔點成為同等程度。於是，若TiN層401bx之層厚與Z1+Z2(第1阻障層401a之層厚及第2阻障層401b之層厚之合計)相同，則可期待在閘極電極401中，較之閘極電極401x，反向漏電流更獲抑制，並且，電流崩潰可更減少。

【0067】即，在本實施形態中，亦藉由令 $Z1+Z2 \geq 50\text{nm}$ ，可期待反向漏電流獲抑制，並且，電流崩潰可減少。更具體而言，吾等認為藉由令 $Z1+Z2 \geq 50\text{nm}$ ，利用第1阻障層401a與第2阻障層401b抑制第1配線層401c之金屬原子往第1絕緣層201與第2氮化物半導體層104中的擴散，而可減少第1絕緣層201與第2氮化物半導體層104中之能階。因此，可一面減少閘極電極401之反向漏電流，一面減少電流崩潰。此外，藉由令 $Z1+Z2 \geq 70\text{nm}$ ，可一面減少閘極之反向漏電流，一面進而減少電流崩潰。因此，可獲得具有可靠性高且低導通電阻之閘極電極401之半導體裝置100A。

【0068】又，關於WN，係功函數為4.6eV、晶格常數為0.298nm，與TiN等值。又，關於WN，係熔點小於2000°C，為非常高之熔點。因此，在閘極電極401之第2阻障層401b非以TiN構成而是以WN構成的情況下仍可期待相同之效果。

【0069】另外，從第1阻障層401a與第2阻障層401b之加工及結晶性的觀點來看，宜為 $Z1+Z2 \leq 200\text{nm}$ ，較宜為 $Z1+Z2 \leq 150\text{nm}$ ，更宜為 $Z1+Z2 \leq 100\text{nm}$ 。

【0070】又，利用由TiN或WN所構成之第2阻障層401b、加上第1阻障層401a由更高熔點材料之TaN所構成，且層厚t1滿足 $Z1 > 3\text{nm}$ ，相較於閘極電極401僅由第2阻障層401b所構成的情況，可抑制金屬往第1絕緣層201與第2氮化物半導體層104中的擴散。在藉由濺鍍法形成有TaN的情況下，因成膜之初始過程中會成長成非連續膜之島狀，藉由令 $Z1 > 3\text{nm}$ 即容易成為均一之膜狀，故宜令

$Z1 > 3\text{nm}$ 。又，宜令 $Z1 > 10\text{nm}$ ，更宜令 $Z1 > 15\text{nm}$ 。另外，在藉由原子層沉積法形成有TaN的情況下，雖不限於該方法，但有生產性低之課題。此外，表示第1阻障層401a之層厚 $t1$ 的 $Z1$ 係 $50\text{nm} > Z1$ 。 $Z1$ 較宜為 $40\text{nm} > Z1$ ， $Z1$ 更宜為 $30\text{nm} > Z1$ 。構成第1阻障層401a之TaN雖然顯示高阻障性，但利用乾式蝕刻進行之加工性低。因此，減薄第1阻障層401a之層厚 $t1$ ，例如，藉由令 $50\text{nm} > Z1$ ，即可提高第1阻障層401a之加工性。

【0071】 又，TaN須以乾式蝕刻進行加工。以乾式蝕刻加工時，因TaN之鹵素化合物的蒸氣壓高，故TaN與第1絕緣層201之選擇比變低，第1絕緣層201之殘餘膜變異(residual film variation)增加。並且，藉由第1絕緣層201之殘餘膜變異增加，場板電極501與汲極電極302之靜電容量變異(electrostatic capacitance variation)增加。相對於此，TiN或WN相較於TaN，因鹵素化合物的蒸氣壓低，故TiN或WN與第1絕緣層201之選擇比變高。因此，如本實施形態般藉由令 $Z1 < Z2$ ，相較於專利文獻2之習知技術，第1配線層401c之金屬原子往第1絕緣層201與第2氮化物半導體層104中的擴散可受抑制，變得容易加工，因而減少第1絕緣層201之殘餘膜變異。從而，可減少場板電極501與汲極電極302之靜電容量變異。

【0072】 另外，如本實施形態般，由TaN所構成之第1阻障層401a被由SiN所構成之第1絕緣層201及第2絕緣層202、與第2阻障層401b覆蓋。此外，第2絕緣層202係以含氧率1%以下之材料構成。因此，可抑制由TaN所構成之第1阻障層401a之氧化。又，圖2中顯示閘極電極401與場板電極501之最接近距離 $d1$ 。最接近距離 $d1$ 意指閘極電極401與場板電極501之間隔中最短的距離。例如，在本實施形態中，最接近距離 $d1$ 係圖2所示之截面圖中x軸方向的長度，係閘極電極401與場板電極501之間隔。最接近距離 $d1$ 係100nm以上。又，最接近距離 $d1$ 宜為200nm以上，更宜為300nm以上。藉由如此方式，即可充分地提高閘極電極401與場板電極501之ESD(Electrostatic Discharge：靜電放電)耐壓。又，最接近距離 $d1$ 宜為1000nm以

下，較宜為900nm以下，更宜為800nm以下。藉此，半導體裝置100A之精簡小型化變得容易。

【0073】 以下，一邊參照圖6~圖13，一邊說明本實施形態中半導體裝置100A之製造方法。

【0074】 圖6~圖13係分別顯示實施形態1之半導體裝置100A之製造方法之步驟的截面圖。

【0075】 首先，如圖6所示，在由Si所構成之基板101之上使用金屬有機化學氣相沉積法(MOCVD：Metal Organic Chemical Vapor Deposition)，在+c面方向(<0001>方向)上依序磊晶成長而形成：層厚為2  $\mu$  m且由AlN及AlGaIn之積層結構所構成之緩衝層102、層厚為200nm且由GaIn所構成之第1氮化物半導體層103、及層厚為20nm且Al組成比25%之第2氮化物半導體層104。結果，在第2氮化物半導體層104與第1氮化物半導體層103之異質界面的第1氮化物半導體層103側，產生高濃度之二維電子氣體，形成二維電子氣體層105之通道。

【0076】 接著，在第2氮化物半導體層104之上施行利用鹽酸進行之前洗淨。此外，在會形成源極電極301及汲極電極302之區域以外，塗佈光阻劑(resist)後利用光刻法將光阻劑圖案化而形成光罩。接著，藉由蒸鍍依Ti膜及Al膜之順序沉積後，如圖7所示，利用剝離(lift-off)法形成歐姆電極301a與歐姆電極302a。接著，藉由施行熱處理使二維電子氣體層105與歐姆電極301a及歐姆電極302a電性歐姆連接。另外，亦可藉由濺鍍法依Ti膜及Al膜之順序沉積後，藉由依序使用光刻法及乾式蝕刻法，而形成歐姆電極301a與歐姆電極302a。

【0077】 接著，如圖8所示，層厚為100nm之由SiN所構成之第1絕緣層201係藉由電漿CVD(Chemical Vapor Deposition：化學氣相沉積)法沉積。之後，在會形成閘極電極401之區域以外，塗佈光阻劑後使用光刻法將光阻劑圖案化而形成光罩。接著，使用乾式蝕刻法形成第1開口部201a以使第2氮化物半導體層104露出。

另外，本實施形態中，第1絕緣層201可為SiCN，亦可為藉由減壓CVD法沉積之SiN。又，本實施形態中，雖然使用乾式蝕刻法，但亦可使用濕式蝕刻法在第1絕緣層201設置第1開口部201a。

【0078】接著，如圖9所示，使用濺鍍裝置，藉由對Ta靶材進行含N<sub>2</sub>氣體之濺鍍處理，沉積層厚為30nm之由Ta<sub>2</sub>N<sub>5</sub>所構成之第1阻障層401a。之後，在會形成閘極電極401之區域，塗佈光阻劑後使用光刻法將光阻劑圖案化而形成光罩。接著，使用乾式蝕刻法將第1阻障層401a圖案化。此時，雖然藉由過蝕刻(over etching)去除第1絕緣層201之一部分，但因Ta<sub>2</sub>N<sub>5</sub>(第1阻障層401a)之層厚薄至30nm，故可使遭去除之第1絕緣層201之量止於最小限度，減少第1絕緣層201之殘餘膜變異。

【0079】接著，如圖10所示，層厚為150nm之由SiN所構成之第2絕緣層202係藉由電漿CVD法沉積。之後，在會形成閘極電極401之區域以外，塗佈光阻劑後使用光刻法將光阻劑圖案化而形成光罩。接著，使用乾式蝕刻法形成第2開口部202b以使第1阻障層401a露出。

【0080】接著，藉由濺鍍法依層厚為50nm之TiN與層厚為450nm之Al之順序沉積。如圖11所示，層厚為50nm之TiN相當於第2阻障層401b及第3阻障層501b，層厚為450nm之Al相當於第1配線層401c及第3配線層501c。之後，在會形成閘極電極401與場板電極501之區域，塗佈光阻劑後使用光刻法將光阻劑圖案化而形成光罩。接著，使用乾式蝕刻法將第2阻障層401b及第3阻障層501b與第1配線層401c及第3配線層501c圖案化。如此進行，形成閘極電極401與場板電極501。

【0081】接著，如圖12所示，在會形成源極電極301與汲極電極302之區域以外，塗佈光阻劑後使用光刻法將光阻劑圖案化而形成光罩。接著，使用乾式蝕刻法形成第3開口部202c與第4開口部202d以使歐姆電極301a與歐姆電極302a露出。

【0082】 接著，如圖13所示，藉由濺鍍法依層厚為200nm之TiN、層厚為3000nm之Al及層厚為50nm之TiN之順序沉積。之後，在會形成源極電極301與汲極電極302之區域，塗佈光阻劑後使用光刻法將光阻劑圖案化而形成光罩。接著，使用乾式蝕刻法，將第2配線層301b與第2配線層302b圖案化。如此進行，形成源極電極301與汲極電極302。另外，第2配線層301b與第2配線層302b不限於乾式蝕刻法，亦可藉由鍍敷法或鑲嵌法形成，此時，亦可為採用Au或Cu之配線。

【0083】 藉由經過以上一連串之步驟，而完成圖1所示之結構之半導體裝置100A。

【0084】 如以上形成之半導體裝置100A，藉由令 $200\text{nm} \geq Z1+Z2 \geq 50\text{nm}$ ，利用第1阻障層401a與第2阻障層401b，第1配線層401c之金屬原子往第1絕緣層201與第2氮化物半導體層104中的擴散可受抑制，而可減少第1絕緣層201與第2氮化物半導體層104中之能階產生。因此，可一面減少閘極電極401之反向漏電流，一面減少電流崩潰。此外，藉由令 $Z1+Z2 \geq 70\text{nm}$ ，可一面減少閘極之反向漏電流，一面進而減少電流崩潰。從而，可獲得半導體裝置100A，其具有可靠性高且低導通電阻之閘極電極401。

【0085】 又，如本實施形態般藉由令 $Z1 < Z2$ ，相較於專利文獻2之習知技術，第1配線層401c之金屬原子的擴散可受抑制，變得容易加工，又，第1絕緣層201之殘餘膜變異可獲減少。從而，可減少場板電極501與汲極電極302之靜電容量變異。

【0086】 又，利用TiN或WN之第2阻障層401b、加上第1阻障層401a由更高熔點材料之TaN所構成，且層厚 $t1$ 滿足 $50\text{nm} > Z1 > 3\text{nm}$ ，相較於閘極電極401僅由第2阻障層401b所構成的情況，可抑制金屬擴散。

【0087】 (實施形態2)

此處針對實施形態2之半導體裝置，使用圖14進行說明。

【0088】圖14係顯示實施形態2之半導體裝置100B之構成的截面圖。另外，本實施形態中針對與實施形態1共通之構成要素係省略其詳細說明。

【0089】本實施形態中，針對半導體裝置100B係具備蕭特基接合閘極電極之HEMT的情況進行說明。

【0090】如圖14所示，半導體裝置100B具備：基板101、緩衝層102、第1氮化物半導體層103、第2氮化物半導體層104、二維電子氣體層105、第1絕緣層201、開口部(此處為第1開口部201a)、第2絕緣層202、第3絕緣層203、第2開口部203b、第3開口部203c、第4開口部203d、由歐姆電極301a及第2配線層301b所構成之源極電極301、由歐姆電極302a及第2配線層302b所構成之汲極電極302、包含第1阻障層401a、第2阻障層402b及配線層(此處為第1配線層402c)之閘極電極402、以及場板電極502。

【0091】場板電極502設於閘極電極402與汲極電極302之間的第2絕緣層202之上。更具體而言，場板電極502係設於作為開口部之一例的第1開口部201a與汲極電極302之間的第2絕緣層202之上的電極。又，場板電極502連接於源極電極301之電位。此時，場板電極502顯示與源極電極301相同之電位。在本實施形態中，場板電極502例如，係藉由層厚為50nm之TiN構成。另外，場板電極502不限於TiN，亦可以包含下層與上層之複數層所構成。此時，上層之電阻率亦可小於下層之電阻率。場板電極502可為Al、Au、Cu、W、Ti、Ta、TiN、TaN、WN、Pt等，亦可為包含了該等元素之化合物的組合。

【0092】第3絕緣層203係設成會覆蓋第2絕緣層202之上與場板電極502。更具體而言，第3絕緣層203係設成在分歧點p2與汲極電極302之間的第2絕緣層202之上，以覆蓋場板電極502。在本實施形態中，第3絕緣層203例如，係藉由層厚為150nm之SiN構成。

【0093】第2開口部203b係去除第2絕緣層202與第3絕緣層203而形成，設成

在俯視下會覆蓋第1開口部201a之範圍且使第1阻障層401a露出。此時，在俯視下第1開口部201a係配置成被包含於較大尺寸之第2開口部203b中。

【0094】另外，第2開口部203b係設成在俯視下會覆蓋第1開口部201a之範圍，但不限於此，亦可為第2開口部203b靠汲極電極302側之端部位於第1開口部201a之內側。即，此時，在俯視下，相較於圖14所示之半導體裝置100B，第2開口部203b之尺寸變得較小。如此，藉由將可成為第1配線層402c之金屬原子擴散路徑的第2開口部203b之尺寸做得較小，即可進而減少第1配線層402c之金屬原子往汲極電極302側之第1絕緣層201與第2氮化物半導體層104中的擴散。

【0095】第2阻障層402b與第1配線層402c係依第2阻障層402b、以及第1配線層402c之順序積層。第2阻障層402b設於因第2開口部203b而露出之第1阻障層401a與第3絕緣層203之一部分之上，並與第1阻障層401a接觸，以覆蓋第2開口部203b。此外，第1配線層402c設成與第2阻障層402b之上接觸。另外，第1配線層402c係與第2阻障層402b之上接觸而設的配線層之一例。藉此，形成包含第1阻障層401a、第2阻障層402b及第1配線層402c之間極電極402。

【0096】在本實施形態中，第2阻障層402b例如，係以層厚為50nm之TiN或WN構成。第1配線層402c例如，係藉由層厚為450nm之Al構成。

【0097】另外，第2阻障層402b不限於TiN或WN之單層，亦可為以TiN與WN構成之複數層積層結構。又，第1配線層402c不限於Al，可為W、Au、或Cu，亦可為包含了該等元素之化合物，亦可為由藉由該等元素構成之複數層積層結構所構成之多層電極膜。

【0098】另外，在第2阻障層402b係藉由TiN構成的情況下，亦可為NaCl型結構之N/Ti比=1.00~1.20的TiN。或者在第2阻障層402b係藉由WN構成的情況下，亦可為NaCl型結構之N/W比=0.10的WN。藉由如此方式，因第2阻障層402b設於由僅朝(111)面定向之NaCl型結構之N/Ta比=1.00的TaN所構成之第1阻障層401a

之上，故第2阻障層402b可成為僅朝(111)面定向之結晶結構。又，由僅朝(111)面定向之TiN或WN所構成之第2阻障層402b之相鄰金屬原子間的距離(晶格常數)分別係0.302nm或0.298nm左右。又，由N/Ta比=1.00的TaN所構成之第1阻障層401a之相鄰金屬原子間的距離(晶格常數)係0.315nm。如此，因第2阻障層402b與第1阻障層401a之相鄰金屬原子間距離的差小，故難以在第2阻障層402b形成差排。因此，可減少第1配線層402c之金屬原子透過第2阻障層402b之差排進行的金屬擴散。

**【0099】** 又，藉由使第2阻障層402b之結晶結構呈僅朝(111)面定向之NaCl型結構，設於第2阻障層402b之上的第1配線層402c之結晶結構容易成為僅朝(111)面定向之結晶結構。在第1配線層402c之層厚為450nm，並且，第1配線層402c係藉由Al構成的情況下，第1配線層402c之結晶結構係成為僅朝(111)面定向之FCC型結構，相鄰金屬原子間的距離為0.286nm。藉由如此方式，即可減少第1配線層402c之電阻或提升可靠性。

**【0100】** 又，如由TaN所構成之第1阻障層401a、由TiN或WN所構成之第2阻障層402b、以及由Al所構成之第1配線層402c般，因成為相鄰金屬原子間的距離從下層朝向上層逐漸縮短的結構，故難以在第1配線層402c形成差排。因此，可進而減少第1配線層402c之電阻及提升可靠性。

**【0101】** 此處，針對第1阻障層401a、第2阻障層402b、第2絕緣層202及第3絕緣層203之位置關係進行說明。

**【0102】** 第1阻障層401a與第2阻障層402b在從第1開口部201a朝向汲極電極302之途中的分歧點p2起分歧。此時，在較分歧點p2為x軸正側上，第2絕緣層202與第3絕緣層203被第1阻障層401a與第2阻障層402b包夾。更具體而言，以第2絕緣層202與第3絕緣層203構成之積層體之一部分被第1阻障層401a與第2阻障層402b包夾。

【0103】 又，在基板101包含之上表面的垂直方向上，場板電極502之最上表面位置設於較最接近汲極電極302之第2阻障層402b之側面的下端位置p1下方。場板電極502之最上表面位置係指圖14所示之場板電極502之最上表面502t之位置。又，第2阻障層402b之側面在此係指與yz平面平行之第2阻障層402b的面，最接近汲極電極302之側面係指與汲極電極302距離最短之側面。圖14中，第2阻障層402b之側面的下端位置p1係以虛線之圓圈表示。即，此時，如圖14所示，最上表面502t之位置位於較第2阻障層402b之側面的下端位置p1下側(z軸負側)。藉由如此方式，因可縮小場板電極502與閘極電極402對向之面積，故可減少場板電極502與閘極電極402之靜電容量。

【0104】 又，由Ta<sub>2</sub>N<sub>5</sub>所構成之第1阻障層401a被由Si<sub>3</sub>N<sub>4</sub>所構成之第1絕緣層201及第2絕緣層202、與第2阻障層402b覆蓋。此外，第2絕緣層202係以含氧率1%以下之材料構成。因此，可抑制由Ta<sub>2</sub>N<sub>5</sub>所構成之第1阻障層401a之氧化。又，圖14中顯示閘極電極402與場板電極502之最接近距離d1。最接近距離d1意指閘極電極402與場板電極502之間隔中最短的距離。例如，在本實施形態中，最接近距離d1係圖14所示之截面圖中x軸方向的長度，係閘極電極402與場板電極502之間隔。最接近距離d1係100nm以上。又，最接近距離d1宜為200nm以上，更宜為300nm以上。藉由如此方式，即可充分地提高閘極電極402與場板電極502之ESD耐壓。又，最接近距離d1宜為1000nm以下，較宜為900nm以下，更宜為800nm以下。藉此，半導體裝置100B之精簡小型化變得容易。

【0105】 另外，在本實施形態中，在基板101包含之上表面的垂直方向上，場板電極502之最下表面位置設於較最接近汲極電極302之第2阻障層402b之側面的下端位置p1下方。場板電極502之最下表面位置係指圖14所示之場板電極502之最下表面502u之位置。即，此時，如圖14所示，最下表面502u之位置位於較第2阻障層402b之側面的下端位置p1下側(z軸負側)。藉由如此方式，可較為鬆弛最接近

汲極電極302之第1阻障層401a下端之電場。

【0106】 第3開口部203c及第4開口部203d係去除第1絕緣層201、第2絕緣層202及第3絕緣層203而形成，設成使歐姆電極301a及歐姆電極302a之一部分露出。

【0107】 第2配線層301b設於因第3開口部203c而露出之歐姆電極301a與第3絕緣層203之一部分之上，以覆蓋第3開口部203c。同樣地，第2配線層302b設於因第4開口部203d而露出之歐姆電極302a與第3絕緣層203之一部分之上，以覆蓋第4開口部203d。在本實施形態中，第2配線層301b與第2配線層302b分別例如，藉由層厚為200nm之TiN、層厚為3000nm之Al及層厚為50nm之TiN構成。另外，第2配線層301b與第2配線層302b不限於Al，可以W、Au或Cu取代Al，亦可為包含了該等元素之化合物，亦可為由藉由該等元素構成之複數層積層結構所構成之多層電極膜。

【0108】 如上述，本實施形態之半導體裝置100B具有第3絕緣層203，第2絕緣層202與第3絕緣層203被第1阻障層401a與第2阻障層402b包夾。藉由做成如此結構之半導體裝置100B，因第2絕緣層202與第3絕緣層203係獨立設計，故從ESD耐壓及電場設計之觀點來看，半導體裝置100B之結構設計的自由度高。此外，因第3絕緣層203被插入第1阻障層401a與第2阻障層402b之間，故場板電極502與閘極電極402之靜電容量小，可獲得具有可靠性高且低導通電阻之特性之閘極電極402。

【0109】 另外，構成第3絕緣層203之材料的介電係數亦可小於構成第2絕緣層202之材料的介電係數。構成第3絕緣層203之材料，例如，亦可為SiO<sub>2</sub>、SiON、SiC、SiCN，宜因應構成第2絕緣層202之材料的介電係數來選擇。藉由如此方式，可減少場板電極502與閘極電極402之靜電容量。

【0110】 另外，第2絕緣層202之層厚亦可較第3絕緣層203之層厚薄。藉由

如此方式，可使汲極電極302側之第1阻障層401a之端部電場鬆弛(electric field relaxation)。

【0111】 另外，第1阻障層401a與第2阻障層402b之至少一者亦可為左右非對稱。即，第1阻障層401a之形狀與第2阻障層402b之形狀之至少一者係以通過開口部(此處為第1開口部201a)之中央且與z軸平行之對稱線為軸，亦可不為線對稱。藉由如此方式，可提升場板電極502之結構設計的自由度。

【0112】 針對如此形狀，係使用圖15~圖19進行說明。

【0113】 首先，使用圖15進行說明。

【0114】 圖15係顯示實施形態2之變形例1之半導體裝置100B之閘極電極402附近之構成的截面圖。

【0115】 實施形態2之變形例1之半導體裝置100B主要除了場板電極502具有階梯形狀之點、以及第2阻障層402b之形狀為左右非對稱之點以外，具有與實施形態2之半導體裝置100B相同之構成。

【0116】 在圖15中，顯示出上述通過第1開口部201a之中央且與z軸平行之對稱線L1。以該對稱線L1為軸，第2阻障層402b之形狀例如在圖15所示之截面圖中即非線對稱。此時，第2阻障層402b中，從第1開口部201a之中央往朝向源極電極301之方向的延伸長度，與從該中央往朝向汲極電極302之方向的延伸長度相異。另外，從該中央往朝向源極電極301之方向係指x軸負方向，往該x軸負方向的延伸長度係指從對稱線L1至源極電極301側之第2阻障層402b之端部的長度。又，從該中央往朝向汲極電極302之方向係指x軸正方向，往該x軸正方向的延伸長度係指從對稱線L1至汲極電極302側之第2阻障層402b之端部的長度。如此，第1阻障層401a與第2阻障層402b中之至少一者(此處為第2阻障層402b)中，從第1開口部201a之中央往朝向源極電極301之方向的延伸長度與從該中央往朝向汲極電極302之方向的延伸長度相異。藉此，場板電極502之結構設計自由度提升。

【0117】 此外，在基板101之俯視下，第1阻障層401a與場板電極502之間隔亦可較第2阻障層402b與場板電極502之間隔 $d_2$ 短。更具體而言，第2阻障層402b與場板電極502之間隔 $d_2$ 係圖15所示之x軸方向的長度。另外，在俯視下，因第1阻障層401a之x軸正側之端部與場板電極502之x軸負側之端部重疊，故第1阻障層401a與場板電極502之間隔在此處為0。藉由如此方式，因第2阻障層402b與汲極電極302之間隔變大，故可減少汲極電極302與閘極電極402之靜電容量。

【0118】 此外，使用圖16進行說明。

【0119】 圖16係顯示實施形態2之變形例2之半導體裝置100B之閘極電極402附近之構成的截面圖。

【0120】 實施形態2之變形例2之半導體裝置100B主要除了第2阻障層402b之形狀相異之點以外，具有與實施形態2之變形例1之半導體裝置100B相同之構成。

【0121】 如圖16所示，以該對稱線L1為軸，第2阻障層402b之形狀例如在圖16所示之截面圖中即非線對稱。又，第2阻障層402b在較第1開口部201a之中央(例如對稱線L1)為x軸負側、與較第1開口部201a之中央(例如對稱線L1)為x軸正側處分別具有階梯形狀。在此，較第1開口部201a之中央為x軸負側之階梯形狀、與較第1開口部201a之中央為x軸正側之階梯形狀，兩者的階梯階數相異。

【0122】 又，與圖15所示之實施形態2之變形例1之半導體裝置100B相同，在實施形態2之變形例2之半導體裝置100B中，在基板101之俯視下，第1阻障層401a與場板電極502之間隔，亦可較第2阻障層402b與場板電極502之間隔 $d_2$ 短。藉由如此方式，因第2阻障層402b與汲極電極302之間隔變寬，故可減少汲極電極302與閘極電極402之靜電容量。

【0123】 此外，使用圖17及圖18進行說明。

【0124】 圖17係顯示實施形態2之變形例3之半導體裝置100B之閘極電極

402附近之構成的截面圖。圖18係顯示將圖17之區域XVIII放大後的截面圖。

【0125】 實施形態2之變形例3之半導體裝置100B主要除了第1阻障層401a之形狀為左右非對稱之點以外，具有與實施形態2之半導體裝置100B相同之構成。

【0126】 在圖17及圖18中顯示出對稱線L1。以該對稱線L1為軸，第1阻障層401a之形狀例如在圖17及圖18所示之截面圖中即非線對稱。更具體而言，第1阻障層401a中，從第1開口部201a之中央往朝向源極電極301之方向的延伸長度(以下第1延伸長度)，與從該中央往朝向汲極電極302之方向的延伸長度(以下第2延伸長度)相異。作為一例，如圖18所示，第1延伸長度與第2延伸長度分別為長度d4與長度d5。此時，第1延伸長度係從第1開口部201a之中央(例如，對稱線L1)往朝向源極電極301之方向且沿著x軸負方向之長度的長度d4，第2延伸長度係從第1開口部201a之中央(例如，對稱線L1)往朝向汲極電極302之方向且沿著x軸正方向之長度的長度d5。又，作為其他一例，如圖18所示，第1延伸長度與第2延伸長度分別為長度d6與長度d7。此時，第1延伸長度係沿著位於較對稱線L1為x軸負側之第1阻障層401a之階梯形狀之段差之長度的長度d6，第2延伸長度係沿著位於較對稱線L1為x軸正側之第1阻障層401a之階梯形狀之段差之長度的長度d7。如此，第1延伸長度與第2延伸長度宜滿足長度d4>長度d5、或長度d6>長度d7。如圖17及圖18所示，第1阻障層401a中，從第1開口部201a之中央往朝向源極電極301之方向的延伸長度(第1延伸長度)與從該中央往朝向汲極電極302之方向的延伸長度(第2延伸長度)相異。藉此，場板電極502之結構設計自由度會提升。

【0127】 此外，在基板101之俯視下，第1阻障層401a與場板電極502之間隔d3亦可較第2阻障層402b與場板電極502之間隔長。更具體而言，第1阻障層401a與場板電極502之間隔d3係圖17所示之x軸方向的長度。另外，在俯視下，因第2阻障層402b之x軸正側之端部與場板電極502之x軸負側之端部重疊，故第2阻障層402b與場板電極502之間隔在此處為0。藉由如此方式，第2阻障層402b及第1配線

層402c之寬度在汲極電極302側被擴大，即可降低閘極電極402之配線電阻。此外，因場板電極502之形狀變得平坦，故可減少場板電極502與閘極電極402之靜電容量。

【0128】 此外，使用圖19進行說明。

【0129】 圖19係顯示實施形態2之變形例4之半導體裝置100B之閘極電極402附近之構成的截面圖。

【0130】 實施形態2之變形例4之半導體裝置100B主要除了第2阻障層402b之形狀相異之點以外，具有與實施形態2之變形例3之半導體裝置100B相同之構成。如圖19所示，第1阻障層401a與場板電極502之間隔d3亦可較第2阻障層402b與場板電極502之間隔d2長。此時，第2阻障層402b及第1配線層402c之寬度在汲極電極302側更被擴大，即可降低閘極電極402之配線電阻。如此，在欲降低閘極電極402之配線電阻的情況下，場板電極502與閘極電極402之靜電容量會變大。因此，藉由增厚第3絕緣層203之層厚，即可進行設計使場板電極502與閘極電極402之靜電容量不至變大。

【0131】 以下，一邊參照圖20~圖28，一邊說明本實施形態中半導體裝置100B之製造方法。圖20~圖28係分別顯示製造途中之半導體裝置100B之構成的截面圖。

【0132】 首先，因圖20~圖23與實施形態1所示之圖6~圖9相同，故省略詳細說明。

【0133】 接著，如圖24所示，在藉由電漿CVD法沉積層厚為150nm之由SiN所構成之第2絕緣層202後，藉由濺鍍法依序沉積層厚為50nm之TiN。之後，在會形成場板電極502之區域，塗佈光阻劑後，使用光刻法將光阻劑圖案化而形成光罩。接著，使用乾式蝕刻法來形成場板電極502。

【0134】 接著，如圖25所示，層厚為150nm之由SiN所構成之第3絕緣層203

係藉由電漿CVD法沉積。之後，在會形成閘極電極402之區域以外，塗佈光阻劑後，使用光刻法將光阻劑圖案化而形成光罩。接著，使用乾式蝕刻法形成第2開口部203b，以使第1阻障層401a露出。

【0135】 接著，如圖26所示，藉由濺鍍法依層厚為50nm之由TiN所構成之第2阻障層402b與層厚為450nm之由Al所構成之第1配線層402c之順序沉積。之後，在會形成閘極電極402之區域，塗佈光阻劑後，使用光刻法將光阻劑圖案化而形成光罩。接著，使用乾式蝕刻法將第2阻障層402b與第1配線層402c圖案化。如此進行，形成閘極電極402。

【0136】 接著，如圖27所示，在會形成源極電極301與汲極電極302之區域以外，塗佈光阻劑後，使用光刻法將光阻劑圖案化而形成光罩。接著，使用乾式蝕刻法形成第3開口部203c與第4開口部203d以使歐姆電極301a與歐姆電極302a露出。

【0137】 接著，如圖28所示，藉由濺鍍法依層厚為200nm之TiN、層厚為3000nm之Al及層厚為50nm之TiN之順序沉積。之後，在會形成源極電極301與汲極電極302之區域，塗佈光阻劑後，使用光刻法將光阻劑圖案化而形成光罩。接著，使用乾式蝕刻法，將第2配線層301b與第2配線層302b圖案化。如此進行，形成源極電極301與汲極電極302。另外，第2配線層301b與第2配線層302b不限於乾式蝕刻法，亦可藉由鍍敷法或鑲嵌法形成作為採用Au或Cu之配線。

【0138】 藉由經過以上一連串之步驟，而完成圖14所示之結構之半導體裝置100B。

【0139】 在如以上形成之半導體裝置100B中，因可縮小場板電極502與閘極電極402對向之面積，故可減少場板電極502與閘極電極402之靜電容量。因此，可獲得半導體裝置100B，其場板電極502與閘極電極402之靜電容量小、具有之閘極電極402具有可靠性高且低導通電阻之特性。

**【0140】** (其他實施形態)

以上，針對本揭示之半導體裝置，係基於各實施形態進行了說明，但本揭示不受上述各實施形態限定。

**【0141】** 例如，在實施形態2中如圖15~圖19所示，第1阻障層401a與第2阻障層402b之至少一者亦可為左右非對稱。另外，在實施形態1中亦相同，第1阻障層401a與第2阻障層401b之至少一者亦可為左右非對稱。藉由如此方式，可提升場板電極501之結構設計的自由度。

**【0142】** 又，例如，如圖15所示，第1阻障層401a與場板電極502之間隔亦可較第2阻障層402b與場板電極502之間隔 $d_2$ 短。此外，在實施形態1中亦相同，第1阻障層401a與場板電極501之間隔亦可較第2阻障層401b與場板電極501之間隔短。藉由如此方式，因第2阻障層401b與汲極電極302之間隔變寬，故可減少汲極電極302與閘極電極401之靜電容量。

**【0143】** 又，例如，如圖17所示，第1阻障層401a與場板電極502之間隔 $d_3$ 亦可較第2阻障層402b與場板電極502之間隔長。另外，在實施形態1中亦相同，第1阻障層401a與場板電極501之間隔亦可較第2阻障層402b與場板電極501之間隔長。藉由如此方式，閘極電極401之寬度在汲極電極302側被擴大，即可降低閘極電極401之配線電阻。此外，因場板電極501之形狀變得平坦，故可減少場板電極501與閘極電極401之靜電容量。

**【0144】** 又，例如，在不脫離本揭示主旨之前提下，本技術領域中具有通常知識者施行對於各實施形態所思及之各種變形而得之形態、或在不脫離本揭示之旨趣的範圍內藉由任意組合實施形態中之構成要素及機能所實現之形態亦包含於本揭示中。

**【0145】** 又，上述實施形態可在申請專利範圍或其均等之範圍中進行各種變更、置換、附加、省略等。

**【0146】 產業上之可利用性**

本揭示之半導體裝置可用於要求高速動作之通訊機器或反向器、以及用於電源電路等之功率開關元件等。

**【符號說明】****【0147】**

100A,100B:半導體裝置

101:基板

102:緩衝層

103:第1氮化物半導體層

103a:GaN層

104:第2氮化物半導體層

104a:AlGaN層

105:二維電子氣體層

201,211:第1絕緣層

201a,211a:第1開口部

202,212:第2絕緣層

202b,203b,212b:第2開口部

202c,203c:第3開口部

202d,203d:第4開口部

203:第3絕緣層

204:閘極絕緣層

301:源極電極

301a,302a:歐姆電極

301b,302b:第2配線層

302:汲極電極

401,401x,402,411:閘極電極

401a:第1阻障層

401b,402b:第2阻障層

401c,402c,411c:第1配線層

401bx,411b:TiN層

401cx:Al層

411a:TaN層

501,502:場板電極

501b:第3阻障層

501c:第3配線層

501t,502t:最上表面

501u,502u:最下表面

d1:最接近距離

d2,d3:間隔

d4,d5,d6,d7:長度

L1:對稱線

t1,t2:層厚

p1:下端位置

p2:分歧點

II,XVIII:區域

**【發明申請專利範圍】**

**【請求項1】** 一種半導體裝置，具有：基板；

第1氮化物半導體層，其設於前述基板之上；

第2氮化物半導體層，其相較於前述第1氮化物半導體層能隙較大，並設於前述第1氮化物半導體層之上；

第1絕緣層，其設於前述第2氮化物半導體層之上；

源極電極及汲極電極，其等隔著間隔地設置，各自貫通前述第1絕緣層並電性連接於前述第1氮化物半導體層；

開口部，其在前述源極電極與前述汲極電極之間，設於前述第1絕緣層以使前述第2氮化物半導體層露出；及

閘極電極，其與前述源極電極及前述汲極電極隔著間隔地設置，並在前述開口部與前述第2氮化物半導體層接觸；

前述閘極電極，包含：

第1阻障層，其由Ta<sub>2</sub>N<sub>5</sub>所構成，層厚為Z<sub>1</sub>，蕭特基接合於前述第2氮化物半導體層；

第2阻障層，其設成與前述第1阻障層之上接觸，由TiN或WN所構成，層厚為Z<sub>2</sub>；及

配線層，其設成與前述第2阻障層之上接觸；

前述Z<sub>1</sub>及前述Z<sub>2</sub>滿足 $200\text{nm} \geq Z_1 + Z_2 \geq 50\text{nm}$ 、 $Z_1 < Z_2$ 、以及 $50\text{nm} > Z_1 > 3\text{nm}$ 。

**【請求項2】** 如請求項1之半導體裝置，其中前述Z<sub>1</sub>及前述Z<sub>2</sub>滿足 $Z_1 + Z_2 \geq 70\text{nm}$ 。

**【請求項3】** 如請求項1或2之半導體裝置，其中前述Z<sub>1</sub>滿足 $Z_1 > 10\text{nm}$ 。

**【請求項4】** 如請求項1或2之半導體裝置，其中前述第1阻障層與前述第2阻障層在從前述開口部朝向前述汲極電極之途中的分歧點起分歧；

前述半導體裝置，具有：

第2絕緣層，其係在前述分歧點與前述汲極電極之間並從前述第1阻障層之上延伸設置至前述第1絕緣層之上，且含氧率1%以下；及

場板電極，其設於前述開口部與前述汲極電極之間的前述第2絕緣層之上，且與前述源極電極呈相同電位；

前述場板電極與前述閘極電極之最接近距離係100nm以上且1000nm以下。

**【請求項5】** 如請求項3之半導體裝置，其中前述第1阻障層與前述第2阻障層在從前述開口部朝向前述汲極電極之途中的分歧點起分歧；

前述半導體裝置，具有：

第2絕緣層，其係在前述分歧點與前述汲極電極之間並從前述第1阻障層之上延伸設置至前述第1絕緣層之上，且含氧率1%以下；及

場板電極，其設於前述開口部與前述汲極電極之間的前述第2絕緣層之上，且與前述源極電極呈相同電位；

前述場板電極與前述閘極電極之最接近距離係100nm以上且1000nm以下。

**【請求項6】** 如請求項4之半導體裝置，其在前述基板包含之上表面的垂直方向上，前述場板電極之最下表面位置在較最接近前述汲極電極之前述第2阻障層之側面的下端位置下方。

**【請求項7】** 如請求項4之半導體裝置，其中前述場板電極之一部分之材料係與前述第2阻障層之材料相同。

**【請求項8】** 如請求項4之半導體裝置，其在前述基板包含之上表面的垂直方向上，前述場板電極之最上表面位置在較最接近前述汲極電極之前述第2阻障層之側面的下端位置下方。

**【請求項9】** 如請求項4之半導體裝置，其中前述場板電極係以包含下層與上層之複數層構成，前述上層之電阻率小於前述下層之電阻率。

【請求項10】如請求項4之半導體裝置，其進一步具有第3絕緣層，其設成在前述分歧點與前述汲極電極之間的前述第2絕緣層之上，以覆蓋前述場板電極；前述第2絕緣層與前述第3絕緣層被前述第1阻障層與前述第2阻障層包夾。

【請求項11】如請求項10之半導體裝置，其中構成前述第3絕緣層之材料的介電係數小於構成前述第2絕緣層之材料的介電係數。

【請求項12】如請求項11之半導體裝置，其中前述第2絕緣層之層厚較前述第3絕緣層之層厚薄。

【請求項13】如請求項4之半導體裝置，其中前述第1阻障層與前述第2阻障層中之至少一者中，從前述開口部之中央往朝向前述源極電極之方向的延伸長度與從前述中央往朝向前述汲極電極之方向的延伸長度相異。

【請求項14】如請求項11之半導體裝置，其中前述第1阻障層與前述第2阻障層中之至少一者中，從前述開口部之中央往朝向前述源極電極之方向的延伸長度與從前述中央往朝向前述汲極電極之方向的延伸長度相異。

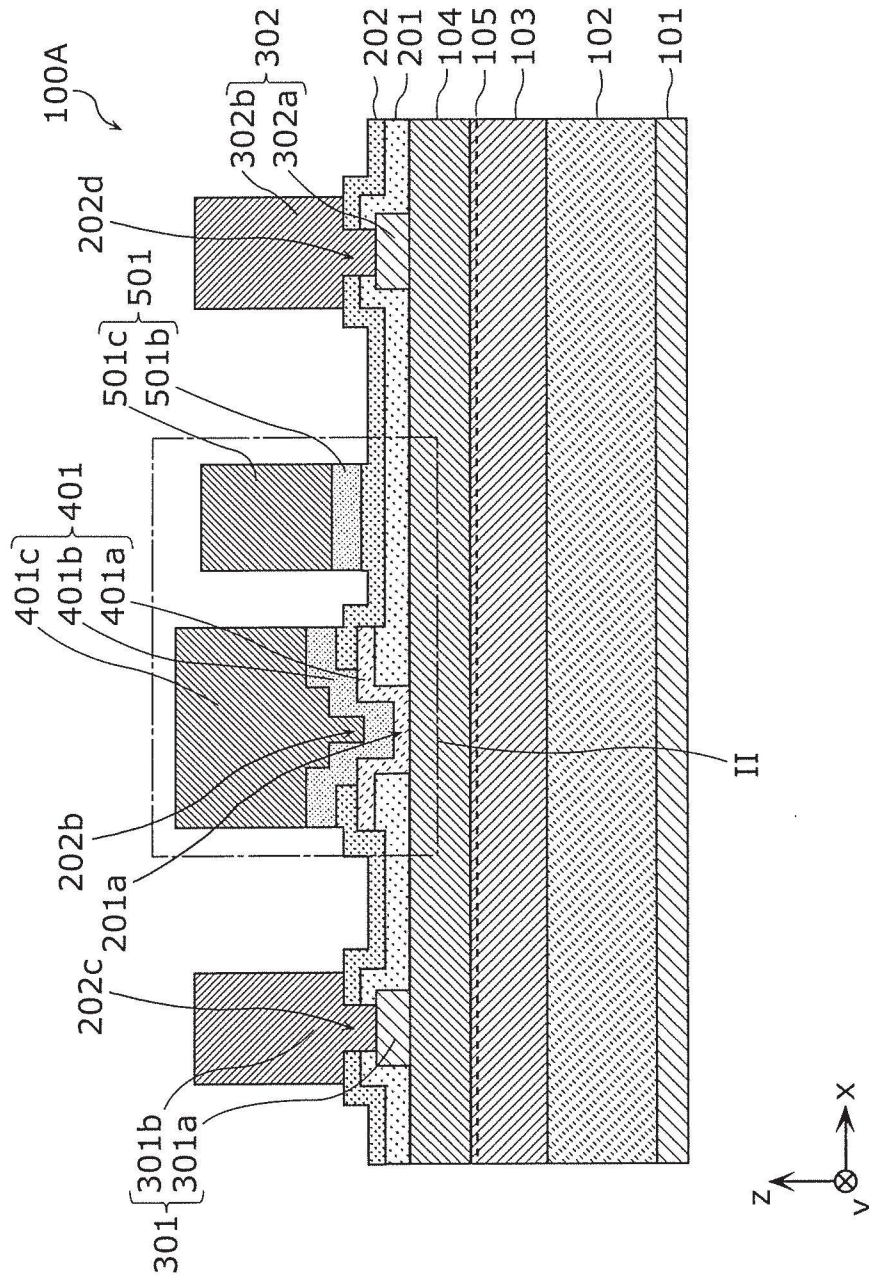
【請求項15】如請求項13之半導體裝置，其在前述基板之俯視下，前述第1阻障層與前述場板電極之間隔較前述第2阻障層與前述場板電極之間隔短。

【請求項16】如請求項14之半導體裝置，其在前述基板之俯視下，前述第1阻障層與前述場板電極之間隔較前述第2阻障層與前述場板電極之間隔短。

【請求項17】如請求項13之半導體裝置，其在前述基板之俯視下，前述第1阻障層與前述場板電極之間隔較前述第2阻障層與前述場板電極之間隔長。

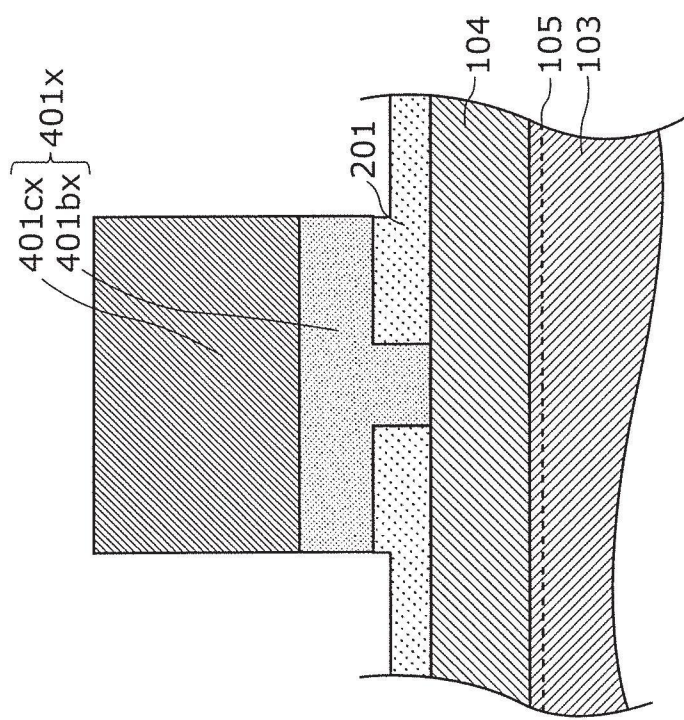
【請求項18】如請求項14之半導體裝置，其在前述基板之俯視下，前述第1阻障層與前述場板電極之間隔較前述第2阻障層與前述場板電極之間隔長。

【發明圖式】

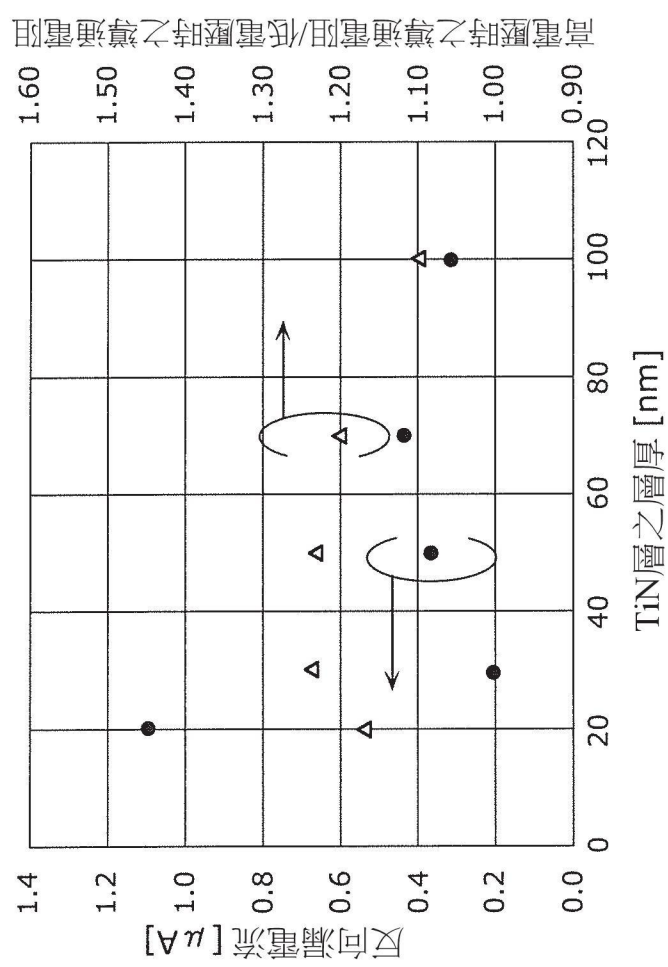


【圖1】

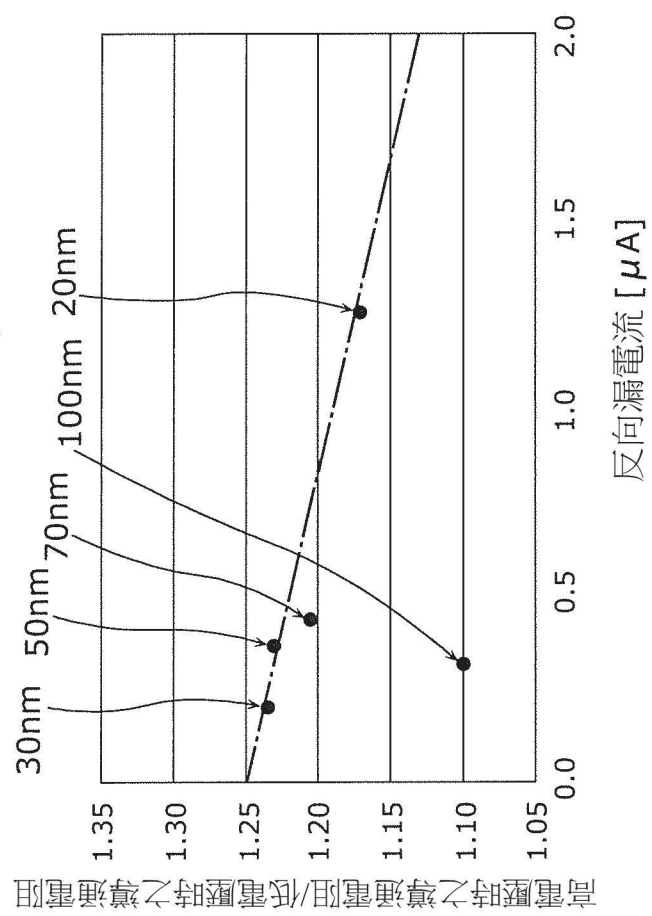




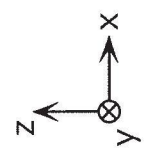
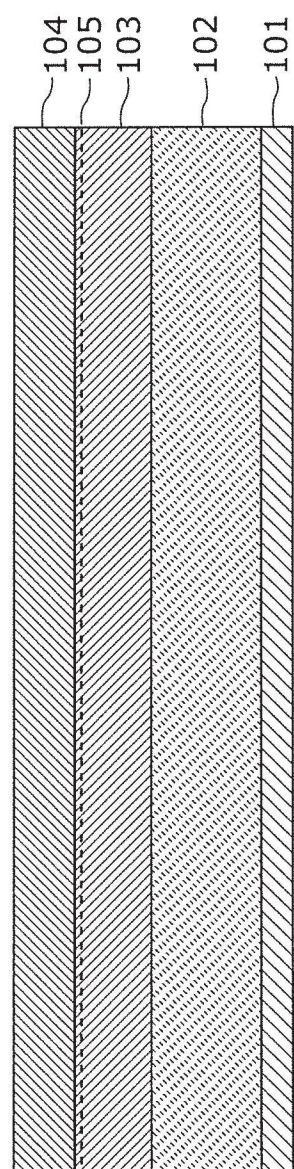
【圖3】



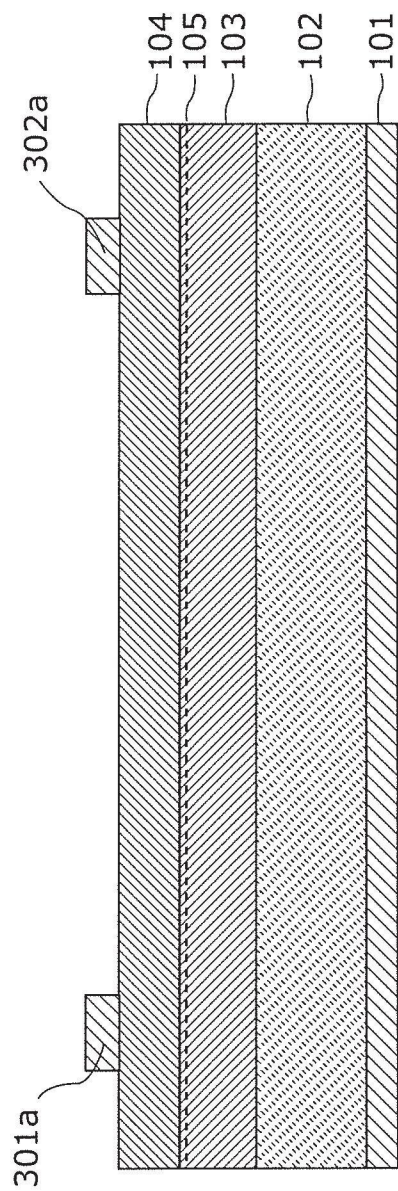
【圖4】



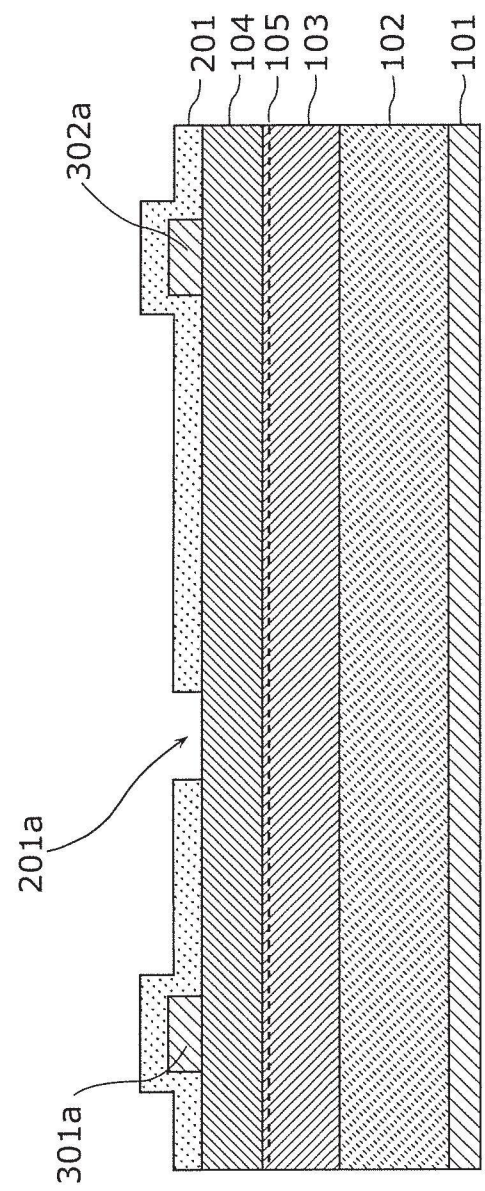
【圖5】



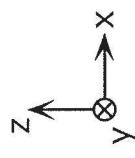
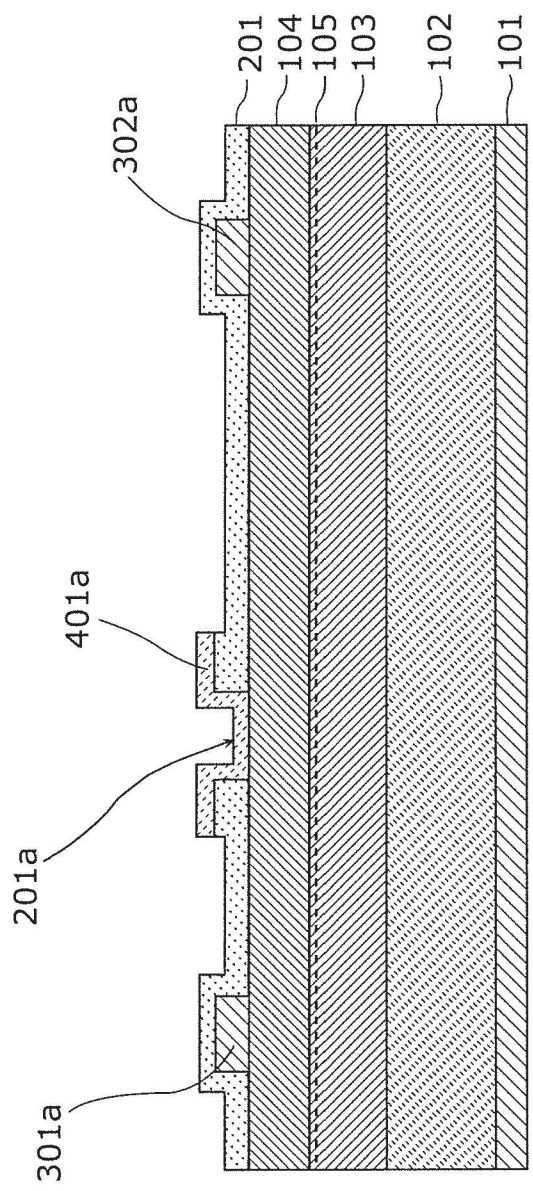
【圖6】



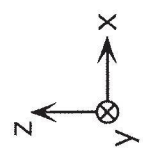
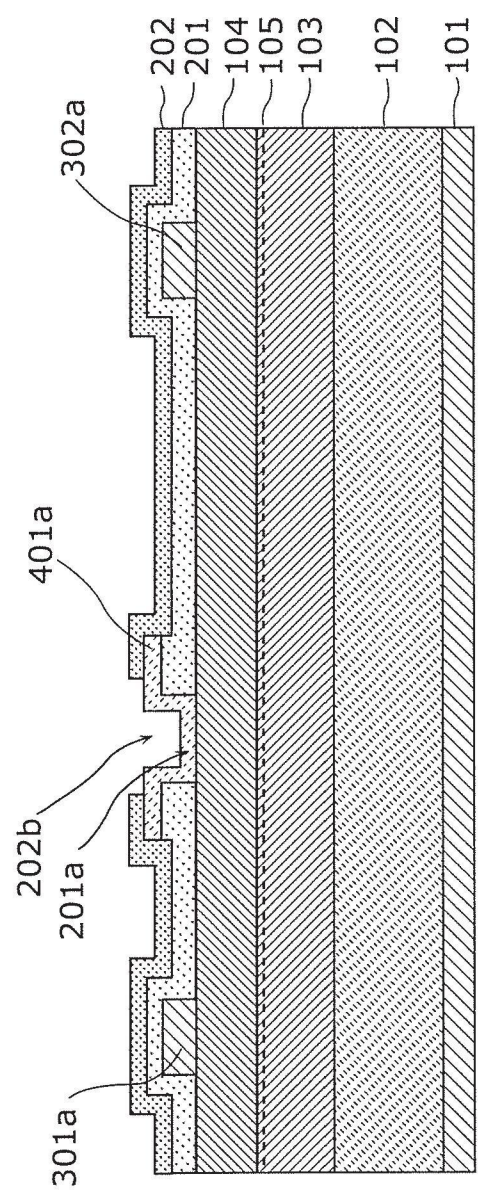
【圖7】



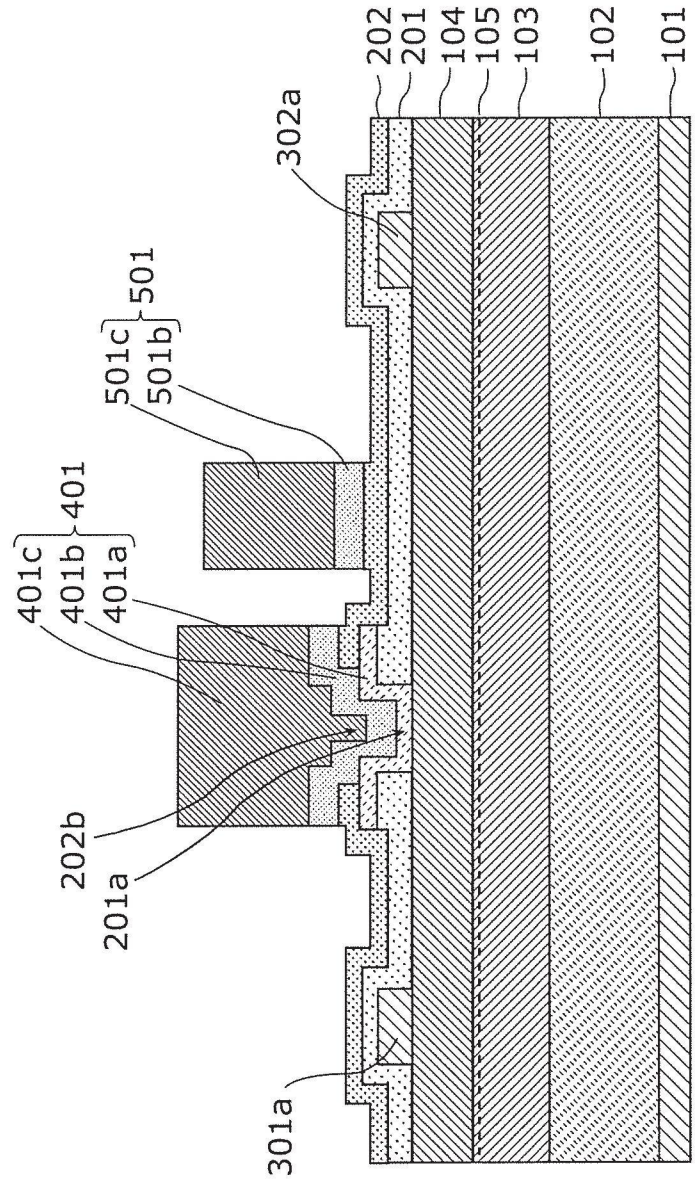
【圖8】



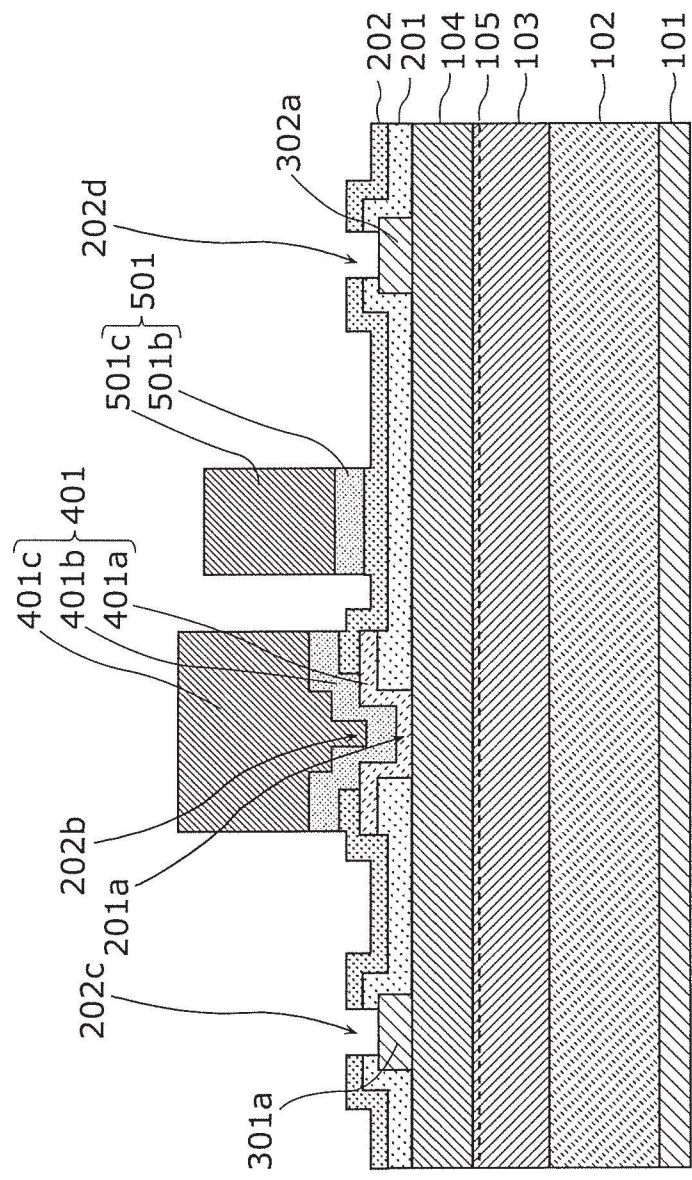
【圖9】



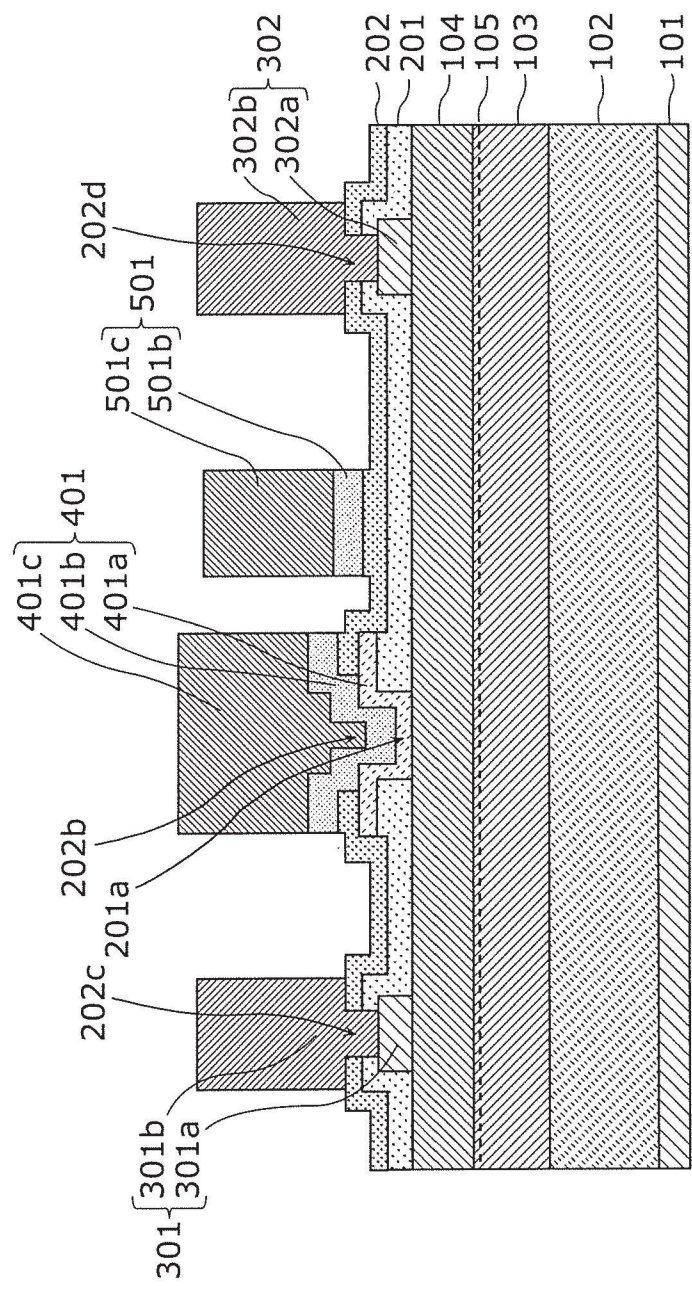
【圖10】



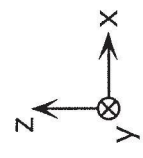
【圖11】

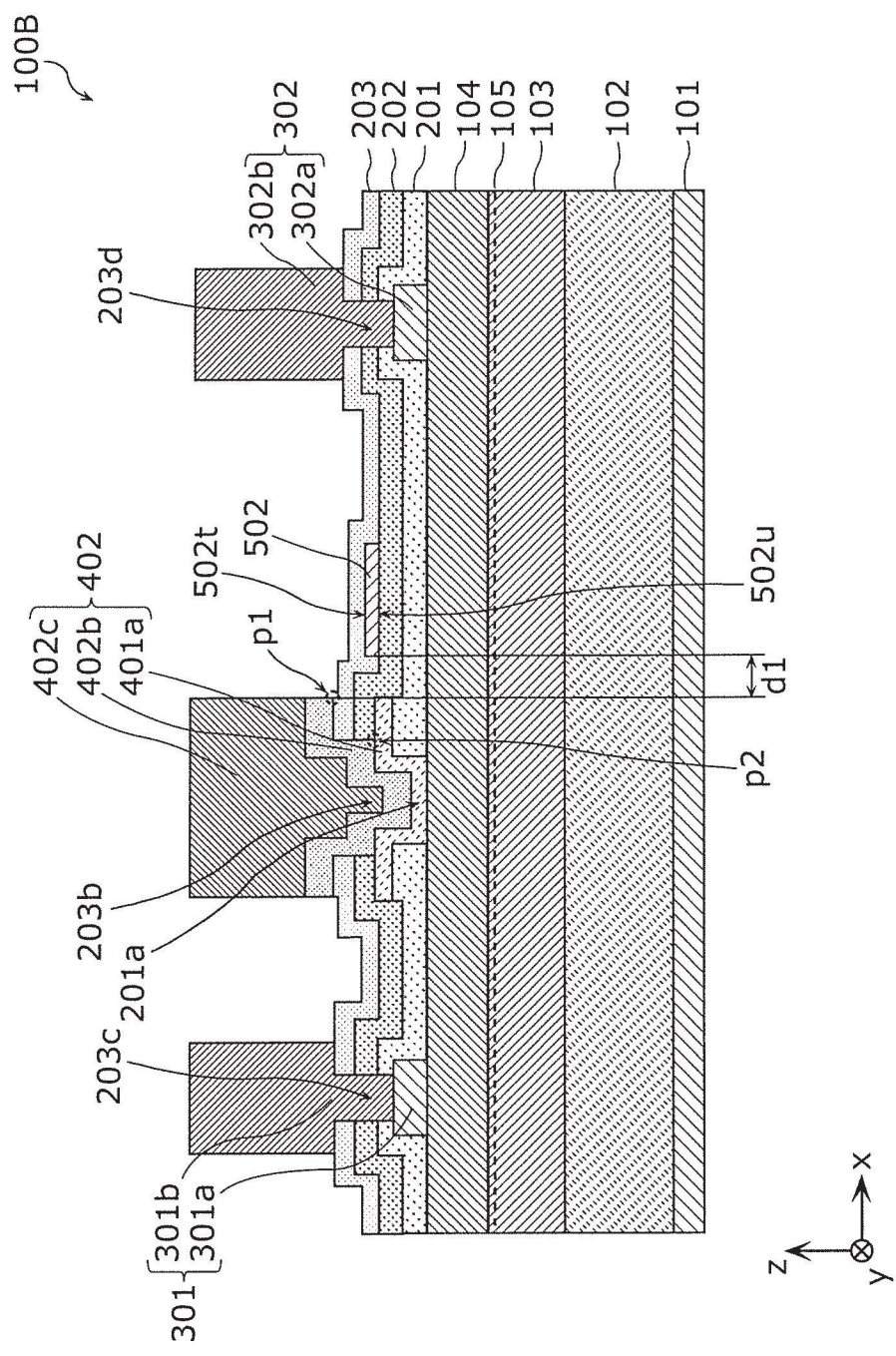


【圖12】

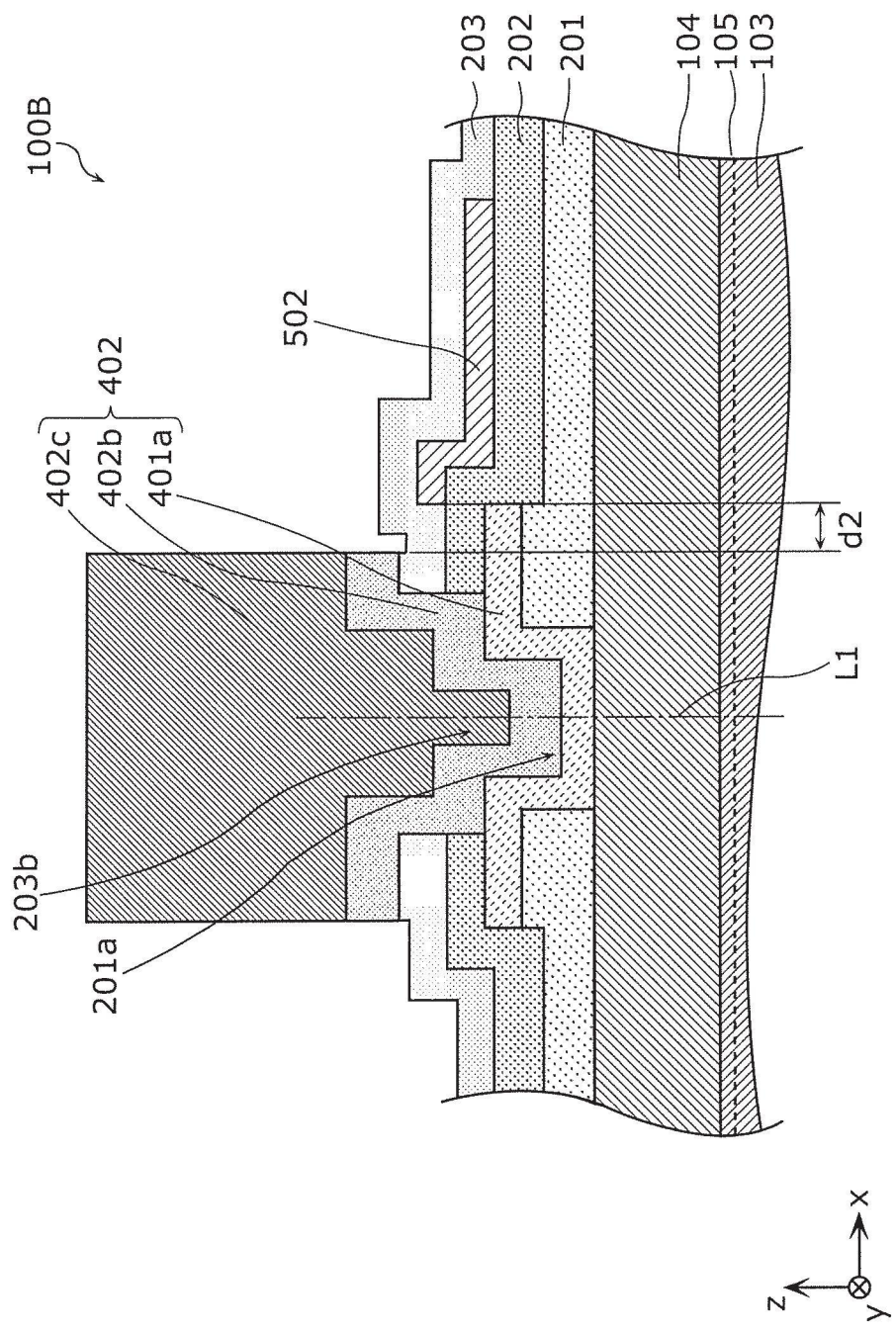


【圖13】

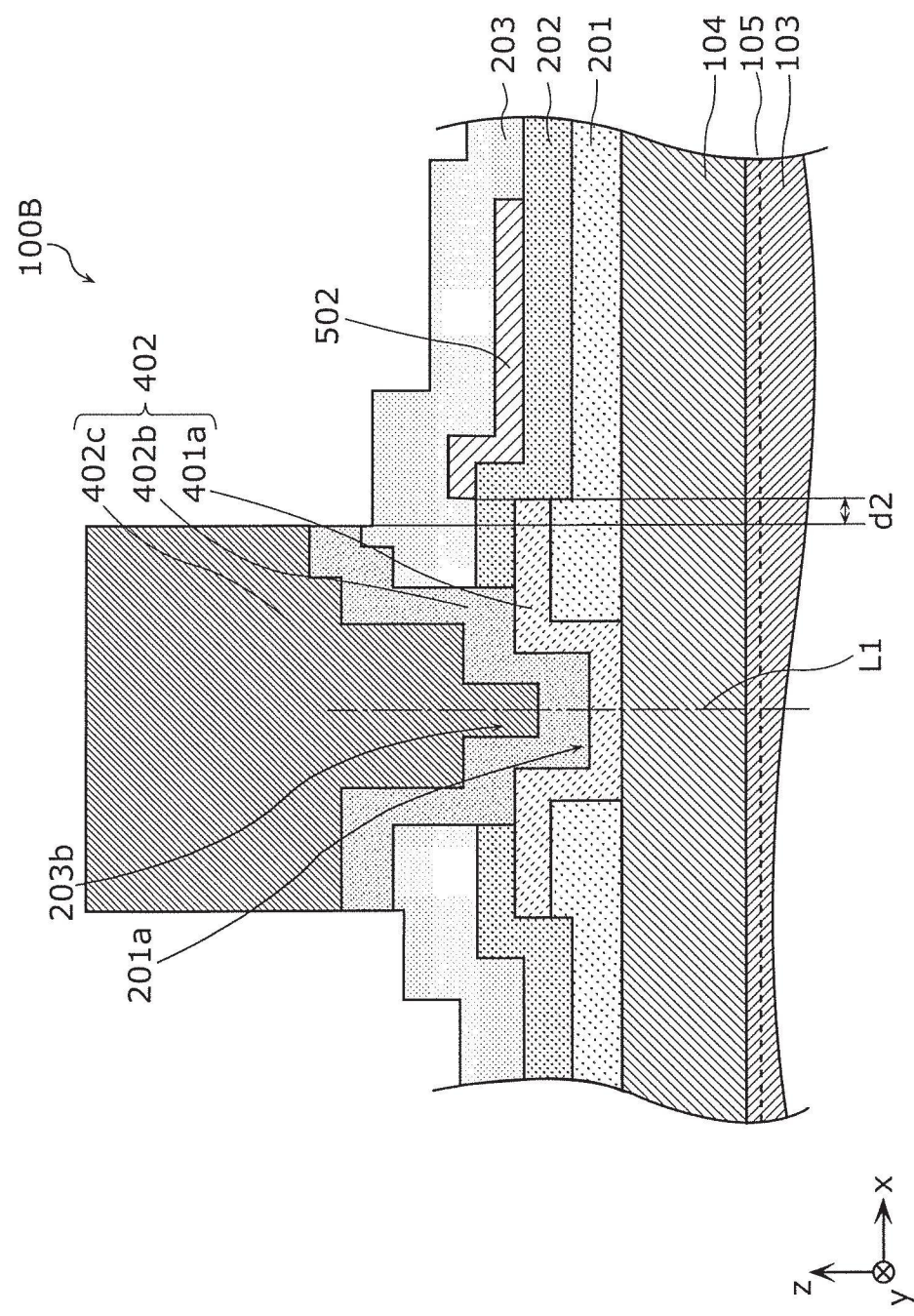




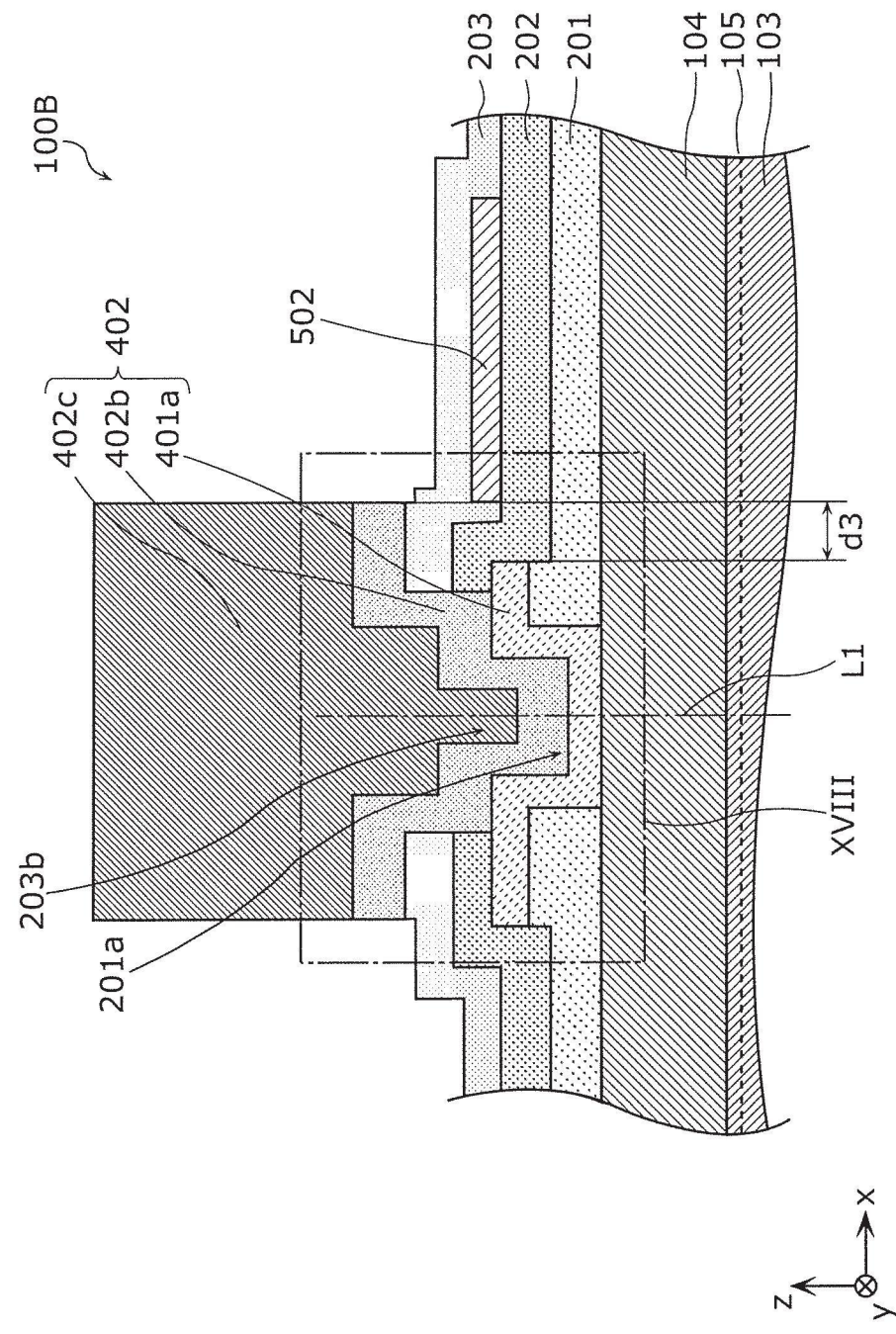
【圖14】



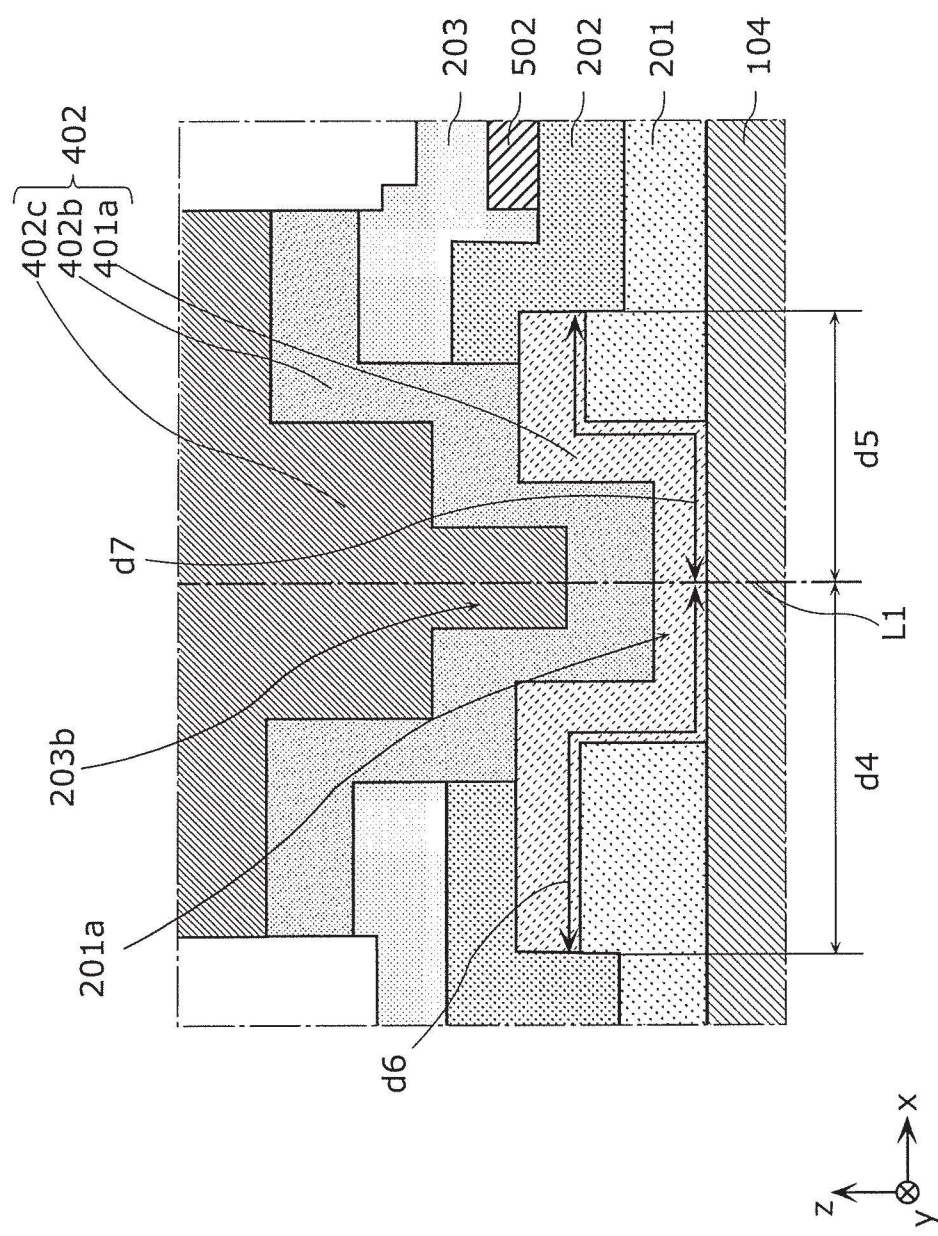
【圖15】



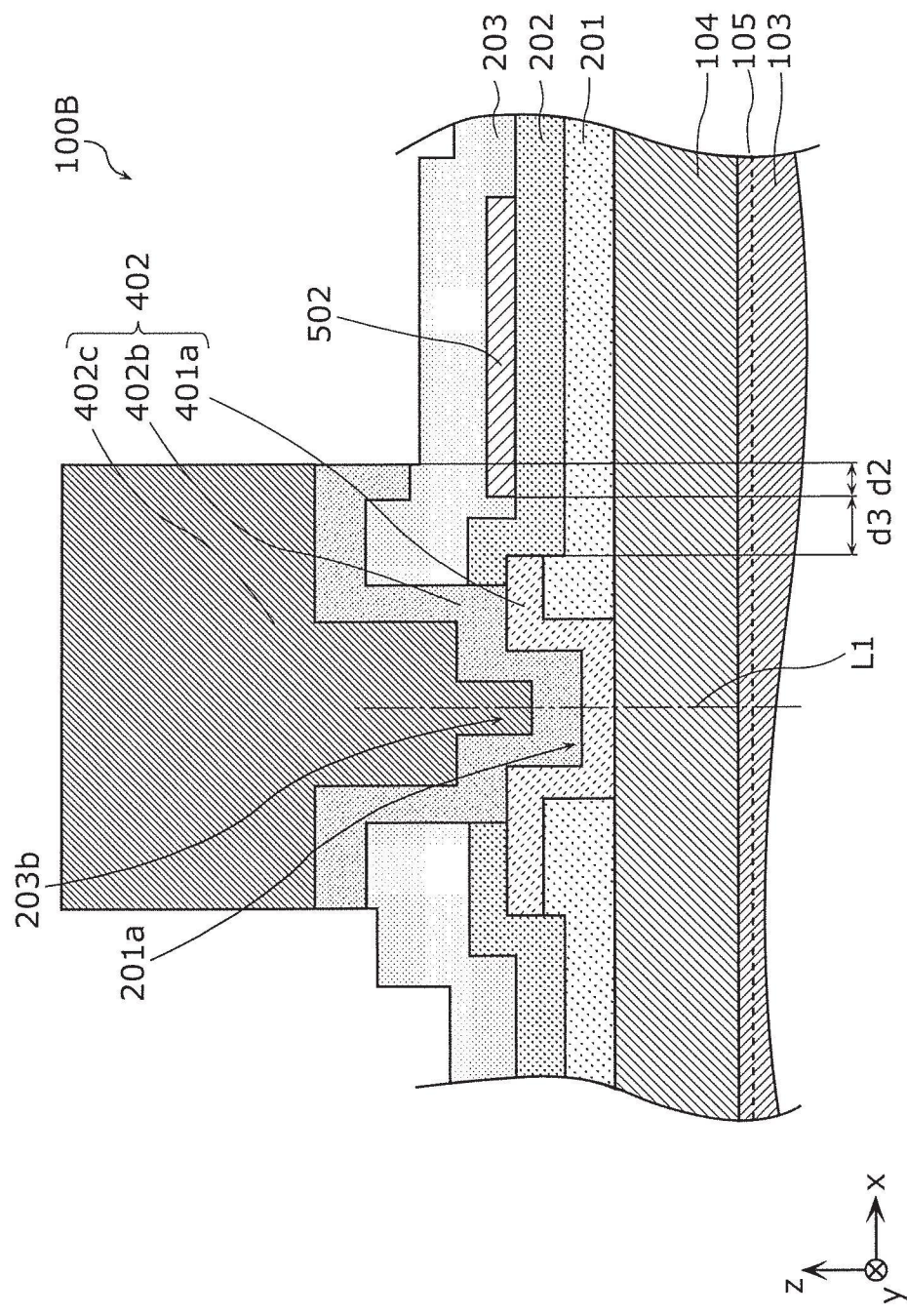
【圖16】



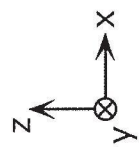
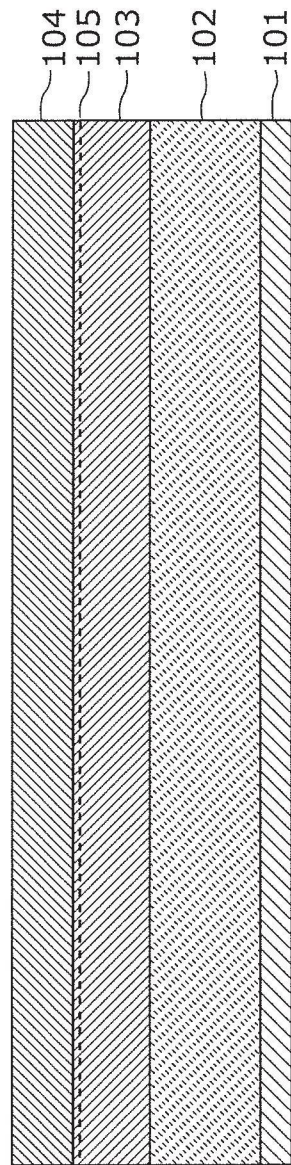
【圖17】



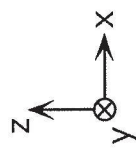
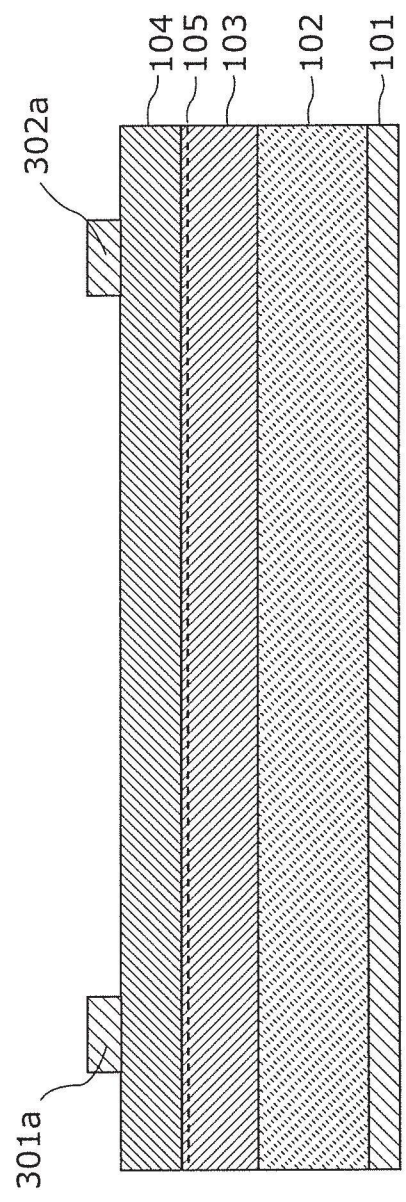
【圖18】



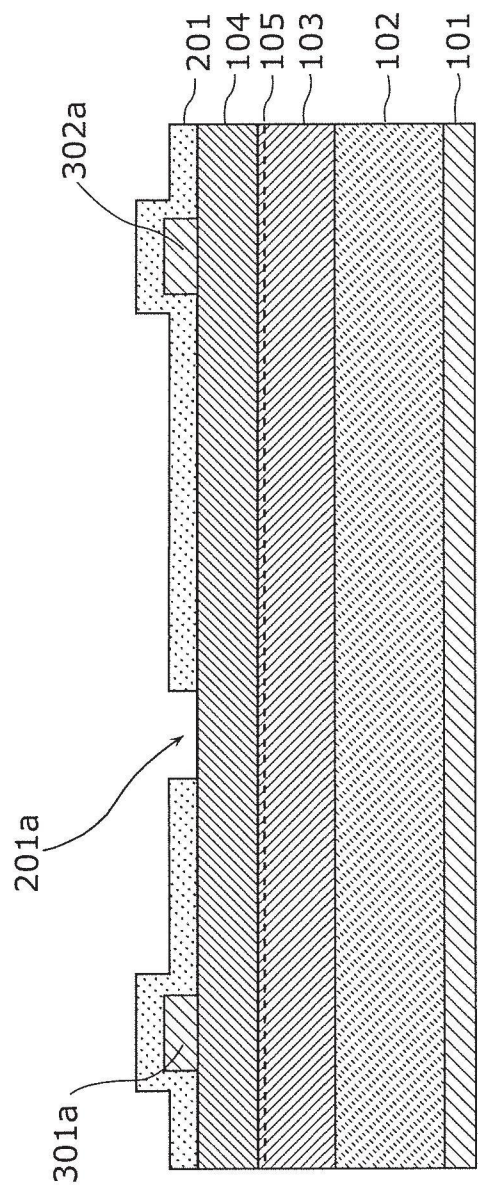
【圖19】



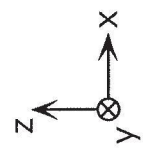
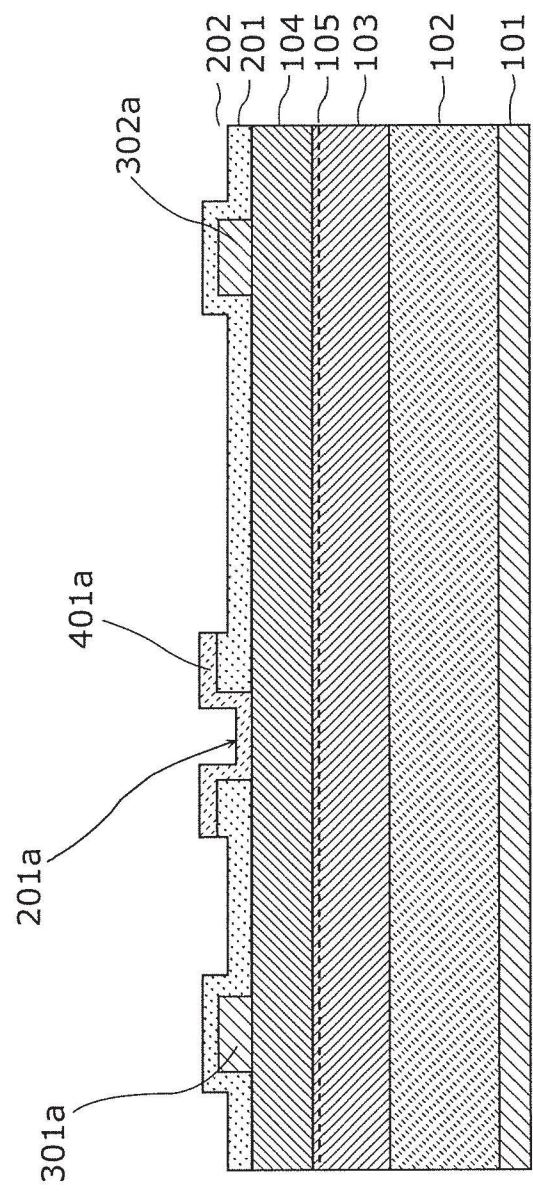
【圖20】



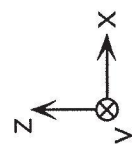
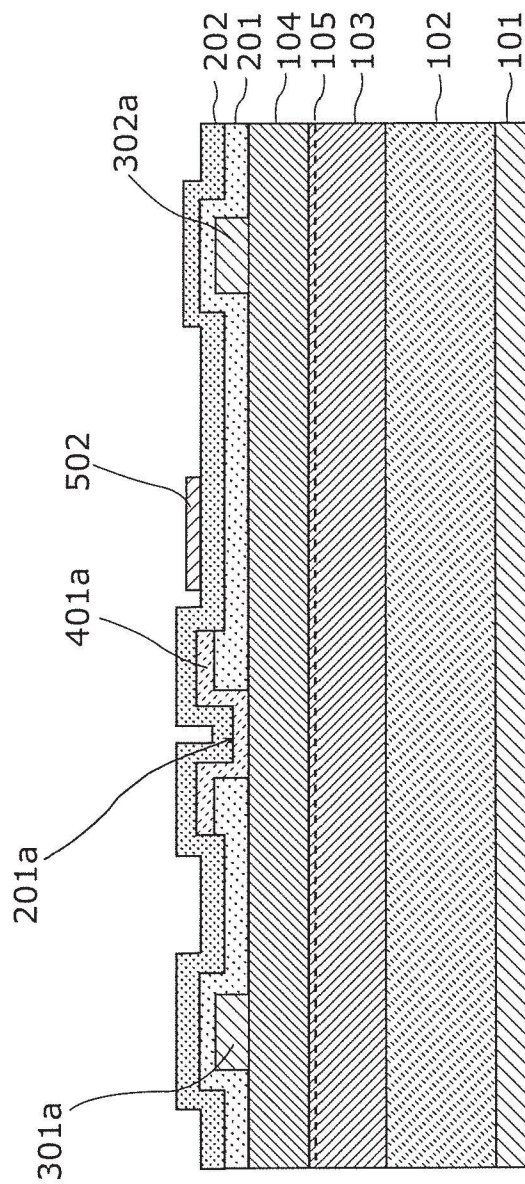
【圖21】



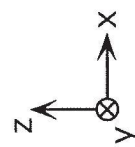
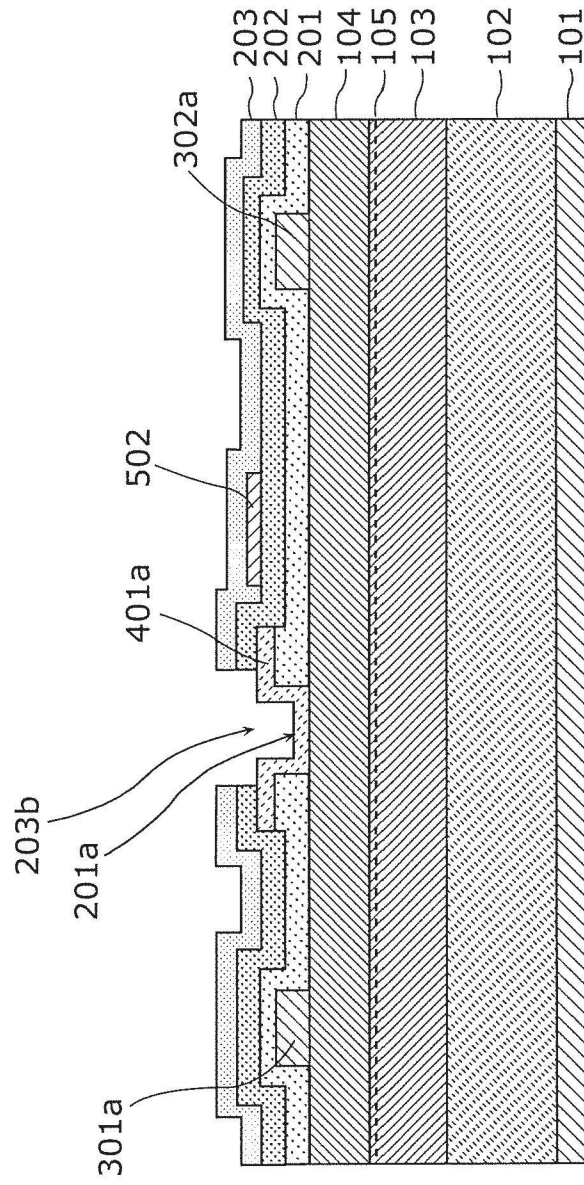
【圖22】



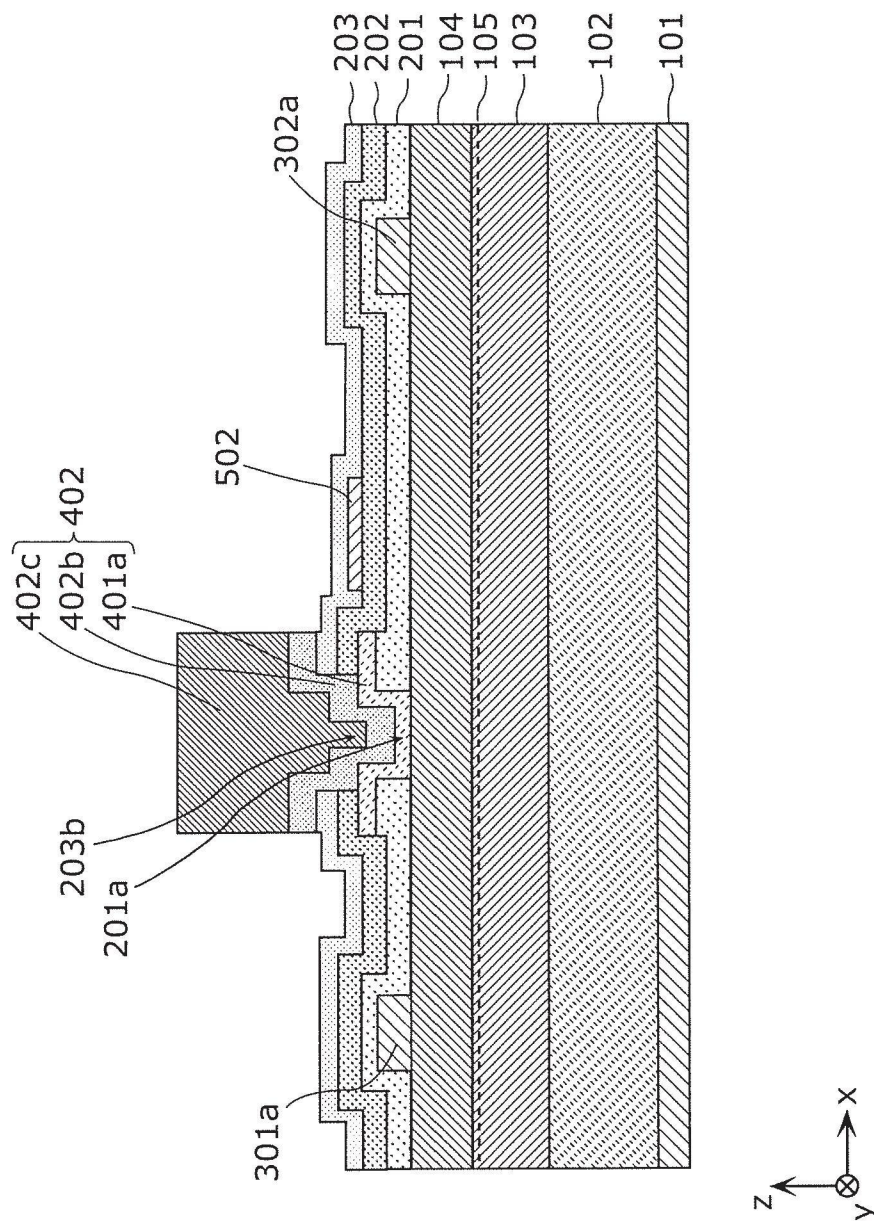
【圖23】



【圖24】

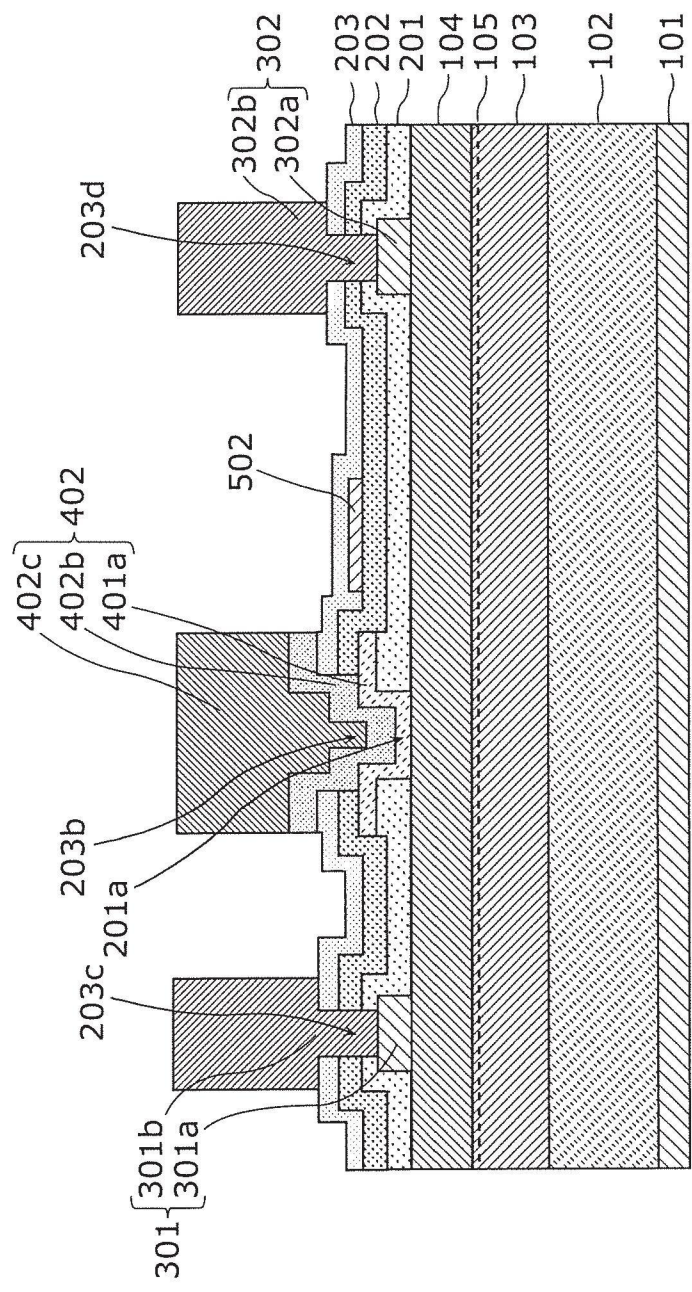


【圖25】

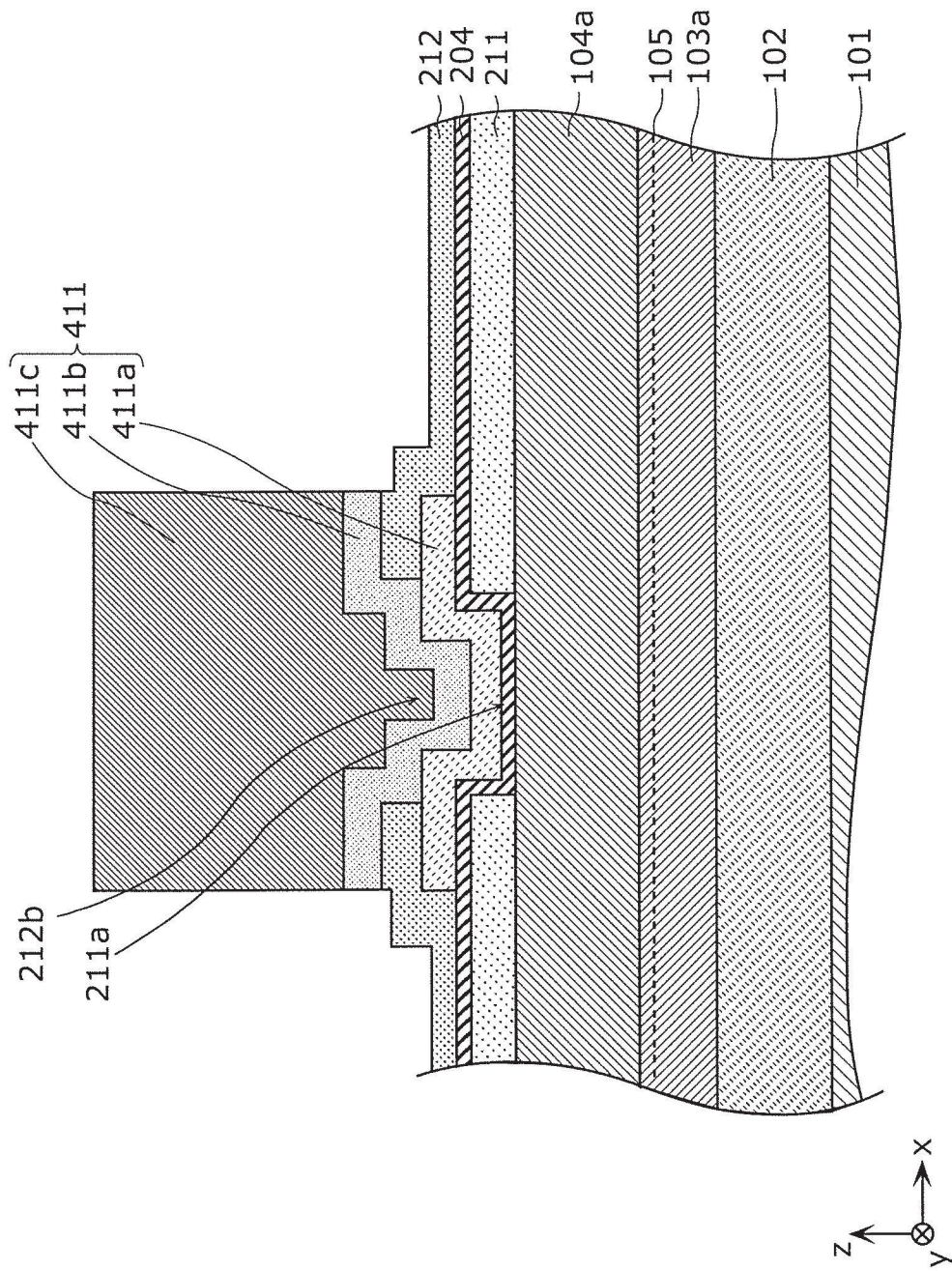


【圖26】





【圖28】



【圖29】