

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95102184

※ 申請日期：95.1.20

※IPC 分類：

G06F 1/24 (2006)

一、發明名稱：(中文/英文)

低功率消耗之電源啟動重置電路

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

雅捷科技股份有限公司

代表人：(中文/英文) 曾昭隆

住居所或營業所地址：(中文/英文)

台北縣新店市北新路3段207-3號6樓

國籍：(中文/英文) 中華民國

三、發明人：(共 1 人)

姓名：(中文/英文)

吳建興

國籍：(中文/英文) 中華民國

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實
發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種電源啟動重置電路（power on reset），尤指一種適用於積體電路中低功率消耗之電源啟動重置電路。

【先前技術】

習知邏輯電路（CPU、記憶體）中經常會使用暫存器、及記憶電路，但在一開機時，通常內部資料都是隨機資料，而這些隨機資料通常都是無意義的，為避免系統讀取此隨機資料而造成誤動作，因此，傳統上都會利用電源開啟重置（Power on reset）電路予以重置，將其內部資料重置（reset）為0。

另外，如美國專利6259284號，請參照圖1係習知之系統示意圖、及圖2係圖1之特性曲線圖。習知是以一電阻81、及一電容82構成電源開啟重置電路。當電源開啟時，可避免電路立即進入動作模式。如圖2所示，A為理想電源開啟曲線，B為實際電路之曲線，此種電路最大的缺點在於電阻值過高，而積體電路佈局時，過高的電阻值並不容易實現，同時也將耗費極大的佈局空間。另外，電源電壓83施加於電阻81、及電容82，將產生較大之功率消耗。

請再參照圖3係另一習知之系統示意圖、及圖4係圖3之特性曲線圖。此電路是利用電晶體91取代電阻，而電晶體91在積體電路佈局時雖較易實現，用以改進大電阻之問

題，但圖4中，特性曲線D無法接近理想狀態。另外，電源電壓93施加於電晶體91、及電容92，亦將產生功率消耗。

創作人緣因於此，本於積極創作之精神，亟思一種可以解決上述問題之低功率消耗之電源啟動重置電路，幾經研究實驗終至完成此項嘉惠世人之本創作。

【發明內容】

本發明之主要目的係在提供一種低功率消耗之電源啟動重置電路，俾能以互補式金屬氧化物電晶體（CMOS）所組成，以提供較低的功率消耗、及較高的雜訊邊限。

為達成上述目的，本發明係關於一種低功率消耗之電源啟動重置電路，包括有一反閘元件、一時間延遲元件、一波形整形元件、以及一反或閘元件。

反閘元件係包括有一輸入端、及一輸出端，該反閘元件之輸入端係輸入一電源電壓。時間延遲元件係包括有一輸入端、及一輸出端，時間延遲元件之輸入端係電性連接至反閘元件之輸出端。波形整形元件係包括有一輸入端、及一輸出端，波形整形元件之輸入端係電性連接至時間延遲元件之輸出端。反或閘元件係包括有一第一輸入端、一第二輸入端、以及一輸出端，第一輸入端係電性連接至波形整形元件之輸出端，第二輸入端係電性連接至反閘元件之輸出端，且輸出端輸出一電源啟動重置信號。

【實施方式】

本發明是一種低功率消耗之電源啟動重置電路，首先，請先參照圖5係本發明一較佳實施例之系統示意圖。本發明包括有一反閘元件1、一時間延遲元件2、一波形整形元件3、以及一反或閘元件4。

5 反閘元件1係包括有一輸入端101、及一輸出端102，反閘元件1之輸入端101係輸入一輸入電壓 V_{in} 。

時間延遲元件2係包括有一輸入端201、及一輸出端202，時間延遲元件2之輸入端201係電性連接至反閘元件1之輸出端102。時間延遲元件2係包括有一第一反閘元件21、一第二反閘元件22、以及一第一電容元件23，該第一反閘元件21之輸入端211電性連接至時間延遲元件2之輸入端201，第一反閘元件21之輸出端212分別電性連接至第一電容元件23之一端231、及第二反閘元件22之輸入端221，且第一電容元件23之另一端232係電性連接至接地點（GND）。

10

15

波形整形元件3係包括有一輸入端301、及一輸出端302，波形整形元件3之輸入端301係電性連接至時間延遲元件2之輸出端202。藉此，可使時間延遲元件2之輸出訊號之邏輯準位更加明確。

20 反或閘元件4係包括有一第一輸入端401、一第二輸入端402、以及一輸出端403，第一輸入端401係電性連接至波形整形元件3之輸出端302，第二輸入端402係電性連接至反閘元件1之輸出端102，且反或閘元件4之輸出端403輸出一電源啟動重置信號POR。

本發明之主要目的係在提供一種低功率消耗之電源啟動重置電路，俾能以互補式金屬氧化物電晶體（CMOS）所組成。俾可提供極低的電源消耗，由於採用互補式的 MOS 所組成，故會有極低的靜態電流，且會有極低的電源消耗，
5 因此，可容許較差的電源品質，較不用考慮散熱的問題，集積密度也可因此提高。另外，可提高電路的雜訊邊限：CMOS 的輸出電壓擺盪幾乎是在高、低電壓峰值，而不會有中間電壓值，因此其雜訊邊限會比雙極性電晶體（Bipolar）高。再者，本發明中電源電壓並未經由電阻、
10 電容放電，故可降低功率消耗。

在本實施例中，反閘元件1、時間延遲元件2、波形整形元件3、以及反或閘元件4皆是採用積體電路佈局方式予以實現，而反閘元件1、時間延遲元件2之第一反閘元件21與第二反閘元件22、以及反或閘元件4皆為互補式金屬氧化物電晶體（Complementary Metal Oxide Semiconductor，CMOS），因此，N型金屬氧化物半導體場效應電晶體（Metal
15 Oxide Semiconductor Field Effect Transistor，MOSFET）、及P型金屬氧化物半導體場效應電晶體皆是以互補（symmetry）形式成對出現。N型MOSFET係包括有一閘極（gate）、一源極（source）、以及一汲極（drain），P型MOSFET係包括有一閘極、一源極、以及一汲極。
20

另外，請再一併參照圖6係本發明一較佳實施例之電路圖。圖6即為圖5之電路圖，反閘元件1包括N型MOSFET11、及P型MOSFET12。輸入電壓 V_{in} 輸入至N型MOSFET11之閘

極111、及P型MOSFET12之閘極121，並經由N型MOSFET11之汲極112、及P型MOSFET12之汲極122輸出，N型MOSFET11之源極113係耦接至接地點，P型MOSFET12之源極123係耦接至電源電壓。而第一反閘元件21、第二反閘元件22與波形整形元件3皆與反閘元件1相同係由N型MOSFET、及P型MOSFET所構成，故不在詳述。

另外，反或閘元件4包括有一第一N型MOSFET41、一第二N型MOSFET42、一第一P型MOSFET43、以及一第二P型MOSFET44。輸入信號分別耦接至第一N型MOSFET41之閘極411、及第一P型MOSFET43之閘極431，另一輸入信號則耦接至第二N型MOSFET42之閘極421、及第二P型MOSFET44之閘極441，輸出信號則是經由第一N型MOSFET41之汲極412、及第二N型MOSFET42之汲極422輸出。第一N型MOSFET41之源極413、及第二N型MOSFET42之源極423係耦接至接地點。第一P型MOSFET43之源極433係耦接至電源電壓。第一P型MOSFET43之汲極432係耦接至第二P型MOSFET44之源極443。第二P型MOSFET44之汲極442係耦接至反或閘元件4之輸出端。

有關前述電路之運作，請再一併參照圖5、圖7係本發明一較佳實施例之部分放大波形圖、以及圖8係本發明一較佳實施例之波形圖。其中，於圖7之短時間波形圖中，A圖為輸入電壓 V_{in} 之波形，B圖為反閘元件1之輸出端102之波形，C圖為時間延遲元件2之輸出端202之波形，D圖為波形整形元件3之輸出端302之波形，E圖為反或閘元件4之輸出

端403之波形。由圖中可知，在 $10\mu\text{S}$ 前，A圖之電源電壓 V_{in} 緩慢上升，電源電壓 V_{in} 並不足以使反閘元件1動作，在 $10\mu\text{S}$ 後，電源電壓 V_{in} 上升至正邏輯準位（Hi），因此，B圖維持一負邏輯準位（Low）。且C圖中電容23隨著電源電壓 V_{in} 充電到正邏輯準位，E圖為一反或閘元件4之輸出，其中，在 $27\mu\text{S}$ 時，B圖維持負邏輯準位，D圖上升至正邏輯準位，因此，E圖之波形保持一負邏輯準位。在 $50\mu\text{S}$ 時，當電源電壓 V_{in} 驟降時，仍不影響其輸出電壓，另外在 $60\mu\text{S}$ 時，電源電壓 V_{in} 上升時，仍不影響其輸出電壓，因而達成理想之電源啟動重置運作。而圖8係為一長時間波形圖，可明顯看出本實施例在約100m秒後即進入重置階段，而電源變化或瞬間脈衝並不造成影響。

另，在圖5之低功率消耗之電源啟動重置電路中，時間延遲元件2係由第一反閘元件21、第二反閘元件22、以及第一電容元件23所構成，以提供時間延遲之作用，而在實際之應用中，為提供不同之延遲時間，低功率消耗之電源啟動重置電路係可包括多數個串接之時間延遲元件2。又，波形整形元件3係由一反閘元件3構成以反相輸入之波形，其亦可由奇數（三、五、七...）個反閘元件串接所構成。

此外，請再參照圖9係本發明另一較佳實施例之系統示意圖。本實施例與前一實施例的差異在於時間延遲元件2之內部元件，本實施例之時間延遲元件2是包括有一第一反閘元件21、及一第一電容元件23，並將其串接一第二反閘元件22、及一第二電容元件24，亦即，該第一反閘元件21之

輸入端211電性連接至該時間延遲元件2之輸入端201，該第一反閘元件21之輸出端212分別電性連接至該第一電容元件23之一端、及該第二反閘元件之輸入端221，該第二反閘元件22之輸出端222分別電性連接至該時間延遲元件2之輸出端202、及該第二電容24之一端，且該第一電容元件23、及該第二電容元件24之另一端係電性連接至接地點，藉由對第一電容元件23、及一第二電容元件24之充電而提供時間延遲之作用。藉此，本實施例之電路亦可達到與前一實施例相同的目的。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

圖1係習知之系統示意圖。

圖2係圖1之特性曲線圖。

圖3係習知之系統示意圖。

圖4係圖3之特性曲線圖。

圖5係本發明一較佳實施例之系統示意圖。

圖6係本發明一較佳實施例之電路圖。

圖7係本發明一較佳實施例之部分放大波形圖。

圖8係本發明一較佳實施例之波形圖。

圖9係本發明另一較佳實施例之系統示意圖。

【主要元件符號說明】

1	反閘元件	2	時間延遲元件
3	波形整形元件	4	反或閘元件
11	N型MOSFET	12	P型MOSFET
21	第一反閘元件	22	第二反閘元件
23	第一電容元件	24	第二電容元件
41	第一N型MOSFET	42	第二N型MOSFET
43	第一P型MOSFET	44	第二P型MOSFET
101	輸入端	102	輸出端
111	閘極	112	汲極
113	源極	121	閘極
122	汲極	123	源極
201	輸入端	202	輸出端
211	輸入端	212	輸出端
221	輸入端	222	輸出端
231	第一段	232	第二段
301	輸入端	302	輸出端
401	第一輸入端	402	第二輸入端
403	輸出端	411	閘極
412	汲極	413	源極
421	閘極	422	汲極
423	源極	431	閘極
432	汲極	433	源極

441	閘極	442	汲極
443	源極		

五、中文發明摘要：

本發明係關於一種低功率消耗之電源啟動重置電路（power on reset），包括有一反閘元件、一時間延遲元件、一波形整形元件、以及一反或閘元件。藉此，本發明可提供一種低功率消耗之電源啟動重置電路，俾能以互補式金屬氧化物電晶體（CMOS）所組成，以提供較低的功率消耗、及較高的雜訊邊限。

六、英文發明摘要：

十、申請專利範圍：

1. 一種低功率消耗之電源啟動重置電路，包括：

一反閘元件，其係包括有一輸入端、及一輸出端，該反閘元件之輸入端係輸入一電源電壓；

5 至少一時間延遲元件，其係包括有一輸入端、及一輸出端，該時間延遲元件之輸入端係電性連接至該反閘元件之輸出端；

一波形整形元件，其係包括有一輸入端、及一輸出端，該波形整形元件之輸入端係電性連接至該時間延遲元件之輸出端；以及

一反或閘元件，其係包括有一第一輸入端、一第二輸入端、以及一輸出端，該第一輸入端係電性連接至該波形整形元件之輸出端，該第二輸入端係電性連接至該反閘元件之輸出端，且該輸出端輸出一電源啟動重置信號。

15 2. 如申請專利範圍第1項所述之低功率消耗之電源啟動重置電路，其中，該時間延遲元件係包括有一第一反閘元件、一第二反閘元件、及一第一電容元件，該第一反閘元件之輸入端電性連接至該時間延遲元件之輸入端，該第一反閘元件之輸出端分別電性連接至該第一電容元件之一端、及該第二反閘元件之輸入端，且該第一電容元件之另一端係電性連接至接地點，該第二反閘元件之輸出端電性連接至該時間延遲元件之輸出端。

20 3. 如申請專利範圍第1項所述之低功率消耗之電源啟動重置電路，其中，該反閘元件包括有一N型金屬氧化物半

導體場效應電晶體（MOSFET）、及一P型金屬氧化物半導體場效應電晶體。

4.如申請專利範圍第3項所述之低功率消耗之電源啟動重置電路，其中，該N型MOSFET係包括有一閘極（gate）、一源極（source）、以及一汲極（drain），該P型MOSFET係包括有一閘極、一源極、以及一汲極。

5. 如申請專利範圍第4項所述之低功率消耗之電源啟動重置電路，其中，該反閘元件之輸入端係耦接至該N型MOSFET之閘極、及該P型MOSFET之閘極。

6. 如申請專利範圍第4項所述之低功率消耗之電源啟動重置電路，其中，該反閘元件之輸出端係耦接至該N型MOSFET之汲極、及該P型MOSFET之汲極。

7. 如申請專利範圍第4項所述之低功率消耗之電源啟動重置電路，其中，該N型MOSFET之源極係耦接至接地點，該P型MOSFET之源極係耦接至電源電壓。

8. 如申請專利範圍第1項所述之低功率消耗之電源啟動重置電路，其中，該反或閘元件包括有一第一N型MOSFET、一第二N型MOSFET、一第一P型MOSFET、以及一第二P型MOSFET。

9. 如申請專利範圍第8項所述之低功率消耗之電源啟動重置電路，其中，該第一N型MOSFET係包括有一閘極、一源極、以及一汲極，該第一P型MOSFET係包括有一閘極、一源極、以及一汲極。

10. 如申請專利範圍第9項所述之低功率消耗之電源啟動重置電路，其中，該反或閘元件之第一輸入端係耦接至該第一N型MOSFET之閘極、及該第一P型MOSFET之閘極。

11. 如申請專利範圍第9項所述之低功率消耗之電源
5 啟動重置電路，其中，該反或閘元件之第二輸入端係耦接至該第二N型MOSFET之閘極、及該第二P型MOSFET之閘極。

12. 如申請專利範圍第9項所述之低功率消耗之電源
10 啟動重置電路，其中，該反或閘元件之輸出端係耦接至該第一N型MOSFET之汲極、及該第二N型MOSFET之汲極。

13. 如申請專利範圍第9項所述之低功率消耗之電源
啟動重置電路，其中，該第一N型MOSFET之源極、及該第二N型MOSFET之源極係耦接至接地點。

14. 如申請專利範圍第9項所述之低功率消耗之電源
15 啟動重置電路，其中，該第一P型MOSFET之源極係耦接至電源電壓。

15. 如申請專利範圍第9項所述之低功率消耗之電源
啟動重置電路，其中，該第一P型MOSFET之汲極係耦接至該第二P型MOSFET之之源極。

16. 如申請專利範圍第9項所述之低功率消耗之電源
20 啟動重置電路，其中，該第二P型MOSFET之汲極係耦接至該反或閘元件之輸出端。

17. 如申請專利範圍第1項所述之低功率消耗之電源啟動重置電路，其中，該時間延遲元件係包括有一第一反閘

元件、一第二反閘元件、一第一電容元件、以及一第二電容元件，該第一反閘元件之輸入端電性連接至該時間延遲元件之輸入端，該第一反閘元件之輸出端分別電性連接至該第一電容元件之一端、及該第二反閘元件之輸入端，該第二反閘元件之輸出端分別電性連接至該時間延遲元件之輸出端、及該第二電容之一端，且該第一電容元件、及該第二電容元件之另一端係電性連接至接地點。

18. 如申請專利範圍第1項所述之低功率消耗之電源啟動重置電路，其中，該波形整形元件係為一反閘元件。

19. 如申請專利範圍第18項所述之低功率消耗之電源啟動重置電路，其中，該波形整形元件之反閘元件係為奇數個。

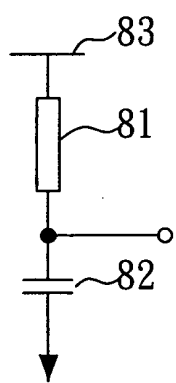


圖1

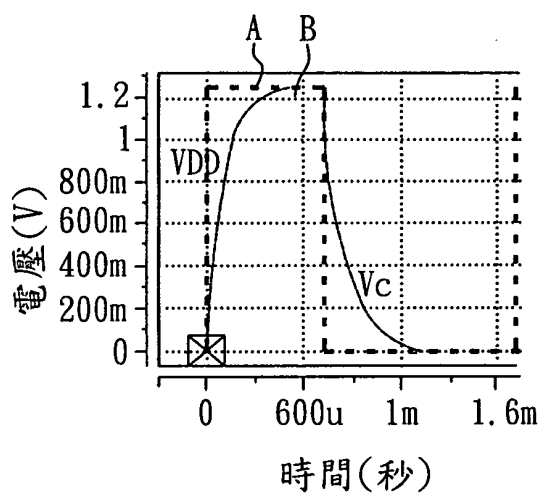


圖2

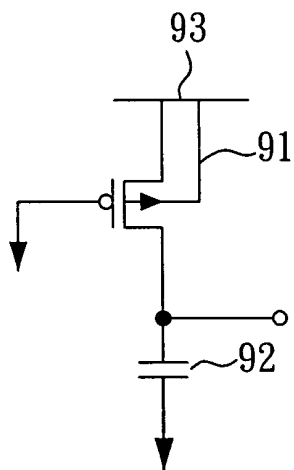


圖3

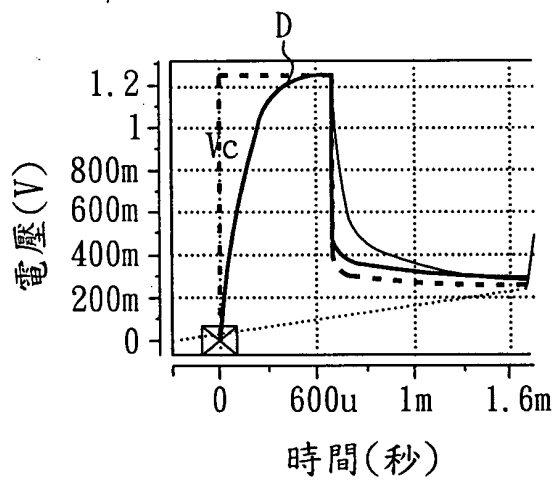


圖4



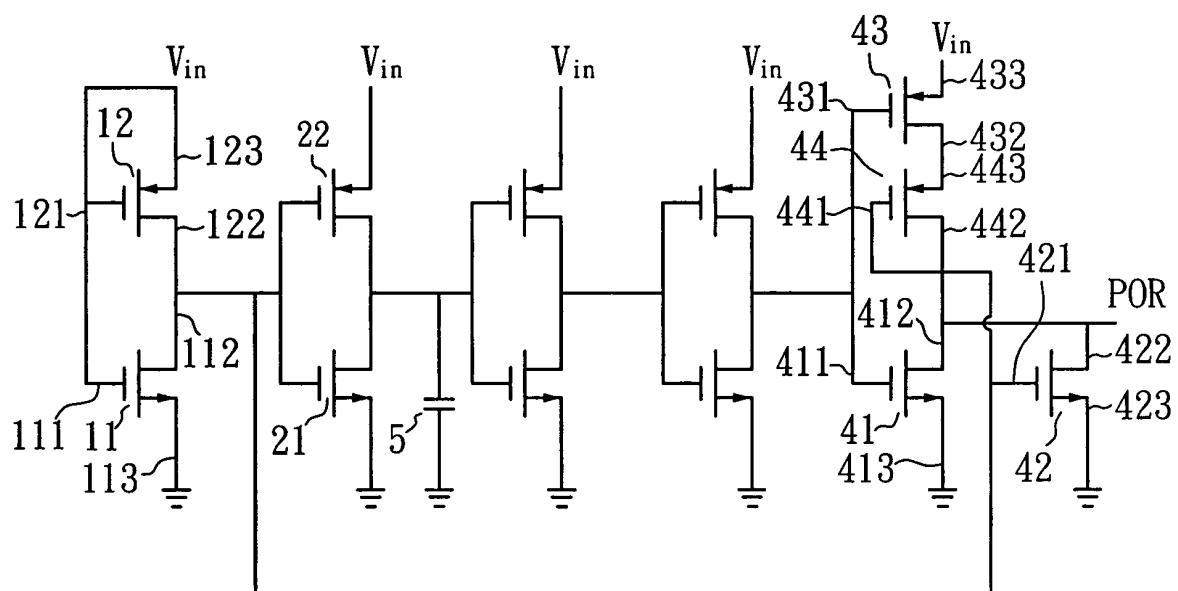


圖6

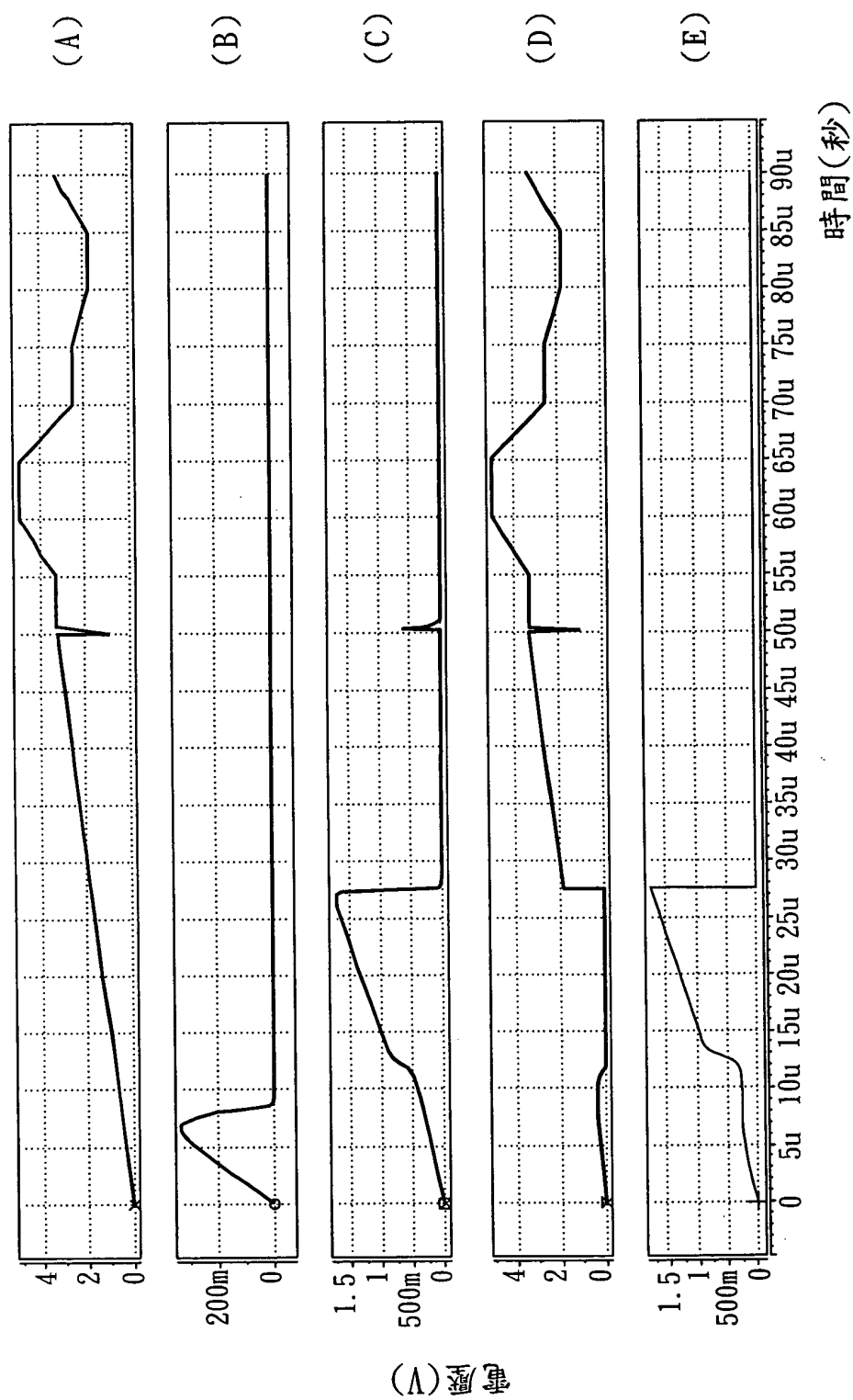


圖7

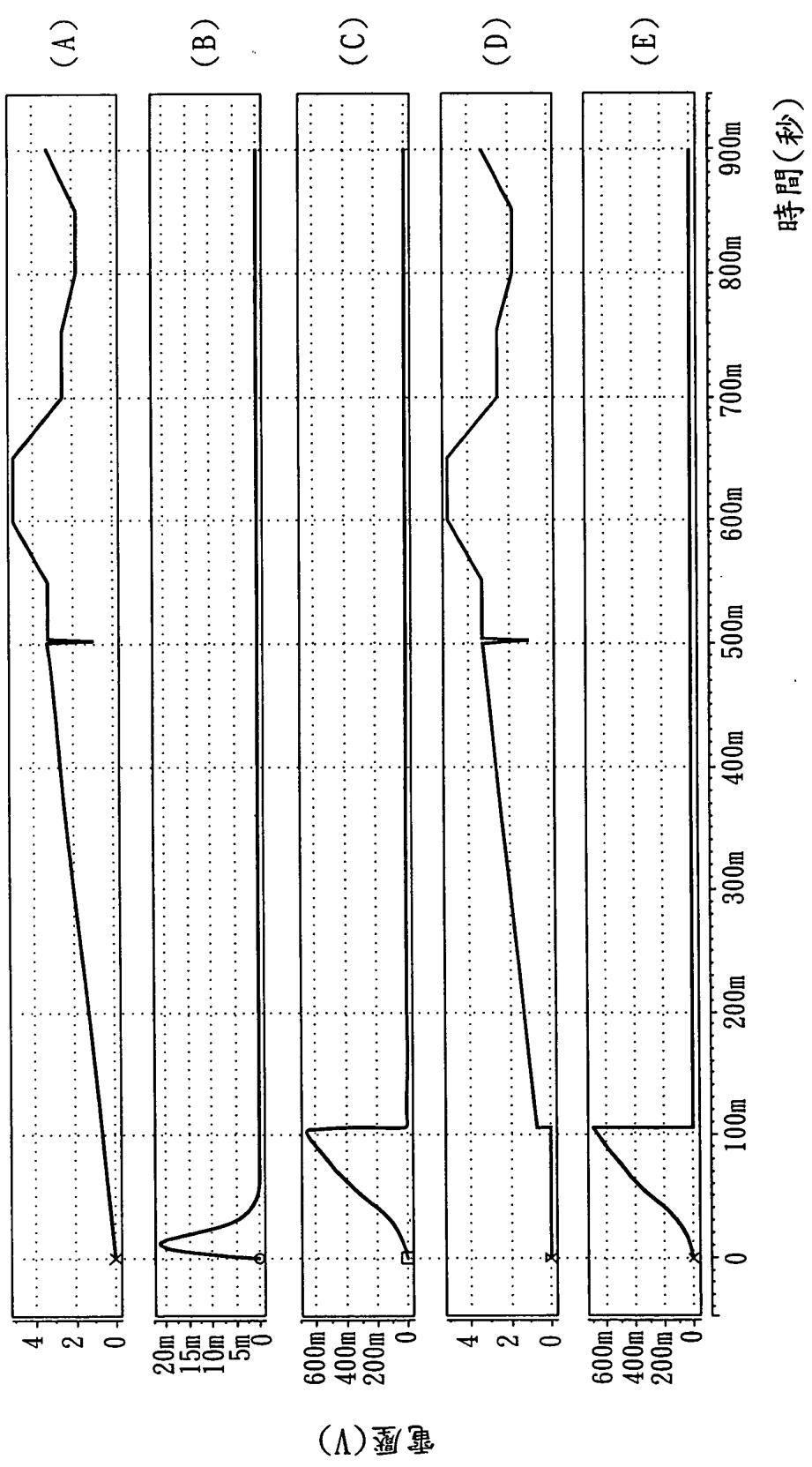


圖8

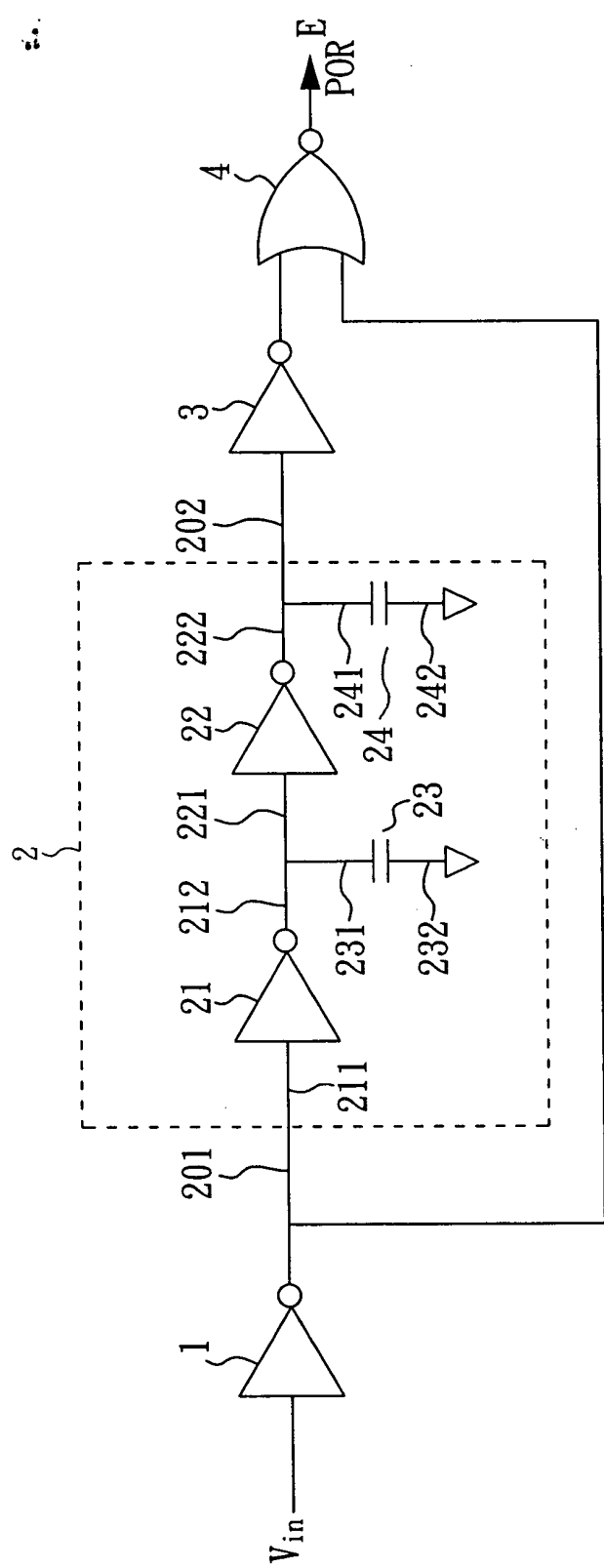


圖9

七、指定代表圖：

(一)本案指定代表圖為：圖 (5)。

(二)本代表圖之元件符號簡單說明：

1反閘元件	2時間延遲元件	3波形整形元件
4反或閘元件	21第一反閘元件	22第二反閘元件
23電容元件	101輸入端	102輸出端
201輸入端	202輸出端	211輸入端
212輸出端	221輸入端	222輸出端
231第一端	232第二端	301輸入端
302輸出端	401第一輸入端	402第二輸入端
403輸出端		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無