

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 1 月 30 日 (30.01.2020)



(10) 国际公布号
WO 2020/019609 A1

(51) 国际专利分类号:
H01L 21/77 (2017.01) H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2018/117605

(22) 国际申请日: 2018 年 11 月 27 日 (27.11.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810827393.1 2018 年 7 月 25 日 (25.07.2018) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

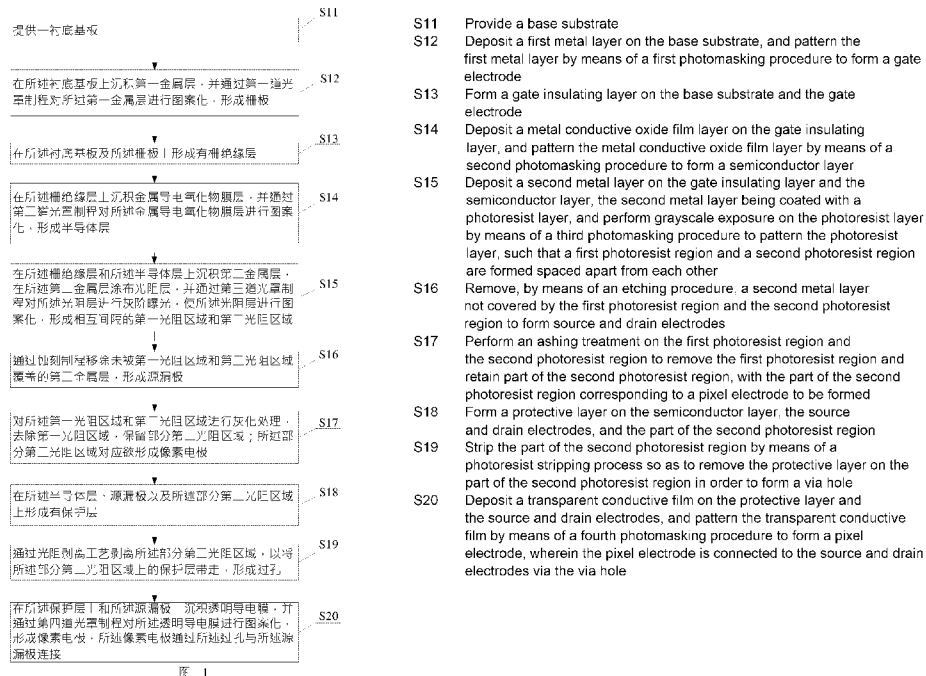
(72) 发明人: 吴伟 (WU, Wei); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: METHOD FOR PREPARING ARRAY SUBSTRATE

(54) 发明名称: 一种阵列基板的制备方法



(57) Abstract: Provided is a method for preparing an array substrate, the array substrate comprising a base substrate (1), wherein a gate electrode (2), a gate insulating layer (3) and a semiconductor layer (4) are sequentially fabricated on the base substrate (1); a second metal layer (12) is then deposited on the gate insulating layer (3) and the semiconductor layer (4), and same is coated with a photoresist layer (10); a photomask process is then used to form source and drain electrodes (5, 6); part of a photoresist region (102) of the photoresist layer

[见续页]

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(10) is retained on the source and drain electrodes (5, 6) and, once a protective layer (7) is applied, the part of the photoresist region (102') retained on the source and drain electrodes (5, 6) is stripped by a photoresist stripping process, so as to remove the protective layer (7) from the part of the photoresist region (102') on the source and drain electrodes (5, 6) and form a via hole (11); and a pixel electrode (8) is then formed on the protective layer (7) and realizes electrical communication with the source and drain electrodes (5, 6) through the via hole (11), thereby saving the use of one photomask in the manufacturing of the via hole of the protective layer (7). The purpose of saving on the manufacturing cost is achieved by reducing the number of process procedures, including exposure and development, of the traditional process for preparing an array substrate.

(57) 摘要: 一种阵列基板的制备方法, 包括衬底基板(1), 其上依序制作出栅极(2)、栅绝缘层(3)和半导体层(4), 然后在栅绝缘层(3)和半导体层(4)上沉积第二金属层(12)并涂布光阻层(10), 接着利用一道光罩制程形成源漏极(5、6), 且使得光阻层(10)在源漏极(5、6)上还保留部分光阻区域(102'), 并待覆盖保护层(7)后通过光阻剥离工艺剥离源漏极(5、6)上所保留的部分光阻区域(102'), 以将源漏极(5、6)上所保留的部分光阻(102')上的保护层(7)带走, 形成过孔(11), 再在保护层(7)上形成像素电极(8), 通过过孔(11)与源漏极(5、6)实现电连通, 从而节省了制作保护层通孔的一道光罩。通过在传统的阵列基板的制备工艺上节省含有曝光显影的工艺制程的数量来达到节省制作成本的目的。

一种阵列基板的制备方法

技术领域

[0001] 本发明是有关于液晶显示技术领域，尤其涉及一种阵列基板的制备方法。

背景技术

[0002] 随着液晶显示技术的发展，显示屏幕的尺寸越来越大，传统采用的氢化非晶硅（a-Si:H）薄膜晶体管载流子迁移率不够高，不足以驱动大尺寸液晶显示面板。一般而言，铟镓锌氧化物（IGZO）薄膜晶体管载流子迁移率明显高于a-Si:H薄膜晶体管，为了提升薄膜晶体管器件的充电率，IGZO半导体层逐渐取代a-Si:H半导体层，并应用于大尺寸液晶面板的设计。

[0003] 然而，目前不管是制备含IGZO半导体层的阵列基板或含其它金属氧化物形成的半导体层的阵列基板，均需要对每一膜层进行沉积、曝光显影、蚀刻、剥离等工艺制程，但只要每一道工艺制程中含有曝光显影都会对工厂产能及物料带来很大的消耗，从而加大了制作成本。以底栅结构的阵列基板为例，一般需要5至6道含有曝光显影的工艺制程，而双栅结构的阵列基板则需要含有曝光显影的工艺制程会更多。因此，有必要对现有的阵列基板的制备工艺进行简化，通过节省含有曝光显影的工艺制程的数量来达到节省制作成本的目的。

发明概述

技术问题

[0004] 本发明实施例所要解决的技术问题在于，提供一种阵列基板的制备方法，通过在传统的阵列基板的制备工艺上节省含有曝光显影的工艺制程的数量来达到节省制作成本的目的。

问题的解决方案

技术解决方案

[0005] 为解决上述问题，本发明提供的技术方案如下：

[0006] 为达成本发明的前述目的，本发明实施例提供了一种阵列基板的制备方法，包括以下步骤：

- [0007] 步骤S11、提供一衬底基板；
- [0008] 步骤S12、在所述衬底基板上沉积第一金属层，并通过第一道光罩制程对所述第一金属层进行图案化，形成栅极；
- [0009] 步骤S13、在所述衬底基板及所述栅极上形成有栅绝缘层；
- [0010] 步骤S14、在所述栅绝缘层上沉积金属导电氧化物膜层，并通过第二道光罩制程对所述金属导电氧化物膜层进行图案化，形成半导体层；
- [0011] 步骤S15、在所述栅绝缘层和所述半导体层上沉积第二金属层，且在所述第二金属层涂布光阻层，并通过第三道光罩制程对所述光阻层进行灰阶曝光，使所述光阻层进行图案化，形成相互间隔的第一光阻区域和第二光阻区域；
- [0012] 步骤S16、通过蚀刻制程移除未被第一光阻区域和第二光阻区域覆盖的第二金属层，形成源漏极；
- [0013] 步骤S17、对所述第一光阻区域和第二光阻区域进行灰化处理，去除所述第一光阻区域，保留部分第二光阻区域；所述部分第二光阻区域对应欲形成像素电极；
- [0014] 步骤S18、在所述半导体层、源漏极以及所述部分第二光阻区域上形成有保护层；
- [0015] 步骤S19、通过光阻剥离工艺剥离所述部分第二光阻区域，以将所述部分第二光阻区域上的保护层带走，形成过孔；
- [0016] 步骤S20、在所述保护层上和所述源漏极上沉积透明导电膜，并通过第四道光罩制程对所述透明导电膜进行图案化，形成像素电极，所述像素电极通过所述过孔与所述源漏极连接。
- [0017] 其中，所述第二光阻区域包括中间部和位于中间部两侧的侧部，所述中间部的厚度高于侧部的厚度。
- [0018] 其中，所述步骤S17中对所述第二光阻区域进行灰化处理的步骤具体为去除所述侧部并减少所述中间部的厚度，保留部分第二光阻区域。
- [0019] 本发明实施例提供了另一种阵列基板的制备方法，包括以下步骤：
- [0020] 步骤S21、提供一衬底基板；
- [0021] 步骤S22、在所述衬底基板上沉积第一金属层，并通过第一道光罩制程对所述

第一金属层进行图案化，形成底栅；

[0022] 步骤S23、在所述衬底基板及所述底栅上形成有第一栅绝缘层；

[0023] 步骤S24、在所述第一栅绝缘层上沉积金属导电氧化物膜层，并通过第二道光罩制程对所述金属导电氧化物膜层进行图案化，形成半导体层；

[0024] 步骤S25、在所述半导体层及所述第一栅绝缘层上形成有绝缘膜层，采用第三道光罩制程对所述绝缘膜层进行图案化，形成为位于所述半导体层上的第二栅绝缘层；

[0025] 步骤S26、在所述第一栅绝缘层、第二栅绝缘层及半导体层上沉积第二金属层，且在所述第二金属层涂布光阻层，并通过第四道光罩制程对所述光阻层进行灰阶曝光，使所述光阻层进行图案化，形成相互间隔的第一光阻区域、第二光阻区域和第三光阻区域；

[0026] 步骤S27、通过蚀刻制程移除未被第一光阻区域、第二光阻区域和第三光阻区域覆盖的第二金属层，形成源漏极以及位于所述第二栅绝缘层上的顶栅；

[0027] 步骤S28、对所述第一光阻区域、第二光阻区域和第三光阻区域进行灰化处理，去除所述第一光阻区域和所述第三光阻区域，保留部分第二光阻区域；所述部分第二光阻区域对应欲形成像素电极；

[0028] 步骤S29、在所述半导体层、源漏极和顶栅以及所述部分第二光阻区域上形成有保护层；

[0029] 步骤S30、通过光阻剥离工艺剥离所述部分第二光阻区域，以将所述部分第二光阻区域上的保护层带走，形成过孔；

[0030] 步骤S31、在所述保护层上和所述源漏极上沉积透明导电膜，并通过第五道光罩制程对所述透明导电膜进行图案化，形成像素电极，所述像素电极通过所述过孔与所述源漏极连接。

[0031] 其中，所述第二光阻区域包括中间部和位于中间部两侧的侧部，所述中间部的厚度高于侧部的厚度。

[0032] 其中，所述步骤S28中对所述第二光阻区域进行灰化处理的步骤具体为去除所述侧部并减少所述中间部的厚度，保留部分第二光阻区域。

[0033] 本发明实施例提供了又一种阵列基板的制备方法，包括以下步骤：

- [0034] 步骤S41、提供一衬底基板；
- [0035] 步骤S42、在所述衬底基板上形成有缓冲层；
- [0036] 步骤S43、在所述缓冲层上沉积金属导电氧化物膜层，并通过第一道光罩制程对所述金属导电氧化物膜层进行图案化，形成半导体层；
- [0037] 步骤S44、在所述半导体层及所述缓冲层上沉积绝缘膜层后，采用第二道光罩制程对所述绝缘膜层进行图案化，形成位于所述半导体层上的栅绝缘层；
- [0038] 步骤S45、在所述缓冲层、半导体层及栅绝缘层上沉积金属层，且在所述金属层涂布光阻层，并通过第三道光罩制程对所述光阻层进行灰阶曝光，使所述光阻层进行图案化，形成相互间隔的第一光阻区域、第二光阻区域和第三光阻区域；
- [0039] 步骤S46、通过蚀刻制程移除未被第一光阻区域、第二光阻区域和第三光阻区域覆盖的金属层，形成源漏极以及位于所述栅绝缘层上的栅极；
- [0040] 步骤S47、对所述第一光阻区域、第二光阻区域和第三光阻区域进行灰化处理，去除所述第一光阻区域和所述第三光阻区域，保留部分第二光阻区域；所述部分第二光阻区域对应欲形成像素电极；
- [0041] 步骤S48、在所述半导体层、源漏极和栅极以及所述部分第二光阻区域上形成有保护层；
- [0042] 步骤S49、通过光阻剥离工艺剥离所述部分第二光阻区域，以将所述部分第二光阻区域上的保护层带走，形成过孔；
- [0043] 步骤S410、在所述保护层上和所述源漏极上沉积透明导电膜，并通过第四道光罩制程对所述透明导电膜进行图案化，形成像素电极，所述像素电极通过所述过孔与所述源漏极连接。
- [0044] 其中，所述第二光阻区域包括中间部和位于中间部两侧的侧部，所述中间部的厚度高于侧部的厚度。
- [0045] 其中，所述步骤S47中对所述第二光阻区域进行灰化处理的步骤具体为去除所述侧部并减少所述中间部的厚度，保留部分第二光阻区域。

发明的有益效果

有益效果

[0046] 本发明的有益效果为：与传统的阵列基板的制备方法相比，本发明的源漏极和保护层的图形化在一道曝光显影下即可完成，节省了传统制备方法中保护层上通孔制备的一道曝光显影制程及其对应的相关物料，从而降低了制作成本。

对附图的简要说明

附图说明

[0047] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0048] 图1为本发明实施例一中提供的一种阵列基板的制备方法的流程图。

[0049] 图2a-2k为本发明实施例一中提供的一种阵列基板的制备方法的应用场景图。

[0050] 图3为本发明实施例二中提供的另一种阵列基板的制备方法的流程图。

[0051] 图4a-4l为本发明实施例二中提供的另一种阵列基板的制备方法的应用场景图。

[0052] 图5为本发明实施例三中提供的又一种阵列基板的制备方法的流程图。

[0053] 图6a-6k为本发明实施例三中提供的又一种阵列基板的制备方法的应用场景图。

。

实施该发明的最佳实施例

本发明的最佳实施方式

[0054] 以上对本发明实施例提供的液晶显示组件进行了详细介绍，本文中应用了具体个例对本发明的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本发明。同时，对于本领域的技术人员，依据本发明的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本发明的限制。以下各实施例的说明是参考附加的图示，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。在图中，结构相似的单元是用以相同标号表示。

[0055] 如图1所示，为本发明实施例一中，提供的一种阵列基板的制备方法，该方法

示出了底栅结构的阵列基板的制备流程，包括以下步骤：

[0056] 步骤S11、提供一衬底基板；

[0057] 在该步骤中，提供一个由石英、玻璃、透明塑料之中一种材料制作而成的透明基板或半透明基板作为衬底基板1。

[0058] 步骤S12、在所述衬底基板上沉积第一金属层，并通过第一道光罩制程对所述第一金属层进行图案化，形成栅极；

[0059] 在该步骤中，如图2a所示，首先通过物理气相沉积法（PVD）在衬底基板1的上表面溅镀一层金属形成第一金属层，并通过在第一金属层涂抹光刻胶后采用第一道光罩制程对光刻胶进行曝光、显影形成光阻图案，在通过蚀刻制程移除未被光阻图案覆盖的第一金属层，形成栅极2。

[0060] 步骤S13、在所述衬底基板及所述栅极上形成有栅绝缘层；

[0061] 在该步骤中，如图2b所示，在制备出栅极2后，通过化学气相沉积法（CVD）在衬底基板上表面及栅极2上涂抹并覆盖有一层氮化硅形成单层结构的栅绝缘层3，或通过化学气相沉积法在单层的氮化硅层上方继续涂抹并覆盖有一层氧化硅，从而得到叠层结构的栅绝缘层3。

[0062] 步骤S14、在所述栅绝缘层上沉积金属导电氧化物膜层，并通过第二道光罩制程对所述金属导电氧化物膜层进行图案化，形成半导体层；

[0063] 在该步骤中，如图2c所示，通过PVD在栅绝缘层3上涂抹铟镓锌氧化物IGZO或其它金属导电氧化物形成金属导电氧化膜层，在金属导电氧化膜层涂抹光刻胶后采用第二道光罩制程对金属导电氧化膜层进行图案化，得到半导体层4。

[0064] 步骤S15、在所述栅绝缘层和所述半导体层上沉积第二金属层，且在所述第二金属层涂布光阻层，并通过第三道光罩制程对所述光阻层进行灰阶曝光，使所述光阻层进行图案化，形成相互间隔的第一光阻区域和第二光阻区域；

[0065] 在该步骤中，如图2d、2e、2f所示，通过PVD在栅绝缘层3和半导体层4的上表面溅镀一层金属形成第二金属层12，将光刻胶涂抹并覆盖在第二金属层12上形成光阻层10，并采用具有非透光区、半透光区和透光区的半色调光罩作为第三道光罩，通过第三道光罩使得光阻层灰阶曝光为所需的光阻图案。其中，在采用第三道光罩制程时，透光区93对应的光阻被完全显影掉，半透光区92对应的

光阻被部分保留，非透光区91对应的光阻被完全保留，形成相互间隔第一光阻区域101和第二光阻区域102。其中，第二光阻区域102包括中间部1021和位于中间部两侧的侧部1022，中间部1021的厚度高于侧部1022的厚度。

[0066] 步骤S16、通过蚀刻制程移除未被第一光阻区域和第二光阻区域覆盖的第二金属层，形成源漏极；

[0067] 在该步骤中，如图2g所示，采用腐蚀性溶液（如PPC酸、ENF酸、草酸等）对未被第一光阻区域101和第二光阻区域102覆盖的第二金属层12进行湿法刻蚀制程，得到漏极5和源极6。

[0068] 步骤S17、对所述第一光阻区域和第二光阻区域进行灰化处理，去除所述第一光阻区域，保留部分第二光阻区域；所述部分第二光阻区域对应欲形成像素电极；

[0069] 在该步骤中，如图2h所示，采用氧化性气体（如O₂和N₂O等）对第一光阻区域101和第二光阻区域102进行灰化处理。由于第二光阻区域102厚度最高，由第一光阻区域101厚度次之，通过氧化性气体灰化将光阻减薄的原理，使得第一光阻区域101可以全部被灰化掉，而在源漏极上还会保留部分第二光阻区域102'，即除第二光阻区域102的侧部1022被去除，且中间部1021的厚度减少，从而保留部分第二光阻区域102'。

[0070] 步骤S18、在所述半导体层、源漏极以及所述部分第二光阻区域上形成有保护层；

[0071] 在该步骤中，如图2i所示，通过CVD在半导体层4、源漏极5、6以及保留下来的部分第二光阻区域102'上涂抹并覆盖有一层氮化硅形成保护层7。

[0072] 步骤S19、通过光阻剥离工艺剥离所述部分第二光阻区域，以将所述部分第二光阻区域上的保护层带走，形成过孔；

[0073] 在该步骤中，如图2j所示，通过光阻剥离工艺剥离保留下来的部分第二光阻区域102'，以将保留下来的部分第二光阻区域102'上的保护层带走，形成过孔11。由此可见，省略了传统的保护层上过孔制作时光刻胶及光罩的使用，从而降低了制作成本。

[0074] 步骤S20、在所述保护层上和所述源漏极上沉积透明导电膜，并通过第四道光

罩制程对所述透明导电膜进行图案化，形成像素电极，所述像素电极通过所述过孔与所述源漏极连接。

[0075] 在该步骤中，如图2k所示，通过PVD在保护层上表面溅镀一层透明导电膜（如氧化铟锡ITO或其它导电氧化物）形成像素电极层，且像素电极层的金属导电氧化物会通过过孔11延伸至源漏极5，6上，并通过第四道光罩制程对透明导电膜层进行图案化，形成像素电极8，并使得像素电极8能和源漏极5，6实现电连通。

[0076] 如图3所示，为本发明实施例二中，提供的另一种阵列基板的制备方法，该方法示出了双栅结构的阵列基板的制备流程，包括以下步骤：

[0077] 步骤S21、提供一衬底基板；

[0078] 在该步骤中，提供一个由石英、玻璃、透明塑料之中一种材料制作而成的透明基板或半透明基板作为衬底基板1。

[0079] 步骤S22、在所述衬底基板上沉积第一金属层，并通过第一道光罩制程对所述第一金属层进行图案化，形成底栅；

[0080] 在该步骤中，如图4a所示，首先通过PVD在衬底基板1的上表面溅镀一层金属形成第一金属层，并通过在第一金属层涂抹光刻胶后采用第一道光罩制程对光刻胶进行曝光、显影形成光阻图案，在通过蚀刻制程移除未被光阻图案覆盖的第一金属层，形成底栅2。

[0081] 步骤S23、在所述衬底基板及所述底栅上形成有第一栅绝缘层；

[0082] 在该步骤中，如图4b所示，通过CVD在衬底基板1上表面及底栅2上涂抹并覆盖有一层氮化硅形成单层结构的第一栅绝缘层3，或通过CVD在单层的氮化硅层上方继续涂抹并覆盖有一层氧化硅，从而得到叠层结构的第一栅绝缘层3。

[0083] 步骤S24、在所述第一栅绝缘层上沉积金属导电氧化物膜层，并通过第二道光罩制程对所述金属导电氧化物膜层进行图案化，形成半导体层；

[0084] 在该步骤中，如图4c所示，通过PVD在第一栅绝缘层3上涂抹铟镓锌氧化物IGZO或其它金属导电氧化物形成金属导电氧化膜层，在金属导电氧化膜层涂抹光刻胶后采用第二道光罩制程对金属导电氧化膜层进行图案化，得到半导体层4。

[0085] 步骤S25、在所述半导体层及所述第一栅绝缘层上形成有绝缘膜层，采用第三

道光罩制程对所述绝缘膜层进行图案化，形成为位于所述半导体层上的第二栅绝缘层；

[0086] 在该步骤中，如图4d所示，通过CVD在半导体层4和第一栅绝缘层3上涂抹并覆盖有一层氮化硅、氧化硅或氮氧化硅形成绝缘膜层，并采用第三道光罩制程对绝缘膜层进行图案化，形成有位于半导体层4上的第二栅绝缘层13。

[0087] 步骤S26、在所述第一栅绝缘层、第二栅绝缘层及半导体层上沉积第二金属层，且在所述第二金属层涂布光阻层，并通过第四道光罩制程对所述光阻层进行灰阶曝光，使所述光阻层进行图案化，形成相互间隔的第一光阻区域、第二光阻区域和第三光阻区域；

[0088] 在该步骤中，如图4e、4f、4g所示，通过PVD在第一栅绝缘层3、半导体层4及第二栅绝缘层13的上表面溅镀一层金属形成第二金属层12，将光刻胶涂抹并覆盖在第二金属层12上形成光阻层10，并采用具有非透光区、半透光区和透光区的半色调光罩作为第四道光罩，通过第四道光罩使得光阻层灰阶曝光为所需的光阻图案。其中，在采用第四道光罩制程时，透光区93对应的光阻被完全显影掉，半透光区92对应的光阻被部分保留，非透光区91对应的光阻被完全保留，形成相互间隔第一光阻区域101、第二光阻区域102和第三光阻区域103。其中，第二光阻区域102包括中间部1021和位于中间部两侧的侧部1022，中间部1021的厚度高于侧部1022的厚度。

[0089] 步骤S27、通过蚀刻制程移除未被第一光阻区域、第二光阻区域和第三光阻区域覆盖的第二金属层，形成源漏极以及位于所述第二栅绝缘层上的顶栅；

[0090] 在该步骤中，如图4h所示，采用腐蚀性溶液（如PPC酸、ENF酸、草酸等）对未被第一光阻区域101、第二光阻区域102和第三光阻区域103覆盖的第二金属层12进行湿法刻蚀制程，得到漏极5和源极6，以及位于第二栅绝缘层13上的顶栅14。

[0091] 步骤S28、对所述第一光阻区域、第二光阻区域和第三光阻区域进行灰化处理，去除所述第一光阻区域和所述第三光阻区域，保留部分第二光阻区域；所述部分第二光阻区域对应欲形成像素电极；

[0092] 在该步骤中，如图4i所示，采用氧化性气体（如O₂和N₂O等）对第一光阻区域

101、第二光阻区域102和第三光阻区域103进行灰化处理。由于第二光阻区域102厚度最高，由第一光阻区域101和第三光阻区域103厚度次之，通过氧化性气体灰化将光阻减薄的原理，使得第一光阻区域101和第三光阻区域103可以全部被灰化掉，而在源漏极5，6上还会保留部分第二光阻区域102'，即除第二光阻区域102的侧部1022被去除，且中间部1021的厚度减少，从而保留部分第二光阻区域102'。

[0093] 步骤S29、在所述半导体层、源漏极和顶栅以及所述部分第二光阻区域上形成有保护层；

[0094] 在该步骤中，如图4j所示，通过CVD在半导体层4、源漏极5，6、顶栅14以及保留下来的部分第二光阻区域102'上涂抹并覆盖有一层氮化硅形成保护层7。

[0095] 步骤S30、通过光阻剥离工艺剥离所述部分第二光阻区域，以将所述部分第二光阻区域上的保护层带走，形成过孔；

[0096] 在该步骤中，如图4k所示，通过光阻剥离工艺剥离保留下来的部分第二光阻区域102'，以将保留下来的部分第二光阻区域102'上的保护层带走，形成过孔11。由此可见，省略了传统的保护层上过孔制作时光刻胶及光罩的使用，从而降低了制作成本。

[0097] 步骤S31、在所述保护层上和所述源漏极上沉积透明导电膜，并通过第五道光罩制程对所述透明导电膜进行图案化，形成像素电极，所述像素电极通过所述过孔与所述源漏极连接。

[0098] 在该步骤中，如图4l所示，通过PVD在保护层上表面溅镀一层透明导电膜（如氧化铟锡ITO或其它导电氧化物）形成像素电极层，且像素电极层的金属导电氧化物会通过过孔11延伸至源漏极5，6上，并通过第五道光罩制程对透明导电膜层进行图案化，形成像素电极8，并使得像素电极8能和源漏极5，6实现电连通。

[0099] 相应于本发明实施例一中的阵列基板的制备方法，本发明实施例二中的阵列基板的制备方法只是在本发明实施例一中的阵列基板的制备方法的基础上，除了将栅极定义为底栅、栅绝缘层定义为第一栅绝缘层，同时增添了通过第三光罩制备出位于半导体层上的第二栅绝缘层的制备步骤以及在第四光罩上增添了顶

栅的图案。

[0100] 如图5所示,为本发明实施例三中,提供的又一种阵列基板的制备方法,该方法示出了顶栅结构的阵列基板的制备流程,包括以下步骤:

[0101] 步骤S41、提供一衬底基板;

[0102] 在该步骤中,提供一个由石英、玻璃、透明塑料之中一种材料制作而成的透明基板或半透明基板作为衬底基板1。步骤S42、在所述衬底基板上形成有缓冲层;

[0103] 在该步骤中,如图6a所示,通过CVD在衬底基板1上表面涂抹并覆盖有一层氮化硅、氧化硅或氮氧化硅形成单层结构的缓冲层3。

[0104] 步骤S43、在所述缓冲层上沉积金属导电氧化物膜层,并通过第一道光罩制程对所述金属导电氧化物膜层进行图案化,形成半导体层;

[0105] 在该步骤中,如图6b所示,通过PVD在缓冲层3上涂抹铟镓锌氧化物IGZO或其它金属导电氧化物形成金属导电氧化膜层,在金属导电氧化膜层涂抹光刻胶后采用第二道光罩制程对金属导电氧化膜层进行图案化,得到半导体层4。步骤S44、在所述半导体层及所述缓冲层上沉积绝缘膜层后,采用第二道光罩制程对所述绝缘膜层进行图案化,形成位于所述半导体层上的栅绝缘层;

[0106] 在该步骤中,如图6c所示,通过CVD在半导体层4和缓冲层3上涂抹并覆盖有一层氮化硅、氧化硅或氮氧化硅形成绝缘膜层,并采用第二道光罩制程对绝缘膜层进行图案化,形成有位于半导体层4上的栅绝缘层13。

[0107] 步骤S45、在所述缓冲层、半导体层及栅绝缘层上沉积金属层,且在所述金属层涂布光阻层,并通过第三道光罩制程对所述光阻层进行灰阶曝光,使所述光阻层进行图案化,形成相互间隔的第一光阻区域、第二光阻区域和第三光阻区域;

[0108] 在该步骤中,如图6d、6e、6f所示,通过PVD在缓冲层3、半导体层4及栅绝缘层13的上表面溅镀一层金属形成第二金属层12,将光刻胶涂抹并覆盖在第二金属层12上形成光阻层10,并采用具有非透光区、半透光区和透光区的半色调光罩作为第四道光罩,通过第三道光罩使得光阻层灰阶曝光为所需的光阻图案。其中,在采用第三道光罩制程时,透光区93对应的光阻被完全显影掉,半透光

区92对应的光阻被部分保留，非透光区91对应的光阻被完全保留，形成相互间隔第一光阻区域101、第二光阻区域102和第三光阻区域103。其中，第二光阻区域102包括中间部1021和位于中间部两侧的侧部1022，中间部1021的厚度高于侧部1022的厚度。

[0109] 步骤S46、通过蚀刻制程移除未被第一光阻区域、第二光阻区域和第三光阻区域覆盖的金属层，形成源漏极以及位于所述栅绝缘层上的栅极；

[0110] 在该步骤中，如图6g所示，采用腐蚀性溶液（如PPC酸、ENF酸、草酸等）对未被第一光阻区域101、第二光阻区域102和第三光阻区域103覆盖的第二金属层12进行湿法刻蚀制程，得到漏极5和源极6，以及位于栅绝缘层13上的栅极14。

[0111] 步骤S47、对所述第一光阻区域、第二光阻区域和第三光阻区域进行灰化处理，去除所述第一光阻区域和所述第三光阻区域，保留部分第二光阻区域；所述部分第二光阻区域对应欲形成像素电极；

[0112] 在该步骤中，如图6h所示，采用氧化性气体（如O₂和N₂O等）对第一光阻区域101、第二光阻区域102和第三光阻区域103进行灰化处理。由于第二光阻区域102厚度最高，由第一光阻区域101和第三光阻区域103厚度次之，通过氧化性气体灰化将光阻减薄的原理，使得第一光阻区域101和第三光阻区域103可以全部被灰化掉，而在源漏极5，6上还会保留部分第二光阻区域102'，即除第二光阻区域102的侧部1022被去除，且中间部1021的厚度减少，从而保留部分第二光阻区域102'。

[0113] 步骤S48、在所述半导体层、源漏极和栅极以及所述部分第二光阻区域上形成有保护层；

[0114] 在该步骤中，如图6i所示，通过CVD在半导体层4、源漏极5，6、栅极14以及保留下来的部分第二光阻区域102'上涂抹并覆盖有一层氮化硅形成保护层7。

[0115] 步骤S49、通过光阻剥离工艺剥离所述部分第二光阻区域，以将所述部分第二光阻区域上的保护层带走，形成过孔；

[0116] 在该步骤中，如图6j所示，通过光阻剥离工艺剥离保留下来的部分第二光阻区域102'，以将保留下来的部分第二光阻区域102'上的保护层带走，形成过孔11。由此可见，省略了传统的保护层上过孔制作时光刻胶及光罩的使用，从而降低

了制作成本。

[0117] 步骤S410、在所述保护层上和所述源漏极上沉积透明导电膜，并通过第四道光罩制程对所述透明导电膜进行图案化，形成像素电极，所述像素电极通过所述过孔与所述源漏极连接。

[0118] 在该步骤中，如图6k所示，通过PVD在保护层上表面溅镀一层透明导电膜（如氧化铟锡ITO或其它导电氧化物）形成像素电极层，且像素电极层的金属导电氧化物会通过过孔11延伸至源漏极5，6上，并通过第四道光罩制程对透明导电膜层进行图案化，形成像素电极8，并使得像素电极8能和源漏极5，6实现电连通。

[0119] 相应于本发明实施例二中的阵列基板的制备方法，本发明实施例三中的阵列基板的制备方法只是在本发明实施例二中的阵列基板的制备方法的基础上，省略了底栅的制备步骤。

[0120] 相应于本发明实施例一中的阵列基板的制备方法，本发明实施例四中还提供了一种阵列基板，该阵列基板为底栅结构的阵列基板，采用了本发明实施例一中的阵列基板的制备方法制备而成，具体请参见本发明实施例一中的阵列基板的制备方法的相关内容，因此在此不再一一赘述。

[0121] 相应于本发明实施例二中的阵列基板的制备方法，本发明实施例五中还提供了一种阵列基板，该阵列基板为双栅结构的阵列基板，采用了本发明实施例二中的阵列基板的制备方法制备而成，具体请参见本发明实施例二中的阵列基板的制备方法的相关内容，因此在此不再一一赘述。

[0122] 相应于本发明实施例三中的阵列基板的制备方法，本发明实施例六中还提供了一种阵列基板，该阵列基板为顶栅结构的阵列基板，采用了本发明实施例三中的阵列基板的制备方法制备而成，具体请参见本发明实施例三中的阵列基板的制备方法的相关内容，因此在此不再一一赘述。

[0123] 实施本发明实施例，具有如下有益效果：

[0124] 与传统的阵列基板的制备方法相比，本发明的源漏极和保护层的图形化在一道曝光显影下即可完成，节省了传统制备方法中保护层上通孔制备的一道曝光显影制程及其对应的相关物料，从而降低了制作成本。

[0125] 本发明已由上述相关实施例加以描述，然而上述实施例仅为实施本发明的范例。必需指出的是，已公开的实施例并未限制本发明的范围。相反地，包含于权利要求书的精神及范围的修改及均等设置均包括于本发明的范围内。

权利要求书

- [权利要求 1] 一种阵列基板的制备方法，其包括步骤：
- 步骤S11、提供一衬底基板；
- 步骤S12、在所述衬底基板上沉积第一金属层，并通过第一道光罩制程对所述第一金属层进行图案化，形成栅极；
- 步骤S13、在所述衬底基板及所述栅极上形成有栅绝缘层；
- 步骤S14、在所述栅绝缘层上沉积金属导电氧化物膜层，并通过第二道光罩制程对所述金属导电氧化物膜层进行图案化，形成半导体层；
- 步骤S15、在所述栅绝缘层和所述半导体层上沉积第二金属层，且在所述第二金属层涂布光阻层，并通过第三道光罩制程对所述光阻层进行灰阶曝光，使所述光阻层进行图案化，形成相互间隔的第一光阻区域和第二光阻区域；
- 步骤S16、通过蚀刻制程移除未被第一光阻区域和第二光阻区域覆盖的第二金属层，形成源漏极；
- 步骤S17、对所述第一光阻区域和第二光阻区域进行灰化处理，去除所述第一光阻区域，保留部分第二光阻区域；所述部分第二光阻区域对应欲形成像素电极；
- 步骤S18、在所述半导体层、源漏极以及所述部分第二光阻区域上形成有保护层；
- 步骤S19、通过光阻剥离工艺剥离所述部分第二光阻区域，以将所述部分第二光阻区域上的保护层带走，形成过孔；
- 步骤S20、在所述保护层上和所述源漏极上沉积透明导电膜，并通过第四道光罩制程对所述透明导电膜进行图案化，形成像素电极，所述像素电极通过所述过孔与所述源漏极连接。
- [权利要求 2] 如权利要求1所述的阵列基板的制备方法，其中：所述第二光阻区域包括中间部和位于中间部两侧的侧部，所述中间部的厚度高于侧部的厚度。
- [权利要求 3] 如权利要求2所述的阵列基板的制备方法，其中：所述步骤S17中对所

述第二光阻区域进行灰化处理的步骤具体为去除所述侧部并减少所述中间部的厚度，保留部分第二光阻区域。

[权利要求 4]

一种阵列基板的制备方法，其包括步骤：

步骤S21、提供一衬底基板；

步骤S22、在所述衬底基板上沉积第一金属层，并通过第一道光罩制程对所述第一金属层进行图案化，形成底栅；

步骤S23、在所述衬底基板及所述底栅上形成有第一栅绝缘层；

步骤S24、在所述第一栅绝缘层上沉积金属导电氧化物膜层，并通过第二道光罩制程对所述金属导电氧化物膜层进行图案化，形成半导体层；

步骤S25、在所述半导体层及所述第一栅绝缘层上形成有绝缘膜层，采用第三道光罩制程对所述绝缘膜层进行图案化，形成为位于所述半导体层上的第二栅绝缘层；

步骤S26、在所述第一栅绝缘层、第二栅绝缘层及半导体层上沉积第二金属层，且在所述第二金属层涂布光阻层，并通过第四道光罩制程对所述光阻层进行灰阶曝光，使所述光阻层进行图案化，形成相互间隔的第一光阻区域、第二光阻区域和第三光阻区域；

步骤S27、通过蚀刻制程移除未被第一光阻区域、第二光阻区域和第三光阻区域覆盖的第二金属层，形成源漏极以及位于所述第二栅绝缘层上的顶栅；

步骤S28、对所述第一光阻区域、第二光阻区域和第三光阻区域进行灰化处理，去除所述第一光阻区域和所述第三光阻区域，保留部分第二光阻区域；所述部分第二光阻区域对应欲形成像素电极；

步骤S29、在所述半导体层、源漏极和顶栅以及所述部分第二光阻区域上形成有保护层；

步骤S30、通过光阻剥离工艺剥离所述部分第二光阻区域，以将所述部分第二光阻区域上的保护层带走，形成过孔；

步骤S31、在所述保护层上和所述源漏极上沉积透明导电膜，并通过

第五道光罩制程对所述透明导电膜进行图案化，形成像素电极，所述像素电极通过所述过孔与所述源漏极连接。

[权利要求 5] 如权利要求4所述的阵列基板的制备方法，其中：所述第二光阻区域包括中间部和位于中间部两侧的侧部，所述中间部的厚度高于侧部的厚度。

[权利要求 6] 如权利要求5所述的阵列基板的制备方法，其中：所述步骤S28中对所述第二光阻区域进行灰化处理的步骤具体为去除所述侧部并减少所述中间部的厚度，保留部分第三光阻区域。

[权利要求 7] 一种阵列基板的制备方法，其包括步骤：
步骤S41、提供一衬底基板；
步骤S42、在所述衬底基板上形成有缓冲层；
步骤S43、在所述缓冲层上沉积金属导电氧化物膜层，并通过第一道光罩制程对所述金属导电氧化物膜层进行图案化，形成半导体层；
步骤S44、在所述半导体层及所述缓冲层上沉积绝缘膜层后，采用第二道光罩制程对所述绝缘膜层进行图案化，形成位于所述半导体层上的栅绝缘层；
步骤S45、在所述缓冲层、半导体层及栅绝缘层上沉积金属层，且在所述金属层涂布光阻层，并通过第三道光罩制程对所述光阻层进行灰阶曝光，使所述光阻层进行图案化，形成相互间隔的第一光阻区域、第二光阻区域和第三光阻区域；
步骤S46、通过蚀刻制程移除未被第一光阻区域、第二光阻区域和第三光阻区域覆盖的金属层，形成源漏极以及位于所述栅绝缘层上的栅极；
步骤S47、对所述第一光阻区域、第二光阻区域和第三光阻区域进行灰化处理，去除所述第一光阻区域和所述第三光阻区域，保留部分第二光阻区域；所述部分第二光阻区域对应欲形成像素电极；
步骤S48、在所述半导体层、源漏极和栅极以及所述部分第二光阻区域上形成有保护层；

步骤S49、通过光阻剥离工艺剥离所述部分第二光阻区域，以将所述部分第二光阻区域上的保护层带走，形成过孔；

步骤S410、在所述保护层上和所述源漏极上沉积透明导电膜，并通过第四道光罩制程对所述透明导电膜进行图案化，形成像素电极，所述像素电极通过所述过孔与所述源漏极连接。

[权利要求 8] 如权利要求7所述的阵列基板的制备方法，其中：所述第二光阻区域包括中间部和位于中间部两侧的侧部，所述中间部的厚度高于侧部的厚度。

[权利要求 9] 如权利要求8所述的阵列基板的制备方法，其中：所述步骤S47中对所述第二光阻区域进行灰化处理的步骤具体为去除所述侧部并减少所述中间部的厚度，保留部分第三光阻区域。

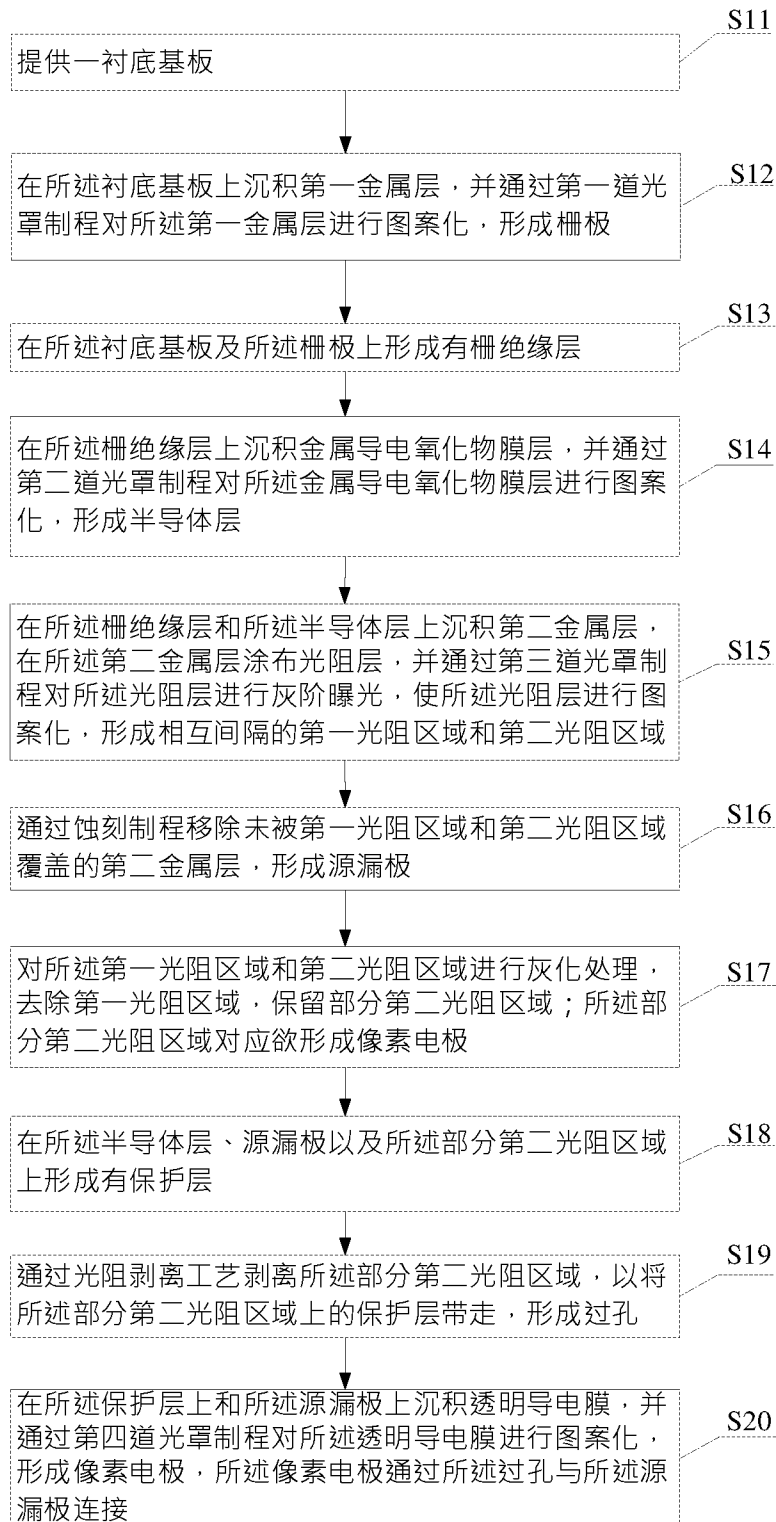


图 1

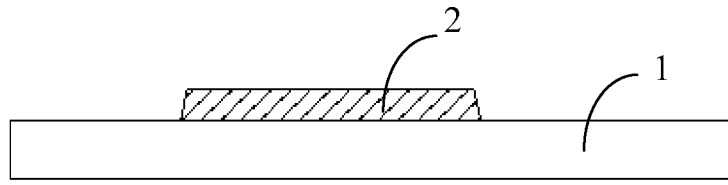


图 2a

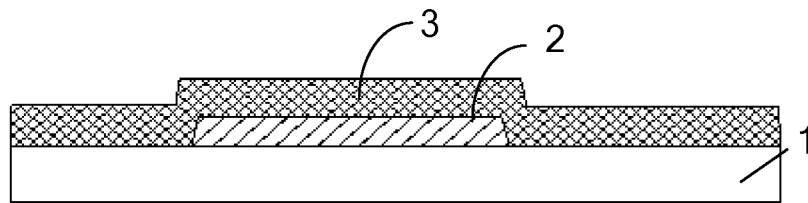


图 2b

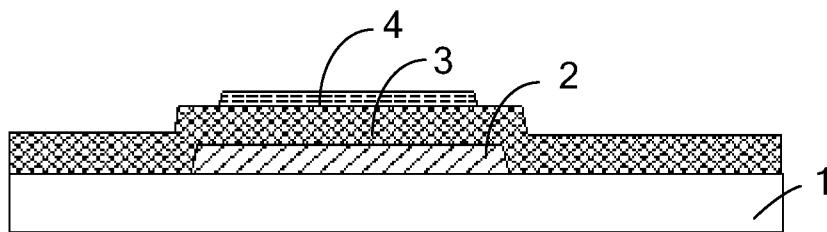


图 2c

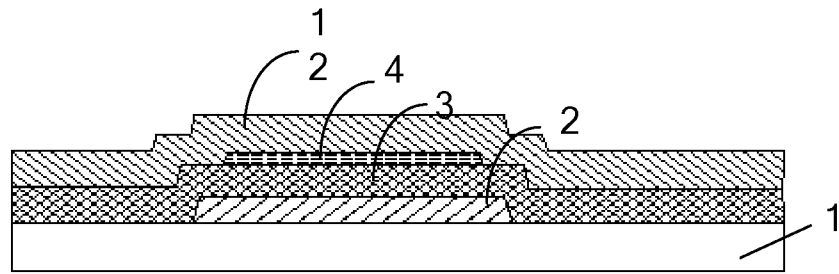


图 2d

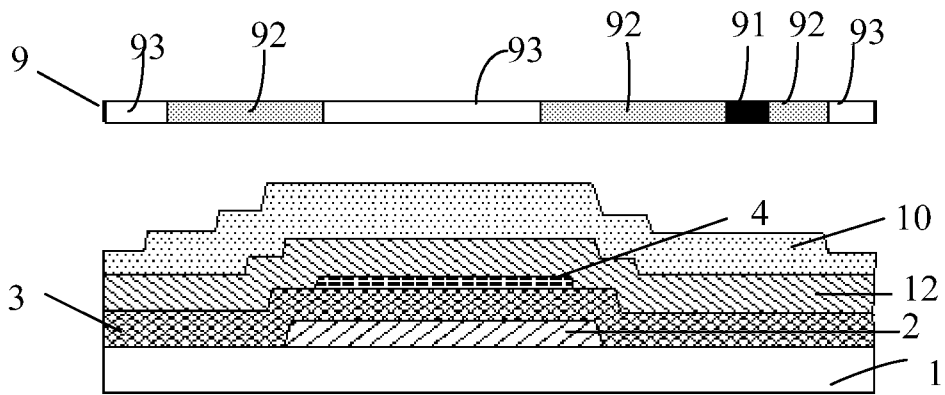


图 2e

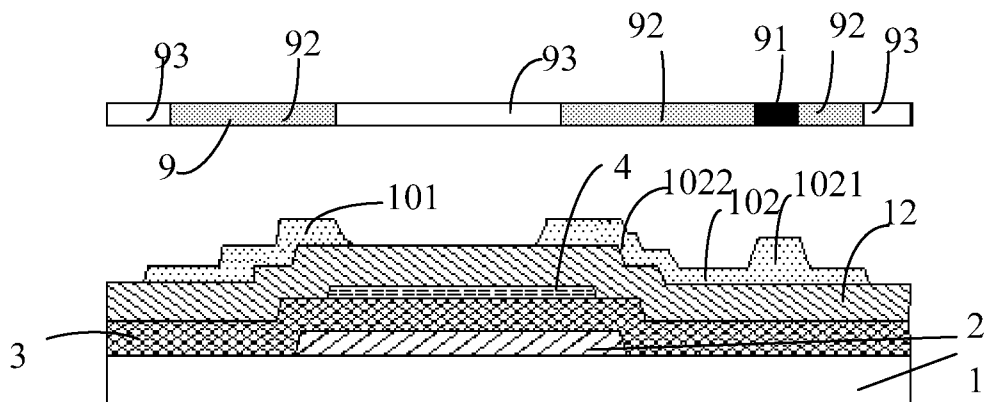


图 2f

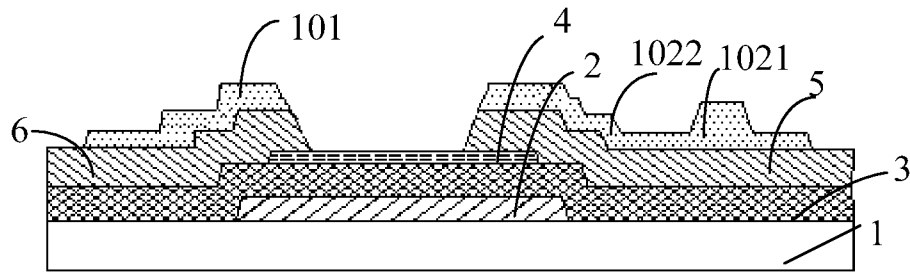


图 2g

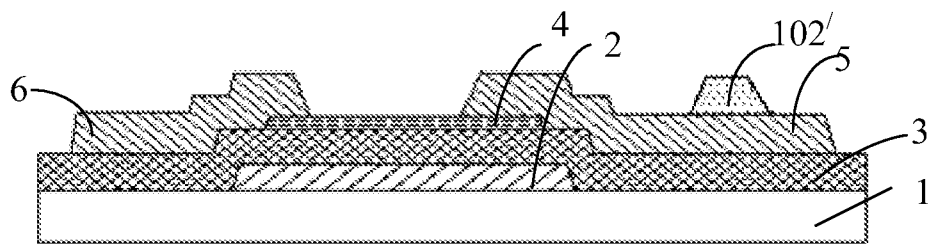


图 2h

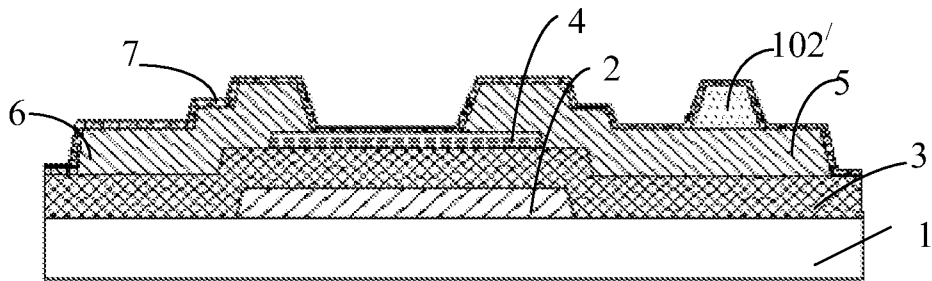


图 2i

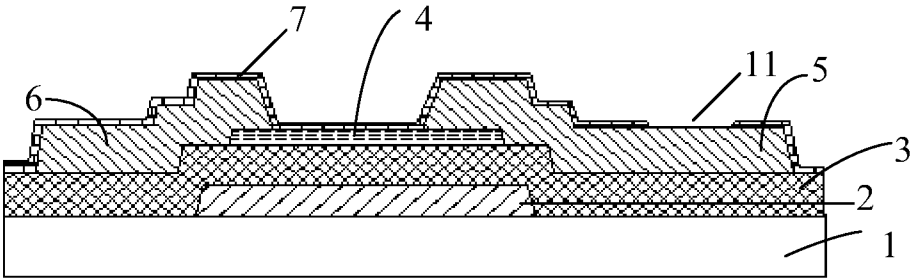


图 2j

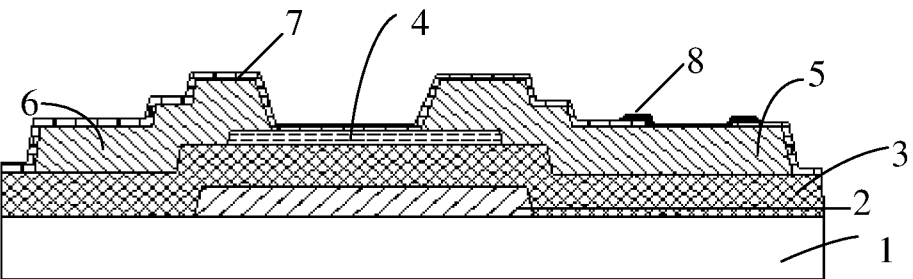


图 2k

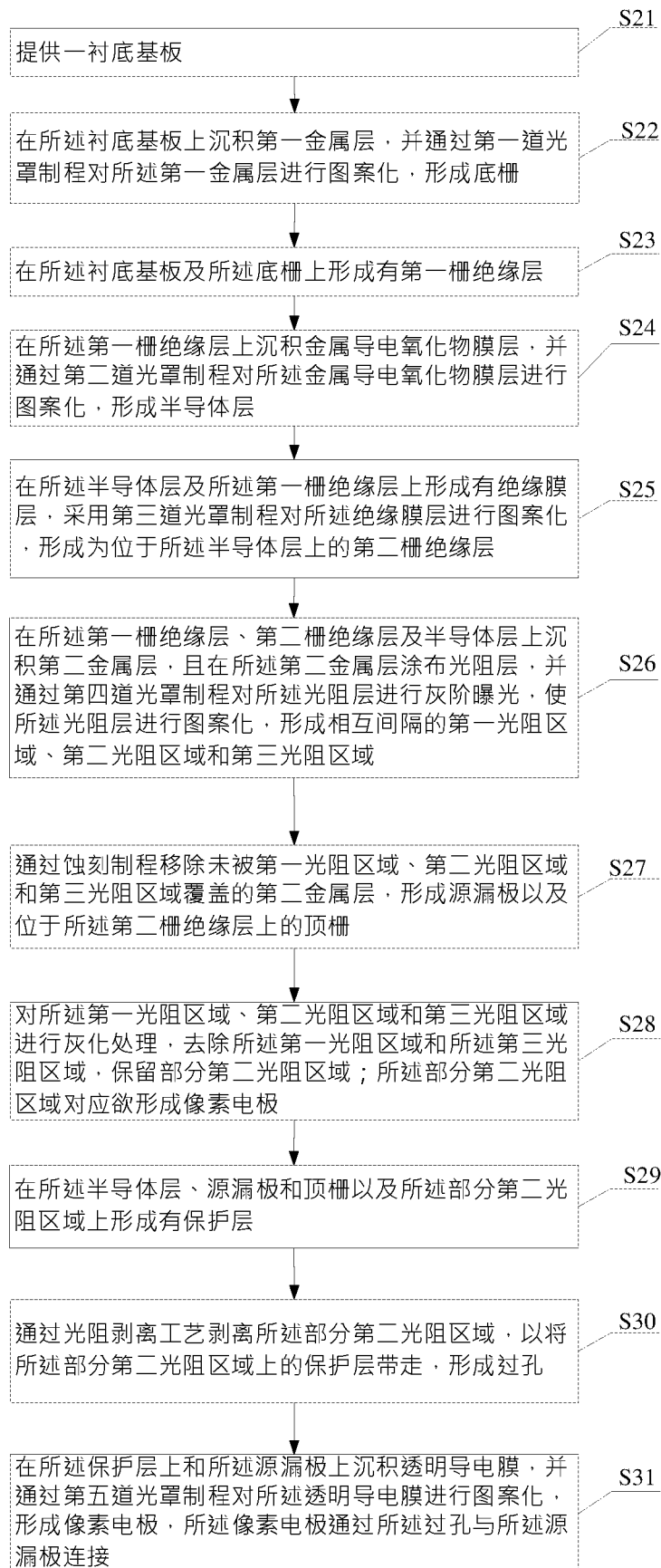


图 3

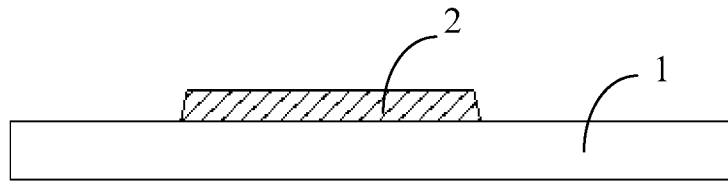


图 4a

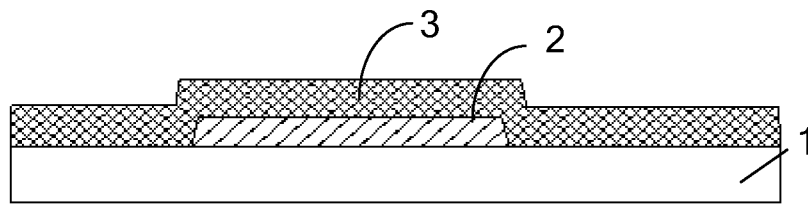


图 4b

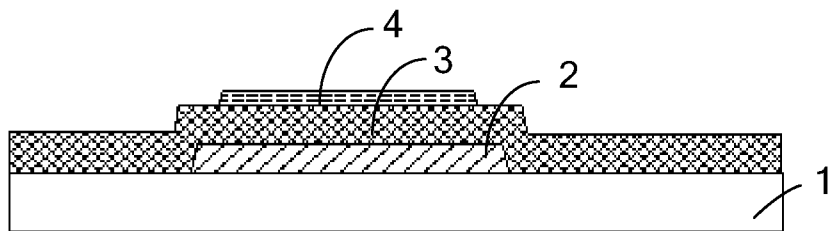


图 4c

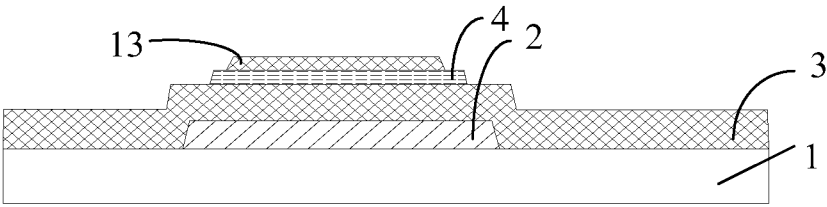


图 4d

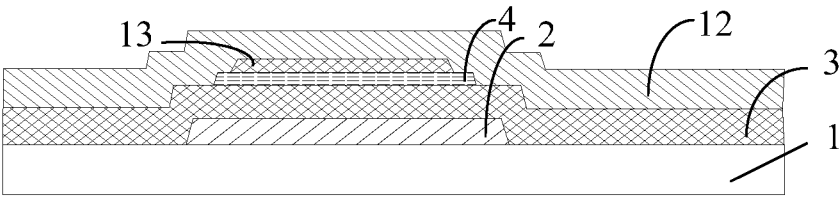


图 4e

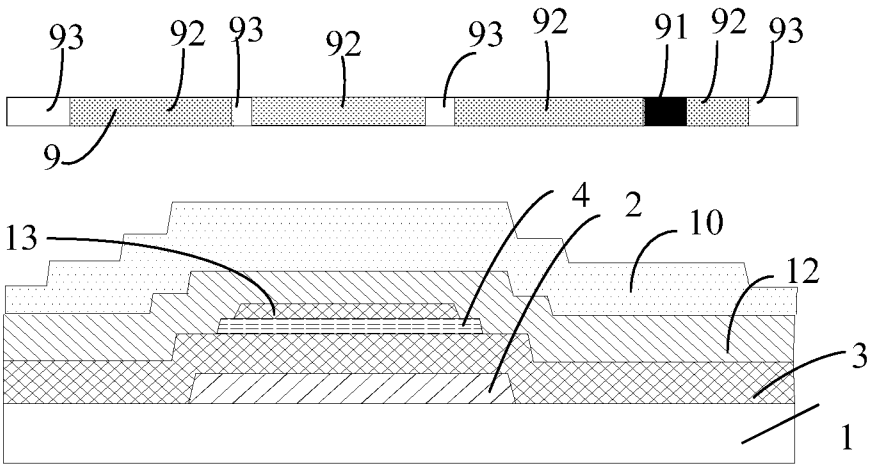


图 4f

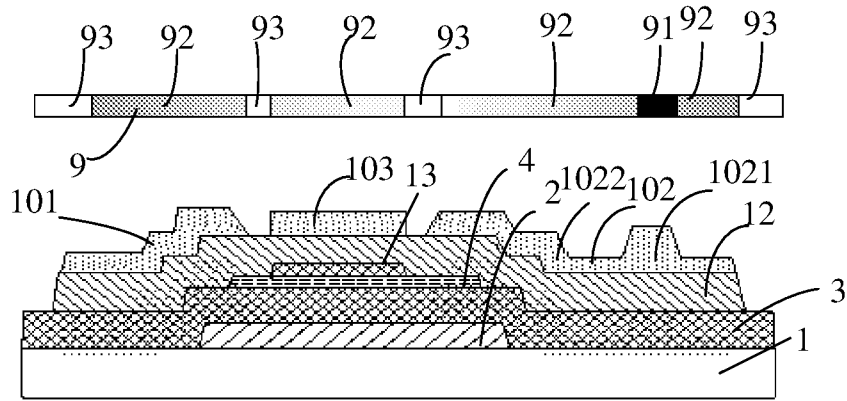


图 4g

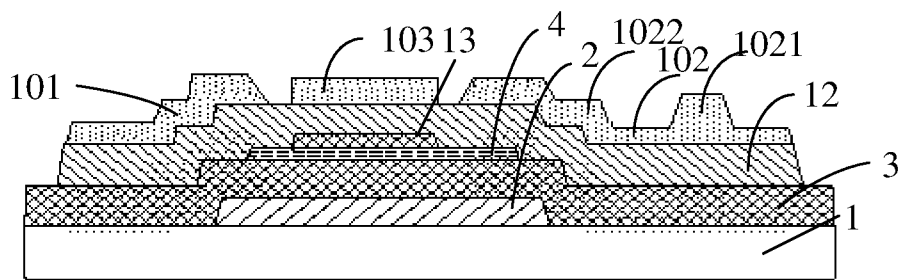


图 4h

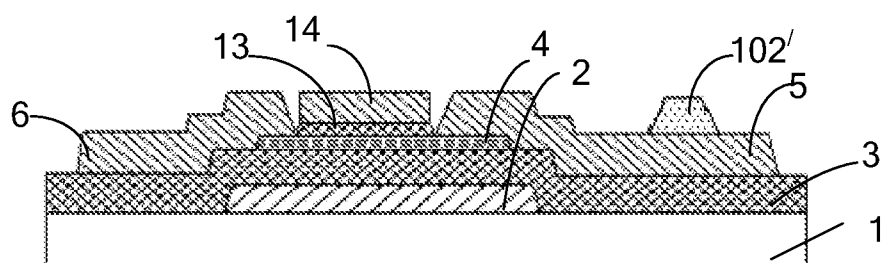


图 4i

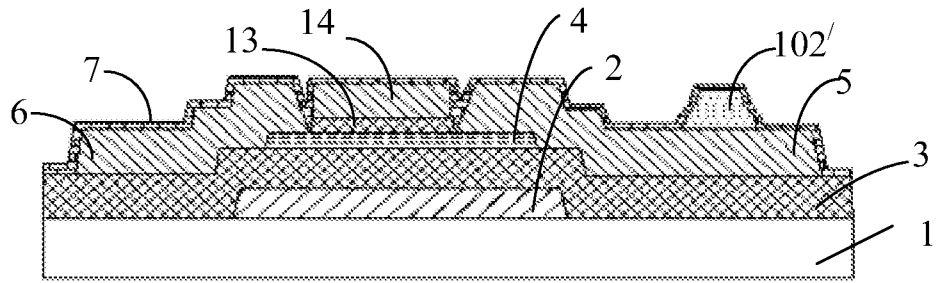


图 4j

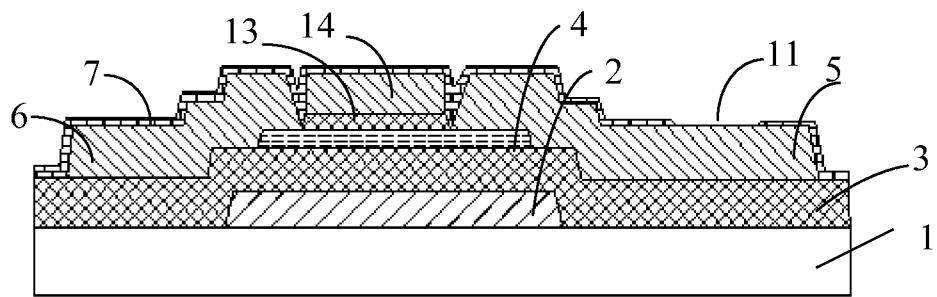


图 4k

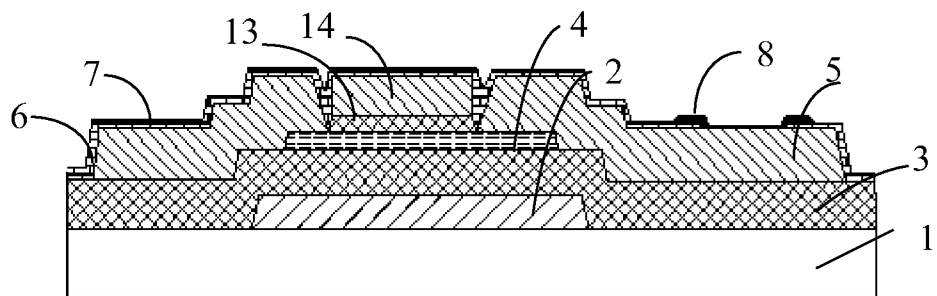


图 4l

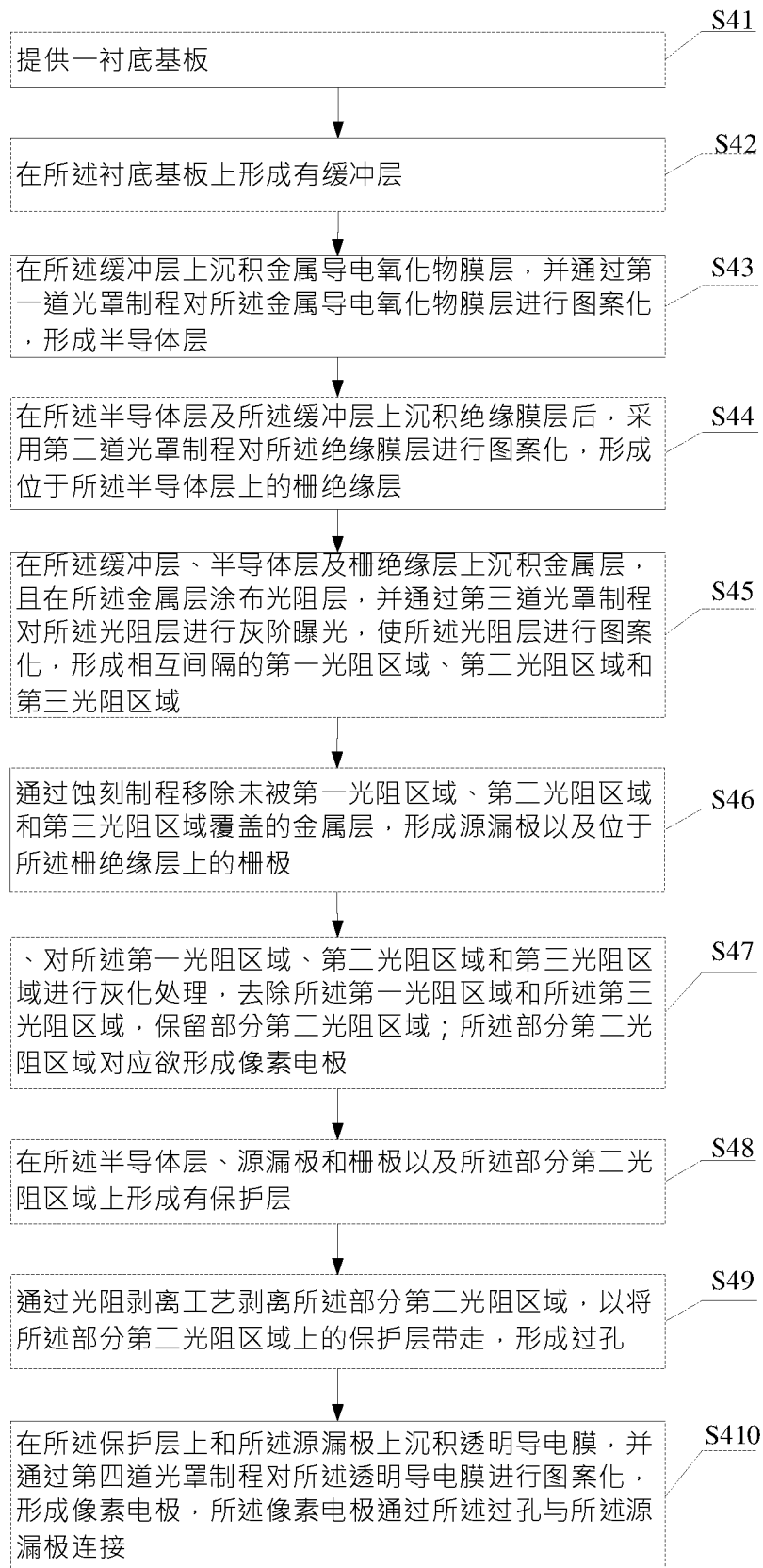


图 5

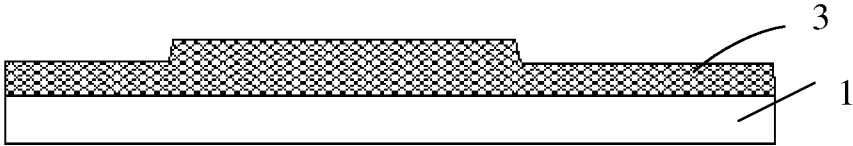


图 6a

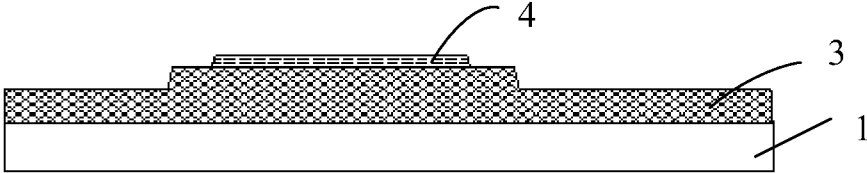


图 6b

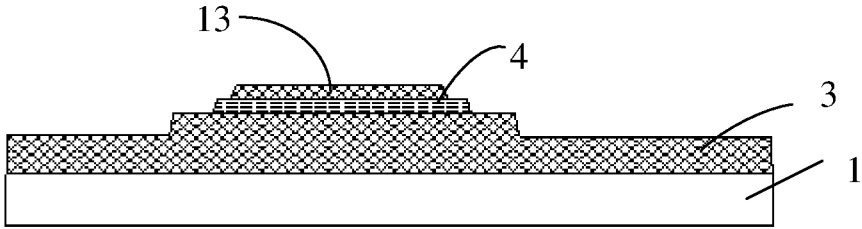


图 6c

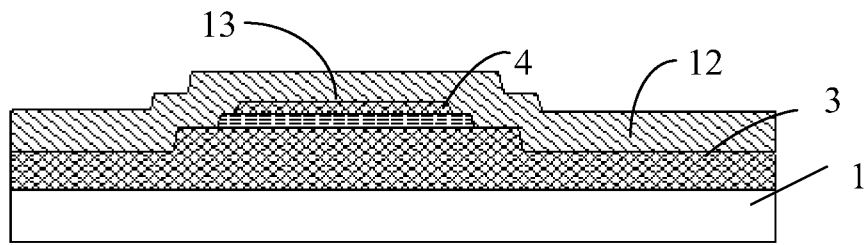


图 6d

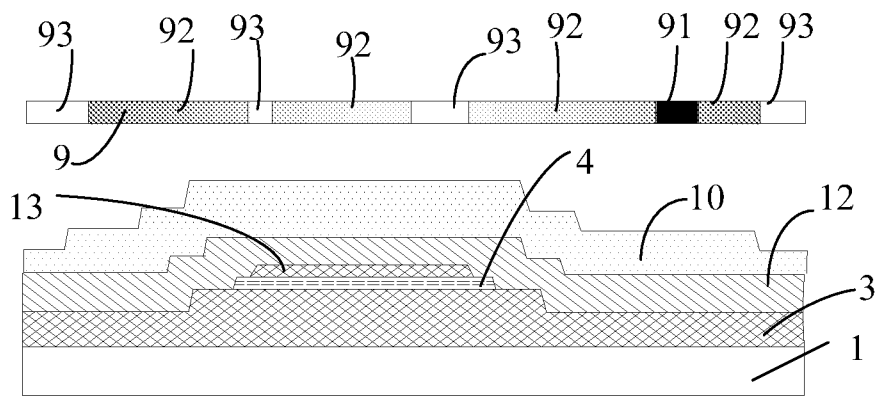


图 6e

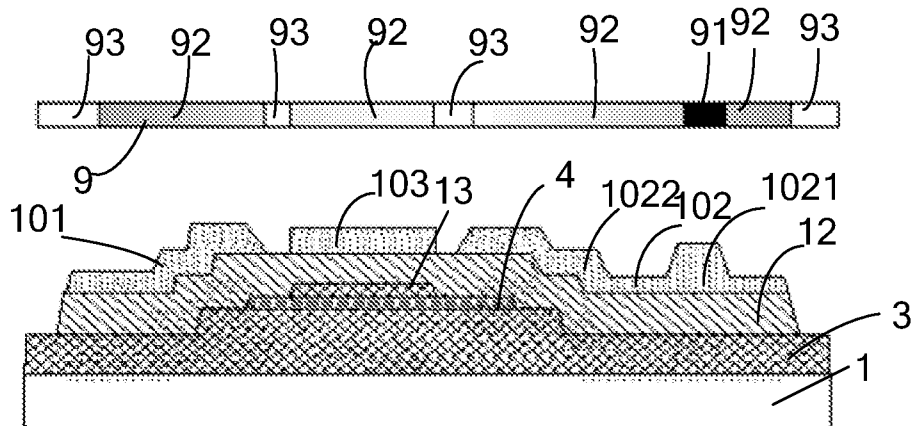


图 6f

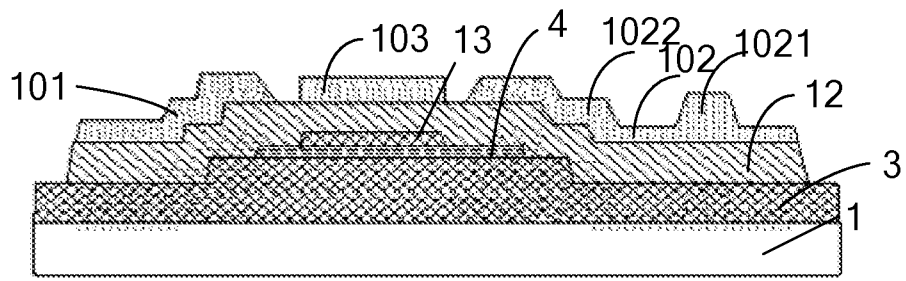


图 6g

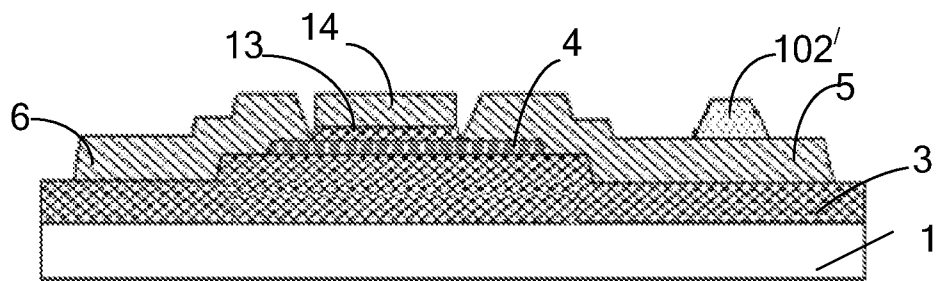


图 6h

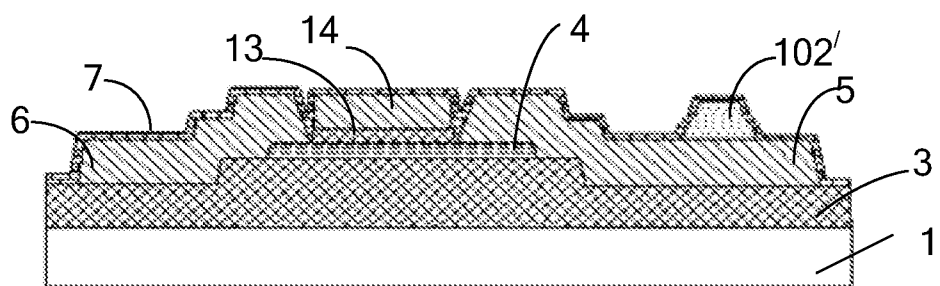


图 6i

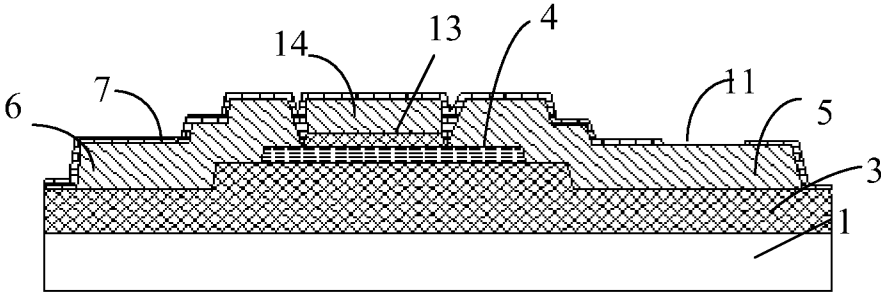


图 6j

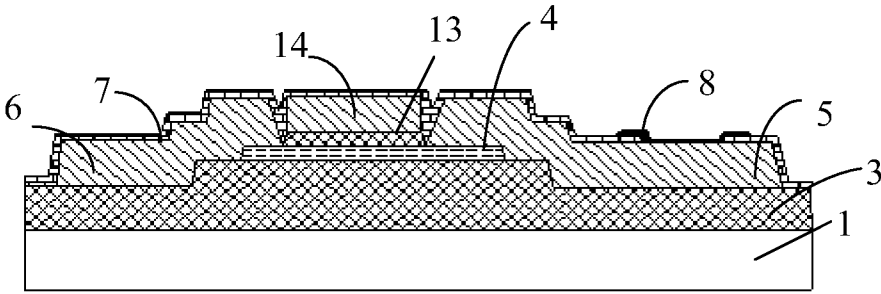


图 6k

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/117605

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77(2017.01)i; H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, IEEE, CNKI: 阵列, 基板, 栅, 源, 漏, 剥离, 灰度, 灰阶, 色调, array, substrate, gate, source, drain, peel, half, tone, mask

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102629586 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 August 2012 (2012-08-08) description, paragraphs [0039]-[0061], and figures 5 and 6	1-3
A	CN 104752343 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 01 July 2015 (2015-07-01) entire document	1-9
A	CN 103107133 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 15 May 2013 (2013-05-15) entire document	1-9
A	US 2005263768 A1 (LG. PHILIPS LCD CO., LTD.) 01 December 2005 (2005-12-01) entire document	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 February 2019

Date of mailing of the international search report

07 March 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/117605

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102629586	A	08 August 2012	CN	102629586	B	25 December 2013
CN	104752343	A	01 July 2015	US	9768323	B2	19 September 2017
				CN	104752343	B	28 July 2017
				US	2016307932	A1	20 October 2016
				US	9634032	B2	25 April 2017
				WO	2016165186	A1	20 October 2016
				US	2017179296	A1	22 June 2017
CN	103107133	A	15 May 2013	CN	103107133	B	22 April 2015
US	2005263768	A1	01 December 2005	US	2009085040	A1	02 April 2009
				US	7468527	B2	23 December 2008
				KR	20050112645	A	01 December 2005
				CN	100421020	C	24 September 2008
				CN	1702531	A	30 November 2005
				US	8017462	B2	13 September 2011
				KR	101086478	B1	25 November 2011
				JP	4335845	B2	30 September 2009
				JP	2005338856	A	08 December 2005

国际检索报告

国际申请号

PCT/CN2018/117605

A. 主题的分类 H01L 21/77(2017.01)i; H01L 27/12(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI, EPDOC, CNPAT, IEEE, CNKI: 阵列, 基板, 栅, 源, 漏, 剥离, 灰度, 灰阶, 色调, array, substrate, gate, source, drain, peel, half, tone, mask																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 102629586 A (北京京东方光电科技有限公司) 2012年 8月 8日 (2012 - 08 - 08) 说明书第[0039]-[0061]段, 附图5-6</td> <td>1-3</td> </tr> <tr> <td>A</td> <td>CN 104752343 A (深圳市华星光电技术有限公司) 2015年 7月 1日 (2015 - 07 - 01) 全文</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>CN 103107133 A (京东方科技集团股份有限公司 等) 2013年 5月 15日 (2013 - 05 - 15) 全文</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>US 2005263768 A1 (LG. PHILIPS LCD CO., LTD.) 2005年 12月 1日 (2005 - 12 - 01) 全文</td> <td>1-9</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 102629586 A (北京京东方光电科技有限公司) 2012年 8月 8日 (2012 - 08 - 08) 说明书第[0039]-[0061]段, 附图5-6	1-3	A	CN 104752343 A (深圳市华星光电技术有限公司) 2015年 7月 1日 (2015 - 07 - 01) 全文	1-9	A	CN 103107133 A (京东方科技集团股份有限公司 等) 2013年 5月 15日 (2013 - 05 - 15) 全文	1-9	A	US 2005263768 A1 (LG. PHILIPS LCD CO., LTD.) 2005年 12月 1日 (2005 - 12 - 01) 全文	1-9
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 102629586 A (北京京东方光电科技有限公司) 2012年 8月 8日 (2012 - 08 - 08) 说明书第[0039]-[0061]段, 附图5-6	1-3															
A	CN 104752343 A (深圳市华星光电技术有限公司) 2015年 7月 1日 (2015 - 07 - 01) 全文	1-9															
A	CN 103107133 A (京东方科技集团股份有限公司 等) 2013年 5月 15日 (2013 - 05 - 15) 全文	1-9															
A	US 2005263768 A1 (LG. PHILIPS LCD CO., LTD.) 2005年 12月 1日 (2005 - 12 - 01) 全文	1-9															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2019年 2月 12日		国际检索报告邮寄日期 2019年 3月 7日															
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 颜庙青 电话号码 86-(10)-53961449															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/117605

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102629586	A	2012年 8月 8日	CN	102629586	B	2013年 12月 25日
CN	104752343	A	2015年 7月 1日	US	9768323	B2	2017年 9月 19日
				CN	104752343	B	2017年 7月 28日
				US	2016307932	A1	2016年 10月 20日
				US	9634032	B2	2017年 4月 25日
				WO	2016165186	A1	2016年 10月 20日
				US	2017179296	A1	2017年 6月 22日
CN	103107133	A	2013年 5月 15日	CN	103107133	B	2015年 4月 22日
US	2005263768	A1	2005年 12月 1日	US	2009085040	A1	2009年 4月 2日
				US	7468527	B2	2008年 12月 23日
				KR	20050112645	A	2005年 12月 1日
				CN	100421020	C	2008年 9月 24日
				CN	1702531	A	2005年 11月 30日
				US	8017462	B2	2011年 9月 13日
				KR	101086478	B1	2011年 11月 25日
				JP	4335845	B2	2009年 9月 30日
				JP	2005338856	A	2005年 12月 8日