

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-67916

(P2010-67916A)

(43) 公開日 平成22年3月25日(2010.3.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/00 (2006.01)	HO 1 L 25/00 B	5 F 0 3 3
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J	5 F 0 3 8
HO 1 L 23/52 (2006.01)	HO 1 L 27/04 E	
HO 1 L 21/822 (2006.01)		
HO 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 17 頁)

(21) 出願番号 特願2008-235217 (P2008-235217)  
 (22) 出願日 平成20年9月12日 (2008.9.12)

(71) 出願人 000005821  
 パナソニック株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100077931  
 弁理士 前田 弘  
 (74) 代理人 100110939  
 弁理士 竹内 宏  
 (74) 代理人 100110940  
 弁理士 嶋田 高久  
 (74) 代理人 100113262  
 弁理士 竹内 祐二  
 (74) 代理人 100115059  
 弁理士 今江 克実  
 (74) 代理人 100115691  
 弁理士 藤田 篤史

最終頁に続く

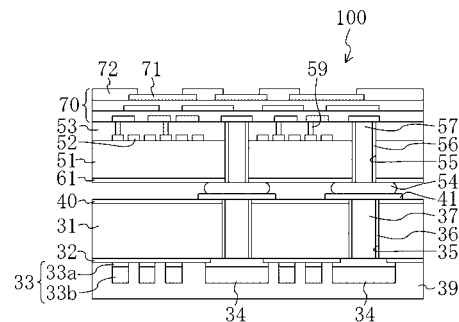
(54) 【発明の名称】 集積回路装置

(57) 【要約】

【課題】 能動素子用の基板と受動素子用の基板とを接続した集積回路装置において、重ね合わせ精度の要求緩和、素子形成領域の有効活用等を可能とする。

【解決手段】 集積回路装置 100 は、第 1 基板 5 1 と第 2 基板 3 1 とを備える。第 1 基板 5 1 は半導体基板からなり、第 1 基板 5 1 における一方の面に能動素子部 5 2 が形成されると共に、能動素子部 5 2 に電氣的に接続され且つ第 1 基板 5 1 を貫通する第 1 貫通電極 5 7 が形成されている。第 2 基板 3 1 における一方の面にスパイラルインダクタ 3 3 等の受動素子が形成されると共に、スパイラルインダクタ 3 3 等の受動素子に電氣的に接続され且つ第 2 基板 3 1 を貫通する第 2 貫通電極 3 7 が形成されている。第 1 基板 5 1 における他方の面と、第 2 基板 3 1 における他方の面とが対向するように配置され、第 1 貫通電極 5 7 と、第 2 貫通電極 3 7 とが電氣的に接続されている。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

第 1 基板と第 2 基板とを備え、

前記第 1 基板は半導体基板からなり、

前記第 1 基板における一方の面に能動素子が形成されると共に、前記能動素子に電氣的に接続され且つ前記第 1 基板を貫通する第 1 貫通電極が形成され、

前記第 2 基板における一方の面に受動素子が形成されると共に、前記受動素子に電氣的に接続され且つ前記第 2 基板を貫通する第 2 貫通電極が形成され、

前記第 1 基板における他方の面と、前記第 2 基板における他方の面とが対向するように配置され、

前記第 1 貫通電極と、前記第 2 貫通電極とが電氣的に接続されていることを特徴とする集積回路装置。

10

**【請求項 2】**

請求項 1 において、

前記第 1 基板における前記他方の面上及び前記第 2 基板における前記他方の面上のうちの少なくとも一方に裏面電極を備え、

前記第 1 貫通電極と前記第 2 貫通電極とは、前記裏面電極を介して電氣的に接続されていることを特徴とする集積回路装置。

**【請求項 3】**

請求項 1 又は 2 において、

前記受動素子は、インダクタであることを特徴とする集積回路装置。

20

**【請求項 4】**

請求項 3 において、

前記インダクタは、Cu、Au、Ag 及び Al の少なくとも一つを含む導電材料からなることを特徴とする集積回路装置。

**【請求項 5】**

請求項 1 ~ 4 のいずれか一つにおいて、

前記第 2 基板は、半導体基板であることを特徴とする集積回路装置。

**【請求項 6】**

請求項 5 において、

前記第 2 基板の抵抗率は、前記第 1 基板の抵抗率よりも高いことを特徴とする集積回路装置。

30

**【請求項 7】**

請求項 1 ~ 4 のいずれか一つにおいて、

前記第 2 基板は、絶縁基板であることを特徴とする集積回路装置。

**【請求項 8】**

請求項 1 ~ 7 のいずれか一つにおいて、

前記第 1 基板と前記第 2 基板とは、 bumps を介して電氣的に接続されていることを特徴とする集積回路装置。

**【発明の詳細な説明】**

40

**【技術分野】****【0001】**

本発明は、三次元的に積層された複数の半導体チップを有する半導体集積回路装置に関するものである。

**【背景技術】****【0002】**

半導体基板上に、トランジスタ等の能動素子と、抵抗、キャパシタ、インダクタ等の受動素子とを集積化し、アンブ、フィルタ等の回路を形成したモノリシック IC は、生産コストを低くできる、消費電力を低減できる、小型化できる等の理由から、ワンチップ化が進んでいる。

50

## 【0003】

しかしながら、半導体基板上にインダクタを形成する場合、インダクタを構成する導電体と半導体基板との間に寄生容量及び寄生抵抗（渦電流損）が生じるという問題がある。したがって、Q値の高いインダクタを得るためには、寄生容量及び寄生抵抗を低減する必要がある。

## 【0004】

寄生容量及び寄生抵抗を低減する方法としては、トランジスタ等の能動素子と、抵抗、キャパシタ、インダクタ等の受動素子とをそれぞれ別の基板に作製し、両基板を接続することが提案されている。これにより、インダクタと半導体基板との距離を遠くすることができ、その結果、寄生容量及び寄生抵抗を低減することができる。

10

## 【0005】

また、近年、集積回路が搭載された複数の半導体チップを高密度に実装し、高機能なシステムを短時間で実現するシステム・イン・パッケージ技術が注目されており、各社から多様な実装構造が提案されている。特に、複数の半導体チップを三次元的に積層することにより大幅な小型化を実現できる積層型パッケージの開発が盛んに進められている。

## 【0006】

複数の半導体チップを三次元的に積層してパッケージングする方法としては、ワイヤボンディングを用いた方法が主流である。しかし、配線長の長さが高速伝送に対してボトルネックとなり、また、ボンディングエリアの確保が小型、薄型化に対してボトルネックとなることが予想されている。そのため、ワイヤボンディングに替わる方法として、貫通電極を用いた最短長配線により、チップ間を三次元接続する方法が提案されている。

20

【特許文献1】特許第4005762号

【特許文献2】特許第3381601号

【発明の開示】

【発明が解決しようとする課題】

## 【0007】

以上に説明した、従来構造によると、能動素子用の半導体基板と受動素子との距離を、受動素子用の基板の厚さ以上にすることができるとともに、受動素子に対する半導体基板の影響を十分に低減することが可能ではある。しかしながら、能動素子用の半導体基板における能動素子が形成された面側に、受動素子が形成された基板との接続部分（パッド）が形成されている。このため、パッドの領域を確保する必要があると共に、接続のための重ね合わせマージンも必要である。その結果、素子形成領域を有効活用できず、チップサイズの縮小にも限界がある。この点の解決が課題となっている。

30

## 【0008】

以上に鑑み、本発明の目的は、能動素子が形成された半導体基板と受動素子が形成された基板とを接続した集積回路装置において、素子形成領域を有効活用することが可能な集積回路装置を提供することである。

【課題を解決するための手段】

## 【0009】

前記の目的を達成するため、本発明の集積回路装置は、第1基板と第2基板とを備え、第1基板は半導体基板からなり、第1基板における一方の面に能動素子が形成されると共に、能動素子に電気的に接続され且つ第1基板を貫通する第1貫通電極が形成され、第2基板における一方の面に受動素子が形成されると共に、受動素子に電気的に接続され且つ第2基板を貫通する第2貫通電極が形成され、第1基板における他方の面と、第2基板における他方の面とが対向するように配置され、第1貫通電極と、第2貫通電極とが電気的に接続されている。

40

## 【0010】

本発明の集積回路装置によると、第1基板と第2基板とが互いに素子形成面（能動素子、受動素子が形成されている側の面）とは逆の面（裏面）を向かい合わせるように配置されている。

50

## 【 0 0 1 1 】

このため、従来の構成と同様に、第1基板と、第2基板に形成された受動素子との距離を少なくとも第2基板の厚さとすることができ、受動素子に対する第1基板の影響を十分に低減することができる。また、第1基板に形成された能動素子と、第2基板に形成された受動素子との距離については、少なくとも、第1基板の厚さと第2基板の厚さとの合計とすることができ、これにより、従来よりも第1基板の厚さだけ素子間距離（受動素子と能動素子との距離）が増加しており、受動素子が発する磁場の能動素子に対する影響を従来よりも更に低減することができる。

## 【 0 0 1 2 】

更に、素子形成面において、第1基板の能動素子と第2基板の受動素子との電気的な接続のために占められるのは、貫通電極を設けるために最低限必要な領域のみである。このため、素子形成面に電極パッドを設けることが必要であった従来の構成に比べて、素子形成面を有効に活用できる。これは、装置の小型化に有利である。

10

## 【 0 0 1 3 】

尚、第1基板における他方の面上及び第2基板における他方の面上のうちの少なくとも一方に裏面電極を備え、第1貫通電極と第2貫通電極とは、裏面電極を介して電気的に接続されていることが好ましい。

## 【 0 0 1 4 】

つまり、第1基板の側に裏面電極が形成されて第2貫通電極と電気的に接続されているか、第2基板の側に裏面電極が形成されて第1貫通電極と電気的に接続されているか、第1基板及び第2基板の両方にそれぞれ裏面電極が形成されて裏面電極同士が電気的に接続されているか、のいずれかである。

20

## 【 0 0 1 5 】

裏面電極は、第1基板の裏面に露出する部分の第1貫通電極、第2基板の裏面に露出する部分の第2貫通電極に比べて大きくすることができる。このような裏面電極を設けると、第1貫通電極と第2貫通電極との電気的接続に関し、要求される重ね合わせ精度を低減することができる。この際、裏面電極は基板の裏面に設けられるのであるから、素子形成面を占有して装置の縮小を妨げることもない。

## 【 0 0 1 6 】

また、受動素子は、インダクタであることが好ましい。

30

## 【 0 0 1 7 】

第2基板に設けられる受動素子がインダクタである場合、特にスパイラルインダクタである場合に、能動素子及び第1基板と受動素子との距離を増加させる効果が顕著になる。

## 【 0 0 1 8 】

また、インダクタは、Cu、Au、Ag及びAlの少なくとも一つを含む導電材料からなることが好ましい。

## 【 0 0 1 9 】

また、第2基板は、半導体基板であることが好ましい。更に、第2基板の抵抗率は、第1基板の抵抗率よりも高いことが好ましい。具体的な半導体基板の例としては、高抵抗のSi基板、GaAs基板等が挙げられる。

40

## 【 0 0 2 0 】

また、第2基板は、絶縁基板であることも好ましい。

## 【 0 0 2 1 】

具体的な絶縁基板の例としては、ポリイミド、BCB（ベンゾシクロブタン）、エポキシ等の絶縁性樹脂基板（有機絶縁基板）を挙げることができる。更に、石英基板、セラミック基板等を用いても良い。

## 【 0 0 2 2 】

また、第1基板と第2基板とは、パンプを介して電気的に接続されていることが好ましい。

## 【 0 0 2 3 】

50

このような構成を取ると、第1基板と第2基板とが更に離れることになり、受動素子が発する磁場の能動素子に対する影響を更に低減することができる。

【0024】

また、第1貫通電極及び第2貫通電極について、いずれも、第1基板及び第2基板に形成された接続孔に導電体を埋め込むことにより形成されたものを用いることができる。

【発明の効果】

【0025】

本発明によると、第1基板と第2基板とが裏面同士を対向させて電氣的に接続されるため、素子形成面を有効に活用できる。更に、受動素子と能動素子との距離を大きくすることができ、受動素子の発する磁場が能動素子に及ぼす影響を小さくすることができる。特に高周波領域において、第1基板と受動素子との距離を充分に取ることにより寄生キャパシタンスを最小化し、集積回路装置の性能を向上することができる。

10

【発明を実施するための最良の形態】

【0026】

(第1の実施形態)

以下、第1の実施形態に係る集積回路装置について、図面を参照しながら説明する。

【0027】

図1は、本実施形態の集積回路装置100の要部断面を示す図である。集積回路装置100は、一方の基板(第1基板51)上にMOS(Metal Oxide Semiconductor)トランジスタ等の能動素子部52を形成すると共に、他方の基板(第2基板31)にスパイラルインダクタ33等の受動素子を形成し、両基板を接続して形成したモノリシックICである。尚、能動素子部としては、MOS以外にも、バイポーラトランジスタ、ダイオード等があり、また、受動素子としては、スパイラルインダクタ以外にも抵抗、キャパシタ等がある。

20

【0028】

能動素子用である第1基板51は、n型又はp型のシリコン基板であり、その一方の面(素子形成面、図1では上側の面)上に能動素子部52が設けられている。また、第1基板51には、スルーホール(接続孔)55内に絶縁膜56を介して第1貫通電極57が形成されている。能動素子部52と第1貫通電極57とは、配線71及び絶縁膜72を含む多層配線層70を介して電氣的に接続されている。

30

【0029】

また、受動素子用である第2基板31は、抵抗率の高い(言い換えると絶縁性の高い)真性シリコン基板(不純物をほとんど含まない高抵抗シリコン基板)である。このような第2基板31の一方の面(素子形成面、図1では下側の面)の上に、絶縁膜32を介してスパイラルインダクタ33が形成されている。スパイラルインダクタ33の平面構成を図2に示す。スパイラルインダクタ33の両端には端子34が設けられている。

【0030】

スパイラルインダクタ33の端子34の直下には、第2基板31を貫通するスルーホール(接続孔)35内に絶縁膜36を介して第2貫通電極37が形成されている。更に、第2基板31における素子形成面とは反対の面(裏面)に、第2貫通電極37と接続された裏面電極41が形成されている。スパイラルインダクタ33の端子34と裏面電極41とは、第2貫通電極37を介して電氣的に接続されていることになる。

40

【0031】

第1基板51と第2基板31とは裏面同士を対向させる配置であり、第1基板51の裏面に露出した部分の第1貫通電極57と、第2基板31の裏面に設けられた裏面電極41とが bumps 54 によって接続されている。このため、第1基板51の能動素子部52と、第2基板31のスパイラルインダクタ33とは電氣的に接続されている。

【0032】

尚、スパイラルインダクタ33は電解メッキ法により形成され、本実施形態の例では、Cuからなるシード層33a上に、Cu膜33bが形成された構成を有する。また、スパ

50

スパイラルインダクタ 33 は、この例では配線幅が  $8\ \mu\text{m}$ 、配線間のスペースが  $2\ \mu\text{m}$ 、厚さ  $5\ \mu\text{m}$  であり、 $500\ \mu\text{m}$  角の領域に形成されている。

【0033】

次に、図 1 及び図 2 に示した集積回路装置 100 (モノリシック IC) の製造方法について説明する。始めに、受動素子用の第 2 基板 31 にスパイラルインダクタ 33 等を形成する工程について、図 3 (a) ~ (e) 及び図 4 (a) ~ (d) を参照して説明する。

【0034】

まず、図 3 (a) に示す通り、高抵抗シリコン基板である第 2 基板 31 に、深さ  $50\sim 300\ \mu\text{m}$ 、直径  $20\sim 50\ \mu\text{m}$  の接続孔 35 を形成する。続いて、接続孔 35 内及び第 2 基板 31 上を覆うように絶縁膜 36 を形成し、更に、絶縁膜 36 上を覆うように金属膜 37a を形成する。

【0035】

次に、図 3 (b) に示すように、CMP (Chemical Mechanical Polishing) 法を用い、接続孔 35 の外に形成されている部分の金属膜 37a 及び絶縁膜 36 を除去し、接続孔 35 内には残す。このように接続孔 35 内に残された金属膜 37a は、第 2 貫通電極 37 となる。

【0036】

次に、図 3 (c) に示す工程を行なう。ここでは、第 2 貫通電極 37 上を含む第 2 基板 31 上を覆うように絶縁膜 32 を形成した後、第 2 貫通電極 37 及びその周囲上の部分の絶縁膜 32 を選択的に除去して第 2 貫通電極 37 を露出させる。

【0037】

続いて、スパイラルインダクタ 33 となる金属膜を以下のようにして形成する。ここでは、電解メッキ法を用いる。

【0038】

まず、図 3 (d) に示すように、絶縁膜 32、第 2 貫通電極 37 等の下地を覆うように、無電解メッキ法によりシード層 33a (給電部) となる Cu 層を  $0.1\ \mu\text{m}$  程度の厚さに成膜する。この際、下地に対するシード層 33a の密着性を向上するために、下地を覆うバリア層を形成した後、該バリア層上にシード層 33a を形成するようにしても良い。バリア層としては、Cr、Ni、Pt 等を用いることができる。続いて、シード層 33a 上に、レジスト 38 をパターン形成する。レジスト 38 は、図 2 に示すスパイラルインダクタ 33 (端子 34 を含む) を形成するための平面パターンとする。

【0039】

次に、図 3 (e) に示すように、メッキ液に浸してシード層 33a とメッキ液との間に電界を印加することにより、シード層 33a 上に Cu 膜 33b を形成する。この際、レジスト 38 が形成されている部分には Cu 膜 33b は形成されないため、Cu 膜 33b はレジスト 38 のパターン間に露出している部分のシード層 33a 上に選択的に形成される。この際、同じ Cu 膜として端子 34 も形成される。

【0040】

次に、図 4 (a) に示すように、レジスト 38 を剥離液によって剥離し、更にシード層 33a をウェットエッチングにより除去する。この際、Cu 膜 33b についても多少のエッチングを受けることがあるが、そのような場合には、あらかじめ Cu 膜 33b の幅及び厚さを大きめに設定しておけばよい。このようにして、シード層 33a 及び Cu 膜 33b からなるスパイラルインダクタ 33 が形成される。

【0041】

次に、図 4 (b) に示すように、スパイラルインダクタ 33 を覆うように第 2 基板 31 上にパッシベーション膜 39 を形成する。

【0042】

次に、第 2 基板 31 を裏面 (スパイラルインダクタ 33 が形成されているのと反対側の面) 側から研磨し、第 2 貫通電極 37 を露出させる。この際、研磨の条件等により、図 4 (c) のように第 2 貫通電極 37 を覆う絶縁膜 36 が残っていても良いし、絶縁膜 36 が

10

20

30

40

50

除去されて実際に第2貫通電極37が露出していても良い。この違いによる影響は無視しうるものである。

【0043】

その後、図4(d)に示すように第2貫通電極37に対応するよう、裏面電極41を形成するためには、先に露出させた第2貫通電極37を含む第2基板31の裏面全面を覆うように絶縁膜40を形成した後、研磨を行なって第2貫通電極37を露出させる。更に、第2基板31の裏面にアルミニウム等の金属を成膜した後、フォトリソグラフィ技術によってパターン化し、第2貫通電極37と接続された裏面電極41を形成する。この際、裏面電極41同士が互いに接触することのない大きさ及び形状に形成する。

【0044】

尚、ここでは、第2基板31の表面パターンを基準として第2基板31の裏面マスクパターンを形成する両面アライメント法を用いている。また、裏面電極41の材料としては、アルミニウムの他に、銅、金等を用いることもできる。

【0045】

続いて、能動素子用の基板である第1基板51に第1貫通電極57等を形成する工程について、図5(a)~(d)及び図6(a)~(d)を参照して説明する。

【0046】

図5(a)に示すように、能動素子用の基板である第1基板51に、所定の能動素子部52を形成し、更に該能動素子部52を覆うように絶縁膜53を形成する。

【0047】

次に、図5(b)に示すように、第1基板51及び絶縁膜53に対し、深さ50 $\mu$ m~300 $\mu$ m、直径20~50 $\mu$ mの接続孔55を形成し、その内側を含む第1基板51上の全面に絶縁膜56を形成する。更に、接続孔55内を含む絶縁膜56上の全面に金属膜57aを形成する。

【0048】

次に、図5(c)に示すように、CMP法を用いて、接続孔55の外に形成されている部分の金属膜57a及び絶縁膜56を除去し、接続孔55内には残す。このように接続孔55内に残された金属膜57aは、第1貫通電極57となる。

【0049】

次に、図5(d)に示すように、絶縁膜53に対して能動素子部52に接続するための接続孔58を形成する。更に、図6(a)に示すように、接続孔58内を埋め込み且つ絶縁膜53上を覆うように、金属膜59aを形成する。

【0050】

次に、図6(b)に示すように、CMP法を用いて接続孔58の外に形成されている部分の金属膜59aを除去し、接続孔58内には残す。接続孔58内の金属膜59aは、能動素子部52に対する電氣的接続を得るためのコンタクトプラグ59となる。

【0051】

次に、図6(c)に示すように、複数層の配線71及び絶縁膜72を含む多層配線層70を形成する。多層配線層70により、能動素子部52と第1貫通電極57とは電氣的に接続される。

【0052】

次に、図6(d)に示すように、第1基板51を裏面(能動素子部52が形成されているのと反対側の面)側から研磨し、第1貫通電極57を露出させる。その後、第1基板51の裏面全面に絶縁膜61を形成し、研磨を行なって第1貫通電極57を露出させる。更に、第1基板51の裏面において、第1貫通電極57の露出部分にハンダを用いたパンプ54を形成する。

【0053】

以上により、能動素子用の第1基板51及び受動素子用の第2基板31について、個別の工程が完了する。この後、第1基板51と第2基板31とを組み合わせて集積回路装置100を得る。

10

20

30

40

50

## 【0054】

このためには、第1基板51と第2基板31とを互いに裏面同士が対向するように配置し、位置合わせを行なう。このとき、スプリットミラーを利用して、接続面の画像を重ね合わせ処理することにより正確にXYの位置合わせを行なう。更に、第1基板51の第1貫通電極57上に形成されたパンプ54を、第2基板31に形成された裏面電極41に対して圧着接続する。これにより、図1及び図2に示すモノリシックICである集積回路装置100が完成する。

## 【0055】

このように、本実施形態の集積回路装置100において、第1基板51及び第2基板31の素子形成面と逆側の面同士を対向させて電気的な接続を行なう。このため、大きな接続部分を確保することが可能であり、接続時に要求される重ね合わせ精度は比較的低い。このとき、素子形成面については第1貫通電極57又は第2貫通電極37を設けるために必要な最低限の面積が必要とされるのみであり、素子形成面の有効活用が可能となっている。

10

## 【0056】

また、受動素子（スパイラルインダクタ33等）と能動素子（能動素子部52）との距離を、少なくとも、能動素子用の第1基板51の厚さと受動素子用の第2基板31の厚さとの合計とすることができ、更に、図1に示す通り、裏面電極41、パンプ54等の厚さも能動素子と受動素子との距離として加わる。このように、能動素子と受動素子との距離が、能動素子用の第1基板51の厚さに相当するだけ従来の構造に比べて増加している。この結果、受動素子が発する磁場が能動素子に与える影響を従来構造よりも低減することができる。

20

## 【0057】

更に、高周波領域において、能動素子部52の形成された第1基板51と、スパイラルインダクタ33との距離を十分に取ることにより、第1基板51とスパイラルインダクタ33とによって生じる寄生キャパシタンスを最小化することができる。このことから、集積回路装置100の性能をさらに向上させることができる。

## 【0058】

一方、高周波領域で動作するデバイスでは、パンプ54及び裏面電極41と、能動素子用の第1基板51との間の容量をできるだけ小さくすることが望ましい。このため、パンプ54や裏面電極41の大きさを必要以上に大きくすることは避けるべきである。

30

## 【0059】

尚、上述した例の場合、パンプ54を能動素子用の第1基板51側に形成したが、受動素子用の第2基板31側に形成しても良い。更に、第1基板51及び第2基板31の両方に形成するようにしてもよい。また、別の接続方法として、樹脂接着剤が塗布された基板にパンプ付き基板を押し当てることで接続する方法も提案されている（例えば、特許文献2）。

## 【0060】

また、上述した例の場合、裏面電極41を受動素子用の第2基板31側に形成したが、図7に示すように、能動素子用の第1基板51側に形成してもよい。図7は、裏面電極41が第1基板51側に形成されている点を除いて図1と同様である。

40

## 【0061】

また、上述したのと同様の手法により、図8に示すように貫通電極及びパンプによって複数の基板を積層することが可能である。つまり、第3基板75を用い、第1基板51と同様に能動素子、貫通電極、多層配線層等を形成して、その裏面側に露出した部分の貫通電極を第1基板の多層配線層70に対して接続する。

## 【0062】

また、上述した例の場合、スパイラルインダクタ33の端子34に対応した位置に第2貫通電極37が配置されているが、これには限らない。図9に示すように、第2貫通電極37から端子34まで延びる配線80を形成することにより、第2貫通電極37と異なる

50



位置に端子 3 4 を配置する構成であっても良い。但し、図 9 では、受動素子用の第 2 基板 3 1 が上側になっている。尚、配線 8 0 はシード層 8 0 a 及び Cu 膜 8 0 b からなり、スパイラルインダクタ 3 3 と同様にメッキにより形成する。また、配線 8 0 を覆うように絶縁膜 8 1 が形成されている。

#### 【 0 0 6 3 】

このようにすると、裏面電極 4 1 を図 1 の場合よりも大きくすることができる。つまり、図 1 の構成の場合、裏面電極 4 1 の大きさは、スパイラルインダクタ 3 3 の両端に設けられている端子 3 4 間の距離に依存する。これに対し、図 9 の場合、そのような制限は無い。このように裏面電極 4 1 を大きくできると、第 1 基板 5 1 と第 2 基板 3 1 との重ね合わせマージンが増すことになる。更に、スパイラルインダクタ 3 3 自体の領域が小さい場合にも、本実施形態の構造を適用することができる。

10

#### 【 0 0 6 4 】

(第 2 の実施形態)

以下、本発明の第 2 の実施形態に係る集積回路装置について、図面を参照しながら説明する。図 1 0 は、本実施形態の集積回路装置 1 0 1 の要部断面を示す図である。集積回路装置 1 0 1 は、第 1 の実施形態の場合には第 1 基板 5 1 及び第 2 基板 3 1 のどちらか一方のみに裏面電極が備えられていたのに対し、両方の基板にそれぞれ裏面電極 4 1、6 2 を備えている。この場合、貫通電極上にパンプを形成する構成に比べ、位置合わせ等についての精度の要求が緩和される。また、裏面電極をパッドとして使用することもできる。

20

#### 【 0 0 6 5 】

尚、図 1 では受動素子用の第 2 基板 3 1 を下に、能動素子用の第 1 基板 5 1 を上に示しているのに対し、図 1 0 ではその逆に第 1 基板 5 1 を下に、第 2 基板 3 1 を上に示している。

#### 【 0 0 6 6 】

次に、図 1 0 に示す集積回路装置 1 0 1 の製造方法について説明する。ここで、受動素子用の第 2 基板 3 1 にスパイラルインダクタ 3 3 等を形成する工程については、第 1 の実施形態にて説明したのと同様であるから、ここでは省略する。

#### 【 0 0 6 7 】

能動素子用の第 1 基板 5 1 に第 1 貫通電極 5 7 等を形成する工程について、図 1 1 ( a ) ~ ( e ) 及び図 1 2 ( a ) ~ ( d ) を参照して説明する。

30

#### 【 0 0 6 8 】

始めに、図 1 1 ( a ) に示すように、能動素子用の基板である第 1 基板 5 1 に、所定の能動素子部 5 2 を形成し、更に該能動素子部 5 2 を覆うように絶縁膜 5 3 を形成する。次に、図 1 1 ( b ) に示すように、第 1 基板 5 1 及び絶縁膜 5 3 に対し、深さ  $50 \mu\text{m} \sim 300 \mu\text{m}$ 、直径  $20 \sim 50 \mu\text{m}$  の接続孔 5 5 を形成し、その内側を含む第 1 基板 5 1 上の全面に絶縁膜 5 6 を形成する。更に、接続孔 5 5 内を含む絶縁膜 5 6 上の全面に金属膜 5 7 a を形成する。

#### 【 0 0 6 9 】

次に、図 1 1 ( c ) に示すように、CMP 法を用いて、接続孔 5 5 の外に形成されている部分の金属膜 5 7 a 及び絶縁膜 5 6 を除去し、接続孔 5 5 内には残す。このように接続孔 5 5 内に残された金属膜 5 7 a は、第 1 貫通電極 5 7 となる。

40

#### 【 0 0 7 0 】

次に、図 1 1 ( d ) に示すように、絶縁膜 5 3 に対して能動素子部 5 2 に接続するための接続孔 5 8 を形成する。更に、図 1 1 ( e ) に示すように、接続孔 5 8 内を埋め込み且つ絶縁膜 5 3 上を覆うように、金属膜 5 9 a を形成する。

#### 【 0 0 7 1 】

次に、図 1 2 ( a ) に示すように、CMP 法を用いて接続孔 5 8 の外に形成されている部分の金属膜 5 9 a を除去し、接続孔 5 8 内には残す。接続孔 5 8 内の金属膜 5 9 a は、能動素子部 5 2 に対する電氣的接続を得るためのコンタクトプラグ 5 9 となる。

#### 【 0 0 7 2 】

50

次に、図 12 ( b ) に示すように、多層配線層 70 を形成する。多層配線層 70 により、能動素子部 52 と第 1 貫通電極 57 とは電氣的に接続される。更に、多層配線層 70 を覆うように、パッシベーション膜 60 を形成する。

【 0073 】

次に、図 12 ( c ) に示すように、第 1 基板 51 を裏面側から研磨し、第 1 貫通電極 57 を露出させる。その後、第 1 基板 51 の裏面全面に絶縁膜 61 を形成し、研磨を行なって第 1 貫通電極 57 の裏面を露出させる。更に、第 1 貫通電極 57 及び絶縁膜 61 を覆うように裏面全面にアルミニウム等の金属膜を成膜した後、フォトリソグラフィ法によりパターン化して裏面電極 62 を形成する。

【 0074 】

尚、ここでは、シリコン基板である第 1 基板 51 の表面パターンを基準として第 1 基板 51 の裏面マスクパターンを形成する両面アライメント法を用いている。

【 0075 】

また、ここでは裏面電極 62 の材料としてアルミニウムを用いる例を示しているが、銅、金等の他の材料であっても良い。

【 0076 】

また、裏面電極 41 及び裏面電極 62 の大きさによっては、第 1 基板 51 と第 2 基板 31 との位置合わせがずれた場合に、例えば隣り合う裏面電極 62 同士が裏面電極 41 によって電氣的に接続される ( ショートする ) 可能性がある。よって、このようなことを避けることできる大きさ及び形状に裏面電極 41 及び裏面電極 62 を形成する。

【 0077 】

裏面電極 62 を形成した後、その上に、ハンダを用いた bumps 54 を形成する。以上により、能動素子用の第 1 基板 51 に対する製造工程が完了する。

【 0078 】

この後、第 1 基板 51 と第 2 基板 31 とを互いに裏面同士が対向するように配置し、第 1 の実施形態の場合と同様に位置合わせを行なう。更に、第 1 基板 51 の裏面電極 62 上に形成された bumps を第 2 基板 31 に形成された裏面電極 41 に対して圧着接続する。これにより、モノリシック IC である集積回路装置 101 が完成する。

【 0079 】

本実施形態の集積回路装置 101 においても、第 1 基板 51 及び第 2 基板 31 を裏面同士が対向するように電氣的接続を行なう。このため、第 1 の実施形態の場合と同様の効果が得られる。つまり、両基板の接続時に要求される重ね合わせ精度は比較的 low、また、素子形成面の有効活用が可能である。また、受動素子が発する磁場が能動素子に与える影響を従来構造よりも低減することができる。

【 0080 】

更に、高周波領域において、第 1 基板 51 とスパイラルインダクタ 33 との距離を充分に取ることができ、寄生キャパシタンスを最小化できること、bumps 及び裏面電極と第 1 基板 51 との間の容量を小さくするために、bumps 及び裏面電極を必要以上に大きくするのは避けるべきであること等についても、第 1 の実施形態の場合と同様である。

【 0081 】

尚、以上の例において、bumps 54 については能動素子用の第 1 基板 51 側に形成したが、受動素子用の第 2 基板 31 側に形成しても良いし、更には両基板にそれぞれ形成するようにしても良い。また、本実施形態の場合にも、樹脂接着剤を用いる特許文献 2 のような接続方法を取ることにもできる。更に、図 9 に示すように第 2 貫通電極 37 から端子 34 まで延びる配線を設けることにより、第 2 貫通電極 37 と異なる位置に端子 34 を配置する構造とすることもできる。

【 0082 】

また、裏面電極 62 をパッドとしても用いる一例として、図 13 に集積回路装置 102 を示す。図 10 の集積回路装置 101 の場合には第 1 基板 51 と第 2 基板 31 とが同じ寸法 ( 図としては、同じ幅 ) を有しているのに対し、集積回路装置 102 では、第 1 基板 5

10

20

30

40

50

1は第2基板31よりも大きい。第2基板31よりも突き出している部分の第1基板51には、第2基板31に対する接続を行なうための第1貫通電極57とは別の第1貫通電極57及び裏面電極62が備えられ、集積回路装置102を他の装置と電氣的に接続するためのパッドとして用いることが可能となっている。

【0083】

また、第1及び第2の実施形態においては、四角形のスパイラル形状を有するインダクタで説明したが、これには限定されず、三角形、五角形以上の多角形、円形等であってもよい。更に、インダクタの製造方法としてデュアルダマシン法を説明したが、これに限定されるものではなく、他の形成方法でも良い。また、第1及び第2の実施形態において、パンプのみで第1基板51と第2基板31とを接続しているが、絶縁性接着剤を基板間に充填することで強度を高めることが可能である。更に、第1、第2の実施形態において、また、スパイラルインダクタ33のターン数等の細かな点について、本願の趣旨及び範囲に含まれる変更を加えることができる。

10

【産業上の利用可能性】

【0084】

以上説明したように、本発明は、能動素子が形成された基板と受動素子が形成された基板とを適当な手段によって接続した集積回路装置において、高い重ね合わせ精度を要求されないこと、表面のデバイス形成領域を有効活用できること等の利点があり、三次元的に積層された複数のチップを有する集積回路装置に有用である。

【図面の簡単な説明】

20

【0085】

【図1】図1は、本発明の第1の実施形態に係る集積回路装置の一例について、要部の断面を模式的に示した図である。

【図2】図2は、本発明の第1の実施形態に係る集積回路装置の一例について、受動素子の平面構成を模式的に示す図である。

【図3】図3(a)～(e)は、図1の集積回路装置のうちの受動素子用の基板にインダクタ等を形成する工程を示す図である。

【図4】図4(a)～(d)は、図3(e)に続き、図1の集積回路装置のうちの受動素子用の基板にインダクタ等を形成する工程を示す図である。

【図5】図5(a)～(d)は、図1の集積回路装置のうちの能動素子用の基板に能動素子等を形成する工程を示す図である。

30

【図6】図6(a)～(d)は、図5(d)に続き、図1の集積回路装置のうちの能動素子用の基板に能動素子等を形成する工程を示す図である。

【図7】図7は、図1は、本発明の第1の実施形態に係る集積回路装置の別の一例について、要部の断面を模式的に示した図である。

【図8】図8は、図1は、本発明の第1の実施形態に係る集積回路装置の更に別の一例について、要部の断面を模式的に示した図である。

【図9】図9は、図1は、本発明の第1の実施形態に係る集積回路装置の更に別の一例について、要部の断面を模式的に示した図である。

【図10】図10は、本発明の第2の実施形態に係る集積回路装置の一例について、要部の断面を模式的に示した図である。

40

【図11】図11(a)～(e)は、図10の集積回路装置のうちの能動素子用の基板に能動素子等を形成する工程を示す図である。

【図12】図12(a)～(d)は、図11(e)に続き、図10の集積回路装置のうちの能動素子用の基板に能動素子等を形成する工程を示す図である。

【図13】図13は、本発明の第2の実施形態に係る集積回路装置の別の一例について、要部の断面を模式的に示したものである。

【符号の説明】

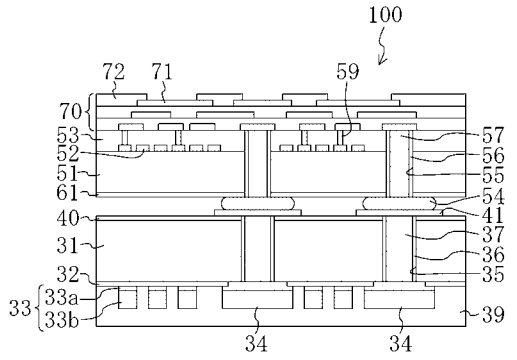
【0086】

31 第2基板

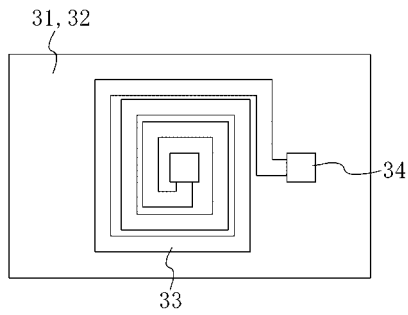
50

3 2	絶縁膜	
3 3	スパイラルインダクタ	
3 3 a	シード層	
3 3 b	C u 膜	
3 4	端子	
3 5	接続孔	
3 6	絶縁膜	
3 7	第 2 貫通電極	
3 7 a	金属膜	
3 8	レジスト	10
3 9	パッシベーション膜	
4 0	絶縁膜	
4 1	裏面電極	
5 1	第 1 基板	
5 2	能動素子部	
5 3	絶縁膜	
5 4	バンブ	
5 5	接続孔	
5 6	絶縁膜	
5 7	第 1 貫通電極	20
5 7 a	金属膜	
5 8	接続孔	
5 9	コンタクトプラグ	
5 9 a	金属膜	
6 0	パッシベーション膜	
6 1	絶縁膜	
6 2	裏面電極	
7 0	多層配線層	
7 1	配線	
7 2	絶縁膜	30
7 5	第 3 基板	
8 0	配線	
8 0 a	シード層	
8 0 b	C u 膜	
8 1	絶縁膜	
1 0 0	集積回路装置	
1 0 1	集積回路装置	
1 0 2	集積回路装置	

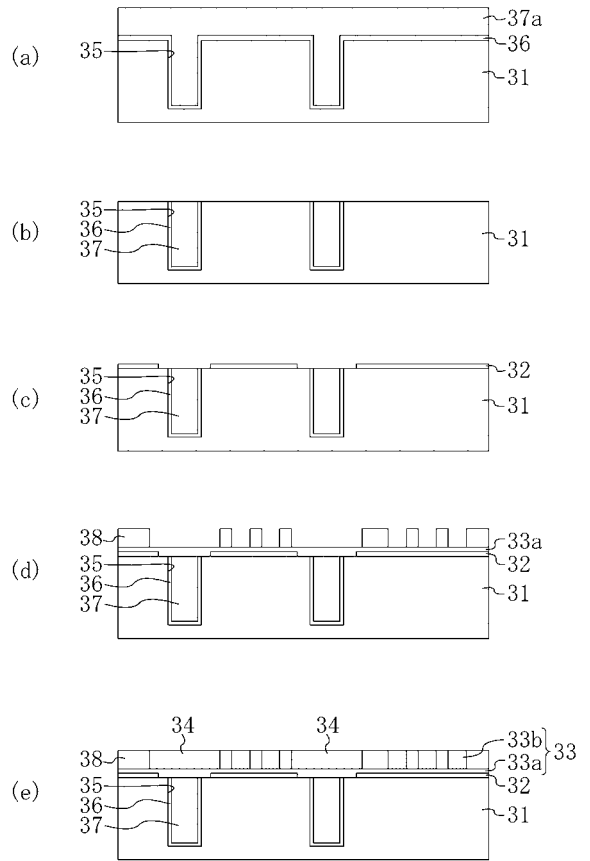
【 図 1 】



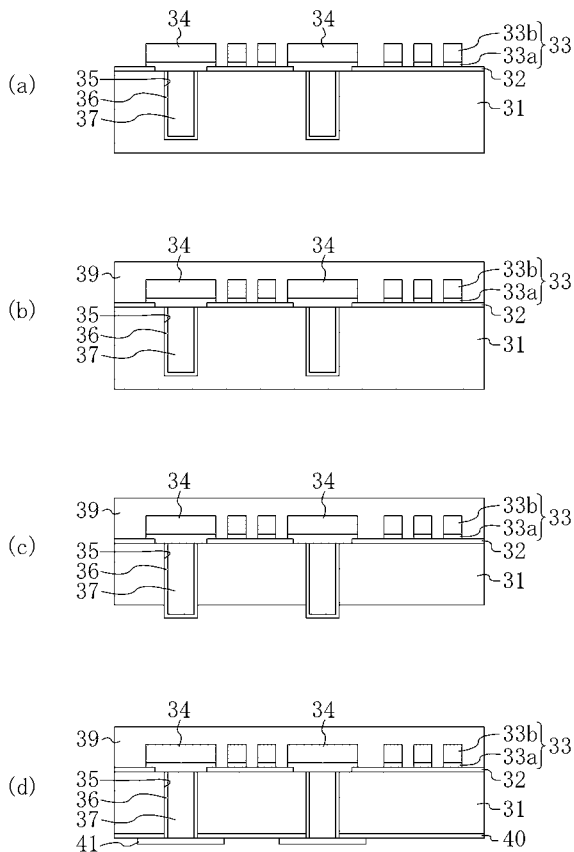
【 図 2 】



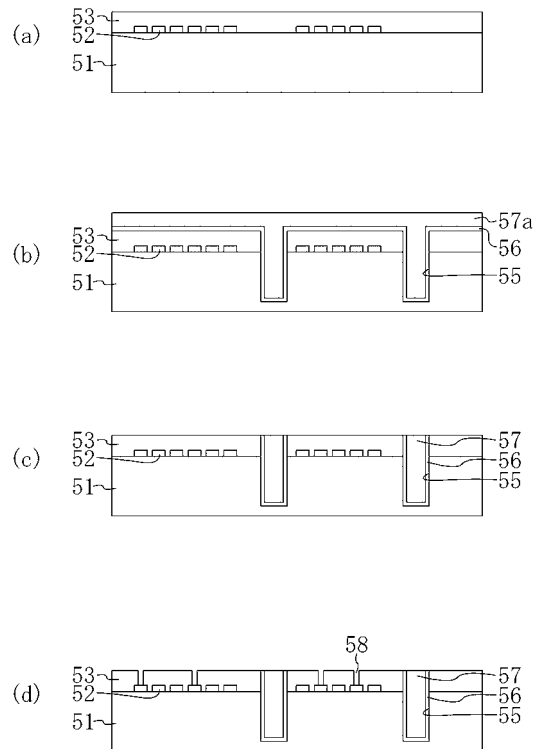
【 図 3 】



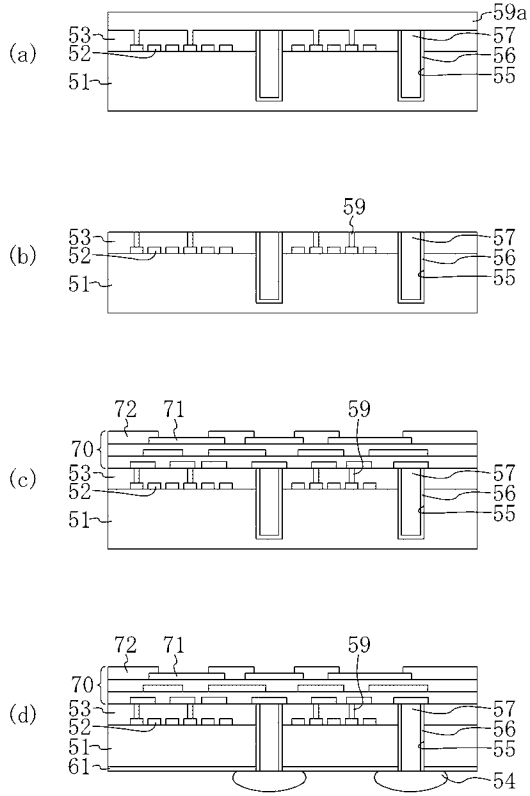
【 図 4 】



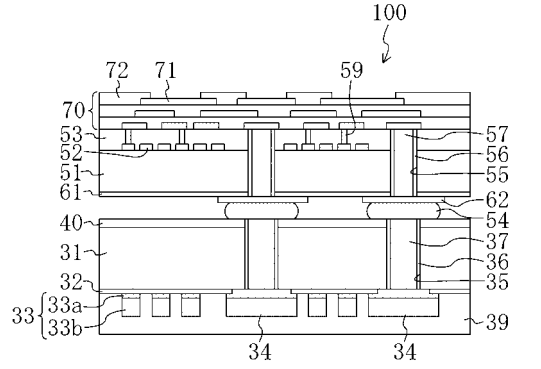
【 図 5 】



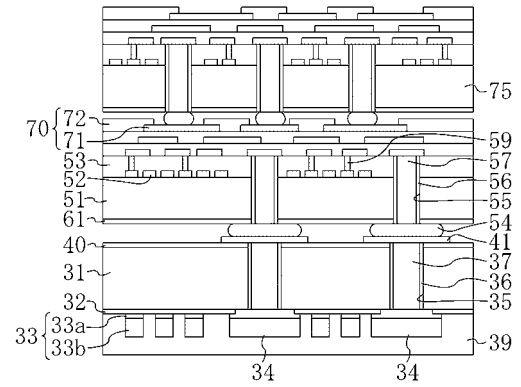
【 図 6 】



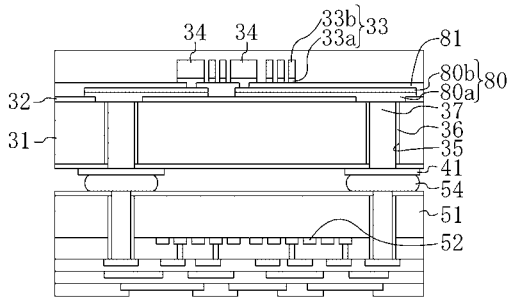
【 図 7 】



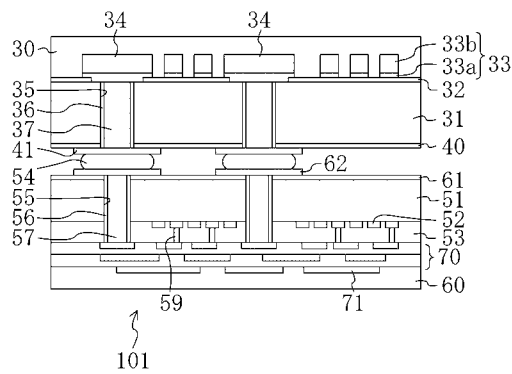
【 図 8 】



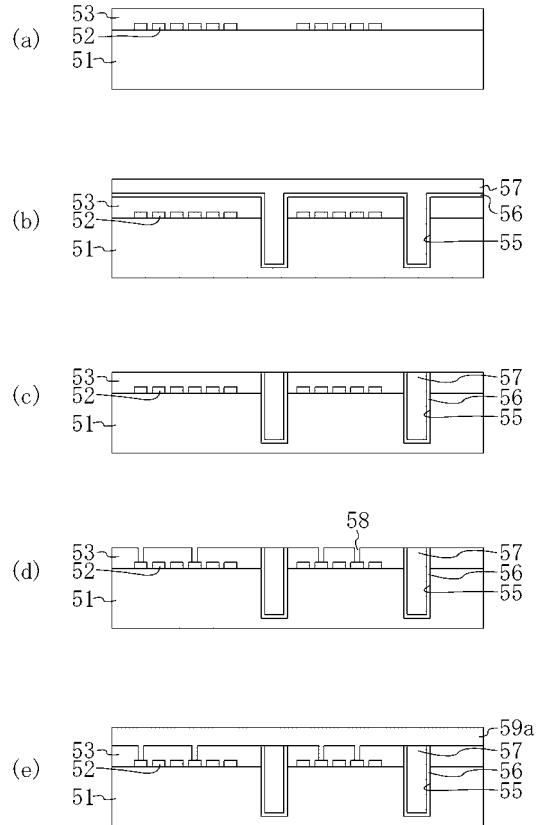
【 図 9 】



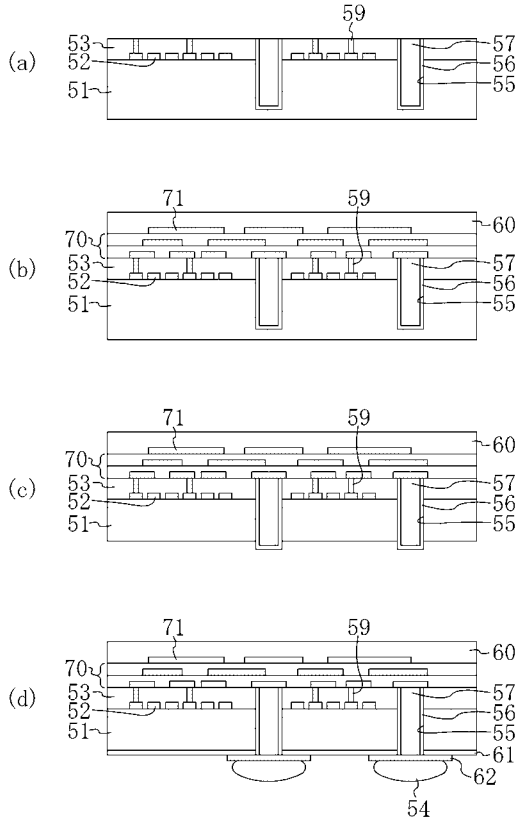
【 図 10 】



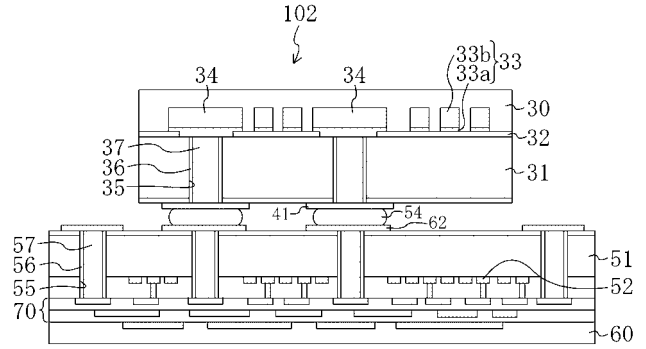
【 図 11 】



【図12】



【図13】



【手続補正書】

【提出日】平成21年6月18日(2009.6.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

複数の半導体チップを三次元的に積層してパッケージングする方法としては、ワイヤボンディングを用いた方法が主流である。しかし、配線の長さが高速伝送に対してボトルネックとなり、また、ボンディングエリアの確保が小型、薄型化に対してボトルネックとなることが予想されている。そのため、ワイヤボンディングに替わる方法として、貫通電極を用いた最短長配線により、チップ間を三次元接続する方法が提案されている。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0085

【補正方法】変更

【補正の内容】

【0085】

【図1】図1は、本発明の第1の実施形態に係る集積回路装置の一例について、要部の断面を模式的に示した図である。

【図2】図2は、本発明の第1の実施形態に係る集積回路装置の一例について、受動素子の平面構成を模式的に示す図である。

【図3】図3(a)～(e)は、図1の集積回路装置のうちの受動素子用の基板にインダクタ等を形成する工程を示す図である。

【図4】図4(a)～(d)は、図3(e)に続き、図1の集積回路装置のうちの受動素子用の基板にインダクタ等を形成する工程を示す図である。

【図5】図5(a)～(d)は、図1の集積回路装置のうちの能動素子用の基板に能動素子等を形成する工程を示す図である。

【図6】図6(a)～(d)は、図5(d)に続き、図1の集積回路装置のうちの能動素子用の基板に能動素子等を形成する工程を示す図である。

【図7】図7は、本発明の第1の実施形態に係る集積回路装置の別の一例について、要部の断面を模式的に示した図である。

【図8】図8は、本発明の第1の実施形態に係る集積回路装置の更に別の一例について、要部の断面を模式的に示した図である。

【図9】図9は、本発明の第1の実施形態に係る集積回路装置の更に別の一例について、要部の断面を模式的に示した図である。

【図10】図10は、本発明の第2の実施形態に係る集積回路装置の一例について、要部の断面を模式的に示した図である。

【図11】図11(a)～(e)は、図10の集積回路装置のうちの能動素子用の基板に能動素子等を形成する工程を示す図である。

【図12】図12(a)～(d)は、図11(e)に続き、図10の集積回路装置のうちの能動素子用の基板に能動素子等を形成する工程を示す図である。

【図13】図13は、本発明の第2の実施形態に係る集積回路装置の別の一例について、要部の断面を模式的に示したものである。



---

フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 中村 敦

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5F033 GG02 HH07 HH08 HH11 HH13 HH14 HH17 JJ07 JJ11 MM02  
MM08 MM13 MM21 MM30 PP27 PP33 QQ08 QQ19 QQ27 QQ48  
TT07 VV07 VV08 XX03 XX23  
5F038 AZ04 BE07 CA12 CA16 CD18 EZ07 EZ15 EZ20