

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成31年2月28日(2019.2.28)

【公開番号】特開2018-32760(P2018-32760A)

【公開日】平成30年3月1日(2018.3.1)

【年通号数】公開・登録公報2018-008

【出願番号】特願2016-164586(P2016-164586)

【国際特許分類】

H 01 L	27/115	(2017.01)
H 01 L	21/336	(2006.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)
H 01 L	27/10	(2006.01)
H 01 L	21/768	(2006.01)
H 01 L	23/532	(2006.01)

【F I】

H 01 L	27/10	4 3 4
H 01 L	29/78	3 7 1
H 01 L	27/10	4 8 1
H 01 L	21/90	K
H 01 L	21/90	P
H 01 L	21/90	C

【手続補正書】

【提出日】平成31年1月17日(2019.1.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

(a) その主面に、メモリセル領域と周辺回路領域とを有する半導体基板を準備する工程、

(b) 前記メモリセル領域において、前記半導体基板の主面上に、第1ゲート絶縁膜を介して形成された第1ゲート電極と、前記第1ゲート電極に隣接し、前記半導体基板の主面上に、電荷蓄積領域を含む第2ゲート絶縁膜を介して形成された第2ゲート電極と、前記第1ゲート電極および前記第2ゲート電極を挟むように、前記半導体基板の主面上に形成された第1ソース領域および第1ドレイン領域と、を含むメモリセルを形成し、前記周辺回路領域において、前記半導体基板の主面上に、第3ゲート絶縁膜を介して形成された第3ゲート電極と、前記第3ゲート電極を挟むように、前記半導体基板の主面上に形成された第2ソース領域および第2ドレイン領域と、を含むMISFETを形成する工程、

(c) 前記メモリセルおよび前記MISFETを覆うように、前記半導体基板の主面上に、第1温度で成膜したO<sub>3</sub>-TEOS膜からなる第1絶縁膜を形成する工程、

(d) 前記第1絶縁膜を、酸化雰囲気および第2温度で熱処理する工程、

(e) 前記(d)工程後に、前記第1絶縁膜に第1研磨処理を施し、前記第1ゲート電極、前記第2ゲート電極、および、前記第3ゲート電極の上面を露出する工程、

(f) 前記周辺回路領域において、前記第3ゲート電極を除去し、前記第1絶縁膜に溝を形成する工程、

(g) 前記溝内を埋めるように、前記第1絶縁膜上に、金属膜を形成する工程、  
(h) 前記金属膜に第2研磨処理を施し、前記溝内に選択的に前記金属膜を残すことにより、前記溝内に、前記MISFETの第4ゲート電極を形成する工程、  
を有する半導体装置の製造方法。

【請求項2】

請求項1記載の半導体装置の製造方法において、  
前記第2温度は、前記第1温度よりも低い、半導体装置の製造方法。

【請求項3】

請求項1記載の半導体装置の製造方法において、  
前記酸化雰囲気は、O<sub>2</sub>、O<sub>3</sub>、H<sub>2</sub>O、または、H<sub>2</sub>O<sub>2</sub>からなる、半導体装置の製造方法。

【請求項4】

請求項1記載の半導体装置の製造方法において、  
前記(c)工程のO<sub>3</sub>-TEOS膜は、膜中のシリコサン(Si-O-Si)基に対するシリノール(Si-O-H)基の比率が10%以上である、半導体装置の製造方法。

【請求項5】

請求項1記載の半導体装置の製造方法において、  
熱処理後の前記第1絶縁膜の比誘電率は、熱処理前の前記第1絶縁膜の比誘電率よりも低い、半導体装置の製造方法。

【請求項6】

請求項1記載の半導体装置の製造方法において、  
前記(f)工程で、前記第3ゲート電極は、ウェットエッチング法で除去し、  
熱処理後の前記第1絶縁膜のウェットエッチングレートは、熱処理前の前記第1絶縁膜のウェットエッチングレートよりも低い、半導体装置の製造方法。

【請求項7】

請求項6記載の半導体装置の製造方法において、  
前記第3ゲート電極は、多結晶シリコン膜からなる、半導体装置の製造方法。

【請求項8】

請求項1記載の半導体装置の製造方法において、  
前記(b)工程と前記(c)工程の間に、さらに、  
(i) 前記第1ソース領域、前記第1ドレイン領域、前記第2ソース領域、および、前記第2ドレイン領域の上面に、第1シリサイド層を形成する工程、  
を有する、半導体装置の製造方法。

【請求項9】

請求項8記載の半導体装置の製造方法において、  
前記第1シリサイド層は、N<sub>i</sub>を含む、半導体装置の製造方法。

【請求項10】

請求項1記載の半導体装置の製造方法において、  
前記(h)工程の後に、さらに、  
(j) 前記第1ゲート電極および前記第2ゲート電極の上面に第2シリサイド層を形成する工程、  
を有する、半導体装置の製造方法。

【請求項11】

請求項1記載の半導体装置の製造方法において、  
前記(h)工程の後に、さらに、  
(k) 前記第1ゲート電極、前記第2ゲート電極、および、前記第4ゲート電極を覆うように、前記第1絶縁膜上に第2絶縁膜を形成する工程、  
(l) 前記第2絶縁膜および前記第1絶縁膜を貫通し、前記第1ソース領域または前記第1ドレイン領域の上面を露出するコンタクトホールを形成する工程、  
(m) 前記コンタクトホール内に、プラグ電極を形成する工程、

を有する、半導体装置の製造方法。

【請求項 1 2】

請求項 1 記載の半導体装置の製造方法において、  
前記 ( b ) 工程において、  
前記第 1 ゲート電極、前記第 2 ゲート電極、および、前記第 3 ゲート電極の側壁上には  
、絶縁膜からなるサイドウォールスペーサが形成されており、  
前記 ( f ) 工程において、前記溝の側面には前記サイドウォールスペーサが露出している、半導体装置の製造方法。

【請求項 1 3】

( a ) その正面に、メモリセル領域と周辺回路領域とを有し、前記メモリセル領域において、素子分離膜を貫通して前記正面から突出する第 1 凸部と、前記周辺回路領域において、前記素子分離膜を貫通して前記正面から突出する第 2 凸部と、を有する半導体基板を準備する工程、

( b ) 前記メモリセル領域において、前記第 1 凸部上に、第 1 ゲート絶縁膜を介して形成された第 1 ゲート電極と、前記第 1 ゲート電極に隣接し、前記第 1 凸部上に、電荷蓄積領域を含む第 2 ゲート絶縁膜を介して形成された第 2 ゲート電極と、前記第 1 ゲート電極および前記第 2 ゲート電極を挟むように、前記第 1 凸部に形成された第 1 ソース領域および第 1 ドレイン領域と、を含むメモリセルを形成し、前記周辺回路領域において、前記第 2 凸部上に、第 3 ゲート絶縁膜を介して形成された第 3 ゲート電極と、前記第 3 ゲート電極を挟むように、前記第 2 凸部に形成された第 2 ソース領域および第 2 ドレイン領域と、を含む M I S F E T を形成する工程、

( c ) 前記メモリセルおよび前記 M I S F E T を覆うように、前記半導体基板上に、第 1 温度で成膜した O<sub>3</sub> - T E O S 膜からなる第 1 絶縁膜を形成する工程、

( d ) 前記第 1 絶縁膜を、酸化雰囲気および第 2 温度で熱処理する工程、

( e ) 前記 ( d ) 工程後に、前記第 1 絶縁膜に第 1 研磨処理を施し、前記第 1 ゲート電極、前記第 2 ゲート電極、および、前記第 3 ゲート電極の上面を露出する工程、

( f ) 前記周辺回路領域において、前記第 3 ゲート電極を除去し、前記第 1 絶縁膜に溝を形成する工程、

( g ) 前記溝内を埋めるように、前記第 1 絶縁膜上に、金属膜を形成する工程、

( h ) 前記金属膜に第 2 研磨処理を施し、前記溝内に選択的に前記金属膜を残すことにより、前記溝内に、前記 M I S F E T の第 4 ゲート電極を形成する工程、

を有する半導体装置の製造方法。

【請求項 1 4】

請求項 1 3 記載の半導体装置の製造方法において、

前記第 2 温度は、前記第 1 温度よりも低い、半導体装置の製造方法。

【請求項 1 5】

請求項 1 3 記載の半導体装置の製造方法において、

前記酸化雰囲気は、O<sub>2</sub>、O<sub>3</sub>、H<sub>2</sub>O、または、H<sub>2</sub>O<sub>2</sub> からなる、半導体装置の製造方法。

【請求項 1 6】

請求項 1 3 記載の半導体装置の製造方法において、

前記 ( c ) 工程の O<sub>3</sub> - T E O S 膜は、膜中のシロキサン ( Si - O - Si ) 基に対するシラノール ( Si - O - H ) 基の比率が 10 % 以上である、半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 8

【補正方法】変更

【補正の内容】

【0 0 0 8】

メモリセル領域には、互いに直交する第1方向と第2方向に沿って、複数のメモリセルが行列状に配置されている。各メモリセルは、半導体基板上に第1ゲート絶縁膜を介して形成され、第1方向に延在する制御ゲート電極と、半導体基板上に電荷蓄積領域を含む第2ゲート絶縁膜を介して形成され、第1方向に延在するメモリゲート電極と、制御ゲート電極およびメモリゲート電極を挟むように半導体基板の表面に形成された一対の半導体領域（ソース領域およびドレイン領域）と、を有している。そして、隣接するメモリセルの隣接する制御ゲート電極間および隣接するメモリゲート電極間は、O<sub>3</sub>-TEOS膜からなる層間絶縁膜で埋まっている。

#### 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

#### 【0032】

シリコン膜PS1は、多結晶シリコン膜（ポリシリコン膜）からなり、CVD法などを用いて形成することができる。シリコン膜PS1の堆積膜厚は、例えば50～100nm程度とすることができます。シリコン膜PS1は、成膜時に不純物を導入するか、あるいは成膜後に不純物をイオン注入することなどにより、低抵抗の半導体膜（ドープトポリシリコン膜）とすることができる。メモリセル領域1Aのシリコン膜PS1は、好ましくは、リン（P）またはヒ素（As）などのn型不純物が導入されたn型のシリコン膜である。

#### 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正の内容】

#### 【0050】

次に、異方性エッチング技術により、シリコン膜PS2をエッチバック（エッチング、異方性ドライエッチング、異方性エッチング）する（図1のステップS10）。

#### 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正の内容】

#### 【0055】

次に、フォトリソグラフィ技術を用いて、メモリゲート電極MGが覆われかつシリコンスペーサSPが露出されるようなフォトレジストパターン（図示せず）を半導体基板SB上に形成してから、そのフォトレジストパターンをエッチングマスクとしたドライエッチングにより、シリコンスペーサSPを除去する（図2のステップS11）。その後、そのフォトレジストパターンを除去する。ステップS11のエッチング工程により、図10に示すように、シリコンスペーサSPが除去されるが、メモリゲート電極MGは、フォトレジストパターンで覆われていたので、エッチングされずに残存する。また、積層膜LF1の側壁のシリコンスペーサSPは除去される。

#### 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

**【補正の内容】****【0069】**

ステップS16において、例えば、ヒ素(As)又はリン(P)等のn型不純物を、積層体LM1、メモリゲート電極MG、積層体LM2、およびサイドウォールスペーサSWをマスク(イオン注入阻止マスク)として用いて半導体基板SB(p型ウエルPW1,PW2)にイオン注入法で導入することで、n<sup>+</sup>型半導体領域SD1,SD2,SD3を形成することができる。この際、n<sup>+</sup>型半導体領域SD1は、メモリセル領域1Aにおいて、メモリゲート電極MGと、メモリゲート電極MGの側壁上のサイドウォールスペーサSWと、がマスク(イオン注入阻止マスク)として機能することにより、メモリゲート電極MGの側壁上のサイドウォールスペーサSWに自己整合して形成される。また、n<sup>+</sup>型半導体領域SD2は、メモリセル領域1Aにおいて、積層体LM1とその側壁上のサイドウォールスペーサSWとがマスク(イオン注入阻止マスク)として機能することにより、積層体LM1の側壁上のサイドウォールスペーサSWに自己整合して形成される。また、n<sup>+</sup>型半導体領域SD3は、周辺回路領域1Bにおいて、積層体LM2とその側壁上のサイドウォールスペーサSWとがマスク(イオン注入阻止マスク)として機能することにより、積層体LM2の両側壁上のサイドウォールスペーサSWに自己整合して形成される。これにより、LDD(Lightly doped Drain)構造が形成される。n<sup>+</sup>型半導体領域SD1とn<sup>+</sup>型半導体領域SD2とn<sup>+</sup>型半導体領域SD3は、同じイオン注入工程で形成することができるが、異なるイオン注入工程で形成することも可能である。また、n<sup>+</sup>型半導体領域SD1とn<sup>+</sup>型半導体領域SD2とを同じイオン注入で形成し、n<sup>+</sup>型半導体領域SD3を他のイオン注入で形成することもできる。

**【手続補正7】****【補正対象書類名】明細書****【補正対象項目名】0088****【補正方法】変更****【補正の内容】****【0088】**

なお、前述のように、酸化雰囲気で熱処理を施されたO<sub>3</sub>-TEOS膜からなる絶縁膜IL3は、堆積直後に比べ、硬化されウェットエッティングレートが低くなっているため、研磨工程(図2のステップS20)において、絶縁膜IL3の上面が制御ゲート電極CG、メモリゲート電極MGおよびゲート電極DGの上面に比べて、低く落ち込むのを低減または防止することができる。つまり、絶縁膜IL3のディッシングを低減できる。

**【手続補正8】****【補正対象書類名】明細書****【補正対象項目名】0173****【補正方法】変更****【補正の内容】****【0173】**

次に、図29に示すように、図2のステップS20を実施する。図29は、上記実施の形態1の図16に対応しており、上記実施の形態1と同様にステップS20を実施する。

**【手続補正9】****【補正対象書類名】明細書****【補正対象項目名】0176****【補正方法】変更****【補正の内容】****【0176】**

図示しないが、さらに、図3のステップS28～ステップS31を実施して、実施の形

態 2 の半導体装置を形成する。