

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3680527号

(P3680527)

(45) 発行日 平成17年8月10日(2005.8.10)

(24) 登録日 平成17年5月27日(2005.5.27)

(51) Int. Cl.⁷

F I

GO2F 1/1368
GO2F 1/1343
GO9F 9/30
HO1L 29/786

GO2F 1/136 500
GO2F 1/1343
GO9F 9/30 338
HO1L 29/78 612C

請求項の数 8 (全 18 頁)

(21) 出願番号	特願平9-337550	(73) 特許権者	302036002
(22) 出願日	平成9年12月8日(1997.12.8)		富士通ディスプレイテクノロジーズ株式会 社
(65) 公開番号	特開平11-38449		神奈川県川崎市中原区上小田中4丁目1番 1号
(43) 公開日	平成11年2月12日(1999.2.12)	(74) 代理人	100101214
審査請求日	平成12年9月21日(2000.9.21)		弁理士 森岡 正樹
審査番号	不服2002-20722(P2002-20722/J1)	(72) 発明者	尾崎 喜義
審査請求日	平成14年10月24日(2002.10.24)		神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
(31) 優先権主張番号	特願平9-19285	(72) 発明者	井上 淳
(32) 優先日	平成9年1月31日(1997.1.31)		神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
(33) 優先権主張国	日本国(JP)		
(31) 優先権主張番号	特願平9-128733		
(32) 優先日	平成9年5月19日(1997.5.19)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタマトリクス基板及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

絶縁性基板上に形成され、ゲート電極、ゲート絶縁膜、動作半導体膜、ソース・ドレイン電極からなる薄膜トランジスタの該ゲート電極同士を接続するゲートバスラインと、該ドレイン電極同士を接続するドレインバスラインと、これらの上部に形成される保護絶縁膜と、該薄膜トランジスタのソース電極に接続されている画素電極と、ゲート絶縁膜を介して該画素電極に対向して配置されゲートバスラインと平行に延在し該ゲート電極層と同一の層に設けられた蓄積容量バスラインと、蓄積容量バスラインから分岐しドレインバスラインと平行に近接させて配置された補助容量電極とを備え、

該補助容量電極は、該ドレインバスラインに沿って延在する延在部と、該延在部と該蓄積容量バスラインとの間に配置され、該画素電極と重なり領域を有さない分岐部とからなり、

該補助容量電極は、部分的にドレインバスラインと重なり領域を有し、

ドレイン電極層と同一の層に形成された電極であってドレインバスラインに沿って延在しその両端が前記補助容量電極と重なり領域を有する1又は2以上の電極を有することを特徴とする薄膜トランジスタマトリクス基板。

【請求項2】

ドレイン電極層と同一の層に形成された電極であってドレインバスラインに沿って延在しその両端が前記補助容量電極と重なり領域を有する電極が、蓄積容量バスラインと交差し同一の蓄積容量バスラインから分岐した補助容量電極と重なり領域を有する電極である

10

20

ことを特徴とする請求項 1 に記載の薄膜トランジスタマトリクス基板。

【請求項 3】

ドレイン電極層と同一の層に形成された電極であってドレインバスラインに沿って延在しその両端が前記補助容量電極と重なり領域を有する電極が、ゲートバスラインと交差し異なる蓄積容量バスラインから分岐した補助容量電極と重なり領域を有する電極であることを特徴とする請求項 1 に記載の薄膜トランジスタマトリクス基板。

【請求項 4】

絶縁性基板上に形成され、ゲート電極、ゲート絶縁膜、動作半導体膜、ソース・ドレイン電極からなる薄膜トランジスタの該ゲート電極同士を接続するゲートバスラインと、該ドレイン電極同士を接続するドレインバスラインと、これらの上部に形成される保護絶縁膜と、該薄膜トランジスタのソース電極に接続されている画素電極と、ゲート絶縁膜を介して該画素電極に対向して配置されゲートバスラインと平行に延在し該ゲート電極層と同一の層に設けられた蓄積容量バスラインと、蓄積容量バスラインから分岐しドレインバスラインと平行に近接させて配置された補助容量電極とを備え、該補助容量電極が、該ドレインバスラインに沿って延在する延在部と、該延在部と該蓄積容量バスラインとの間に配置され、該画素電極と重なり領域を有さない分岐部とからなる薄膜トランジスタマトリクス基板の製造方法であって、

該補助容量電極の一部をドレインバスラインと重なり領域を有して形成し、
ドレインバスラインと補助容量電極との間で短絡が発見された場合、補助容量電極を前記蓄積容量バスラインとの分岐部で短絡箇所との間において切断する工程を含む薄膜トランジスタマトリクス基板の製造方法。

【請求項 5】

絶縁性基板上に形成され、ゲート電極、ゲート絶縁膜、動作半導体膜、ソース・ドレイン電極からなる薄膜トランジスタの該ゲート電極同士を接続するゲートバスラインと、該ドレイン電極同士を接続するドレインバスラインと、これらの上部に形成される保護絶縁膜と、該薄膜トランジスタのソース電極に接続されている画素電極と、ゲート絶縁膜を介して該画素電極に対向して配置されゲートバスラインと平行に延在し該ゲート電極層と同一の層に設けられた蓄積容量バスラインと、蓄積容量バスラインから分岐しドレインバスラインと平行に近接させて配置された補助容量電極とを備え、該補助容量電極が、該ドレインバスラインに沿って延在する延在部と、該延在部と該蓄積容量バスラインとの間に配置され、該画素電極と重なり領域を有さない分岐部とからなる薄膜トランジスタマトリクス基板の製造方法であって、

該補助容量電極の一部をドレインバスラインと重なり領域を有して形成し、
ドレインバスラインが断線した場合には、ドレインバスラインと補助容量電極を複数の重なり領域で接続した後、前記補助容量電極を蓄積容量バスラインとの分岐部で切断する工程を含む薄膜トランジスタマトリクス基板の製造方法。

【請求項 6】

絶縁性基板上に形成され、ゲート電極、ゲート絶縁膜、動作半導体膜、ソース・ドレイン電極からなる薄膜トランジスタの該ゲート電極同士を接続するゲートバスラインと、該ドレイン電極同士を接続するドレインバスラインと、これらの上部に形成される保護絶縁膜と、該薄膜トランジスタのソース電極に接続されている画素電極と、ゲート絶縁膜を介して該画素電極に対向して配置されゲートバスラインと平行に延在し該ゲート電極層と同一の層に設けられた蓄積容量バスラインと、蓄積容量バスラインから分岐しドレインバスラインと平行に近接させて配置された補助容量電極とを備え、該補助容量電極が、該ドレインバスラインに沿って延在する延在部と、該延在部と該蓄積容量バスラインとの間に配置され、該画素電極と重なり領域を有さない分岐部とからなる薄膜トランジスタマトリクス基板の製造方法であって、

該補助容量電極の一部をドレインバスラインと重なり領域を有して形成し、
ドレインバスラインの断線が発見された場合、ドレインバスラインに関して同じ側に延在する 2 つの補助容量電極につき、該補助容量電極とドレインバスラインとの重なり領域

10

20

30

40

50

及び該補助容量電極と画素電極を接続する工程、該補助容量電極を蓄積容量バスラインとの分岐部で切断する工程を含む薄膜トランジスタマトリクス基板の製造方法。

【請求項 7】

蓄積容量バスラインから分岐される補助容量電極と画素電極との重なり領域において補助容量電極と画素電極を接続する際、補助容量電極と画素電極が対向する領域の一部に形成された導電層を介して接続を行う工程を含む請求項 6 記載の薄膜トランジスタマトリクス基板の製造方法。

【請求項 8】

絶縁性基板上に形成され、ゲート電極、ゲート絶縁膜、動作半導体膜、ソース・ドレイン電極からなる薄膜トランジスタの該ゲート電極同士を接続するゲートバスラインと、該ドレイン電極同士を接続するドレインバスラインと、これらの上部に形成される保護絶縁膜と、該薄膜トランジスタのソース電極に接続されている画素電極と、ゲート絶縁膜を介して該画素電極に対向して配置されゲートバスラインと平行に延在し該ゲート電極層と同一の層に設けられた蓄積容量バスラインと、蓄積容量バスラインから分岐しドレインバスラインと平行に近接させて配置された補助容量電極とを備え、該補助容量電極が、該ドレインバスラインに沿って延在する延在部と、該延在部と該蓄積容量バスラインとの間に配置され、該画素電極と重なり領域を有さない分岐部とからなる薄膜トランジスタマトリクス基板の製造方法であって、

該補助容量電極の一部をドレインバスラインと重なり領域を有して形成し、
ドレイン電極層と同一の層にドレインバスラインに沿って延在しその両端が前記補助容量電極と重なり領域を有する補助電極を形成し、

ドレインバスラインの断線が発見された場合には、ドレインバスラインと補助容量電極の重なり領域を接続する工程、前記補助電極と補助容量電極の重なり領域を接続する工程、補助容量電極を蓄積容量バスラインとの分岐部で切断する工程を含み、ドレインバスラインと蓄積容量バスライン若しくはゲートバスラインとの間に短絡が発見された場合には、蓄積容量バスライン若しくはゲートバスラインの両側においてドレインバスラインを切断する工程、補助容量電極を蓄積容量バスラインとの分岐部で切断する工程、ドレインバスラインと補助容量電極とをその重なり領域で接続する工程、補助容量電極と補助電極とを接続する工程を含む薄膜トランジスタマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶ディスプレイ等の駆動に用いる薄膜トランジスタマトリクス基板に関し、特に、バスラインの断線と層間短絡を修正するための電極を有することを特徴とする薄膜トランジスタマトリクス基板及びその修正方法に関する。

【0002】

【従来の技術】

図 1 4 A 及び 1 4 B を使用して、従来例による薄膜トランジスタ (TFT) マトリクス基板について説明する。図 1 4 A は、TFT 基板の平面図を示す。透明基板の表面上に図 1 4 A の横方向に延在する複数のゲートバスライン 1 0 1 と縦方向に延在するドレインバスライン 1 0 3 が形成されている。ゲートバスライン 1 0 1 とドレインバスライン 1 0 3 との交差箇所において、両者は絶縁膜により電氣的に絶縁されている。隣り合う 2 本のゲートバスライン 1 0 1 の間に、ゲートバスライン 1 0 1 とほぼ平行に延在する蓄積容量バスライン 1 0 2 が配置されている。蓄積容量バスライン 1 0 2 とドレインバスライン 1 0 3 との交差箇所においても、両者は同様に絶縁されている。蓄積容量バスライン 1 0 2 には、一定の電位、例えば接地電位が与えられている。

【0003】

ゲートバスライン 1 0 1 とドレインバスライン 1 0 3 との交差箇所に対応して TFT 1 0 4 が形成されている。TFT 1 0 4 のドレイン電極は対応するドレインバスライン 1 0 3 に接続され、対応するゲートバスライン 1 0 1 がゲート電極を兼ねる。TFT 1 0 4 の

10

20

30

40

50

ソース電極には、画素電極 105 が接続されている。画素電極 105 は、ゲートバスライン 101 とドレインバスライン 103 とによって囲まれた領域内に配置される。蓄積容量バスライン 102 から分岐した補助容量電極 106 が、各補助容量電極の配置された領域ごとに、ドレインバスライン 103 に平行に、かつ近接して配置されている。画素電極 105 と、蓄積容量バスライン 102 及び補助容量電極 106 との間に補助容量 C_s が形成される。

【0004】

この TFT 基板に共通電極基板が対向配置され、2枚の基板間に液晶材料が挟持される。図 14B は、図 14A の液晶表示装置の画素に対応する等価回路を示す。画素電極 105 と共通電極との間に液晶容量 C_{LC} が形成され、それに並列に補助容量 C_s が形成される。また、画素電極 105 とドレインバスライン 103 との間に、浮遊容量 C_{DS} が形成される。TFT 104 が非導通状態の時、即ち当該画素が非選択状態の時にドレインバスライン 103 の電位が変動すると、浮遊容量 C_{DS} による容量結合により、該画素 105 の電位も変動する。この電圧変動量 V は、

$$V = C_{DS} / (C_{DS} + C_{LC} + C_s) \cdots (1)$$

と表される。この電圧変動により表示画素の走査方向（ドレインバスライン 103 と平行な方向）に沿った輝度の傾斜と表示パターンに依存したクロストーク（輝度むら）が生じる。

【0005】

図 14A の場合には、液晶容量 C_{LC} に並列に補助容量 C_s が挿入されているために、電圧変動が少なくなる。このように、蓄積容量バスライン 102 および補助容量電極 106 を配置して補助容量 C_s を大きくすることにより、ドレインバスライン 103 の電圧変動による影響を低減し、表示品質を高めることができる。

【0006】

【発明が解決しようとする課題】

図 14A に示すように補助容量電極 106 は、できるだけ大きな開口率を得るためドレインバスライン 103 に近接して配置される。補助容量電極 106 とドレインバスライン 103 との間の絶縁膜の不良、両パターンの位置合わせ誤差等により両者が電氣的に短絡してしまう場合がある。同様に、ドレインバスライン 103 とゲートバスライン 101 及び蓄積容量バスライン 102 との短絡もおこる。さらに、電極パターン形成時のゴミ、異物、又はマスクの傷等によりバスラインの断線が生じることもある。このような、層間短絡あるいはバスラインの断線が 1ヶ所でも生じると TFT マトリクスは不良品となってしまう。このため、その欠陥を製造段階で修正できるか否かは製造歩留まりを大きく左右する要因となる。

【0007】

図 15 を参照して短絡又は断線の発生した場合の修正方法について説明する。図 15 は TFT マトリクス基板の概略平面図を示す。TFT 104 と画素電極 105 がマトリクス状に配置された表示領域の上下の周辺部に予備線 108、109 が配置されている。予備線 108、109 は例えば 4 ~ 10 本用意されている。各予備線 108、109 は、表示領域の上下において、各ドレインバスラインと交差している。ドレインバスライン 103 において断線 B_0 が発生した場合断線修正点 W_0 と W_0' において予備線とドレインバスライン 103 を接続する。接続はレーザ光照射により、絶縁膜と金属膜とを溶解させることにより行われる。予備線 108、109 をドレイン線等と同様に外部回路を取り出し、電氣的に接続すると、ドレインバスライン 103 の断線修復が可能となる。

図 15 に示すように、従来の方法によると修正用の予備線 108 並びに 109 は、絶縁膜を介して他の多くのバスラインと交差するため、容量結合により、該ラインにノイズが重畳される。この影響を少なくするためには、該ラインの抵抗を低くすることが有効であるが、そのためには、ライン幅を広くする必要がある。しかし、このライン幅の拡大により今度はライン間の層間短絡の確率が高くなり、修正用のラインで却って欠陥を作ってしまうという問題が発生するおそれがある。また、実際の修正作業では、当該欠陥箇所と修

10

20

30

40

50

正箇所が距離的に離れているため、修正には基板を移動させる精度の良い高価な装置が必要となる。

【0008】

さらに、従来法では、マトリクス基板から、外部回路に取り出す予備線を設置する必要があり、このノイズ対策にも多くの配慮をしなければならないという不都合がある。

また、準備する予備線の本数以上のドレインバスラインでの断線・短絡が生じた場合、1本のドレインバスライン中の複数の画素での短絡・断線が発生した場合も修正は不可能である。

【0009】

本発明の目的は、ドレインバスラインと補助容量電極との短絡、ドレインバスラインの断線、ドレインバスラインとゲートバスラインの短絡が生じた場合、あるいはゲートバスラインの断線が生じた場合にマトリクス内で容易に欠陥を修正可能なTFTトランジスタマトリクス基板を提供することであり、また、欠陥箇所の修正作業において、欠陥箇所の検出が容易にでき、特に自動リペアー装置による修正の際位置決めが容易にできるTFTトランジスタマトリクス基板を提供することである。

10

【0010】

【課題を解決するための手段】

本発明の目的を達成するため、本発明の請求項1に記載の通り、絶縁性基板上に形成され、ゲート電極、ゲート絶縁膜、動作半導体膜、ソース・ドレイン電極からなる薄膜トランジスタの該ゲート電極同士を接続するゲートバスラインと、該ドレイン電極同士を接続するドレインバスラインと、これらの上部に形成される保護絶縁膜と、該薄膜トランジスタのソース電極に接続されている画素電極と、ゲート絶縁膜を介して該画素電極に対向して配置されゲートバスラインと平行に延在し該ゲート電極層と同一の層に設けられた蓄積容量バスラインと、蓄積容量バスラインから分岐しドレインバスラインと平行に近接させて配置された補助容量電極とを備え、該補助容量電極は、該ドレインバスラインに沿って延在する延在部と、該延在部と該蓄積容量バスラインとの間に配置され、該画素電極と重なり領域を有さない分岐部とからなり、該補助容量電極は、部分的にドレインバスラインと重なり領域を有し、ドレイン電極層と同一の層に形成された電極であってドレインバスラインに沿って延在しその両端が前記補助容量電極と重なり領域を有する1又は2以上の電極を有することを特徴とする薄膜トランジスタマトリクス基板が提供される。

20

30

【0011】

本発明の目的を達成するため、本発明の請求項2に記載の通り、ドレイン電極層と同一の層に形成された電極であってドレインバスラインに沿って延在しその両端が前記補助容量電極と重なり領域を有する電極が、蓄積容量バスラインと交差し同一の蓄積容量バスラインから分岐した補助容量電極と重なり領域を有する電極であることを特徴とする請求項1に記載の薄膜トランジスタマトリクス基板が提供される。

【0012】

本発明の目的を達成するため、本発明の請求項3に記載の通り、ドレイン電極層と同一の層に形成された電極であってドレインバスラインに沿って延在しその両端が前記補助容量電極と重なり領域を有する電極が、ゲートバスラインと交差し異なる蓄積容量バスラインから分岐した補助容量電極と重なり領域を有する電極であることを特徴とする請求項1に記載の薄膜トランジスタマトリクス基板が提供される。

40

【0013】

本発明の目的を達成するため、本発明の請求項4に記載の通り、絶縁性基板上に形成され、ゲート電極、ゲート絶縁膜、動作半導体膜、ソース・ドレイン電極からなる薄膜トランジスタの該ゲート電極同士を接続するゲートバスラインと、該ドレイン電極同士を接続するドレインバスラインと、これらの上部に形成される保護絶縁膜と、該薄膜トランジスタのソース電極に接続されている画素電極と、ゲート絶縁膜を介して該画素電極に対向して配置されゲートバスラインと平行に延在し該ゲート電極層と同一の層に設けられた蓄積容量バスラインと、蓄積容量バスラインから分岐しドレインバスラインと平行に近接させ

50

て配置された補助容量電極とを備え、該補助容量電極が、該ドレインバスラインに沿って延在する延在部と、該延在部と該蓄積容量バスラインとの間に配置され、該画素電極と重なり領域を有さない分岐部とからなる薄膜トランジスタマトリクス基板の製造方法であって、該補助容量電極の一部をドレインバスラインと重なり領域を有して形成し、ドレインバスラインと補助容量電極との間で短絡が発見された場合、補助容量電極を前記蓄積容量バスラインとの分岐部で短絡箇所との間において切断する工程を含む薄膜トランジスタマトリクス基板の製造方法が提供される。

【0014】

本発明の目的を達成するため、本発明の請求項5に記載の通り、絶縁性基板上に形成され、ゲート電極、ゲート絶縁膜、動作半導体膜、ソース・ドレイン電極からなる薄膜トランジスタの該ゲート電極同士を接続するゲートバスラインと、該ドレイン電極同士を接続するドレインバスラインと、これらの上部に形成される保護絶縁膜と、該薄膜トランジスタのソース電極に接続されている画素電極と、ゲート絶縁膜を介して該画素電極に対向して配置されゲートバスラインと平行に延在し該ゲート電極層と同一の層に設けられた蓄積容量バスラインと、蓄積容量バスラインから分岐しドレインバスラインと平行に近接させて配置された補助容量電極とを備え、該補助容量電極が、該ドレインバスラインに沿って延在する延在部と、該延在部と該蓄積容量バスラインとの間に配置され、該画素電極と重なり領域を有さない分岐部とからなる薄膜トランジスタマトリクス基板の製造方法であって、該補助容量電極の一部をドレインバスラインと重なり領域を有して形成し、ドレインバスラインが断線した場合には、ドレインバスラインと補助容量電極を複数の重なり領域で接続した後、前記補助容量電極を蓄積容量バスラインとの分岐部で切断する工程を含む薄膜トランジスタマトリクス基板の製造方法が提供される。

【0015】

本発明の目的を達成するため、本発明の請求項6に記載の通り、絶縁性基板上に形成され、ゲート電極、ゲート絶縁膜、動作半導体膜、ソース・ドレイン電極からなる薄膜トランジスタの該ゲート電極同士を接続するゲートバスラインと、該ドレイン電極同士を接続するドレインバスラインと、これらの上部に形成される保護絶縁膜と、該薄膜トランジスタのソース電極に接続されている画素電極と、ゲート絶縁膜を介して該画素電極に対向して配置されゲートバスラインと平行に延在し該ゲート電極層と同一の層に設けられた蓄積容量バスラインと、蓄積容量バスラインから分岐しドレインバスラインと平行に近接させて配置された補助容量電極とを備え、該補助容量電極が、該ドレインバスラインに沿って延在する延在部と、該延在部と該蓄積容量バスラインとの間に配置され、該画素電極と重なり領域を有さない分岐部とからなる薄膜トランジスタマトリクス基板の製造方法であって、該補助容量電極の一部をドレインバスラインと重なり領域を有して形成し、ドレインバスラインの断線が発見された場合、ドレインバスラインに関して同じ側に延在する2つの補助容量電極につき、該補助容量電極とドレインバスラインとの重なり領域及び該補助容量電極と画素電極を接続する工程、該補助容量電極を蓄積容量バスラインとの分岐部で切断する工程を含む薄膜トランジスタマトリクス基板の製造方法が提供される。

【0016】

本発明の目的を達成するため、本発明の請求項7に記載の通り、蓄積容量バスラインから分岐される補助容量電極と画素電極との重なり領域において補助容量電極と画素電極を接続する際、補助容量電極と画素電極が対向する領域の一部に形成された導電層を介して接続を行う工程を含む請求項6記載の薄膜トランジスタマトリクス基板の製造方法が提供される。

【0017】

本発明の目的を達成するため、本発明の請求項8に記載の通り、絶縁性基板上に形成され、ゲート電極、ゲート絶縁膜、動作半導体膜、ソース・ドレイン電極からなる薄膜トランジスタの該ゲート電極同士を接続するゲートバスラインと、該ドレイン電極同士を接続するドレインバスラインと、これらの上部に形成される保護絶縁膜と、該薄膜トランジスタのソース電極に接続されている画素電極と、ゲート絶縁膜を介して該画素電極に対向し

10

20

30

40

50

て配置されゲートバスラインと平行に延在し該ゲート電極層と同一の層に設けられた蓄積容量バスラインと、蓄積容量バスラインから分岐しドレインバスラインと平行に近接させて配置された補助容量電極とを備え、該補助容量電極が、該ドレインバスラインに沿って延在する延在部と、該延在部と該蓄積容量バスラインとの間に配置され、該画素電極と重なり領域を有さない分岐部とからなる薄膜トランジスタマトリクス基板の製造方法であって、該補助容量電極の一部をドレインバスラインと重なり領域を有して形成し、ドレイン電極層と同一の層にドレインバスラインに沿って延在しその両端が前記補助容量電極と重なり領域を有する補助電極を形成し、ドレインバスラインの断線が発見された場合には、ドレインバスラインと補助容量電極の重なり領域を接続する工程、前記補助電極と補助容量電極の重なり領域を接続する工程、補助容量電極を蓄積容量バスラインとの分岐部で切断する工程を含み、ドレインバスラインと蓄積容量バスライン若しくはゲートバスラインとの間に短絡が発見された場合には、蓄積容量バスライン若しくはゲートバスラインの両側においてドレインバスラインを切断する工程、補助容量電極を蓄積容量バスラインとの分岐部で切断する工程、ドレインバスラインと補助容量電極とをその重なり領域で接続する工程、補助容量電極と補助電極とを接続する工程を含む薄膜トランジスタマトリクス基板の製造方法が提供される。

10

【0018】

本発明は、このゲート電極層と同一の層に設けられた補助容量電極と、それに保護絶縁膜を通して対向するドレイン電極層と同一の層に補助の離散的な電極を設け、レーザ光の照射により電極間の切断及び電極間の接続を行い、層間短絡と断線の修正を行うことを目的とする。

20

【0019】

これにより、修正箇所が全てマトリクス内部で可能となるので、修正が容易になるとともに、従来方法で問題となっていた予備線によるノイズの発生等の問題の発生を排除でき、しかも、修正の際精度の高い装置を要しないという利点がある。

また、本発明は修正の際に接続する補助容量電極と対向する画素電極の領域の一部に特定の形状の導電層を配置し、自動リペアー装置によるリペアー位置の検出のマークとすることにより位置決めを容易にすることができるという特徴を有する。

【0020】

【発明の実施の形態】

30

図1は、本発明の第1の実施例による薄膜トランジスタマトリクス基板の平面図を示す。

図1において、相互に平行配置された複数のゲートバスライン1が図の横方向に延在し、相互に隣り合うゲートバスライン1の間に、ゲートバスライン1と平行に蓄積容量が配置されている。ゲートバスライン1と蓄積容量バスライン2を絶縁膜が覆う。この絶縁膜の上に、ゲートバスライン1と交差する方向に複数のドレインバスライン3が延在する。ゲートバスライン1とドレインバスライン3の交差箇所、蓄積容量バスライン2とドレインバスライン3の重なり箇所は絶縁マトリクスによって絶縁されている。

ゲートバスライン1とドレインバスライン3の交差箇所に対応してTFT4が設けられている。TFT4のドレイン領域4Dは、対応するドレインバスライン3に接続されている。対応するゲートバスライン3がTFT4のゲート電極を兼ねる。

40

【0021】

ドレインバスライン3とTFT4の上の層間絶縁膜が覆い、この層間絶縁膜の上には複数の画素電極5が形成されている。各画素電極5は、相互に隣り合う2本のドレインバスライン3と2本のゲートバスライン1によって囲まれる各領域内に配置されている。図1では、図面の見やすさのため、画素電極5を破線で示す。画素電極5は層間絶縁膜12に設けられたコンタクトホール7を介して、対応するTFT4のソース領域4Sに接続されている。

【0022】

蓄積容量バスライン2から分岐した補助容量電極6が、各画素電極毎にドレインバスラ

50

イン3に近接して設けられている。補助容量電極6の一部は突出しドレインバスライン3と重なり領域を有している。図1では、突出部分は2カ所設けられた例を示しているが2カ所以上設けることも可能である。

例えば、相互に隣り合う2本のドレインバスライン3の間隔は80 μ m、ドレインバスライン3の幅は10 μ m、補助容量電極6とドレインバスライン3の最近接間隔は1 μ mである。補助容量電極6の幅は6 μ mであり長さは90 μ mである。補助容量電極6に設けた突出部分の長さは、4 μ m、幅は3 μ mである。

【0023】

また、相互に隣接する2本のゲートバスライン1の間隔は256 μ m、蓄積容量バスライン2の幅は20 μ mである。

図2Aは、図1の薄膜トランジスタマトリクス基板の一点鎖線A-A'に対応する断面図を示す。ガラス基板10の面上に、クロム(Cr)からなるゲートバスライン1と蓄積容量バスライン2が形成されている。ゲートバスライン1や蓄積容量バスライン2は、例えばスパッタリングによりガラス基板10の全領域にCr膜を堆積した後、このCr膜をパターニングして形成される。Cr膜のパターニングにより、図1に示す補助容量電極6も同時に形成される。ゲートバスライン1と蓄積容量バスライン2を覆うようにSiNからなる厚さ400nmのゲート絶縁膜11が形成されている。ゲート絶縁膜11は、例えばプラズマ励起型化学気相成長(PE-CVD)により形成される。ゲート絶縁膜11の表面のうちTFT4を形成すべき領域上に、厚さ150nmのアモルファスシリコン膜4Cが形成されている。アモルファスシリコン膜4Cの表面のうちソース及びドレインに対応する領域上に、それぞれTi/Al/Tiの3層構造を有するソース電極4S及びドレイン電極4Dが形成されている。下側Ti層の厚さは約20nm、Al層の厚さは約50nm、上側Ti層の厚さは約80nmである。ソース電極4S及びドレイン電極4Dは、図1に示すドレインバスライン3と同時に形成される。

【0024】

アモルファスシリコン膜4Cの堆積は、例えば原料ガスとしてSiH₄を用いたPE-CVDにより行い、パターニングは、レジストパターンをマスクとし、プラズマアッシャーを用いたエッチングにより行う。Ti層、Al層の堆積は、スパッタリングにより行い、パターニングは、レジストパターンをマスクとし、ウエット処理を用いたエッチングにより行う。ゲート絶縁膜11の表面上に、TFTを覆うようにSiNからなる厚さ約30 μ mの層間絶縁膜12が形成されている。層間絶縁膜12は、例えばPE-CVDにより形成される。

【0025】

層間絶縁膜12の表面上に、インジウムオキサイド(ITO)からなる複数の画素電極5が形成されている。画素電極5は、例えばスパッタリングによりITO膜を堆積した後、このITO膜をパターニングして形成される。各透明画素電極5は、層間絶縁膜12に形成されたコンタクトホール7を介して対応するTFT4のソース電極4Sに接続されている。

【0026】

図1に示すように、補助容量電極6は、部分的に画素電極と重なっているが、蓄積容量バスライン及び補助容量電極と画素電極との重なり部分により、図14Bに示す補助容量C_sが形成される。

図2Bは、図1の一点鎖線B-B'における断面図を示す。透明基板10の上に補助容量電極6が配置され、補助容量電極6をゲート絶縁膜11が被覆する。ゲート絶縁膜11の上にはドレインバスライン3が配置される。ドレインバスライン3を層間絶縁膜12が被覆し、その上に画素電極5が配置されている。

【0027】

ドレインバスライン3と補助容量電極6とは、基板面内に関して近接配置され、基板の法線方向に関してはゲート絶縁膜11のみが介在する。このため、図中に楕円で示した部分で層間短絡を生じやすい。

10

20

30

40

50

補助容量電極 6 とドレインバスライン 3 が短絡した場合は、補助容量電極をレーザ照射切断すればよい。例えば、図 1 中の点 S_1 で短絡が発生した場合は対応する切断可能な点 C_1 において補助容量電極を切断する。レーザ光としては、例えば波長 1064 nm 、強度 0.53 MW 、ビームスポットサイズ $2 \sim 10\text{ }\mu\text{m}$ の YAG レーザを使用することができる。

【0028】

上記実施例では、修正に予備線を使用する必要がないため、予備線用の額縁領域を必要としない。さらには、1本のドレインバスラインの複数の画素で短絡が発生した場合でも修正が可能である。

図 3 は、本発明の第 1 の実施例による薄膜トランジスタマトリクス基板と同様の構成において、ドレインバスラインの断線があった場合の修正方法を示したものである。例えば、 B_1 でドレインバスラインの断線があった場合には、ドレインバスライン 3 と補助容量電極の重なり領域 W_1 、 W_2 をレーザ光照射し、補助容量電極 6 を蓄積容量バスライン 2 との分岐点 C_2 で切断することにより修正がなされる。

【0029】

図 4 A は、本発明の第 2 の実施例による薄膜トランジスタマトリクス基板の平面図を示す。第 2 実施例は、補助容量電極 6 と画素電極 5 の重なる領域においてドレインバスライン 3 と同一の層に島状の導電層 8 が形成してある点で第 1 実施例と異なっている。島状の導電層 8 を設けるのは、補助容量電極 6 と画素電極 5 とをレーザ光の照射により接続する場合において接続を容易にするためである。また、この島状の導電層 8 の平面形状により、自動リペアー装置による修正の際、レーザ照射部分を容易に認識できるという利点がある。

【0030】

図 4 B は、図 4 A における一点鎖線 $C-C'$ の断面を示している。図面 4 B において、第 1 実施例と同様に、基板上にクロム (Cr) からなるゲートバスライン 1 と蓄積容量バスライン 2 を形成した後、ゲートバスライン 1 と蓄積容量バスライン 2 を覆うように SiN からなるゲート絶縁膜 11 を形成、ゲート絶縁膜 11 の表面にソース電極 4 S 及びドレイン電極 4 D 及びドレインバスライン 3 を形成すると同時に島状の導電層 8 を形成することができる。

【0031】

ドレインバスラインに断線 B_2 が生じた場合は、図 4 A に示す様にドレインバスライン 3 と補助容量電極 6 の重なり領域 W_{14} 及び W_{15} を電氣的に接続し、島状の導電層 8 の部分をレーザ光の照射により補助容量電極 6 と画素電極 5 を電氣的に接続し、さらに補助容量電極 6 を蓄積容量バスライン 2 との 2 カ所の分岐部 C_3 、 C_4 で切断することにより断線を修正することができる。

【0032】

図 5 は、本発明の第 3 の実施例による薄膜トランジスタマトリクス基板の平面図を示す。ドレイン電極層と同一の層に形成された電極であってドレインバスラインに沿って延在しその両端が前記補助容量電極と重なり領域を有する補助電極 (A) 9 が、蓄積容量バスライン 2 と交差して形成されている。例えば、補助電極 (A) 9 には、幅 $10\text{ }\mu\text{m}$ で厚さ 150 nm である。第 3 実施例も第 1 の実施例と同様な方法によって作成され、補助電極 (A) 9 はドレインバスライン 3、ソース電極 4 S と同様に形成される。

【0033】

ドレインバスライン 3 の断線は、ドレインバスライン 3 の蓄積容量バスライン 2 との交差部分付近でも生じる。断線 B_3 が生じた場合には、図 5 に示すように、ドレインバスライン 3 と補助電極 6 の重なり領域 W_3 、 W_6 、第 1 電極 9 と補助電極 6 の重なり領域 W_4 、 W_5 及び補助容量電極 6 の蓄積容量バスライン 2 との分岐部分 C_5 、 C_6 をレーザ光照射により接続又は切り離すことにより修正ができる。

【0034】

図 6 は、第 3 実施例による薄膜トランジスタマトリクス基板と同様の構成において、蓄

10

20

30

40

50

積容量バスライン 2 とドレインバスライン 3 がその交差部分 S_4 で短絡した場合における修正方法を示したものである。短絡が生じた場合には、ドレインバスライン 3 を C_7, C_8 で、補助容量電極 6 を C_9, C_{10} で切断し、ドレインバスライン 3 と補助容量電極 6 の重なり領域 W_9, W_{10} 、補助電極 (A) 9 と補助容量電極 6 の重なり領域 W_{11}, W_{12} をレーザ光照射により、電氣的に接続することにより修正が可能である。

【0035】

図 7 は、本発明の第 4 の実施例による薄膜トランジスタマトリクス基板の平面図を示す。図 7 に示す第 4 実施例では、ドレイン電極層と同一の層に形成された電極であってドレインバスライン 3 に沿って延在しその両端に前記補助容量電極 6 と重なり領域を有し、ゲートバスライン 1 と交差して形成されている補助電極 (B) 10 を有する。

10

【0036】

図 7 は、ドレインバスライン 3 とゲートバスライン 1 の交差領域で短絡が生じた場合の修正方法を示す。短絡 S_5 が生じた場合、レーザ照射により、補助電極 (B) 10 と補助容量電極の重なり領域 W_{13}, W_{14} 及びドレインバスライン 3 と補助容量電極 6 の重なり領域 W_{15}, W_{16} を電氣的に接続し、ドレインバスライン 3 をゲートバスライン 1 の近傍 C_{11}, C_{12} 及び補助容量電極 6 を蓄積容量バスライン 2 との分岐部分 C_{13}, C_{14} を電氣的に切り離すことにより修正が可能である。

【0037】

図 8 A は、本発明の第 5 の実施例の薄膜トランジスタマトリクス基板の平面図を示している。図 8 A において、相互に平行配置された複数のゲートバスライン 1 が図の横方向に延在し、相互に隣り合うゲートバスライン 1 の間に、ゲートバスライン 1 と平行に蓄積容量バスライン 2 が配置されている。ゲートバスライン 1 と蓄積容量バスライン 2 を絶縁膜が覆う。この絶縁膜の上に、ゲートバスライン 1 と交差する方向に複数のドレインバスライン 3 が延在する。ゲートバスライン 1 とドレインバスライン 3 の交差箇所、蓄積容量バスライン 2 とドレインバスライン 3 の重なり領域は絶縁膜によって絶縁されている点は実施例 1 と同様であるが、ドレインバスライン 3 と蓄積容量バスライン 2 の交差する領域において画素電極 5 と同一の層であってその交差領域を覆う領域に導電層が形成されている。

20

【0038】

図 8 B は、図 8 A における一点鎖線 D - D' に対応する断面を示している。基板上にゲート電極 2 を形成した後、ゲート絶縁膜 11 で覆い、その表面にドレインバスライン 3 が形成される。ドレインバスライン 3 を層間絶縁膜 12 で覆う。

30

層間絶縁膜 12 の表面上に、インジウムすずオキサイド (ITO) からなる複数の画素電極 5 が形成される。画素電極 5 は、例えばスパッタリングにより ITO 膜を堆積した後、この ITO 膜をパターニングして形成される。この際、ドレインバスライン 3 と蓄積容量バスライン 2 の交差する領域を覆う領域に島状 ITO 膜 13 を形成する。

【0039】

図 8 B の B_3 で示した部分はゲート電極に基づく段差のために断線が生じやすい。断線が生じたバスラインは断線部分 B の両側の部分 (図中の矢印の部分) をレーザ光照射により溶解し、ITO 膜 13 とドレインバスライン 3 を接続することによりドレインバスラインの断線を修復することができる。

40

図 9 は、本発明の第 6 の実施例の薄膜トランジスタマトリクス基板の平面図を示している。

【0040】

図 9 において、ゲートバスライン 1 の一部を画素の両サイドで突起させ、該突起部が画素電極の一部と重なり領域を有するようになる。図 9 の様にゲートバスラインに断線が存在した場合の修正方法が同時に示されている。 B_4 で断線が生じた場合には、ゲートバスラインの突起部と画素電極が重なる点 W_{17} と W_{18} でレーザ照射し、ゲートバスラインと画素電極を通して電氣的に短絡させ、ドレイン電極部 C_{15} 及び画素電極の透明導電膜をレーザカットして切り離し、TFT からの影響を無くす。

50

【 0 0 4 1 】

図 1 0 は、本発明の第 7 の実施例の薄膜トランジスタマトリクス基板の平面図を示している。

図 1 0 において、ゲートバスライン 1 の一部が画素の両サイドで突起し、該突起部が画素電極の一部が画素電極の一部と重なり領域を有することは、第 6 の実施例と同様であるが、透明導電膜と同一の層に形成され、前記の突起部と重なり領域を有する透明導電膜とは独立した導電膜が設けられている。

【 0 0 4 2 】

ゲートバスライン又はゲートバスラインとクロスするゲートバスラインに断線のある場合の修復方法を図 1 0 で示す。独立した導電膜上の W_{19} と W_{20} にレーザ照射し、ゲートバスラインと画素電極を電氣的に短絡させ、次いでゲートバスラインの突起部 W_{21} と W_{22} にレーザ照射し、ゲートバスラインと画素電極を電氣的に短絡させ、 W_{19} 、 W_{20} 、 W_{21} 、 W_{22} を電氣的に短絡しておく。この場合、前の実施例と同様にドレイン電極部 C_{16} 及び画素電極をレーザカットしておく。

10

【 0 0 4 3 】

図 1 1 は、本発明の第 8 の実施例の薄膜トランジスタマトリクス基板の平面図を示している。

図 1 1 において、画素電極の一部が画素の両サイドで突出したゲートバスラインの突起部に重なり、また、画素電極の一部はゲートバスラインに平行に延びて隣の画素部のゲートバスライン突起部と重なり領域を有する様に画素電極が形成されている。

20

【 0 0 4 4 】

ゲートバスライン又はゲートバスラインとクロスするゲートバスラインに断線のある場合の修復方法を図 1 1 で示す。ゲートバスラインの突起部 W_{22} 、 W_{23} にレーザを照射し、かつ W_{24} にレーザを照射することにより、第 7 実施例より少ないレーザ照射回数でゲートバスラインと画素電極を通して電氣的に短絡が可能である。この場合も、第 6、第 7 実施例と同様にドレイン電極部 C_{17} 及び画素電極をレーザでカットしておく。

【 0 0 4 5 】

図 1 2 は、本発明の第 9 の実施例の薄膜トランジスタマトリクス基板の平面図を示している。

図 1 2 において、蓄積容量用電極からドレインバスラインに平行して近接して延ばされた補助蓄積容量用電極の片方を、隣の画素電極と重なり領域を有するようにしたものである。

30

【 0 0 4 6 】

蓄積容量用電極ラインに断線がある場合、又は、蓄積容量用電極バスラインがドレインバスラインとクロスする部分に断線のある場合の修復方法を図 1 2 に示す。画素内の蓄積容量用電極部の断線とドレインバスラインとクロスする部分に断線の存在する場合、クロス部分の修正は片方の補助電極容量電極を延ばした W_{25} を先にレーザを照射し、続いてバスラインの W_{26} に照射することで修正することができる。また、断線 B_{10} は W_{26} と W_{27} をレーザ照射することで修正が可能である。確率的には B_{10} の部分が多くなるが、その場合はその画素の TFT の影響を無くすために、ドレイン電極 C_{18} 及び画素電極をレーザカットしておく。また、ドレインバスラインとクロスする B_9 でも断線した場合には、隣のドレイン電極と画素電極もレーザカットしておく。

40

【 0 0 4 7 】

図 1 3 は、本発明の第 1 0 の実施例の薄膜トランジスタマトリクス基板の平面図を示している。

図 1 3 において、本発明の第 6 の実施例と第 9 の実施例を組み合わせたものであり、蓄積容量用電極バスラインがドレインバスラインとクロスする部分で断線した場合およびゲートバスラインが断線した場合の修正が可能であることを示している。

【 0 0 4 8 】

クロスする部分の断線 B_{11} と B_{50} が生じた場合、補助電極と画素電極の重なり領域

50

W_{30} 、 W_{31} およびゲートバスラインの突起部と画素電極の重なり領域 W_{28} 、 W_{29} を順次、レーザー照射して電氣的に短絡し、ドレイン電極をドレインバスラインから切り離すため C_{19} でレーザーカットすれば良い。この場合も、実施例と同様に画素電極をレーザーカットしておく。

【0049】

この他、他の組み合わせとして、第7の実施例と第9の実施例の組み合わせ、あるいは第8の実施例と第9の実施例の組み合わせなども可能である。

【0050】

【発明の効果】

本発明によれば、簡便な方法によりマトリクス内部において欠陥の修正ができるので、総合的なデバイスの製造歩留まりを大幅に向上することができる。 10

なお、本明細書では、ドレインバスラインの断線と短絡の場合を中心に述べたが、ゲートバスラインの断線と短絡の場合にもドレインバスラインの場合と同様の手段により層間短絡および断線を修復できることは言うまでもない。

【図面の簡単な説明】

【図1】本発明の第1の実施例による薄膜トランジスタマトリクス基板の平面図である。

【図2】図2-Aは、図1におけるA-A'の断面を示す図である。図2-Bは、図1におけるB-B'の断面を示す図である。

【図3】本発明の第1の実施例による薄膜トランジスタマトリクス基板の平面図の修正方法を示す図である。 20

【図4】図4-Aは、本発明の第2の実施例による薄膜トランジスタマトリクス基板の修正方法を示す図である。

【図5】本発明の第3の実施例による薄膜トランジスタマトリクス基板の平面図であって、ドレインと蓄積容量バスライン間の断線の修正方法を示す図である。

【図6】本発明の第3の実施例による薄膜トランジスタマトリクス基板の平面図であって、ドレインと蓄積容量バスライン間の短絡の修正方法を示す図である。

【図7】本発明の第4の実施例による薄膜トランジスタマトリクス基板の平面図である。

【図8】図8-Aは、本発明の第5の実施例による薄膜トランジスタマトリクス基板の平面図を示す図である。図8-Bは、図8-Aにおける一点鎖線D-D'の断面を示す図である。 30

【図9】本発明の第6の実施例による薄膜トランジスタマトリクス基板の平面図である。

【図10】本発明の第7の実施例による薄膜トランジスタマトリクス基板の平面図である。

【図11】本発明の第8の実施例による薄膜トランジスタマトリクス基板の平面図である。

【図12】本発明の第9の実施例による薄膜トランジスタマトリクス基板の平面図である。

【図13】本発明の第10の実施例による薄膜トランジスタマトリクス基板の平面図である。

【図14】図14-Aは、従来の薄膜トランジスタマトリクス基板を示す平面図である。図14-Bは、図14-Aの薄膜トランジスタマトリクス基板による液晶表示装置の1画素に対する等価回路を示す図である。 40

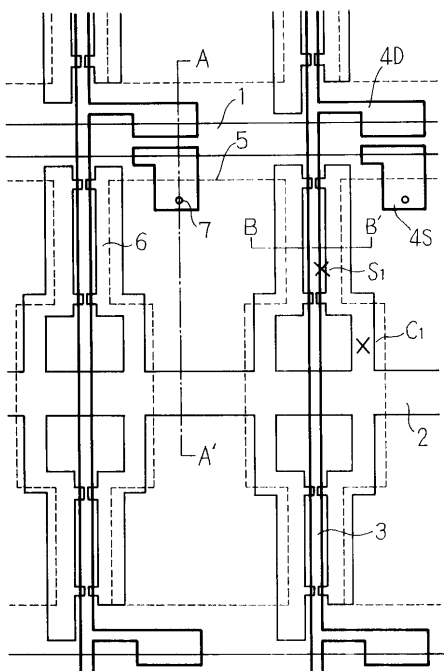
【図15】従来の薄膜トランジスタマトリクス基板における修正方法を示す図である。

【符号の説明】

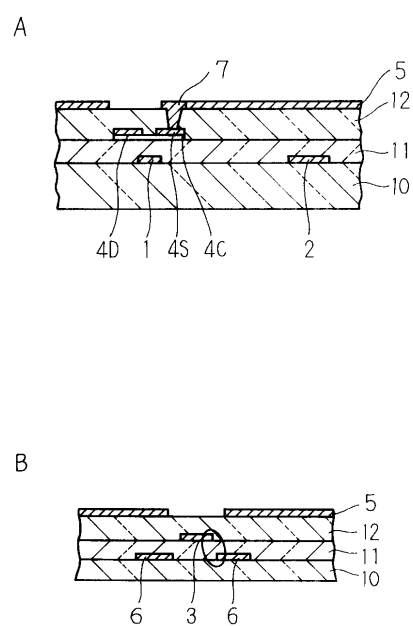
- 1 ゲートバスライン
- 2 蓄積容量バスライン
- 3 ドレインバスライン
- 4 TFT
- 4S ソース電極
- 4G ゲート電極

- 4 D ドレイン電極
- 5 画素電極
- 6 補助容量電極
- 7 コンタクトホール
- 8 導電層
- 9 補助電極 (A)
- 1 0 補助電極 (B)
- 1 1 ゲート絶縁膜
- 1 2 層間絶縁膜
- 1 3 島状ITO
- 1 4 基板
- 1 0 8、1 0 9 予備線
- S 1 ~ S 5 短絡箇所
- B 1 ~ B 1 1 断線部分
- W 1 ~ W 3 1 レーザ光照射による接続箇所
- C 1 ~ C 1 9 レーザ光照射による切断箇所

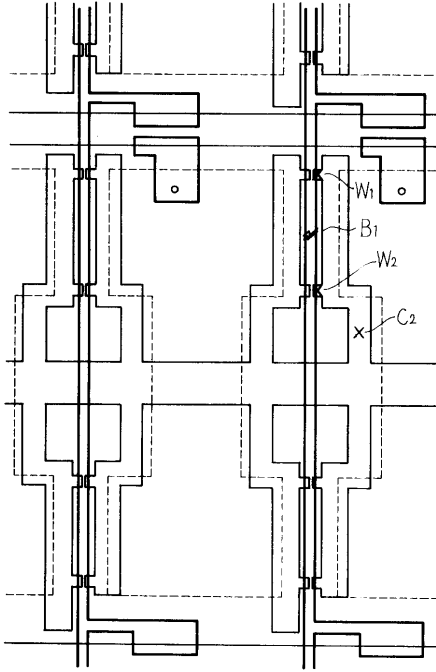
【 図 1 】



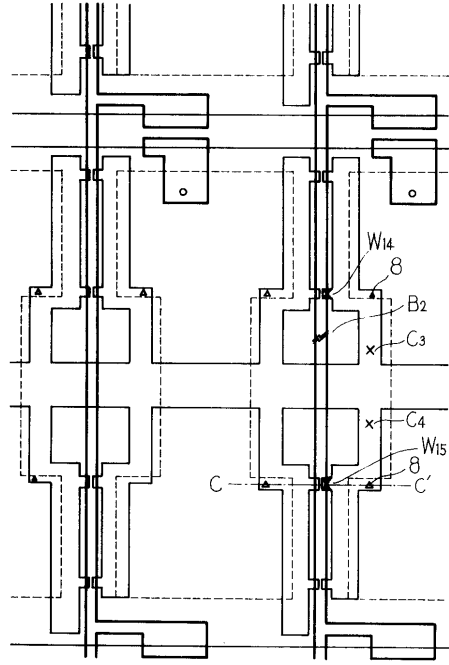
【 図 2 】



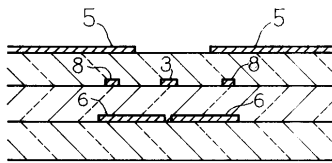
【 図 3 】



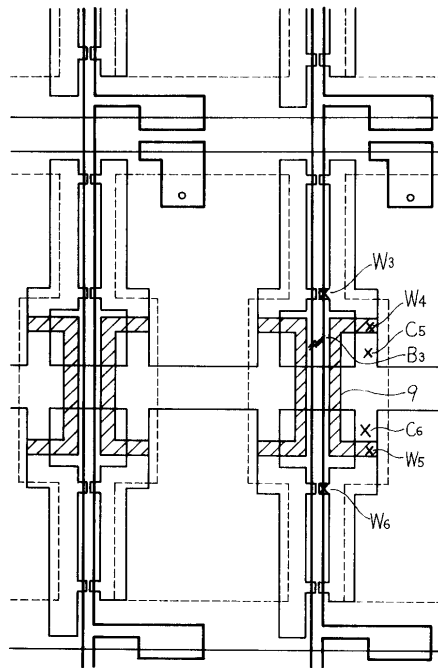
【 図 4 - A 】



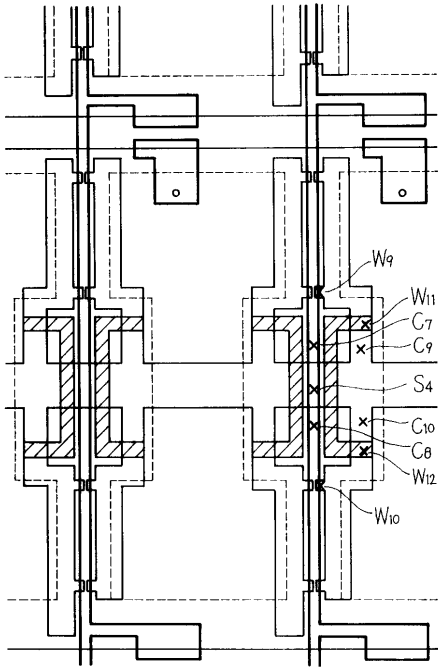
【 図 4 - B 】



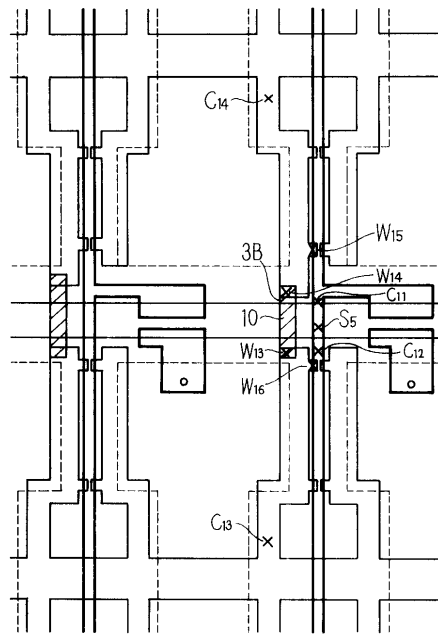
【 図 5 】



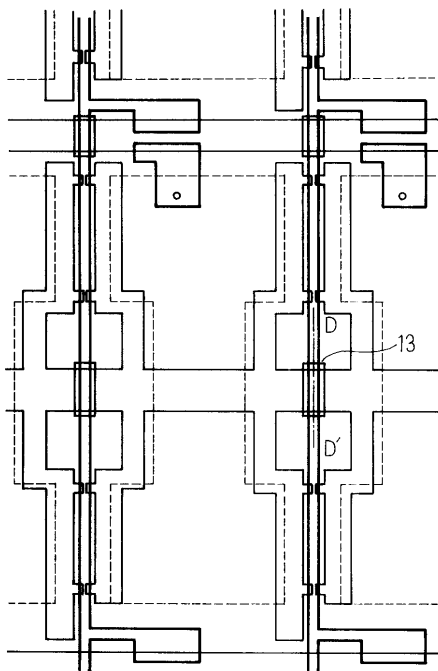
【 図 6 】



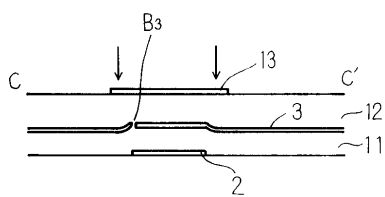
【 図 7 】



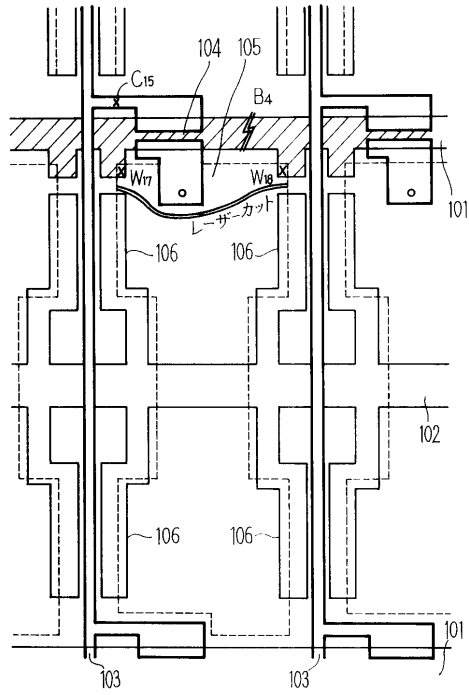
【 図 8 - A 】



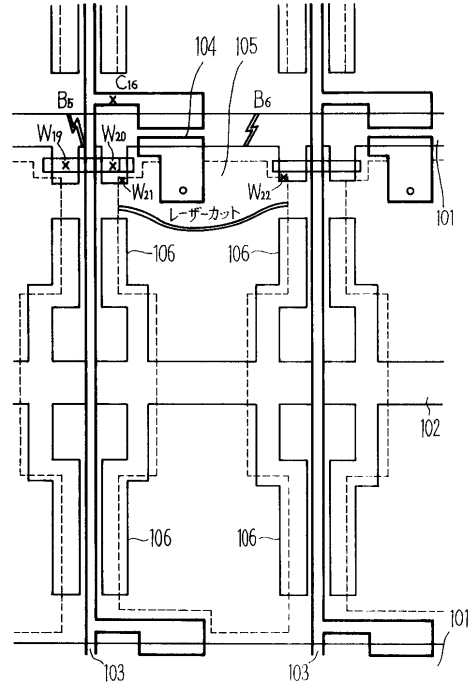
【 図 8 - B 】



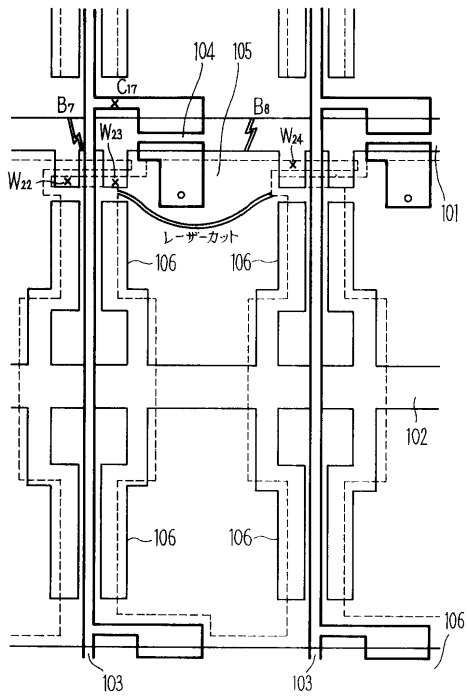
【 図 9 】



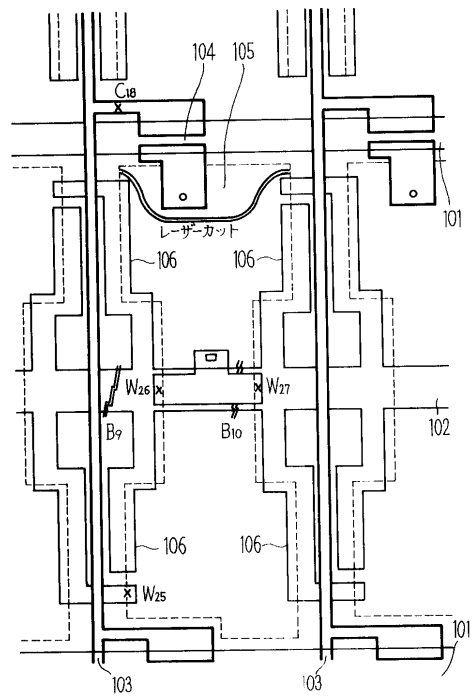
【 図 10 】



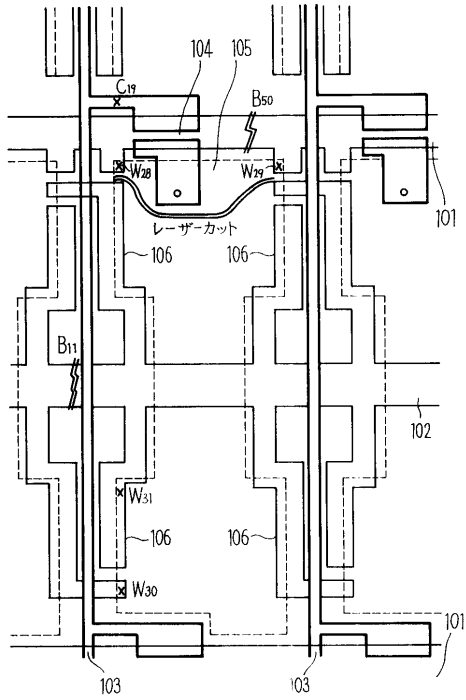
【 図 11 】



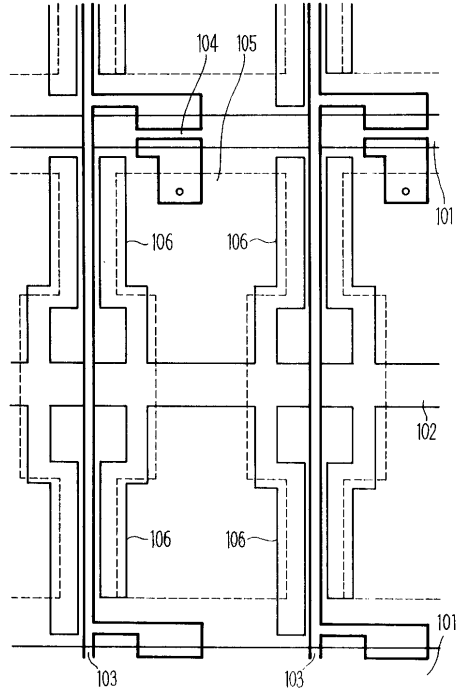
【 図 12 】



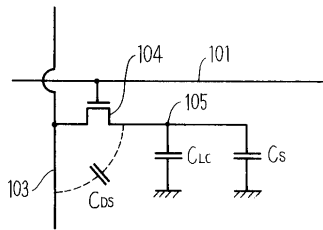
【 図 1 3 】



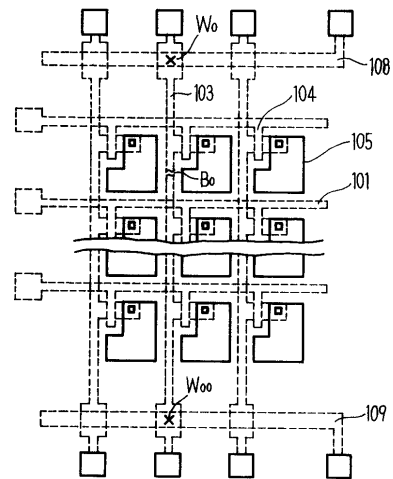
【 図 1 4 - A 】



【 図 1 4 - B 】



【 図 1 5 】



フロントページの続き

- (72)発明者 出島 芳夫
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 川井 悟
鳥取県米子市石洲府字大塚ノ式650番地 株式会社米子富士通内
- (72)発明者 岡元 謙次
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

合議体

- 審判長 平井 良憲
審判官 稲積 義登
審判官 山下 崇

- (56)参考文献 特開平6 - 308533 (JP, A)
特開平4 - 16930 (JP, A)
特開平4 - 265943 (JP, A)
特開平2 - 254419 (JP, A)
特開平9 - 113930 (JP, A)
特開平9 - 127549 (JP, A)
特開平5 - 5896 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G02F1/13
G02F1/1343