

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4695402号
(P4695402)

(45) 発行日 平成23年6月8日(2011.6.8)

(24) 登録日 平成23年3月4日(2011.3.4)

(51) Int.Cl.

H01L 29/47 (2006.01)
H01L 29/872 (2006.01)

F 1

H01L 29/48
H01L 29/48F
P

請求項の数 4 (全 9 頁)

(21) 出願番号 特願2005-17973 (P2005-17973)
 (22) 出願日 平成17年1月26日 (2005.1.26)
 (65) 公開番号 特開2006-210479 (P2006-210479A)
 (43) 公開日 平成18年8月10日 (2006.8.10)
 審査請求日 平成20年1月22日 (2008.1.22)

(73) 特許権者 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100098291
 弁理士 小笠原 史朗
 (72) 発明者 鹿島 直敏
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内

審査官 村岡 一磨

(56) 参考文献 特開平09-307120 (JP, A)

特開昭63-138772 (JP, A)

最終頁に続く

(54) 【発明の名称】ショットキーバリアダイオードの製造方法

(57) 【特許請求の範囲】

【請求項1】

ショットキーバリアダイオードを製造する方法であって、
 第一導電型半導体基板上に低濃度第一導電型半導体層を形成するステップと、
 前記低濃度第一導電型半導体層に凹部を形成するステップと、
 前記凹部を含む前記低濃度第一導電型半導体層の表面に熱酸化膜を形成するステップと、
 前記熱酸化膜に環状の開口部を、前記凹部と離して形成するステップと、
 前記開口部に不純物を蒸着し、熱拡散させることにより、前記低濃度第一導電型半導体層に環状に高濃度第二導電型半導体領域を形成するステップと、

10

前記熱酸化膜を除去するステップと、
 前記低濃度第一導電型半導体層の表面および前記高濃度第二導電型半導体領域の表面に金属層を形成するステップと、
 前記金属層上に第一の電極を形成するステップと、
 前記第一導電型半導体基板の前記第一の電極と対向する面に第二の電極を形成するステップとを備えた、ショットキーバリアダイオードの製造方法。

【請求項2】

エッチングにより前記凹部を形成することを特徴とする、請求項1に記載のショットキーバリアダイオードの製造方法。

【請求項3】

20

前記熱酸化膜を形成した後で、かつ、前記開口部を形成する前に、前記熱酸化膜を除去し、前記凹部が形成された前記低濃度第一導電型半導体層の表面上に、新たに熱酸化膜を形成するステップをさらに備えた、請求項1に記載のショットキーバリアダイオードの製造方法。

【請求項4】

前記低濃度第一導電型半導体層を形成した後で、かつ、前記凹部を形成する前に、前記低濃度第一導電型半導体層の表面上に熱酸化膜を形成するステップと、当該熱酸化膜を除去するステップとをさらに備えた、請求項1に記載のショットキーバリアダイオードの製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、ショットキーバリアダイオードとその製造方法に関し、より特定的には、順方向の電圧降下が低く、逆方向電圧に対する耐圧および静電気サージ耐量が優れたショットキーバリアダイオードとその製造方法に関する。

【背景技術】

【0002】

ショットキーバリアダイオード（以下、SBDと称す）は、PN接合ダイオードに比べると順方向の電圧降下が低く、スイッチング速度が速いという特徴を有することから、スイッチング電源やDC-DCコンバータなど広範囲にわたって使用されている。例えば、スイッチング電源では、SBDの順方向の電圧降下が電源効率を決定する大きな要因となっており、順方向の電圧降下が低いSBDが望まれている。

20

【0003】

そこで、従来から、低濃度N型エピタキシャル層に凹部を形成することにより順方向の電圧降下を低減したSBDが提案されている（例えば、特許文献1を参照）。従来のSBDでは、この凹部を形成することにより、SBDの動作抵抗を小さくしている。SBDの動作抵抗を小さくすることにより、順方向の電圧降下を低減することができる。

【0004】

図4は、低濃度N型エピタキシャル層に凹部を有する従来のSBDの断面図である。図4に示すSBDでは、シリコンの高濃度N型半導体基板101上の低濃度N型エピタキシャル層102にエッティングにより凹部103を形成し、SBDの動作領域の厚さを薄くすることにより、SBDの動作抵抗を小さくしている。

30

【0005】

また、図4に示すSBDには、クロム、モリブデンやチタンなどのショットキー金属からなるショットキー金属層104が、低濃度N型エピタキシャル層102に形成された凹部103、および、高濃度P型ガードリング107の表面を被覆するように形成されている。また、アルミニウムや銀などからなるアノード電極105が、ショットキー金属層104を被覆するように形成されており、金や銀などからなるカソード電極106が、高濃度N型半導体基板101の裏面に形成されている。

【特許文献1】特開2003-115597号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

凹部をドライエッティングにより形成すると、エッティングされた低濃度N型エピタキシャル層の表面にダメージ（格子欠陥）が生じる。また、表面が荒れる（微小な凹凸ができる）。このダメージは、SBDの静電気サージ耐量の低下の原因となる。したがって、低濃度N型エピタキシャル層の表面のダメージを熱酸化などによって除去すること、また表面荒れを取り除くためにも必須である。

【0007】

しかしながら、従来のSBDでは、高濃度P型ガードリングを低濃度N型エピタキシャル層

50

ル層に形成した後、ドライエッティングにより凹部を形成していた。このため、低濃度N型エピタキシャル層の表面のダメージを熱酸化によって除去する際、先に形成されていた高濃度P型ガードリングが加熱され、高濃度P型ガードリングが必要以上に拡散するという問題があった。高濃度P型ガードリングが必要以上に拡散すると、逆方向電圧に対する耐圧が低下し、SBDの特性の劣化を招く。

【0008】

それ故に、本発明は、高濃度P型ガードリングを必要以上に拡散させることなく、低濃度N型エピタキシャル層の表面のダメージを除去し、順方向の電圧降下が低く、逆方向電圧に対する耐圧および静電気サージ耐量が優れたショットキーバリアダイオードとその製造方法を提供することを目的とする。

10

【課題を解決するための手段】

【0010】

また、本発明は、上記のショットキーバリアダイオードの製造方法であって、第一導電型半導体基板上に低濃度第一導電型半導体層を形成するステップと、低濃度第一導電型半導体層に凹部を形成するステップと、凹部を含む低濃度第一導電型半導体層の表面に熱酸化膜を形成するステップと、熱酸化膜に環状の開口部を、前記凹部と離間して形成するステップと、開口部に不純物を蒸着し、熱拡散させることにより、低濃度第一導電型半導体層に環状に高濃度第二導電型半導体領域を形成するステップと、熱酸化膜を除去するステップと、低濃度第一導電型半導体層の表面および高濃度第二導電型半導体領域の表面に金属層を形成するステップと、金属層上に第一の電極を形成するステップと、第一導電型半導体基板の第一の電極と対向する面に第二の電極を形成するステップとを備える。

20

【0011】

上記のショットキーバリアダイオードの製造方法において、凹部は、エッティングによって形成されてもよい。

【0012】

また、上記のショットキーバリアダイオードの製造方法は、熱酸化膜を形成した後で、かつ、開口部を形成する前に、この熱酸化膜を除去し、凹部が形成された低濃度第一導電型半導体層の表面に、新たに熱酸化膜を形成するステップをさらに備えてもよい。

【0013】

あるいは、上記のショットキーバリアダイオードの製造方法は、低濃度第一導電型半導体層を形成した後で、かつ、凹部を形成する前に、低濃度第一導電型半導体層の表面に熱酸化膜を形成するステップと、この熱酸化膜を除去するステップとをさらに備えてもよい。

30

【発明の効果】

【0014】

本発明のショットキーバリアダイオードの製造方法によれば、順方向の電圧降下が低く、逆方向電圧に対する耐圧および静電気サージ耐量が優れたショットキーバリアダイオードを製造することができる。

【0015】

より詳細には、本発明のショットキーバリアダイオードの製造方法は、凹部が形成された低濃度第一導電型半導体層の表面を熱酸化した後に、高濃度第二導電型半導体領域を形成することを特徴とする。したがって、高濃度第二導電型半導体領域に熱を加えることがないため、高濃度第二導電型半導体領域を必要以上に拡散させることなく、低濃度第一導電型半導体層の表面のダメージを除去することができる。これにより、ショットキーバリアダイオードの逆方向電圧に対する耐圧を低下させることなく、静電気サージ耐量を向上させることができる。

40

【0016】

また、本発明のショットキーバリアダイオードの製造方法は、酸化膜を形成した後で、かつ、開口部を形成する前に、この酸化膜を除去し、凹部が形成された低濃度第一導電型半導体層の表面に、新たに酸化膜を形成するステップをさらに備えることができる。これ

50

により、よりダメージと表面荒れの少ない低濃度第一導電型半導体層の表面を得ることができることから、ショットキーバリアダイオードの静電気サージ耐量をさらに向上させることができる。

【0017】

また、本発明のショットキーバリアダイオードの製造方法は、低濃度第一導電型半導体層を形成した後で、かつ、凹部を形成する前に、低濃度第一導電型半導体層の表面に酸化膜を形成するステップと、この酸化膜を除去するステップとをさらに備えることができる。これにより、低濃度第一導電型半導体層の表面の格子欠陥を予め低減できるので、凹部形成後の低濃度第一導電型半導体層の表面をより平坦化することができることから、ショットキーバリアダイオードの静電気サージ耐量をさらに向上させることができる。

10

【発明を実施するための最良の形態】

【0018】

(第1の実施形態)

図1は、本発明の第1の実施形態に係るSBDの断面図である。図1に示すように、シリコンの高濃度N型半導体基板1上には、高濃度N型半導体基板1よりもドナーが低濃度である低濃度N型エピタキシャル層2が形成されている。低濃度N型エピタキシャル層2には、ドライエッチングにより凹部3が形成されている。また、低濃度N型エピタキシャル層2には、逆方向電圧に対する耐圧を向上させるために、高濃度P型半導体領域である高濃度P型ガードリング7が形成されている。

【0019】

20

また、本実施形態に係るSBDには、クロム、モリブデンやチタンなどのショットキー金属からなるショットキー金属層4が、低濃度N型エピタキシャル層2に形成された凹部3、および、高濃度P型ガードリング7の表面の一部を被覆するように形成されている。また、アルミニウムや銀などからなるアノード電極5が、ショットキー金属層4を被覆するように形成されており、金や銀などからなるカソード電極6が、高濃度N型半導体基板1の裏面に形成されている。

【0020】

本実施形態に係るSBDの特徴は、高濃度P型ガードリング7が凹部3と離間して形成されていることである。詳細は後述するが、これは本実施形態に係るSBDの製造工程において、凹部3の形成後に高濃度P型ガードリング7を形成するためである。凹部3の形成後に高濃度P型ガードリング7を形成することにより、高濃度P型ガードリング7を必要以上に拡散させることなく、低濃度N型エピタキシャル層2の表面のダメージを熱酸化によって除去することができる。これにより、逆方向電圧に対する耐圧を低下させることなく、静電気サージ耐量を向上させることができる。

30

【0021】

図2(a)～(f)は、本実施形態に係るSBDを製造する過程における各段階での断面図を示す。以下、図2を参照しながら本実施形態に係るSBDの製造方法を説明する。

【0022】

図2(a)は、低濃度N型エピタキシャル層2の表面にレジスト9を形成した様子を示す図である。まず、シリコンからなる高濃度N型半導体基板1上に、エピタキシャル成長法により低濃度N型エピタキシャル層2を形成する。次に、フォトリソグラフィ技術を用いて、レジスト9を所望の大きさおよび位置に形成する。

40

【0023】

図2(b)は、低濃度N型エピタキシャル層2に凹部3を形成した様子を示す図である。ドライエッチング(プラズマエッチング)により低濃度N型エピタキシャル層2に凹部3を形成する。凹部3を形成した後、レジスト9を除去する。

【0024】

図2(c)は、低濃度N型エピタキシャル層2の表面にシリコン酸化膜8を形成した様子を示す図である。凹部3を含む低濃度N型エピタキシャル層2の表面を熱酸化し、シリコン酸化膜8を形成する。シリコン酸化膜8を形成することにより、ドライエッチングに

50

より生じた低濃度N型エピタキシャル層2の表面のダメージを除去する。

【0025】

図2(d)は、シリコン酸化膜8に高濃度P型ガードリング7を形成するための開口部を形成した様子を示す図である。まず、フォトリソグラフィ技術を用いて、レジスト(図示せず)を所望の大きさおよび位置に形成する。次に、フッ酸によりシリコン酸化膜8をエッティングする。シリコン酸化膜8に環状の開口部を形成後、レジストを除去する。

【0026】

図2(e)は、低濃度N型エピタキシャル層2に高濃度P型ガードリング7を形成した様子を示す図である。まず、シリコン酸化膜8の開口部にホウ素(アクセプタ)を蒸着する。次に、ガードリングとして機能する深さまでホウ素を熱拡散させるために、高温で熱処理を行う。

10

【0027】

例えば、1μmの深さの凹部3を有するSBDでは、高濃度P型ガードリング7の深さは1.5μm以上であることが好ましい。この条件を満たすために、ホウ素を1000で40分間蒸着し、さらに1150で20分間熱処理を行ったところ、約1.8μmの深さを有する高濃度P型ガードリング7を形成することができた。

【0028】

図2(f)は、低濃度N型エピタキシャル層2の表面に、ショットキー金属層4およびアノード電極5を形成し、さらに、高濃度N型半導体基板1の裏面にカソード電極6を形成した様子を示す図である。まず、フッ酸によりシリコン酸化膜8をエッティングし、シリコン酸化膜8を除去する。次に、フォトリソグラフィ技術を用いて、レジスト(図示せず)を形成する。次に、チタンを低濃度N型エピタキシャル層2の表面に蒸着し、ショットキー金属層4を形成する。さらに、銀をショットキー金属層4上に蒸着することにより、アノード電極5を形成する。アノード電極5を形成した後、レジストを除去する。最後に、高濃度N型半導体基板1の裏面に銀を蒸着し、カソード電極6を形成する。これで図1に示すSBDが完成する。

20

【0029】

以上のように、本実施形態に係るSBDの製造方法は、ドライエッティングにより凹部を形成し、凹部が形成された低濃度N型エピタキシャル層の表面を熱酸化した後に、高濃度P型ガードリングを形成する。本実施形態に係るSBDの製造方法によれば、従来のSBDの製造方法と違い、高濃度P型ガードリングに熱を加えることがないため、高濃度P型ガードリングを必要以上に拡散させることなく、低濃度N型エピタキシャル層の表面のダメージを除去することができる。これにより、SBDの逆方向電圧に対する耐圧を低下させることなく、静電気サージ耐量を向上させることができる。

30

【0030】

また、本実施形態に係るSBDの製造方法では、高濃度P型ガードリングを形成するための熱酸化と、低濃度N型エピタキシャル層の表面のダメージを除去するための熱酸化とを同じ工程によって行うことから、従来のSBDの製造方法に比べ、熱酸化を行う工程を一工程減らすことができる。

40

【0031】

また、図2(c)に示す過程において、シリコン酸化膜8を一旦形成した後、フッ酸によりシリコン酸化膜8を除去し、再びシリコン酸化膜8を形成してもよい。このように、シリコン酸化膜8の形成と除去を繰り返し行うことにより、よりダメージの少ない低濃度N型エピタキシャル層2の表面を得ることができる。この場合、製造工程数は、従来のSBDの製造方法の工程と同等になるが、SBDの静電気サージ耐量をさらに向上させることができる。

【0032】

なお、よりダメージの少ない低濃度N型エピタキシャル層2の表面を得るために、シリコン酸化膜8の形成およびフッ酸による当該シリコン酸化膜8の除去を、必要な回数だけ繰り返し行ってもよい。

50

【0033】

(第2の実施形態)

一般に、エピタキシャル成長法により高濃度N型半導体基板上に低濃度N型エピタキシャル層を形成した場合、低濃度N型エピタキシャル層の表面には、格子欠陥が少なからず存在する。このため、低濃度N型エピタキシャル層の表面にはミクロな凹凸が存在する。この低濃度N型エピタキシャル層の表面をドライエッチングすると、低濃度N型エピタキシャル層の表面が格子欠陥のために不均一にエッチングされてしまい、凹凸が強調された表面が形成されてしまう。

【0034】

そこで、本発明の第2の実施形態に係るSBDの製造方法では、ドライエッチングを行う前に、低濃度N型エピタキシャル層の表面を熱酸化することにより、低濃度N型エピタキシャル層の表面の格子欠陥を低減し、ドライエッチング後の低濃度N型エピタキシャル層の表面の凹凸を低減する。

10

【0035】

以下、図3(a)～(h)を参照しながら本実施形態に係るSBDの製造方法を詳しく説明する。なお、本実施形態に係るSBDの構成は、第1の実施形態と同じであるので、ここでは説明を省略する(図1を参照)。

【0036】

図3(a)は、低濃度N型エピタキシャル層2の表面にシリコン酸化膜10を形成した様子を示す図である。まず、シリコンからなる高濃度N型半導体基板1上に、エピタキシャル成長法により低濃度N型エピタキシャル層2を形成する。次に、低濃度N型エピタキシャル層2の表面を熱酸化し、シリコン酸化膜10を形成する。シリコン酸化膜10を形成することにより、低濃度N型エピタキシャル層2の表面の格子欠陥を除去する。

20

【0037】

図3(b)は、シリコン酸化膜10を除去した様子を示す図である。フッ酸によりエッチングし、低濃度N型エピタキシャル層2の表面に形成されたシリコン酸化膜10を除去する。

【0038】

図3(c)～(h)に示す工程は、第1の実施形態に係るSBDの製造方法において、図2(a)～(f)に示した工程と同じであるので、ここでは説明を省略する。

30

【0039】

以上のように、本実施形態に係るSBDの製造方法では、ドライエッチングにより凹部を形成する前に、低濃度N型エピタキシャル層の表面を熱酸化する。これにより、低濃度N型エピタキシャル層の表面の格子欠陥を予め低減できるので、ドライエッチング後の凹部の低濃度N型エピタキシャル層の表面をより平坦化することができる。これにより、SBDの静電気サージ耐量をさらに向上させることができる。

【0040】

なお、本発明の第1および第2の実施形態では、高濃度N型半導体基板および低濃度N型エピタキシャル層にシリコンを使用した例を示したが、高濃度N型半導体基板および低濃度N型エピタキシャル層には、炭化シリコンやその他の化合物半導体を使用してもよい。

40

【産業上の利用可能性】

【0041】

本発明のSBDは、静電気サージ耐量が優れているので、スイッチング電源やDC-DCコンバータ等に使用することができる。

【図面の簡単な説明】

【0042】

【図1】本発明の第1および第2の実施形態に係るショットキーバリアダイオードの断面図

【図2】本発明の第1の実施形態に係るショットキーバリアダイオードの製造工程を示す

50

図

【図3】本発明の第2の実施形態に係るショットキー・バリア・ダイオードの製造工程を示す図

【図4】従来のショットキー・バリア・ダイオードの断面図

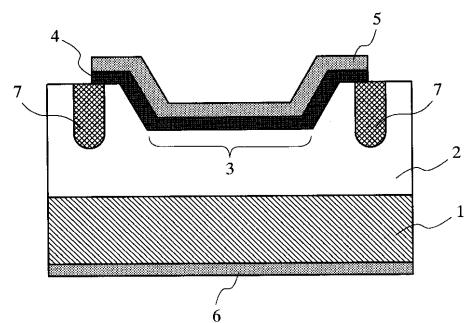
【符号の説明】

【0043】

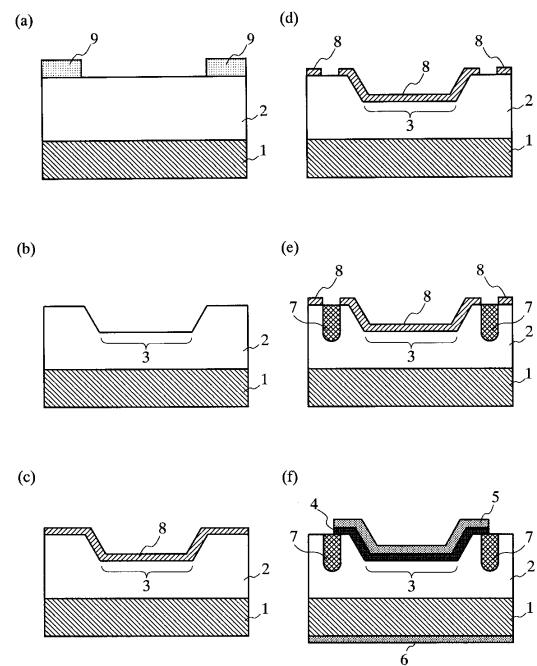
- 1 高濃度N型半導体基板
 2 低濃度N型エピタキシャル層
 3 凹部
 4 ショットキー金属層
 5 アノード電極
 6 カソード電極
 7 高濃度P型ガードリング
 8、10 シリコン酸化膜
 9 レジスト

10

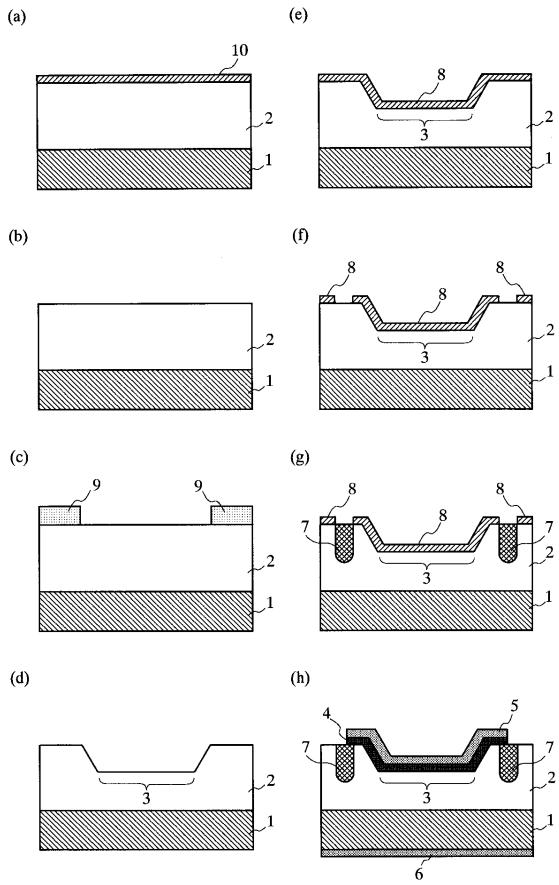
【図1】



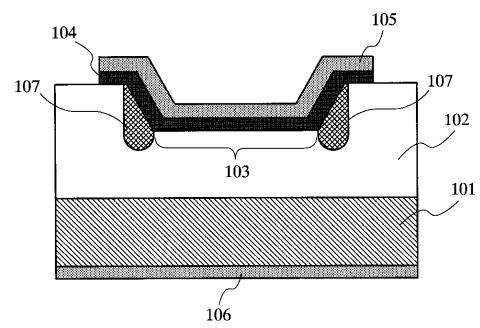
【図2】



【図3】



【図4】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H 01 L 29 / 47

H 01 L 29 / 872