

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3926562号

(P3926562)

(45) 発行日 平成19年6月6日(2007.6.6)

(24) 登録日 平成19年3月9日(2007.3.9)

(51) Int. Cl.

H03K 5/1252 (2006.01)

F I

H03K 5/01

G

請求項の数 3 (全 7 頁)

(21) 出願番号	特願2000-511246 (P2000-511246)	(73) 特許権者	599158797
(86) (22) 出願日	平成10年8月24日 (1998.8.24)		インフィネオン テクノロジース アクチ
(65) 公表番号	特表2001-516979 (P2001-516979A)		エンゲゼルシャフト
(43) 公表日	平成13年10月2日 (2001.10.2)		ドイツ連邦共和国 ミュンヘン ザンクト
(86) 国際出願番号	PCT/DE1998/002476		マルティン シュトラーセ 53
(87) 国際公開番号	W01999/013573	(74) 代理人	100061815
(87) 国際公開日	平成11年3月18日 (1999.3.18)		弁理士 矢野 敏雄
審査請求日	平成17年4月27日 (2005.4.27)	(74) 代理人	100094798
(31) 優先権主張番号	197 39 245.8		弁理士 山崎 利臣
(32) 優先日	平成9年9月8日 (1997.9.8)	(74) 代理人	100099483
(33) 優先権主張国	ドイツ(DE)		弁理士 久野 琢也
		(74) 代理人	100114890
			弁理士 アインゼル・フェリックス＝ライ
			ンハルト

最終頁に続く

(54) 【発明の名称】 障害パルスを抑圧するフィルタユニットを備えたデジタル回路

(57) 【特許請求の範囲】

【請求項 1】

信号入力側 (IN) および少なくとも2つの信号出力側 (OUT 1'、OUT 2') を有しており、

論理動作を実行する少なくとも2つの論理回路ユニット (S 1、S 2) を有しており、該ユニットはそれぞれ前記信号入力側 (IN) に接続された入力側と、スイッチング素子 (SW 1、SW 2) を介して各信号出力側 (OUT 1'、OUT 2') に接続された出力側 (OUT 1、OUT 2) とを備えており、

前記論理回路ユニット (S 1、S 2) の入力側におけるレベル変化により該ユニットの出力側 (OUT 1、OUT 2) で同様にレベル変化が発生され、

フィルタユニット (F) を有しており、該ユニットは前記信号入力側 (IN) に接続された入力側を備えており、該ユニット (F) により入力側に印加されるデジタル信号 (A) の障害パルスが抑圧され、障害パルスのない信号が出力側へ出力され、

前記スイッチング素子 (SW 1、SW 2) はそれぞれ1つずつ制御入力側を有しており、該制御入力側はフィルタユニット (F) の出力側に接続されており、該制御入力側を介してスイッチング素子が2つの動作状態へシフトされ、

スイッチング素子 (SW 1、SW 2) の第1の動作状態では相応の信号出力側 (OUT 1'、OUT 2') の信号と相応の論理回路ユニット (S 1、S 2) の出力側 (OUT 1、OUT 2) の信号とが一致し、

スイッチング素子 (SW 1、SW 2) の第2の動作状態では相応の信号出力側 (OUT 1

10

20

'、OUT 2')の信号が相応の論理回路ユニット(S 1、S 2)の出力側(OUT 1、OUT 2)の信号に依存せず、
前記フィルタユニット(F)によりスイッチング素子(SW 1、SW 2)は信号入力側(IN)のデジタル信号(A)のレベル変化前にはまず前記第2の動作状態に維持され、
所定の時間遅延量(t_0)の経過後にレベル変化が発生すると前記第1の動作状態にシフトされ、該時間遅延量は前記論理回路ユニット(S 1、S 2)の入力側と出力側(OUT 1、OUT 2)との間の信号走行時間(t_{s1})の最大値よりも大きい、
ことを特徴とするデジタル回路。

【請求項2】

前記フィルタユニット(F)は論理ゲート(G)を有しており、該論理ゲートはフィルタユニット(F)の入力側に接続された第1の入力側と、遅延ユニット(V)を介してフィルタユニット(F)の入力側に接続された第2の入力側と、フィルタユニット(F)の出力側に接続された出力側とを備えている、請求項1記載のデジタル回路。

10

【請求項3】

前記スイッチング素子(SW 1)は論理ゲートまたはトランジスタである、請求項1または2記載のデジタル回路。

【発明の詳細な説明】

【0001】

本発明は、障害パルスを抑圧するフィルタユニットを備えたデジタル回路に関する。

【0002】

20

図1には周知のこの種の回路が示されている。論理回路ユニットS 1、S 2が示されており、これらのユニットにデジタル回路の入力側INを介して入力信号INが供給される。回路ユニットS 1、S 2の出力側OUT 1、OUT 2には相応の出力信号が生じる。入力信号Aは場合により出力側OUT 1、OUT 2の信号に作用すべきでない障害パルス(グリッチ)を有することがあるため、図1の回路はフィルタFを有しており、このフィルタに障害パルスを有する入力信号Aが供給され、ここから障害パルスを除去された信号A"が形成される。フィルタリングされた信号A"はその後回路ユニットS 1、S 2に供給される。

【0003】

ここで説明した従来技術は、フィルタユニットFを使用すると入力信号Aに対してフィルタリングされた信号A"の遅延が発生するので、入力信号Aと出力側OUT 1、OUT 2の出力信号との間の全遅延時間ないし信号の全走行時間が上昇してしまう欠点を有する。出力側OUT 1と入力側INとの間の遅延量は例えばフィルタユニットFによる遅延量と第1の回路ユニットS 1による遅延量との和から計算される。

30

米国特許第4716318号明細書には集積回路のためのローパスフィルタが記載されており、このフィルタは相互にほぼ並列に配置された2つの部分ローパスフィルタを有する。これらのフィルタは一方が正の障害パルス、他方が負の障害パルスをフィルタリングするために設けられており、出力側ではNORゲートによって構成されたフリップフロップを介して相互に結合されている。

【0004】

40

本発明の課題は、入力信号の障害パルスを抑圧するデジタル回路を提供し、これにより回路の入力信号と出力信号との間の信号走行時間が著しく増大しないようにすることである。

【0005】

この課題は請求項1に記載のデジタル回路により解決される。本発明の別の構成および実施形態は従属請求項の対象範囲である。

【0006】

本発明によるデジタル回路は信号入力側と少なくとも2つの信号出力側との間に少なくとも2つの論理回路ユニットを有しており、これらの論理回路ユニットの出力側はそれぞれスイッチング素子を介してデジタル回路の信号入力側に接続されている。ここで論理

50

回路ユニットの出力側では入力側の信号のレベルの交番変化に依存して出力信号のレベルの交番変化が生じる。さらにデジタル回路はフィルタユニットを有しており、このフィルタユニットの入力側は同様に信号入力側に接続されており、出力側はスイッチング素子の制御入力側に接続されている。フィルタユニットはその入力側に印加されるデジタル信号の障害パルスを抑圧する。

【 0 0 0 7 】

本発明では、場合により障害パルスを有する信号入力側の入力信号がフィルタリングされずに論理回路ユニットに供給される。この論理回路ユニットは組合せ結合（スイッチング電源回路網）を実行するために用いられ、これにより論理回路ユニットの出力側の出力信号は障害パルスによって影響されない。しかも論理回路ユニットに並列に入力信号はフィルタユニットにも供給され、フィルタユニットによりフィルタリングされた信号が形成され、この信号は入力信号に比べて障害パルスが低減されているか、また有利には障害パルスを全く有さないものとなる。このフィルタリングされた信号はスイッチング素子を制御するために用いられる。スイッチング素子は有利には論理ゲート、例えばANDゲートまたはORゲートである。スイッチング素子をフィルタリングされた信号を介して制御することにより、論理回路ユニットの出力信号のうち入力信号の障害パルスに影響された部分はデジタル回路の信号出力側に導通されない。

10

【 0 0 0 8 】

本発明は、信号入力側の入力信号の障害パルスが除去された出力信号をデジタル回路の信号出力側で得ることができ、かつその際に2つの信号の間の全遅延時間が論理回路ユニットを通る信号走行時間よりもそれほど大きくなならない利点を有する。このため本発明のデジタル回路は図1に示された回路よりも迅速である。

20

【 0 0 0 9 】

本発明を以下に、本発明の実施例を表す図に即して詳細に説明する。

【 0 0 1 0 】

図1には、発明の詳細な説明の冒頭で説明した従来技術による集積回路が示されている。図2には、本発明のデジタル回路の実施例が示されている。図3、図4には、図2のフィルタユニットの実施例が示されている。図5には、図3のフィルタユニットに対する信号特性が示されている。図6には図2に示された実施例に対する信号特性が示されている。

30

【 0 0 1 1 】

図2には、信号入力側IN、第1の信号出力側OUT1'、および第2の信号出力側OUT2'を備えたデジタル回路が示されている。信号出力側OUT1'、OUT2'にはそれぞれスイッチング素子SW1、SW2が前置接続されている。第1のスイッチング素子SW1はANDゲートであり、第2のスイッチング素子SW2はnチャネルトランジスタである。第1の論理回路ユニットS1は入力側で信号入力側INに接続されており、出力側で第1のスイッチング素子SW1の一方の入力側に接続されている。第2の論理回路ユニットS2は入力側では同様に信号入力側INに接続されており、出力側では第2のスイッチング素子SW2を介して第2の信号出力側OUT2'に接続されている。

【 0 0 1 2 】

論理回路ユニットS1、S2はこの実施例では組合せ結合を実行するスイッチング電源回路網である。ただし本発明は別の回路ユニットにも適用可能である。全ての回路ユニットS1、S2に対して次のことが相当しなければならない。すなわち出力側OUT1、OUT2で所定の信号走行時間の後に出力信号が生じ、この信号のレベル変化は信号入力側INでの“アクティブ・ハイ”な入力信号Aのレベル変化に依存する。図2には論理回路ユニットS1、S2が信号入力側INに接続されない別の入力側を有してもよいことが示されている。さらに回路ユニットS1、S2は別の出力側を有することもできる。

40

【 0 0 1 3 】

図2にはさらにフィルタユニットFが示されており、このユニットの入力側は信号入力側INに接続されており、出力側はそれぞれスイッチング素子SW1、SW2の制御入力側

50

に接続されている。第1のスイッチング素子SW1の制御入力側はANDゲートの他方の入力側である。第2のスイッチング素子SW2の制御入力側はnチャンネルトランジスタのゲート端子である。もちろんスイッチング素子SW1、SW2をこれとは異なるように実現することもでき、特にこれらを同じタイプで例えば2つのANDゲートとして構成することもできる。フィルタユニットFは入力信号Aからフィルタリングされた信号A''を形成するために用いられ、入力信号Aが場合により有する障害パルスを抑圧する。フィルタリングされた信号A''によりスイッチング素子SW1、SW2の制御が行われる。

【0014】

図3には図2のフィルタユニットFの実施例が示されている。このフィルタユニットは入力信号Aの正の障害パルス(グリッチ)をフィルタリングするために用いられる。入力信号の活性レベルは高いレベルである(“アクティブ・ハイ”)。フィルタユニットFはANDゲートGを有しており、このゲートの出力側にフィルタリングされた信号A''が生じる。ANDゲートGの第1の入力側に入力信号Aが供給される。ANDゲートGの第2の入力側には入力信号Aが遅延ユニットVを介して時間遅延量 t_D で遅延された入力信号A'として供給される。

10

【0015】

図5には図3に示された信号の信号特性が例示的に示されている。入力信号Aはまず、幅 t_w を有する本来の有効信号が発生する前に幅 t_G の正の障害パルス(グリッチ)を有している。遅延ユニットVの出力側の遅延された入力信号A'は入力信号Aに比べて遅延ユニットVの遅延時間 t_D だけシフトされている。これに相応してフィルタリングされた信号A''は図示の特性を有し、ここでこのフィルタリングされた信号A''は入力信号Aおよび遅延された信号A'がともに所定の高いレベルを有する場合には高いレベルのみを有する。フィルタリングされた信号A''が高いレベルを有する間のみ図2のスイッチング素子SW1、SW2が導通される。このことはさらに図6に即して詳細に説明する。

20

【0016】

入力信号Aの障害パルスのフィルタユニットFを介した抑圧を保証するために、図3の遅延ユニットVの遅延時間 t_D は障害パルスの幅 t_G よりも大きくなければならない。遅延時間よりも大きな幅 t_G を有する障害パルスはこのフィルタユニットによっては抑圧されない。ただしもちろん遅延時間 t_D は有効信号の幅 t_w よりも小さくなければならない。

【0017】

図4には“アクティブ・ロー”の入力信号の負の障害パルスを抑圧する別のフィルタユニットFの実施例が示されている。図3のフィルタユニットFと異なるのは、ANDゲートに代えてORゲートGが使用されている点である。図4のフィルタユニットFが使用される際には、場合により図2のスイッチング素子SW1、SW2のタイプも変更しなければならない。それ以外は図3のフィルタユニットFについて説明したのと同様の機能を有する。

30

【0018】

図6には図2に示された幾つかの信号の信号特性が示されている。入力信号Aおよびフィルタリングされた信号A''はすでに図5に即して説明した。そのほかに図6には第1の論理回路ユニットS1の出力信号OUT1の特性が示されている。この信号は入力信号Aのレベル変化に依存するレベル変化を有している。入力信号Aに比べて出力信号OUT1は信号遅延量 t_{s1} を有しているが、これはフィルタユニットFまたは遅延ユニットVによる遅延量 t_D よりも小さい。図6には出力信号OUT1の特性が示されている。出力信号OUT1は入力信号Aの障害パルスに起因するレベル変化を有している。このような障害パルスに起因するレベル変化はデジタル回路の出力側OUT1'には現れてはならない。なぜならこれにより後続の回路ユニットに悪影響を与えるからである。図6からわかるように、第1の回路ユニットS1の出力側OUT1の信号は走行時間 t_{s1} だけ遅延されている。

40

【0019】

図6にはデジタル回路の信号出力側の出力信号OUT1'の信号特性も示されている。

50

図からわかるように、第1のスイッチング素子SW1をフィルタリングされた信号A''によって本発明のように制御することに基づいて、入力信号Aの障害パルスによりトリガされた第1の論理回路ユニットS1の出力側の出力信号OUT1のレベル変化は信号出力側OUT1'では再生されない。

【0020】

図2とは異なって、本発明のデジタル回路が信号入力側INに接続された論理回路ユニットS1、S2のうちただ1つのみを有するか、または2つ以上を有するように構成することもできる。エラーのない回路の機能のためには、いずれの場合にもフィルタユニットFの遅延時間 t_0 は論理回路ユニットS1、S2の遅延時間 t_{s1} 、 t_{s2} の最大の値よりも大きくなければならない。さらに図5、図6に示された入力信号Aの有効信号の幅 t_w は最も緩慢な論理回路ユニットS1、S2の信号走行時間 t_{s1} 、 t_{s2} よりも大きくなければならない。

10

【0021】

図6からわかるように、本発明ではデジタル回路の信号出力側OUT1'の信号は有利には全体としても入力信号Aに比べて(スイッチング素子SW1の走行時間も含め)フィルタユニットFの遅延時間 t_0 だけしか遅延されていない。このため本発明のデジタル回路は図1に示された回路よりも迅速である。図1の回路では、出力信号OUT1が入力信号Aに比べてフィルタユニットFの遅延時間(これは抑圧すべき障害パルスの最大の幅 t_0 に依存する)と論理回路ユニットS1の信号走行時間との和だけ遅延されている。本発明では全遅延量はフィルタユニットFの遅延量 t_0 に等しい。この遅延量は上述したように、回路ユニットS1の走行時間 t_{s1} よりもわずかに長ければ充分である。

20

【0022】

本発明は非同期のデジタルシステム、例えば何らかのメモリ(特にDRAM)を構成するシステムの障害耐性を高めるのに適している。DRAMの場合、本発明は例えば内部のアウトプットイネーブル信号、書き込みイネーブル信号、CAS(列アドレスストロープ)信号、またはRAS(行アドレスストロープ)信号などを場合により障害パルスを有する相応の外部信号から形成するのに適している。

【0023】

本発明ではフィルタユニットFの遅延時間 t_0 がシステムの全遅延時間に等しければ、図1に即して説明された従来技術よりも大きく選定することができる。このため本発明では回路の全遅延時間が等しい場合には、従来よりも大きな幅 t_0 を有する障害パルスを抑圧することができる。

30

【0024】

本発明はさらに図1の回路に比べてさらに次の利点を有する。すなわち、回路の出力信号OUT1、OUT2のレベル変化の時点がそれぞれ専ら相応の論理回路ユニットS1、S2の信号走行時間に依存する。本発明では図1の回路とは異なって、信号出力側OUT1'、OUT2'の信号のレベル変化の時点はスイッチング素子SW1、SW2を共通のフィルタリング信号A''を介して制御することにより相互に同期されており、これによりシステム全体の時間特性を著しく容易に予め決定することができる。

【図面の簡単な説明】

40

【図1】 従来技術による集積回路を示す図である。

【図2】 本発明のデジタル回路の実施例を示す図である。

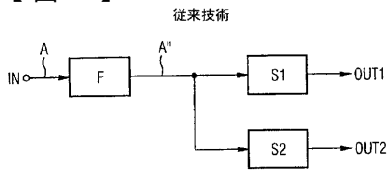
【図3】 図2のフィルタユニットの実施例を示す図である。

【図4】 図2のフィルタユニットの別の実施例を示す図である。

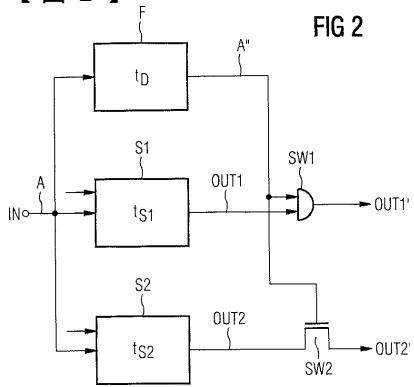
【図5】 図3のフィルタユニットに対する信号特性を示す図である。

【図6】 図2の実施例に対する信号特性を示す図である。

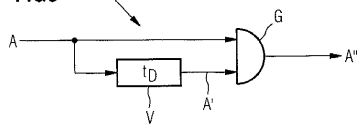
【 図 1 】



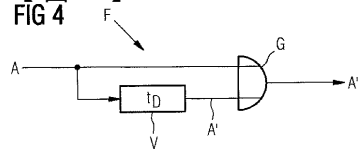
【 図 2 】



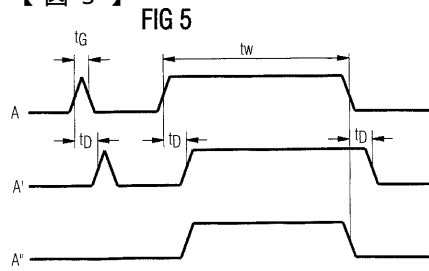
【 図 3 】



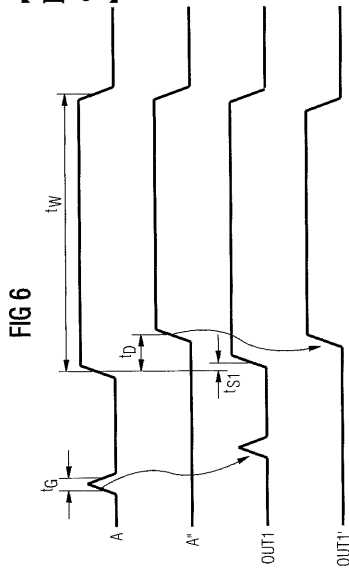
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(74)代理人 230100044

弁護士 ラインハルト・アインゼル

(72)発明者 トーアイ - タイ レー

ドイツ連邦共和国 ミュンヘン オットブルンナーシュトラッセ 43

(72)発明者 エックハルト プラス

ドイツ連邦共和国 ウンターハッヒング アディエヴェーク 20

(72)発明者 マルクス ビーブル

ドイツ連邦共和国 アウグスブルク オーバーレンダーシュトラッセ 24ツェー

審査官 石田 勝

(56)参考文献 特開平8 - 162923 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 5/00-5/02@Z;5/08-5/12;5/15-5/26@Z