

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 5 月 15 日 (15.05.2014)



(10) 国际公布号
WO 2014/071652 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 21/8232 (2006.01)
H01L 21/335 (2006.01)
- (21) 国际申请号: PCT/CN2012/084817
- (22) 国际申请日: 2012 年 11 月 19 日 (19.11.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210447259.1 2012 年 11 月 9 日 (09.11.2012) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 朱慧珑 (ZHU, Huilong); 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号国际财经中心 D 座 11 层, Beijing 100089 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体器件及其制造方法

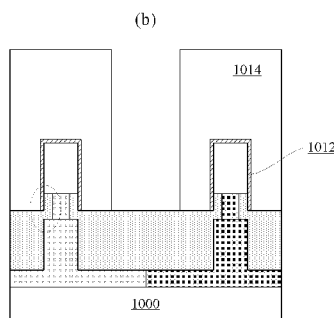


图9 / FIG. 9

(57) Abstract: A manufacturing method for a fin structure, comprising: forming on a substrate (1000) a first semiconductor layer (1002) and a second semiconductor layer (1004) in sequence; patterning the second semiconductor layer and the first semiconductor layer, so as to form an initial fin; selectively etching the first semiconductor layer in the initial fin, so as to enable same to form transverse indentation; forming on the substrate an isolation layer (1010), and filling the transverse indentation, the top surface of the isolation layer, except the part filling the transverse indentation, being lower than the top surface of the first semiconductor layer and higher than the bottom surface of the first semiconductor layer, thereby limiting the fin located above the isolation layer; and forming on the isolation layer a gate stack across the fin.

(57) 摘要: 一种鳍结构的制造方法, 包括: 在衬底 (1000) 上依次形成第一半导体层 (1002) 和第二半导体层 (1004); 对第二半导体层和第一半导体层进行构图, 以形成初始鳍; 选择性刻蚀初始鳍中的第一半导体层, 使其横向凹入; 在衬底上形成隔离层 (1010), 填充横向凹入, 隔离层除填充横向凹入之外的部分的顶面, 低于第一半导体层的顶面并且高于第一半导体层的底面, 从而限定出位于隔离层上方的鳍; 以及在隔离层上形成横跨鳍的栅堆叠。

WO 2014/071652 A1

半导体器件及其制造方法

本申请要求了 2012 年 11 月 9 日提交的、申请号为 201210447259.1、发明名称为“半导体器件及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及半导体领域，更具体地，涉及一种半导体器件及其制造方法。

背景技术

随着平面型半导体器件的尺寸越来越小，短沟道效应愈加明显。为此，提出了立体型半导体器件如 FinFET（鳍式场效应晶体管）。一般而言，FinFET 包括在衬底上竖直形成的鳍以及与鳍相交的栅极。因此，沟道区形成于鳍中，且其宽度主要由鳍的高度决定。然而，在集成电路制造工艺中，难以控制晶片上形成的鳍的高度相同，从而导致晶片上器件性能的不一致性。

另一方面，在鳍的底部，栅与鳍由于之间的电介质而形成寄生电容，寄生电容过大，将导致器件的响应时间过长。

发明内容

本公开的目的至少部分地在于提供一种半导体器件及其制造方法。

根据本公开的一个方面，提供了一种制造半导体器件的方法，包括：在衬底上依次形成第一半导体层和第二半导体层；对第二半导体层、第一半导体层进行构图，以形成初始鳍；选择性刻蚀初始鳍中的第一半导体层，使其横向凹入；在衬底上形成隔离层，该隔离填充所述横向凹入，隔离层除填充横向凹入之外的部分的顶面低于第一半导体层的顶面、高于第一半导体层的底面，从而限定出位于隔离层上方的鳍；以及在隔离层上形成横跨鳍的栅堆叠。

根据本公开的另一方面，提供了一种半导体器件，包括：衬底；在衬底上依次形成的构图的第一半导体层和第二半导体层，其中第一半导体层相对于第二半导体层横向凹入；在衬底上形成的隔离层，该隔离填充所述横向凹入，隔离层除填充横向凹入

之外的部分的顶面低于第一半导体层的顶面、高于第一半导体层的底面，从而限定出位于隔离层上方的鳍；以及在隔离层上形成的横跨鳍的栅堆叠。

附图说明

通过以下参照附图对本公开实施例的描述，本公开的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1-13 是示出了根据本公开实施例的制造半导体器件流程的示意图。

具体实施方式

以下，将参照附图来描述本公开的实施例。但是应该理解，这些描述只是示例性的，而并非要限制本公开的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本公开的概念。

在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的，其中为了清楚表达的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

在本公开的上下文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中层/元件。另外，如果在一种朝向中一层/元件位于另一层/元件“上”，那么当调转朝向时，该层/元件可以位于该另一层/元件“下”。

根据本公开的实施例，可以在衬底上例如通过外延形成至少一个半导体层。这样，在例如通过刻蚀来构图鳍时，为形成相同高度的鳍，刻蚀进入衬底中的深度相对于常规技术可以减小（甚至可以为零，这种情况下，完全通过所述至少一个半导体层来形成鳍），从而可以更加容易控制刻蚀深度的一致性。此外，外延层的厚度一致性可以相对容易地控制，结果，可以改善最终形成的鳍的厚度的一致性。

根本公开的优选实施例，所述至少一个半导体层包括两个或更多的半导体层。在这些半导体层中，相邻的半导体层可以相对于彼此具有刻蚀选择性，从而可以选择性刻蚀每一半导体层。在形成鳍之后，可以选择性刻蚀其中的某一层（或多层），使其横向变窄（凹入）。然后可以在衬底上形成隔离层，该隔离层可以填充所述变窄（凹

入) 部位, 并且该隔离层使得变窄(凹入)的所述一层(或多层)的一部分(相对于该隔离层顶面)突出。从而, 变窄(凹入)的所述一层(或多层)位于最终形成鳍的底部(初始形成鳍位于所述一层或多层之下的部分由于被隔离层包围, 从而不再充当用来形成沟道的真正鳍)。

这样, 在最终形成鳍的底部, 由于所述变窄(凹入)部位, 随后形成的栅与鳍之间的电介质层较厚, 从而形成的寄生电容相对较小。

根据本公开的实施例, 隔离层可以通过在衬底上淀积电介质层然后回蚀来形成。电介质层可以基本上覆盖所形成的初始鳍, 且位于初始鳍顶部的电介质层厚度充分小于位于衬底上的电介质层厚度, 例如初始鳍顶部的电介质层厚度可以小于位于衬底上的电介质层厚度的三分之一, 优选为四分之一。例如, 这可以通过高密度等离子体(HDP)淀积来实现。另外, 在形成多个初始鳍的情况下, 位于每一初始鳍的顶面之上的电介质层的厚度可以小于与其相邻的鳍之间间距的二分之一。这样, 在随后的回蚀中, 可以减少刻蚀深度, 从而能够增加刻蚀控制精度。

本公开可以各种形式呈现, 以下将描述其中一些示例。

如图1所示, 提供衬底1000。该衬底1000可以是各种形式的衬底, 例如但不限于体半导体材料衬底如体Si衬底、绝缘体上半导体(SOI)衬底、SiGe衬底等。在以下的描述中, 为方便说明, 以体Si衬底为例进行描述。

在衬底1000中, 可以形成n型阱1000-1和p型阱1000-2, 以供随后在其中分别形成n型器件和p型器件。例如, n型阱1000-1可以通过在衬底1000中注入n型杂质如P或As来形成, p型阱1000-2可以通过在衬底1000中注入p型杂质如B来形成。如果需要, 在注入之后还可以进行退火。本领域技术人员能够想到多种方式来形成n型阱、p型阱, 在此不再赘述。

这里需要指出的是, 尽管在以下描述中描述了分别在n型阱和p型阱中形成互补器件的工艺, 但是本公开不限于此。例如, 本公开同样适用于非互补工艺。而且, 以下涉及互补器件的一些处理, 在某些实现方式中并非是必须的。

在衬底1000上, 例如通过外延生长, 形成第一半导体层1002。例如, 第一半导体层1002可以包括SiGe (Ge原子百分比例如为约5-20%), 厚度为约10-50nm。在外延生长第一半导体层的过程中, 可以对其进行原位掺杂, 例如通过B而掺杂为p型。第一半导体层的掺杂浓度可以高于之下的p型阱的掺杂浓度, 例如可为 $1\text{E}18 - 2\text{E}19 \text{ cm}^{-3}$ 。根据一示例, 为降低B扩散, 可以在p型第一半导体层1002中注入C。

然后，可以通过光刻胶（未示出）遮挡p型阱区上的第一半导体层，并向n型阱区上的第一半导体层注入杂质如As或P，以将该部分第一半导体层转换为n型，且其掺杂浓度可以高于之下的n型阱的掺杂浓度。注入浓度例如可以是 $2E18 - 4E19 \text{ cm}^{-3}$ 。之后可以去除光刻胶。于是，形成了n型第一半导体层1002-1和p型第一半导体层1002-2。

接下来，在第一半导体层1002（包括1002-1和1002-2）上，例如通过外延生长，形成第二半导体层1004。例如，第二半导体层1004可以包括Si，厚度为约20-100nm。

随后，可以对如此形成的第二半导体层1004、第一半导体层1002和衬底进行构图，以形成初始鳍。例如，这可以如下进行。具体地，在第二半导体层1004上按设计形成构图的光刻胶1006。通常，光刻胶1006被构图为一系列平行的等间距线条。然后，如图2所示，以构图的光刻胶1006为掩模，依次选择性刻蚀例如反应离子刻蚀（RIE）第二半导体层1004、第一半导体层1002和衬底1000，从而形成初始鳍。

在互补工艺的情况下，还可以如图3所示，来在n型区域和p型区域之间形成隔离。具体地，可以在衬底上形成光刻胶1008，并对光刻胶1008进行构图，以露出n型区域和p型区域之间界面周围的一定区域。然后，通过选择性刻蚀例如RIE，去除该区域存在的第二半导体层、第一半导体层。也可以进一步选择性刻蚀如RIE衬底。从而在n型区域和p型区域之间形成隔离地带，该隔离地带随后被电介质层所填充。然后，可以去除光刻胶1008。

可以看到，在图2的操作中，形成初始鳍的刻蚀步骤进入到衬底1000中；然后，通过图3中的操作，可以使得p型阱和n型阱之间的接触面积（即，形成的pn结的面积）较小。但是，本公开不限于此。例如，在非互补工艺，或者在单一类型（p型或n型）器件的局部区域，图2中对第一半导体层1002的刻蚀可以停止于衬底1000，并且随后不再对衬底1000进行刻蚀也是可行的；图3所示的操作可能也并非必须是必须的。通过刻蚀所形成的（初始鳍之间的）沟槽的形状不一定是图2中所示的规则矩形形状，可以是例如从上到下逐渐变小的锥台形。另外，所形成的初始鳍的位置和数目不限于图2所示的示例。

在图2所示的示例中，在n型阱1000-1和p型阱1000-2之间的界面处，也形成了初始鳍。由于图3所示的隔离形成工艺，该初始鳍也被去除。于是，得到了图4所示的结构。

为了减小最终形成鳍底部的寄生电容，如图5所示，可以相对于衬底1000和第二半导体层1004（例如，Si），选择性刻蚀第一半导体层1002（例如，SiGe），使得第一半导体层1002横向凹入。因此，初始鳍中由第一半导体层构成的部分变窄。

在通过上述处理形成具有变窄部分的初始鳍之后，可以形成横跨鳍的栅堆叠，并形成最终的半导体器件。

为了隔离栅堆叠和衬底，在衬底上首先形成隔离层。这种隔离层例如可以通过在衬底上淀积电介质层，且然后进行回蚀来形成。因此，电介质层填充了初始鳍中（第一半导体层的）凹入部位。在回蚀过程中，控制回蚀深度，使得回蚀后的电介质层能够使第一半导体层的一部分（相对于电介质层的顶面）突出。即，隔离层（除了填充凹入部位之外的部分）的顶面位于第一半导体层的顶面之下，且位于第一半导体层的底面之上。例如，电介质层可以包括高密度等离子体（HDP）氧化物（例如，氧化硅）。

在此，为了改善回蚀之后隔离层（顶面的）高度的一致性，并因此改善最终形成的鳍的高度的一致性，如图6所示，在淀积电介质层1010的过程中，使得电介质层1010基本上覆盖初始鳍（在多个初始鳍的情况下，基本上填充初始鳍之间的间隙）。根据本公开的实施例，可以如此淀积，使得初始鳍顶部的电介质层厚度充分小于位于衬底上的电介质层厚度，并且一般来说初始鳍顶部的电介质层厚度都小于位于衬底上的电介质层厚度的三分之一，优选为四分之一。例如，每一初始鳍顶部的电介质层厚度一般不大于20nm，而位于衬底上的电介质层厚度可达100nm左右。

根据本公开的一示例，电介质层1010可以包括通过高密度等离子体（HDP）淀积形成的氧化物（例如，氧化硅）。由于HDP的特性，在淀积过程中可以使得初始鳍顶部的电介质层（沿垂直于衬底方向的）厚度和鳍侧面的电介质层（沿平行于衬底的方向，即横向的）厚度要小于初始鳍之间衬底上的电介质层（沿垂直于衬底方向的）厚度。因为HDP的这种特性，在常规技术中通常并不采用HDP淀积来制作氧化隔离。

在此，例如可以通过控制淀积条件，使得电介质层1010在基本上覆盖初始鳍时（或者，基本上填充初始鳍之间的空隙时），位于每一初始鳍顶部上的厚度可以小于与其相邻的初始鳍之间间距的二分之一。如果初始鳍之间的间距并不相同，则可以使电介质层1010位于每一初始鳍顶部的厚度小于与其相邻的初始鳍之间间距中较小间距的二分之一。

随后，如图7所示，对电介质层1010进行回蚀。由于电介质层1010的回蚀深度相对较小，从而对该刻蚀的控制相对容易，并因此可以更加精确地控制从鳍的顶面（在该示例中，第二半导体层1004的顶面）到电介质层1010的顶面的距离（至少部分地决定最终器件的鳍高度并因此决定最终器件的沟道宽度），使得该距离在衬底上基本保持一致。这样，隔离层就限定了位于其上方的鳍。在第一半导体层1002-1和1002-2是

如上所述进行掺杂的示例中，其对应的阈值电压要高于第二半导体层1004对应的阈值电压。因此，通过控制栅极控制电压，可以使得第二半导体层导通而第一半导体层并不能导通。这样，最终用作器件的鳍可以仅包括第二半导体层1004，且第一半导体层1002可以充当穿通阻挡层，防止源漏之间的穿通。

随后，可以在电介质层1010上形成横跨鳍的栅堆叠。例如，这可以如下进行。具体地，如图8所示，例如通过淀积，形成栅介质层1012。例如，栅介质层1012可以包括氧化物，厚度为约0.8-1.5nm。在图8所示的示例中，仅示出了“Π”形的栅介质层1012。但是，栅介质层1012也可以包括在电介质层1010的顶面上延伸的部分。然后，例如通过淀积，形成栅导体层1014。例如，栅导体层1014可以包括多晶硅。栅导体层1014可以填充鳍之间的间隙，并可以进行平坦化处理例如化学机械抛光（CMP）。

之后，如图9（图9（b）示出了沿图9（a）中BB'线的截面图）所示，对栅导体层1014进行构图，以形成栅堆叠。在图9的示例中，栅导体层1014被构图为与鳍相交的条形。根据另一实施例，还可以构图后的栅导体层1014为掩模，进一步对栅介质层1012进行构图。

如图9（b）中的椭圆虚线圈所示，在鳍的底部（之下的鳍部分由于被电介质层所包围，从而在最终器件中并不充当用来形成沟道区的真正鳍），栅导体1014与鳍之间的电介质层较厚，从而产生的寄生电容相对较小。

在形成构图的栅导体之后，例如可以栅导体为掩模，进行晕圈（halo）注入和延伸区（extension）注入。

接下来，如图10（图10（b）示出了沿图10（a）中BB'线的截面图）所示，可以在栅导体层1014的侧壁上形成侧墙1016。例如，可以通过淀积形成厚度约为5-30nm的氮化物，然后对氮化物进行RIE，来形成侧墙1016。本领域技术人员知道多种方式来形成这种侧墙，在此不再赘述。

在形成侧墙之后，可以栅导体及侧墙为掩模，进行源/漏（S/D）注入。随后，可以通过退火，激活注入的离子，以形成源/漏区。这样，就得到了根据该实施例的半导体器件。如图10所示，该半导体器件可以包括：衬底；在衬底上依次形成的构图的第一半导体层和第二半导体层，其中第一半导体层相对于第二半导体层横向凹入；在衬底上形成的隔离层，该隔离填充所述横向凹入，隔离层除填充横向凹入之外的部分的顶面低于第一半导体层的顶面、高于第一半导体层的底面，从而限定出位于隔离层上方的鳍；以及在隔离层上形成的横跨鳍的栅堆叠。对于p型器件，第一半导体层中可

以掺杂n型杂质；对于n型器件，第一半导体层中可以掺杂p型杂质。这种掺杂的第一半导体层可以充当穿通阻挡层。

在上述实施例中，在形成鳍之后，直接形成了栅堆叠。本公开不限于此。例如，替代栅工艺同样适用于本公开。

根据本公开的另一实施例，在图8中形成的栅介质层1012和栅导体层1014为牺牲栅介质层和牺牲栅导体层。接下来，可以同样按以上结合图9、10描述的方法来进行处理。

接下来，如图11（图11（b）示出了沿图11（a）中BB'线的截面图）所示，例如通过淀积，形成另一电介质层1018。该电介质层1018例如可以包括氧化物。随后，对该电介质层1018进行平坦化处理例如CMP。该CMP可以停止于侧墙1016，从而露出牺牲栅导体1014。

随后，如图12（图12（b）示出了沿图12（a）中BB'线的截面图，图12（c）示出了沿图12（a）中CC'线的截面图）所示，例如通过TMAH溶液，选择性去除牺牲栅导体1014，从而在侧墙1016内侧形成了空隙1020。根据另一示例，还可以进一步去除牺牲栅介质层1012。

然后，如图13（图13（b）示出了沿图13（a）中BB'线的截面图，图13（c）示出了沿图13（a）中CC'线的截面图）所示，通过在空隙1020中形成栅介质层1022和栅导体层1024，形成最终的栅堆叠。栅介质层1022可以包括高K栅介质例如 HfO_2 ，厚度为约1-5nm。栅导体层1024可以包括金属栅导体。优选地，在栅介质层1022和栅导体层1024之间还可以形成功函数调节层（未示出）。

这里需要指出的是，在图13中，将栅介质层1022示出为空隙1020底部的一薄层。但是，栅介质层1022还可以形成在空隙1020的侧壁上，从而包围栅导体层1024。

这样，就得到了根据该实施例的半导体器件。该半导体器件与图10所示的半导体器件在结构上基本相同，除了栅堆叠按不同方式形成之外。

在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过各种技术手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外，尽管在以上分别描述了各实施例，但是这并不意味着各个实施例中的措施不能有利地结合使用。

以上对本公开的实施例进行了描述。但是，这些实施例仅仅是为了说明的目的，

而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本公开的范围之内。

权 利 要 求

1. 一种制造半导体器件的方法，包括：
在衬底上依次形成第一半导体层和第二半导体层；
对第二半导体层、第一半导体层进行构图，以形成初始鳍；
选择性刻蚀初始鳍中的第一半导体层，使其横向凹入；
在衬底上形成隔离层，该隔离填充所述横向凹入，隔离层除填充横向凹入之外的部分的顶面低于第一半导体层的顶面、高于第一半导体层的底面，从而限定出位于隔离层上方的鳍；以及
在隔离层上形成横跨鳍的栅堆叠。
2. 根据权利要求1所述的方法，其中，在形成初始鳍的操作中，还进一步对衬底进行构图。
3. 根据权利要求1所述的方法，其中，形成隔离层包括：
在衬底上淀积电介质层，使得电介质层实质上覆盖初始鳍，其中位于初始鳍顶部的电介质层厚度充分小于位于衬底上的电介质层厚度；以及
对电介质层进行回蚀。
4. 根据权利要求3所述的方法，其中，位于初始鳍顶部的电介质层厚度小于位于衬底上的电介质层厚度的三分之一。
5. 根据权利要求3所述的方法，其中，其中，通过高密度等离子体（HDP）淀积形成电介质层。
6. 根据权利要求3所述的方法，其中，在衬底上形成多个初始鳍，且位于每一初始鳍顶部的电介质层厚度小于与其相邻的初始鳍之间间距的二分之一。
7. 根据权利要求1所述的方法，其中，对于p型器件，第一半导体层中掺杂n型杂质；对于n型器件，第一半导体层中掺杂p型杂质。
8. 根据权利要求1所述的方法，其中，形成栅堆叠包括：
形成横跨鳍的牺牲栅堆叠；
在牺牲栅堆叠的侧壁上形成侧墙；
在衬底上形成另一电介质层，并平坦化，以露出牺牲栅堆叠；
选择性去除牺牲栅堆叠，从而侧墙限定空隙；以及
在所述空隙中形成栅堆叠。

9. 一种半导体器件，包括：

衬底；

在衬底上依次形成的构图的第一半导体层和第二半导体层，其中第一半导体层相对于第二半导体层横向凹入；

在衬底上形成的隔离层，该隔离填充所述横向凹入，隔离层除填充横向凹入之外的部分的顶面低于第一半导体层的顶面、高于第一半导体层的底面，从而限定出位于隔离层上方的鳍；以及

在隔离层上形成的横跨鳍的栅堆叠。

10. 根据权利要求 9 所述的半导体器件，其中，

衬底包括体 Si，第一半导体层包括 SiGe，第二半导体层包括 Si。

11. 根据权利要求 9 所述的半导体器件，其中，对于 p 型器件，第一半导体层中掺杂 n 型杂质；对于 n 型器件，第一半导体层中掺杂 p 型杂质。

12. 根据权利要求 9 所述的半导体器件，其中该半导体器件包括多个鳍，其中每一鳍的顶面大致持平，隔离层的顶面大致持平。

13. 根据权利要求 9 所述的半导体器件，其中，隔离层包括氧化物。

14. 根据权利要求 9 所述的半导体器件，其中，栅堆叠包括高 K 栅介质层和金属栅导体层。

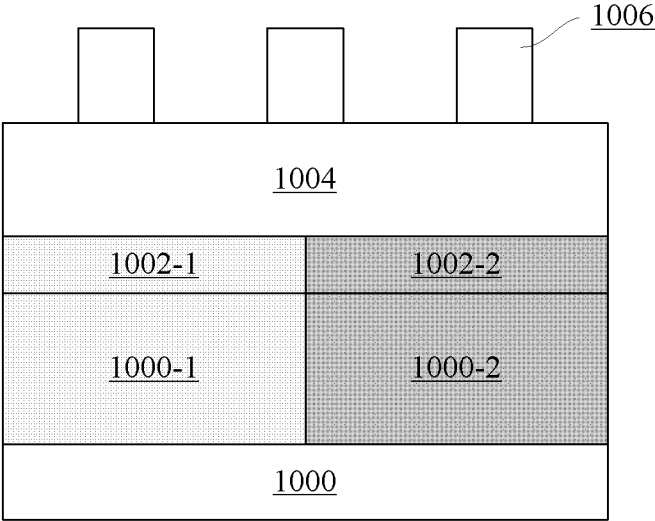


图1

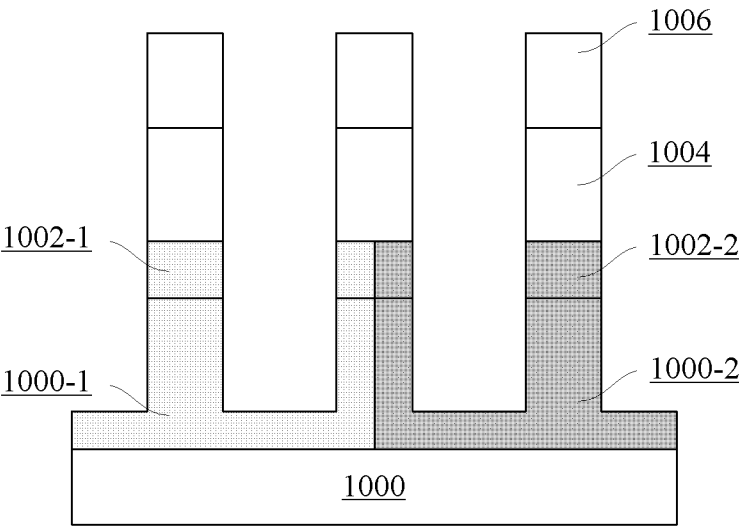


图2

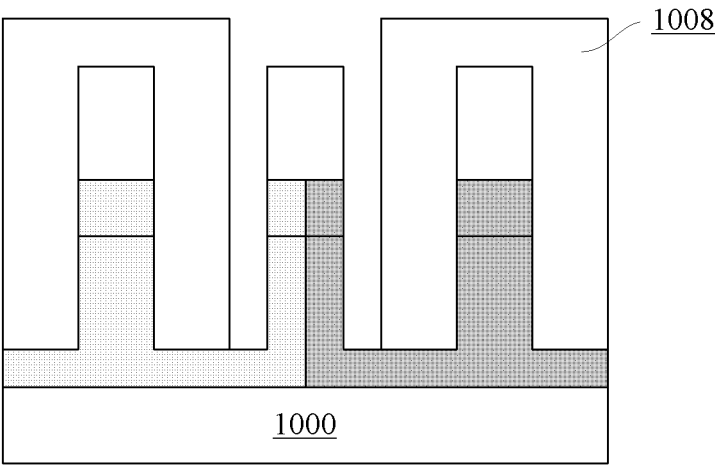


图3

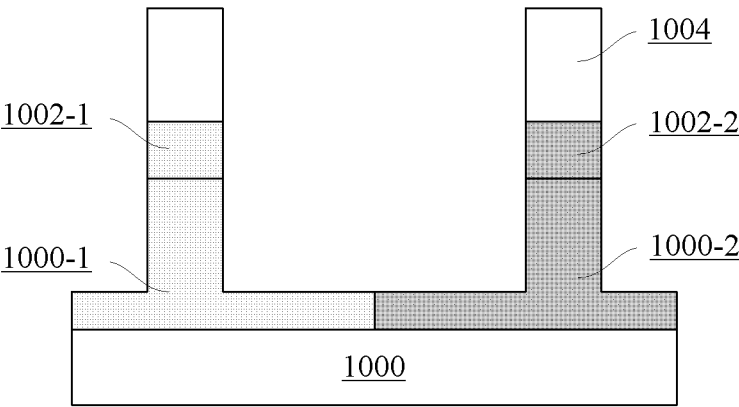


图4

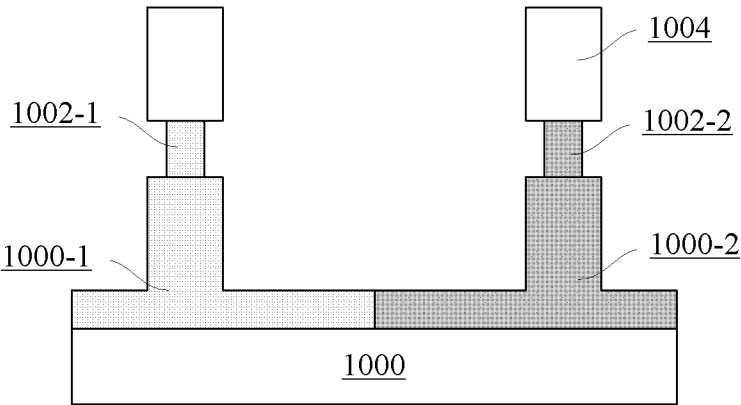


图5

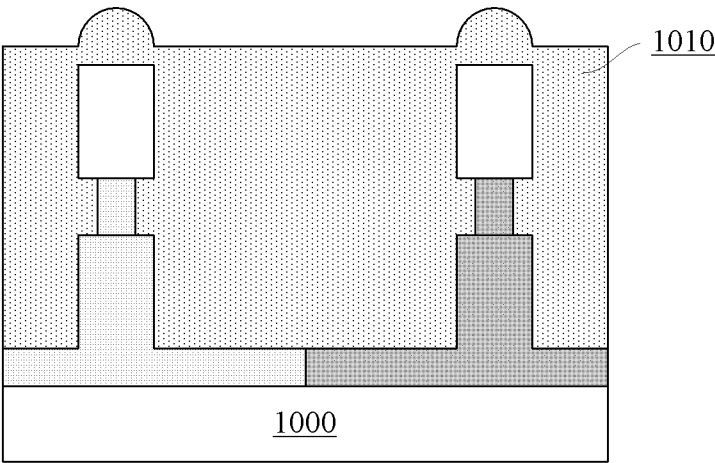


图6

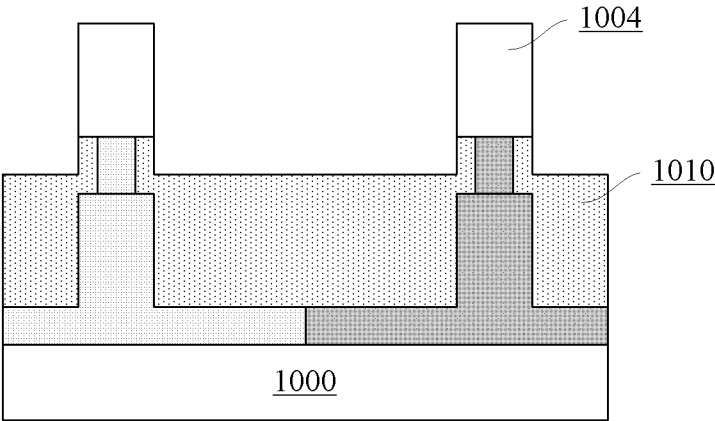


图7

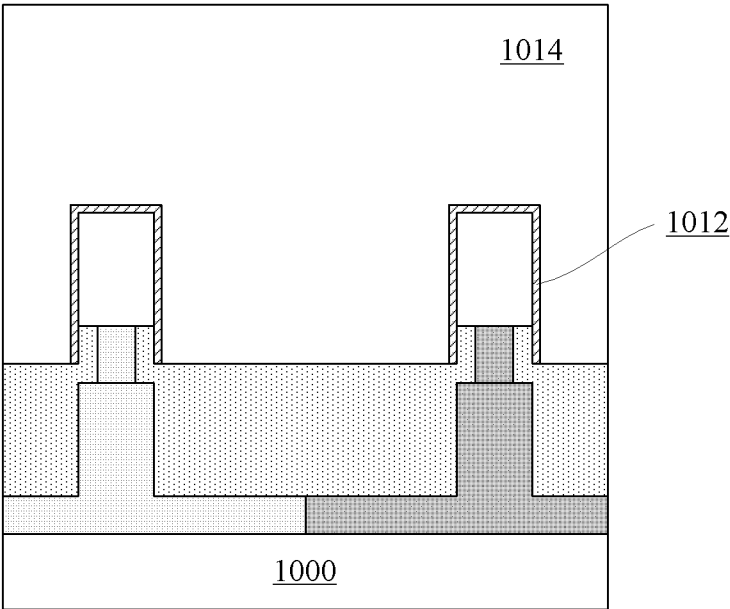
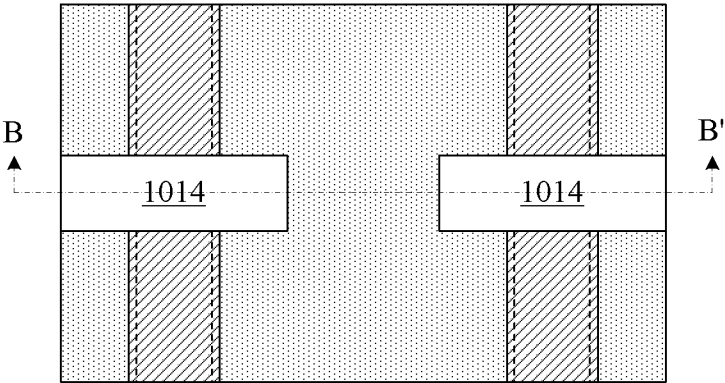


图8

(a)



(b)

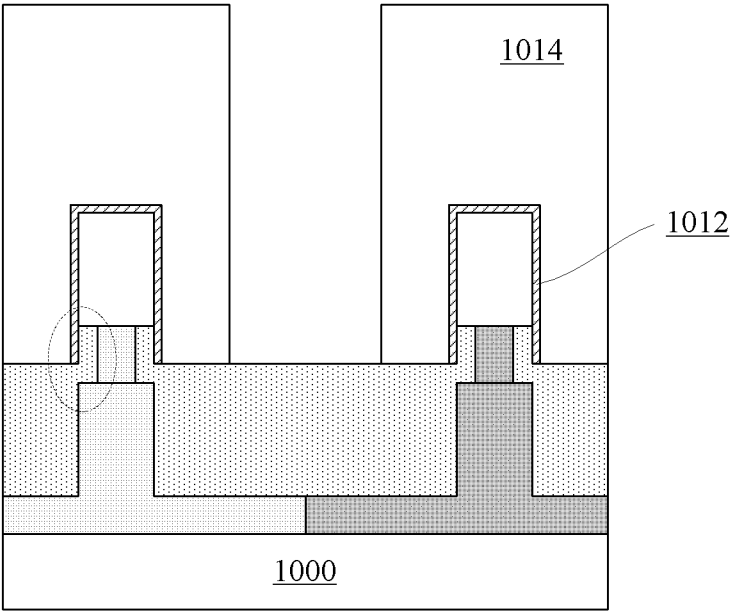
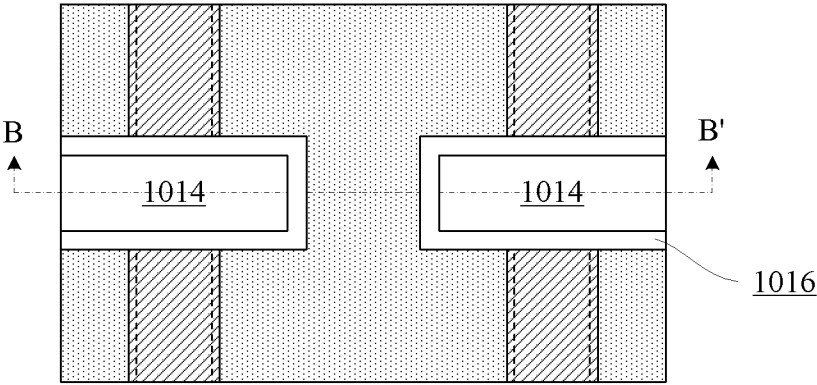


图9

(a)



(b)

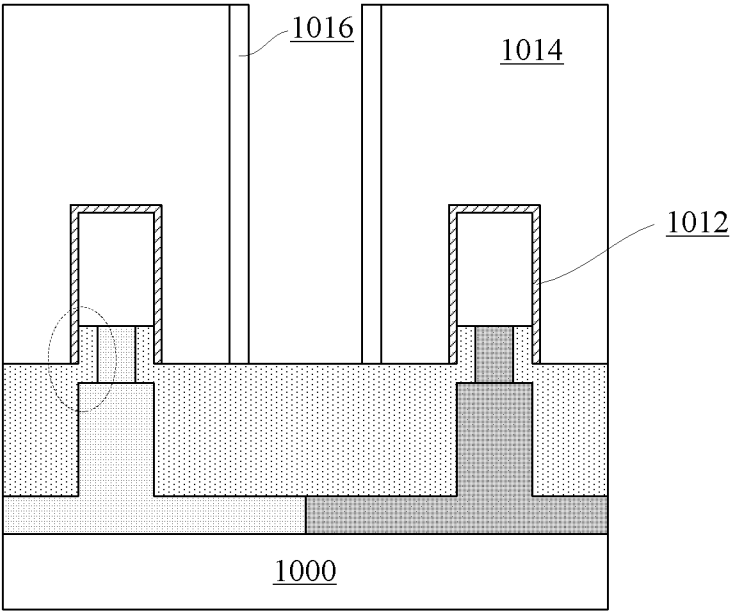


图10

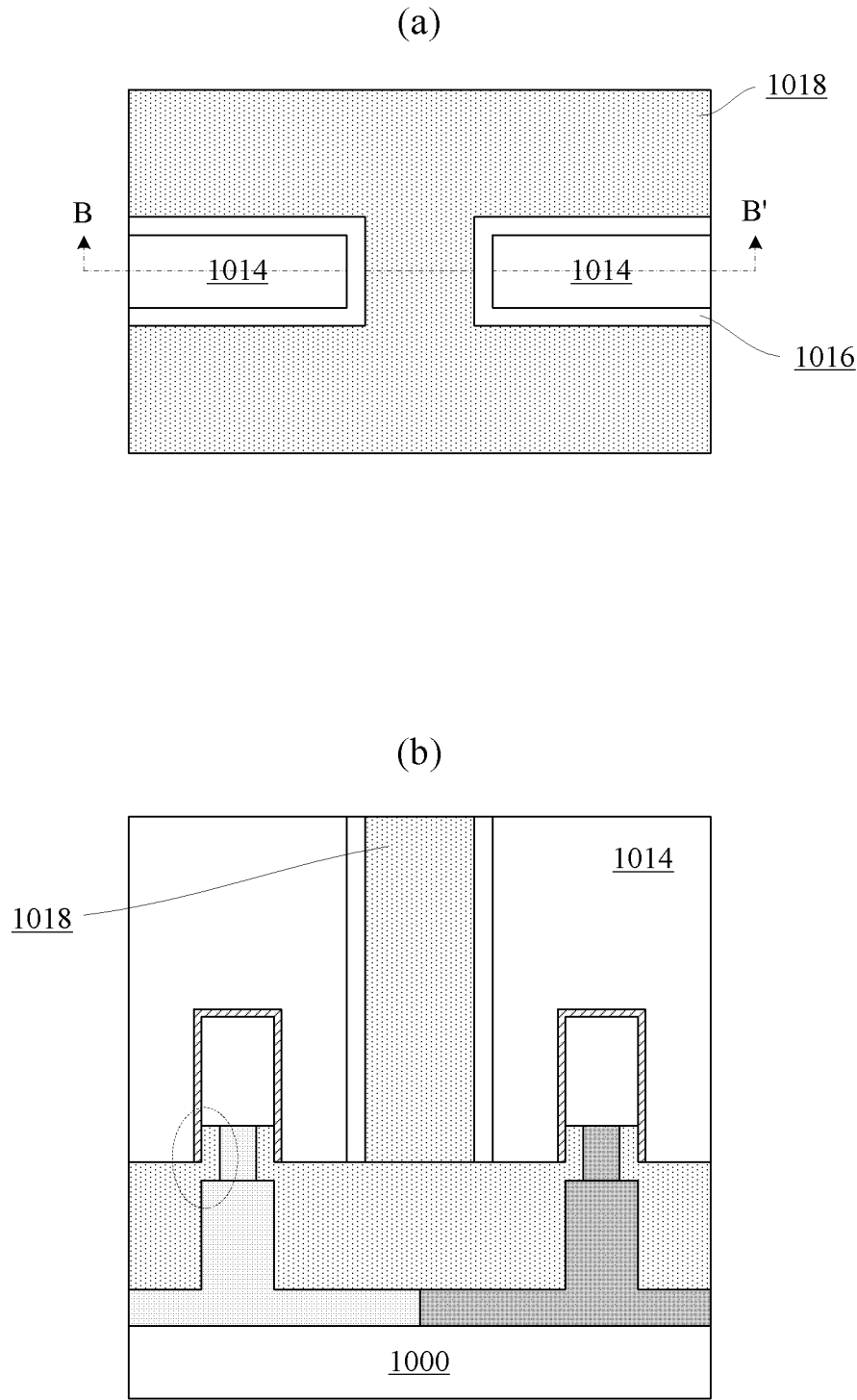


图11

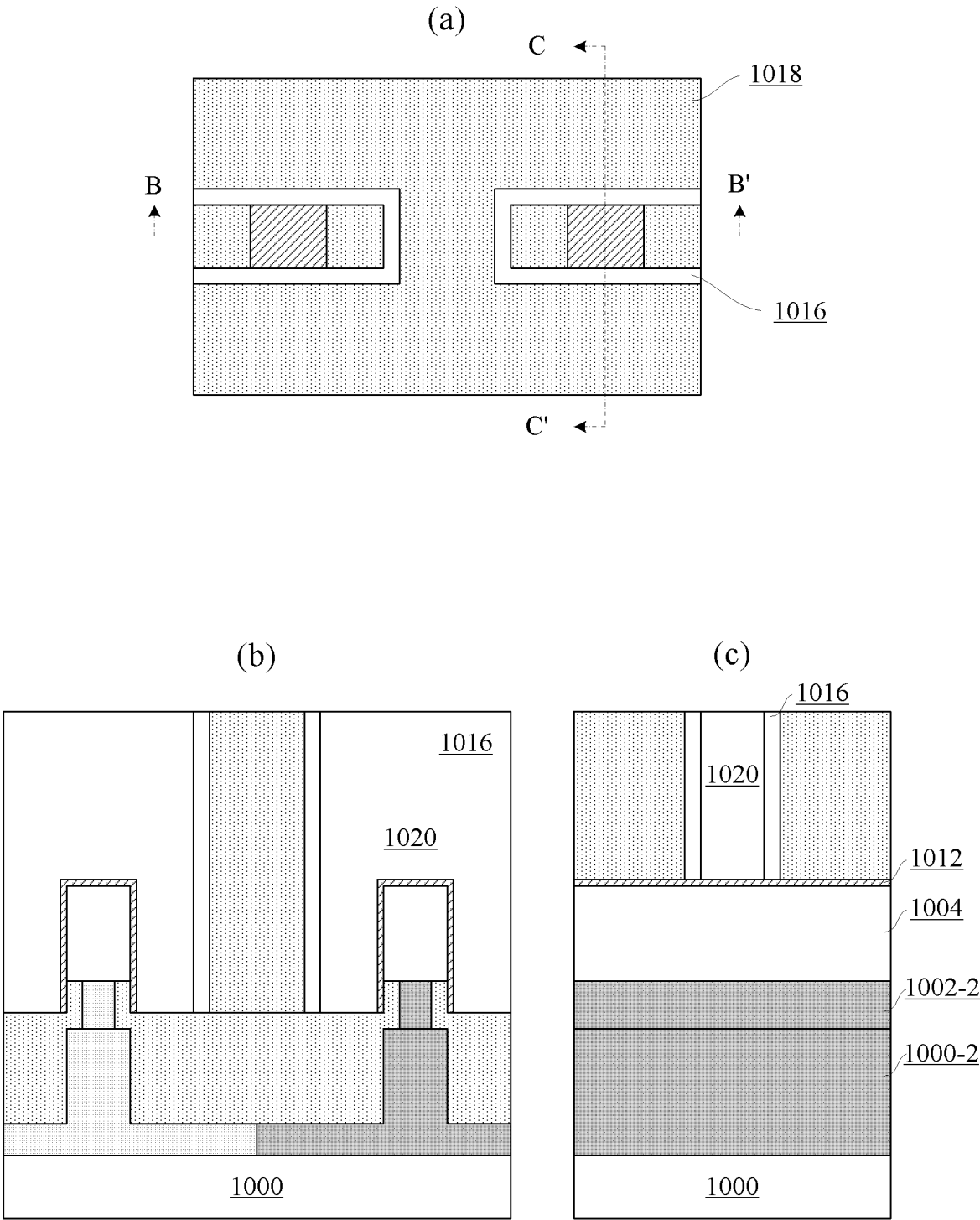


图12

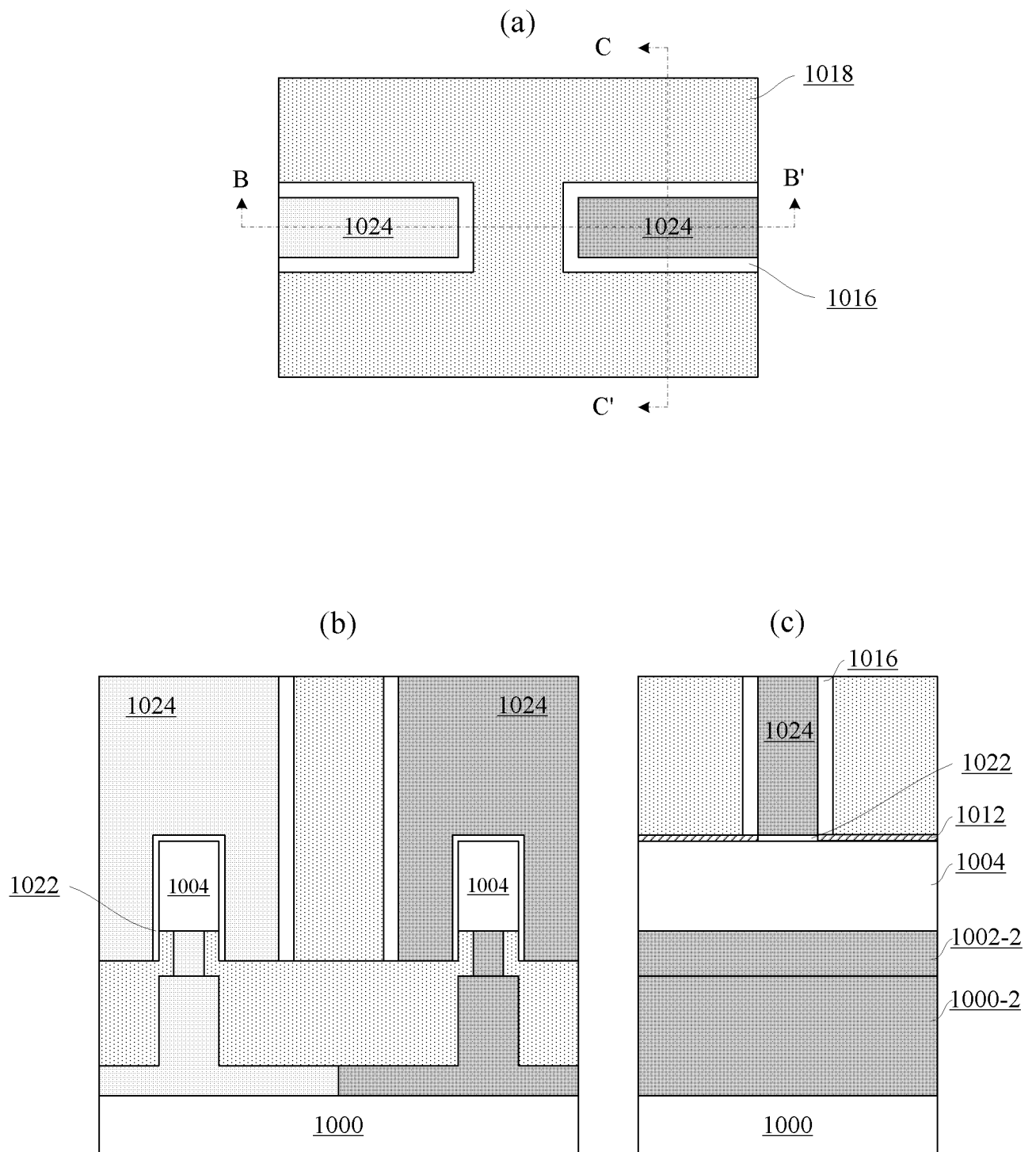


图13

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/084817

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/336; H01L 21/335; H01L 21/8232

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, DWPI, EPODOC: Fin, FinFET, depressed, sunk, parasitic capacitance, stray capacitance, tip, dielectric layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2004/0150029 A1 (LEE) 05 August 2004 (05.08.2004) the whole document	A
A	CN 102656699 A (INTEL CORP.) 05 September 2012 (05.09.2012) the whole document	A
A	CN 102446974 A (TAIWAN SEMICONDUCTOR MFG CO LTD) 09 May 2012 (09.05.2012) the whole document	A

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 31 July 2013 (31.07.2013)	Date of mailing of the international search report 22 August 2013 (22.08.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WU, Haitao Telephone No. (86-10) 62411857

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/084817

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2004/0150029 A1	05.08.2004	US 6885055 B2	26.04.2005
CN 102656699 A	05.09.2012	TW 201230327 A	16.07.2012
		JP 2013513250 W	18.04.2013
		KR 20120085929 A	01.08.2012
		US 2011/0147711 A1	23.06.2011
		WO 2011/087570 A1	21.07.2011
		EP 2517256 A1	31.10.2012
		US 8283653 B2	09.10.2012
CN 102446974 A	09.05.2012	US 2012/0091538 A1	19.04.2012
		US 8440517 B2	14.05.2013
		TW 201216467 A	16.04.2012

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/084817

Continuation of : CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 21/335 (2006.01) i

H01L 21/8232 (2006.01) n

国际检索报告

国际申请号

PCT/CN2012/084817

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/336; H01L 21/335; H01L 21/8232

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNKI,DWPI,EPODOC: 鳍, FinFET, 凹陷, 凹入, 介质层, 寄生电容, 尖端, Fin, depressed, sunk, parasitic capacitance, stray capacitance, tip, dielectric layer

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US2004/0150029A1 (LEE) 05.8 月 2004 (05.08.2004) 全文	1-14
A	CN102656699A (英特尔公司) 05.9 月 2012 (05.09.2012) 全文	1-14
A	CN102446974A (台湾积体电路制造股份有限公司) 09.5 月 2012 (09.05.2012) 全文	1-14



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

31.7 月 2013(31.07.2013)

国际检索报告邮寄日期

22.8 月 2013 (22.08.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

吴海涛

电话号码: (86-10) 62411857

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/084817

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2004/0150029 A1	05.08.2004	US6885055 B2	26.04.2005
CN102656699 A	05.09.2012	TW201230327 A	16.07.2012
		JP2013513250 W	18.04.2013
		KR20120085929 A	01.08.2012
		US2011/0147711 A1	23.06.2011
		WO2011/087570 A1	21.07.2011
		EP2517256 A1	31.10.2012
		US8283653 B2	09.10.2012
CN102446974 A	09.05.2012	US2012/0091538 A1	19.04.2012
		US8440517 B2	14.05.2013
		TW201216467 A	16.04.2012

主题的分类

H01L 21/336 (2006.01) i

H01L 21/335 (2006.01) i

H01L 21/8232 (2006.01) n