



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0052189
(43) 공개일자 2017년05월12일

(51) 국제특허분류(Int. Cl.)
H03F 3/387 (2006.01) A61B 5/02 (2006.01)
H03F 1/26 (2006.01) H03F 3/45 (2006.01)
(52) CPC특허분류
H03F 3/387 (2013.01)
A61B 5/02 (2013.01)
(21) 출원번호 10-2015-0154351
(22) 출원일자 2015년11월04일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김종팔
서울특별시 관악구 관악로 304, 101동 1101호 (봉천동, 관악현대아파트)
(74) 대리인
특허법인 무한

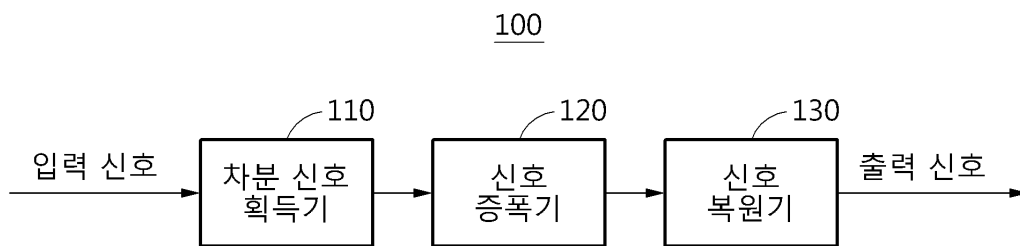
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 신호 처리 장치 및 신호 처리 방법

(57) 요약

신호 처리 장치 및 신호 처리 방법이 개시된다. 일 실시예에 따른 신호 처리 장치는 스위칭 동작에 기초하여 입력 신호의 차분 신호를 획득하는 차분 신호 획득기, 차분 신호를 증폭하여 증폭된 차분 신호를 출력하는 신호 증폭기 및 증폭된 차분 신호를 디지털 신호로 변환하고, 디지털 신호를 가산하여 출력 신호를 생성하는 신호 복원기를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

H03F 1/26 (2013.01)

H03F 3/45475 (2013.01)

명세서

청구범위

청구항 1

스위칭 동작에 기초하여 입력 신호의 차분 신호(difference signal)를 획득하는 차분 신호 획득기;

상기 차분 신호를 증폭하여 증폭된 차분 신호를 출력하는 신호 증폭기; 및

상기 증폭된 차분 신호를 디지털 신호로 변환하고, 상기 디지털 신호를 가산(summation)하여 출력 신호를 생성하는 신호 복원기

를 포함하는 신호 처리 장치.

청구항 2

제1항에 있어서,

상기 차분 신호 획득기는,

제1 제어 신호에 의해 제어되는 제1 스위치를 포함하고,

상기 제1 스위치는, 상기 제1 제어 신호에 따라 주기적으로 상기 신호 증폭기의 입력 단자를 기준 신호와 연결시키는 것에 의해 상기 차분 신호를 생성하는, 신호 처리 장치.

청구항 3

제2항에 있어서,

상기 제1 스위치가 단락 상태일 때 상기 신호 증폭기의 입력 단자가 기준 신호로 리셋되고,

상기 제1 스위치가 개방 상태일 때 상기 신호 증폭기의 입력 단자에 상기 입력 신호가 입력되는, 신호 처리 장치.

청구항 4

제2항에 있어서,

상기 제1 제어 신호는,

상기 제1 스위치가 상기 입력 신호의 주기보다 빠른 속도로 스위칭하도록 상기 제1 스위치를 제어하는, 신호 처리 장치.

청구항 5

제2항에 있어서,

상기 차분 신호 획득기는,

상기 입력 신호가 입력되는 제1 커패시터

를 더 포함하고,

상기 제1 스위치의 일단, 상기 제1 커패시터의 일단 및 상기 신호 증폭기의 입력 단자는 서로 연결되는, 신호 처리 장치.

청구항 6

제1항에 있어서,

상기 차분 신호 획득기는,

상기 스위칭 동작을 통해 일정 시간 구간에서의 상기 입력 신호의 변화를 반영하는 상기 차분 신호를 획득하는,

신호 처리 장치.

청구항 7

제1항에 있어서,

상기 신호 복원기는,

상기 증폭된 차분 신호를 샘플링하고, 샘플링된 신호를 홀드하는 샘플 및 홀드부;

상기 샘플링된 신호를 디지털 신호로 변환하는 신호 변환기; 및

상기 디지털 신호를 가산하여 상기 출력 신호를 생성하는 신호 가산기

를 포함하는 신호 처리 장치.

청구항 8

제7항에 있어서,

상기 샘플 및 홀드부는,

상기 스위칭 동작을 수행하는 제1 스위치가 단락되기 이전 시점에서 상기 증폭된 차분 신호를 샘플링하는, 신호 처리 장치.

청구항 9

제7항에 있어서,

상기 신호 복원기는,

상기 샘플링된 신호에 대해 로우 패스 필터링을 수행하는 필터

를 더 포함하고,

상기 신호 변환기는, 상기 로우 패스 필터링이 수행된 신호를 디지털 신호로 변환하는 신호 처리 장치.

청구항 10

스위칭 동작에 기초하여 입력 신호의 차분 신호를 획득하는 단계;

상기 차분 신호를 증폭하는 단계;

상기 증폭된 차분 신호를 디지털 신호로 변환하는 단계; 및

상기 디지털 신호를 가산하여 출력 신호를 생성하는 단계

를 포함하는 신호 처리 방법.

청구항 11

제1 입력 신호를 신호 증폭기의 제1 및 제2 입력 단자에 교대로 전달하는 제1 입력부;

제2 입력 신호를 상기 신호 증폭기의 제3 및 제4 입력 단자에 교대로 전달하는 제2 입력부; 및

상기 제1 입력 신호 및 상기 제2 입력 신호에 기초한 차동 신호(differential signal)를 증폭하여 출력하는 신호 증폭기

를 포함하는 신호 처리 장치.

청구항 12

제11항에 있어서,

상기 제1 입력부는,

제1 제어 신호에 기초하여 스위칭 동작이 제어되는 제1 스위치; 및

제2 제어 신호에 기초하여 스위칭 동작이 제어되는 제2 스위치
포함하는 신호 처리 장치.

청구항 13

제12항에 있어서,

제1 단계(phase)에서, 상기 제1 스위치는 단락되어 제1 기준 신호를 상기 제1 입력 단자에 전달하고, 상기 제2 스위치는 개방되어 상기 제1 입력 신호를 상기 제2 입력 단자에 전달하고,

제2 단계에서, 상기 제1 스위치는 개방되어 상기 제1 입력 신호를 상기 제1 입력 단자에 전달하고, 상기 제2 스위치는 단락되어 상기 제1 기준 신호를 상기 제2 입력 단자에 전달하는, 신호 처리 장치.

청구항 14

제12항에 있어서,

상기 제1 스위치의 일단 및 상기 제2 스위치의 일단은 기준 신호와 연결되는, 신호 처리 장치.

청구항 15

제12항에 있어서,

상기 제1 입력부는,

상기 제1 스위치 및 상기 제1 입력 단자와 연결된 제1 커패시터; 및

상기 제2 스위치 및 상기 제2 입력 단자와 연결된 제2 커패시터

를 더 포함하는 신호 처리 장치.

청구항 16

제11항에 있어서,

상기 제2 입력부는,

제3 제어 신호에 기초하여 스위칭 동작이 제어되는 제3 스위치; 및

상기 제3 제어 신호와 중첩되지 않는 제4 제어 신호에 기초하여 스위칭 동작이 제어되는 제4 스위치

를 포함하는 신호 처리 장치.

청구항 17

제16항에 있어서,

제1 단계에서, 상기 제3 스위치는 단락되어 제2 기준 신호를 상기 제3 입력 단자에 전달하고, 상기 제4 스위치는 개방되어 상기 제2 입력 신호를 상기 제4 입력 단자에 전달하고,

제2 단계에서, 상기 제3 스위치는 개방되어 상기 제2 입력 신호를 상기 제3 입력 단자에 전달하고, 상기 제4 스위치는 단락되어 상기 제2 기준 신호를 상기 제4 입력 단자에 전달하는, 신호 처리 장치.

청구항 18

제16항에 있어서,

상기 제2 입력부는,

상기 제3 스위치 및 상기 제3 입력 단자와 연결되는 제3 커패시터; 및

상기 제4 스위치 및 상기 제4 입력 단자와 연결된 제4 커패시터

를 더 포함하는 신호 처리 장치.

발명의 설명

기술 분야

[0001] 아래의 설명은 신호 처리 기술에 관한 것이다.

배경 기술

[0002] 계측 증폭기(Instrumentation Amplifier, IA)는 다양한 신호를 측정하기 위해 사용된다. 예를 들어, 계측 증폭기는 의료 분야에서 심전도(ECG, electrocardiogram)나 근전도(EMG, electromyogram), 광전용적맥파(PPG, photoplethysmogram), 체저항 또는 움직임 신호 등과 같은 생체 신호를 측정하여 증폭하는데 이용될 수 있다. 일반적으로, 계측 증폭기는 낮은 오프셋(offset), 적은 소음, 높은 동상 신호 제거(high common mode rejection), 높은 루프 이득, 높은 입력 저항을 나타내는 차동 증폭기(differential amplifier)로 구성될 수 있다. 차동 증폭기는 회로 동작 범위(operation range) 내에서 입력 신호를 증폭하여 출력한다.

발명의 내용

과제의 해결 수단

- [0003] 일 실시예에 따른 신호 처리 장치는, 스위칭 동작에 기초하여 입력 신호의 차분 신호를 획득하는 차분 신호 획득기; 상기 차분 신호를 증폭하여 증폭된 차분 신호를 출력하는 신호 증폭기; 및 상기 증폭된 차분 신호를 디지털 신호로 변환하고, 상기 디지털 신호를 가산하여 출력 신호를 생성하는 신호 복원기를 포함할 수 있다.
- [0004] 일 실시예에 따른 신호 처리 장치에서, 상기 차분 신호 획득기는, 제1 제어 신호에 의해 제어되는 제1 스위치를 포함하고, 상기 제1 스위치는, 상기 제1 제어 신호에 따라 주기적으로 상기 신호 증폭기의 입력 단자를 기준 신호와 연결시키는 것에 의해 상기 차분 신호를 생성할 수 있다.
- [0005] 일 실시예에 따른 신호 처리 장치에서, 상기 제1 스위치가 단락 상태일 때 상기 신호 증폭기의 입력 단자가 기준 신호로 리셋되고, 상기 제1 스위치가 개방 상태일 때 상기 신호 증폭기의 입력 단자에 상기 입력 신호가 입력될 수 있다.
- [0006] 일 실시예에 따른 신호 처리 장치에서, 상기 제1 제어 신호는, 상기 제1 스위치가 상기 입력 신호의 주기보다 빠른 속도로 스위칭하도록 상기 제1 스위치를 제어할 수 있다.
- [0007] 일 실시예에 따른 신호 처리 장치에서, 상기 차분 신호 획득기는, 상기 입력 신호가 입력되는 제1 커패시터를 더 포함하고, 상기 제1 스위치의 일단, 상기 제1 커패시터의 일단 및 상기 신호 증폭기의 입력 단자는 서로 연결될 수 있다.
- [0008] 일 실시예에 따른 신호 처리 장치에서, 상기 신호 복원기는, 상기 증폭된 차분 신호를 샘플링하고, 샘플링된 신호를 홀드하는 샘플 및 홀드부; 상기 샘플링된 신호를 디지털 신호로 변환하는 신호 변환기; 및 상기 디지털 신호를 가산하여 상기 출력 신호를 생성하는 신호 가산기를 포함할 수 있다.
- [0009] 일 실시예에 따른 신호 처리 장치에서, 상기 샘플 및 홀드부는, 상기 스위칭 동작을 수행하는 제1 스위치가 단락되기 이전 시점에서 상기 증폭된 차분 신호를 샘플링할 수 있다.
- [0010] 다른 실시예에 따른 신호 처리 장치는, 제1 입력 신호를 신호 증폭기의 제1 및 제2 입력 단자에 교대로 전달하는 제1 입력부; 제2 입력 신호를 상기 신호 증폭기의 제3 및 제4 입력 단자에 교대로 전달하는 제2 입력부; 및 상기 제1 입력 신호 및 상기 제2 입력 신호에 기초한 차동 신호를 증폭하여 출력하는 신호 증폭기를 포함할 수 있다.
- [0011] 다른 실시예에 따른 신호 처리 장치에서, 상기 제1 입력부는, 제1 제어 신호에 기초하여 스위칭 동작이 제어되는 제1 스위치; 및 상기 제1 제어 신호와 중첩되지 않는 제2 제어 신호에 기초하여 스위칭 동작이 제어되는 제2 스위치를 포함할 수 있다.
- [0012] 다른 실시예에 따른 신호 처리 장치에서, 제1 단계에서, 상기 제1 스위치는 단락되어 제1 기준 신호를 상기 제1 입력 단자에 전달하고, 상기 제2 스위치는 개방되어 상기 제1 입력 신호를 상기 제2 입력 단자에 전달하고, 제2 단계에서, 상기 제1 스위치는 개방되어 상기 제1 입력 신호를 상기 제1 입력 단자에 전달하고, 상기 제2 스위치는 단락되어 상기 제1 기준 신호를 상기 제2 입력 단자에 전달할 수 있다.

[0013] 다른 실시예에 따른 신호 처리 장치에서, 상기 제2 입력부는, 제3 제어 신호에 기초하여 스위칭 동작이 제어되는 제3 스위치; 및 상기 제3 제어 신호와 중첩되지 않는 제4 제어 신호에 기초하여 스위칭 동작이 제어되는 제4 스위치를 포함할 수 있다.

[0014] 일 실시예에 따른 신호 처리 방법은, 스위칭 동작에 기초하여 입력 신호의 차분 신호를 획득하는 단계; 상기 차분 신호를 증폭하는 단계; 상기 증폭된 차분 신호를 디지털 신호로 변환하는 단계; 및 상기 디지털 신호를 가산하여 출력 신호를 생성하는 단계를 포함할 수 있다.

도면의 간단한 설명

[0015] 도 1은 일 실시예에 따른 신호 처리 장치의 구성을 도시하는 도면이다.

도 2는 일 실시예에 따른 신호 복원기의 구성을 도시하는 도면이다.

도 3은 일 실시예에 따른 신호 처리 장치에 의해 수행되는 신호 처리를 설명하기 위한 도면이다.

도 4a 및 도 4b는 일 실시예에 따른 신호 처리 장치를 구현하기 위한 회로의 일례를 설명하기 위한 도면들이다.

도 5는 일 실시예에 따른 도 4a의 신호 처리 장치에 적용되는 제어 신호들 및 신호 처리 장치로부터 측정된 신호들의 일례를 도시하는 도면이다.

도 6은 다른 실시예에 따른 신호 처리 장치를 설명하기 위한 도면이다.

도 7a 및 도 7b는 일 실시예에 따른 도 6의 신호 처리 장치에 적용되는 제어 신호들 및 신호 처리 장치로부터 측정된 신호들의 일례를 도시하는 도면들이다.

도 8은 일 실시예에 따른 신호 처리 방법의 동작을 도시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 아래의 특정한 구조적 내지 기능적 설명들은 단지 실시예들을 설명하기 위한 목적으로 예시된 것으로, 특허출원의 범위가 본 명세서에 설명된 내용에 한정되는 것으로 해석되어서는 안된다. 설명한 분야에 속하는 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 본 명세서에서 "일 실시예" 또는 "실시예"에 대한 언급은 그 실시예와 관련하여 설명되는 특정한 특징, 구조 또는 특성이 적어도 하나의 실시예에 포함된다는 것을 의미하며, "일 실시예" 또는 "실시예"에 대한 언급이 모두 동일한 실시예를 지칭하는 것이라고 이해되어서는 안된다.

[0017] 제1 또는 제2 등의 용어가 다양한 구성요소들을 구분하기 위해 사용될 수 있지만, 구성요소들이 제1 또는 제2의 용어에 의해 한정되는 것으로 해석되어서는 안된다. 또한, 실시예에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 실시예를 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0018] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.

[0019] 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0020] 이하, 실시예들을 첨부된 도면들을 참조하여 상세하게 설명한다. 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.

[0021] 도 1은 일 실시예에 따른 신호 처리 장치의 구성을 도시하는 도면이다.

[0022] 도 1을 참조하면, 신호 처리 장치(100)는 입력 신호(예를 들어, 생체 신호 등)를 증폭하여 출력한다. 신호 처리 장치(100)는 입력 신호에 대한 차분 신호(difference signal)를 획득하고, 차분 신호를 증폭한 후 복원할 수 있다. 이를 통해, 회로의 동작 범위보다 넓은 범위의 입력 신호를 측정하는 것이 가능할 수 있다. 여기서, 차분 신호는 일정 시간 구간에서의 입력 신호의 변화를 반영하는 신호이다. 이하에서는 신호 처리 장치(100)의

구성들에 기초하여 신호 처리 장치(100)의 기능 및 동작을 보다 자세히 설명하도록 한다.

- [0023] 신호 처리 장치(100)는 차분 신호 획득기(110), 신호 증폭기(120) 및 신호 복원기(130)를 포함한다. 차분 신호 획득기(110)는 입력 신호로부터 차분 신호를 획득한다. 차분 신호 획득기(110)는 기준 신호를 기준으로 일정 시간 구간에서의 입력 신호의 변화가 반영된 차분 신호를 획득할 수 있다. 기준 신호는 예를 들어, 미리 설정된 전압 값을 가지는 바이어스 전압일 수 있다. 일 실시예에 따르면, 차분 신호는 주기적으로 기준 신호의 신호 값으로 설정되고, 기준 신호의 신호 값을 시작점으로 하여 입력 신호의 변화를 반영하는 신호 형태를 가질 수 있다.
- [0024] 차분 신호 획득기(110)는 제어 신호에 의해 제어되는 스위치의 스위칭 동작을 통해 차분 신호를 획득할 수 있다. 여기서, 스위칭이란 스위치가 단락(short) 상태와 개방(open) 상태 사이에서 전환되는 것을 나타낸다. 일 실시예에 따르면, 차분 신호 획득기(110)는 주기적으로 스위치를 단락하여 신호 증폭기(120)의 입력 단자를 기준 신호로 리셋(reset)시킨 후 스위치를 개방하여 입력 신호의 변화를 반영하는 차분 신호를 획득할 수 있다. 스위치는 입력 신호의 주기(period)보다 빠른 주기로 스위칭될 수 있다. 차분 신호 획득기(110)가 스위칭 동작을 통해 차분 신호를 획득하는 과정은 도 4a 및 도 4b를 참조하여 아래에서 보다 자세히 설명한다.
- [0025] 신호 증폭기(120)는 차분 신호 획득기(110)로부터 입력된 차분 신호를 증폭하여 증폭된 차분 신호를 출력한다. 일 실시예에 따르면, 차분 신호는 주기적으로 기준 신호의 신호 값(예를 들어 전압 값)으로 리셋되기 때문에 차분 신호의 진폭 변화의 범위(신호 범위)는 입력 신호의 진폭 변화의 범위보다 작다. 신호 처리 장치(100)에 신호 증폭기(120)가 증폭할 수 있는 신호 범위를 벗어나는 입력 신호가 입력된다고 하더라도, 신호 범위가 줄어든 차분 신호가 신호 증폭기(120)에 입력됨으로써 정상적인 증폭이 가능하다.
- [0026] 신호 복원기(130)는 신호 증폭기(120)로부터 출력된 증폭된 차분 신호에 기초하여 원(original) 입력 신호에 대한 정보를 복원한다. 일 실시예에 따르면, 신호 복원기(130)는 증폭된 차분 신호를 디지털 신호로 변환하고, 변환된 디지털 신호를 가산(summation, 또는 누적)하여 출력 신호를 생성할 수 있다. 여기서, 출력 신호는 신호 처리 장치(100)의 입력 신호가 증폭되어 디지털 신호로 변환된 신호에 대응될 수 있다. 신호 복원기(130)가 신호를 복원하는 과정은 도 2, 도 4a 및 도 4b를 참조하여 아래에서 보다 자세히 설명한다.
- [0027] 일 실시예에 따르면, 신호 처리 장치(100)는 측정된 신호를 증폭하여 출력하는 회로에 적용될 수 있다. 일반적으로, 회로의 입력 범위보다 넓은 신호 범위의 신호가 증폭단에 입력되는 경우, 증폭단에서는 포화(saturation)가 발생하여 신호가 정상적으로 증폭되지 않을 수 있다. 신호 처리 장치(100)는 전술한 바와 같이 넓은 신호 범위의 신호를 작은 신호 범위의 신호로 변환하여 증폭함으로써, 회로의 입력 범위보다 넓은 신호 범위의 입력 신호가 입력된다 하더라도 입력 신호를 정상적으로 증폭하여 출력할 수 있다.
- [0028] 또한, 신호 처리 장치(100)는 회로의 동작 전압을 낮춤으로써 소비 전력을 저감시킬 수 있다. 일반적으로, 회로의 소비 전력은 회로의 동작 전압과 회로에서 소비되는 전류에 의해 결정된다. 예를 들어, 입력 신호의 변화 범위가 30mV 이고 입력 신호의 증폭률이 100 배라고 가정하면, 회로의 정상적인 동작을 위해서는 3V 이상의 회로 동작 전압이 필요하다. 그러나, 실시예들에 따르면, 변화 범위가 30mV인 입력 신호가 예를 들어, 변화 범위가 5mV 이내인 시계열 상의 차분 신호로 변환될 수 있고, 해당 차분 신호를 100배 증폭하는 경우 0.5V 이내의 증폭된 신호 범위를 가지므로 회로의 동작 전압은 0.5V까지 낮아질 수 있다. 회로의 동작 전압이 낮아짐에 따라 회로의 소비 전력이 저감될 수 있다.
- [0029] 또한, 실시예에 따르면 회로의 입력부에서 입력 신호가 신호 범위(또는, 스윙(swing))가 작은 신호로 변화됨에 따라 고조파 왜곡(harmonic distortion)에 의한 영향이 줄어들 수 있고, 이에 따라 회로 설계의 난이도가 경감될 수 있다.
- [0030] 또한, 실시예에 따르면 입력 신호의 초기 안정화 시간을 필요로 하는 영역에서 초기 안정화 시간이 줄어들어 사용자 편의성이 개선될 수 있다. 예를 들어, 심전도 등과 같은 생체 신호를 이용한 개인 인증에서는 신호원과 회로가 서로 연결된 후 빠른 측정 및 인증 과정이 수행되어야 한다. 일반적으로, 금속 전극(metal electrode)을 이용하여 생체 신호를 측정하는 경우, 금속 재료의 분극(polarization) 특성으로 인하여 금속 전극이 인체에 접촉한 후 수 초(seconds)가 지나야 측정된 생체 신호가 처리 가능한 범위 내로 안정화된다. 생체 신호의 초기 안정화 과정에 소요되는 시간으로 인해 인증 시간이 길어질 수 있다. 실시예에 따르면, 금속 전극을 통해 측정된 생체 신호가 회로의 동작 범위보다 크더라도, 생체 신호를 회로의 동작 범위에 포함되는 신호로 변환하여 처리함으로써 초기 안정화 과정에 필요한 시간이 짧아질 수 있고, 이를 통해 인증에 소요되는 시간이 줄어들어 사용자 편의성이 개선될 수 있다.

- [0031] 도 2는 일 실시예에 따른 신호 복원기의 구성을 도시하는 도면이다. 도 2를 참조하면, 일 실시예에 따른 신호 복원기(130)는 샘플 및 홀드부(210), 신호 변환기(230) 및 신호 가산기(240)를 포함한다.
- [0032] 샘플 및 홀드부(210)는 신호 증폭기(120)로부터 출력된 신호를 샘플링(sampling) 및 홀드(hold)할 수 있다. 예를 들어, 샘플 및 홀드부(210)는 스위치를 이용하여 신호 증폭기(120)로부터 출력된 신호를 샘플링하고, 샘플링된 신호를 저장 소자(예를 들어, 커패시터)에 저장할 수 있다.
- [0033] 신호 변환기(230)는 샘플 및 홀드부(210)에 의해 샘플링 및 홀드된 신호를 디지털 영역의 신호로 변환할 수 있다. 예를 들어, 신호 변환기(230)는 아날로그 신호를 디지털 신호로 변환하는 아날로그 디지털 컨버터(analog-to-digital converter)를 이용하여 샘플 및 홀드부(210)의 출력 신호를 디지털 신호로 변환할 수 있다.
- [0034] 신호 가산기(240)는 신호 변환기(230)로부터 출력된 디지털 신호를 가산하여 출력 신호를 생성할 수 있다. 신호 변환기(230)에 의해 변환된 디지털 신호는 입력 신호를 주기적으로 차분하여 획득된 정보를 포함하고 있기 때문에, 해당 디지털 신호를 가산함으로써 원(original) 입력 신호에 대한 정보가 복원될 수 있다.
- [0035] 다른 실시예에 따르면, 신호 복원기(130)는 필터(220)를 더 포함할 수 있다. 필터(220)는 샘플 및 홀드부(210)에 의해 샘플링된 신호에 대해 로우 패스 필터링(low pass filtering)을 수행하여 해당 샘플링된 신호에 포함된 고주파 노이즈 성분을 저감시킬 수 있다. 신호 변환기(230)는 로우 패스 필터링이 수행된 신호를 디지털 신호로 변환하고, 신호 가산기(240)는 해당 디지털 신호를 가산하여 출력 신호를 생성할 수 있다.
- [0036] 도 3은 일 실시예에 따른 신호 처리 장치에 의해 수행되는 신호 처리를 설명하기 위한 도면이다.
- [0037] 도 3을 참조하면, 도면 부호(310)는 차분 신호 획득기(110)에 입력되는 입력 신호의 일례를 나타낸다. 'A'는 일정 시간 구간에서의 입력 신호(310)의 신호 범위를 나타낸다.
- [0038] 차분 신호 획득기(110)는 시간 주기 T를 가지는 스위칭 동작을 통해 입력 신호(310)로부터 시계열상의 차분 신호를 획득할 수 있다. 획득된 차분 신호가 도면 부호(320)에 도시되어 있다. 차분 신호(320)는 시간 주기 T에 도달할 때마다 기준 신호의 신호 값으로 설정되고, 설정된 후 T의 시간 동안 입력 신호의 변화를 반영한다. 'a'는 차분 신호(320)가 가지는 최대 신호 범위를 나타낸다.
- [0039] 차분 신호(320)는 신호 증폭기(120)에 증폭되고, 증폭된 차분 신호가 도면 부호(330)에 도시되어 있다. 'aa'는 증폭된 차분 신호(330)가 가지는 최대 신호 범위를 나타낸다.
- [0040] 증폭된 차분 신호(330)는 신호 복원기(130)에 의해 디지털 신호로 변환될 수 있다. 변환된 디지털 신호의 형태가 도면 부호(340)에 도시되어 있다. 신호 복원기(130)는 차분 신호 획득기(110)에 의해 주기적으로 차분화가 시작되는 각 시점(point in time)들의 이점 시점에서, 신호 증폭기(120)로부터 출력되는 증폭된 차분 신호(330)를 샘플링하고, 샘플링된 값을 디지털 신호 값으로 변환할 수 있다. ' $t_d[n-1]$, $t_d[n]$, $t_d[n+1]$ '는 각각 차분 신호 획득기(110)에 의해 차분화가 시작되는 시점(또는, 신호 증폭기(120)의 입력 단자가 기준 신호의 신호 값으로 리셋되는 시점)들을 나타내고, ' $t_c[n-1]$, $t_c[n]$, $t_c[n+1]$ '는 각각 신호 복원기(130)에 의해 아날로그-디지털 변환이 시작되는 시점들을 나타낸다.
- [0041] 도 4a 및 도 4b는 일 실시예에 따른 신호 처리 장치를 구현하기 위한 회로의 일례를 설명하기 위한 도면들이다. 도 4a를 참조하면, 신호 처리 장치(400)는 차분 신호 획득기(110), 신호 증폭기(120) 및 신호 복원기(130)를 포함한다.
- [0042] 차분 신호 획득기(110)는 제1 스위치(420) 및 제1 커패시터(410)를 포함할 수 있다. 제1 스위치(420)의 일단은 신호 증폭기(120)의 입력 단자 및 제1 커패시터(410)에 연결될 수 있고, 제1 스위치(420)의 타단은 제1 기준 신호(430)에 연결될 수 있다. 제1 커패시터(410)의 일단은 제1 스위치(420) 및 신호 증폭기(120)의 입력 단자에 연결될 수 있다.
- [0043] 제1 스위치(420)는 제1 제어 신호에 기초하여 스위칭 동작이 제어되고, 입력 신호의 주기(또는, 대역폭)보다 빠르게 스위칭될 수 있다. 일 실시예에 따르면, 제1 제어 신호는 제1 스위치(420)가 입력 신호의 주기보다 2배 이상 빠른 속도로 스위칭되도록 제1 스위치(420)를 제어할 수 있다.
- [0044] 제1 스위치(420)가 개방 상태일 때 제1 커패시터(410)를 통과한 입력 신호가 신호 증폭기(120)에 입력되고, 제1 스위치(420)가 단락 상태일 때 신호 증폭기(120)의 입력 단자가 제1 기준 신호(430)의 신호 값(예를 들어, 바이어스 전압의 전압 값)으로 리셋될 수 있다. 신호 처리 장치(400)의 앞 단에 위치한 제1 커패시터(410)는 입력 신호에서 불필요한 직류 성분을 제거하여 입력 신호의 직류 성분이 신호 증폭기(120)에 전달되는 것을 방지할

수 있고, 제1 스위치(420)가 단락 상태가 되었을 때 신호 증폭기(120)의 입력 단자를 제1 기준 신호(430)의 신호 값으로 유지할 수 있다.

[0045] 제1 스위치(420)가 단락 상태에서 개방 상태로 변환 후, 신호 증폭기(120)에 입력되는 신호는 제1 기준 신호(430)의 신호 값을 시작점으로 하여 입력 신호가 변하는 만큼 따라 변화하게 된다. 제1 스위치(420)가 단락될 때마다, 신호 증폭기(120)의 입력 단자는 제1 기준 신호(430)의 신호 값으로 설정되고, 제1 스위치(420)가 개방되면 제1 기준 신호(430)의 신호 값을 시작점으로 하여 입력 신호의 변화가 반영된 신호가 신호 증폭기(120)에 입력될 수 있다. 이와 같은 제1 스위치(420)의 스위칭 동작을 통해, 제1 스위치(420)가 단락된 시간 구간 동안 입력 신호의 변화가 반영되어 나타나는 차분 신호가 획득될 수 있다.

[0046] 신호 증폭기(120)는 차분 신호 획득기(110)에 의해 획득된 차분 신호를 증폭한다. 일 실시예에 따르면, 신호 증폭기(120)의 입력 단자에는 신호 증폭기(120)의 기준 바이어스를 설정하기 위해 제1 스위치(420)와 병렬로 연결된 바이어스 저항(미도시)이 연결될 수 있다.

[0047] 샘플 및 홀드부(210)는 제2 스위치(440) 및 제2 커패시터(450)를 포함할 수 있다. 제2 스위치(440)의 일단은 신호 증폭기(120)의 출력 단자에 연결될 수 있고, 제2 스위치(440)의 타단은 제2 커패시터(450) 및 필터(220)에 연결될 수 있다. 제2 커패시터(450)의 일단은 제2 스위치(440) 및 필터(220)에 연결되고, 제2 커패시터(450)의 타단은 제2 기준 신호(460)에 연결될 수 있다. 일 실시예에 따르면, 제2 기준 신호(460)는 제1 기준 신호(430)와 동일한 신호 값을 가질 수 있다.

[0048] 제2 스위치(440)는 제2 제어 신호에 기초하여 신호 증폭기(120)의 출력 신호를 샘플링할 수 있다. 제2 커패시터(450)는 제2 스위치(440)에 의해 샘플링된 신호를 홀드할 수 있다. 제2 제어 신호는 제1 스위치(420)가 리셋되기 이전(예를 들어, 제1 스위치(420)가 단락되기 바로 전)의 시점에서 신호 증폭기(120)의 출력 신호를 샘플링하도록 제2 스위치(440)를 제어할 수 있다.

[0049] 필터(220)는 제2 커패시터(450)에 저장된 신호(제2 스위치(440)에 의해 샘플링된 신호)에 대해 로우 패스 필터링을 수행할 수 있다. 로우 패스 필터링이 수행된 신호는 신호 변환기(230)에 의해 디지털 신호로 변환될 수 있다. 신호 가산기(240)는 신호 변환기(230)에 의해 변환된 디지털 신호를 가산하여 원(original) 입력 신호의 정보를 복원할 수 있다.

[0050] 일 실시예에 따르면, 신호 처리 장치(400)는 제1 제어 신호 및 제2 제어 신호를 생성하고, 신호 처리 장치(400)의 전체적인 동작을 제어하기 위한 제어기(미도시)를 더 포함할 수 있다.

[0051] 신호 처리 장치(400)의 각 노드들에서 측정된 신호 파형의 일례가 도 4b에 도시되어 있다. 도 4b를 참조하면, 노드(470)를 통해 입력 신호 V_{in} 가 입력되고, 제1 스위치(420)의 스위칭 동작에 의해 차분 신호 V_{A_i} 가 획득될 수 있다. 제1 제어 신호에 의해 결정되는 제1 스위치(420)의 스위칭 동작 주기에 따라 차분 신호 V_{A_i} 의 주기(495)가 결정될 수 있다. 차분 신호 V_{A_i} 는 신호 증폭기(120)의 입력 단자(472)를 통해 입력되어 신호 증폭기(120)에 의해 증폭되고, 증폭된 차분 신호 V_{A_o} 는 신호 증폭기(120)의 출력 단자(474)를 통해 출력될 수 있다.

[0052] 증폭된 차분 신호 V_{A_o} 는 제2 스위치(440)에 의해 샘플링되고, 노드(476)에서 샘플링된 신호 V_{SH} 가 획득될 수 있다. 필터(220)는 신호 V_{SH} 에 대해 로우 패스 필터링을 수행하고, 노드(478)에서 로우 패스 필터링이 수행된 신호 V_{LFP} 가 획득될 수 있다. 신호 변환기(230)는 디지털 샘플링 과정을 통해 신호 V_{LFP} 를 디지털 신호로 변환할 수 있고, 노드(480)에서 디지털 신호 ADCout가 획득될 수 있다. 신호 가산기(240)는 디지털 신호 ADCout를 가산하여 출력 신호 V_{out} 을 생성하고, 출력 신호 V_{out} 을 출력 단자(482)를 통해 출력할 수 있다.

[0053] 도면 부호(485)는 입력 신호 V_{in} 의 신호 범위를 나타내고, 도면 부호(490)는 신호 처리 장치(400)가 적용되는 회로의 동작 범위를 나타낸다. 도 4b에서 볼 수 있는 바와 같이, 회로의 동작 범위(490)보다 큰 신호 범위를 가지는 입력 신호 V_{in} 이 회로에 입력된다고 하더라도, 입력 신호 V_{in} 의 신호 범위(485)보다 작은 신호 범위의 차분 신호 V_{A_i} 가 증폭됨으로써 증폭 과정이 정상적으로 수행될 수 있다. 이와 같이, 실시예에 따르면 회로의 동작 범위보다 넓은 범위의 입력 신호의 측정이 가능해진다. 본 실시예에서는 입력 신호의 신호 범위가 회로의 동작 범위보다 큰 경우를 예를 들어 설명하였으나, 입력 신호의 신호 범위가 회로의 동작 범위 이내인 경우에도 본 실시예가 적용 가능하다.

[0054] 도 5는 일 실시예에 따른 도 4a의 신호 처리 장치에 적용되는 제어 신호들 및 신호 처리 장치로부터 측정된 신호들을 도시하는 도면이다.

[0055] 도 5를 참조하면, 도면 부호(510)는 제1 스위치(420)에 적용되는 제1 제어 신호를 나타낸다. 도면 부호(520)는

신호 증폭기(120)의 입력 신호로서 차분 신호 획득기(110)에 의해 획득된 차분 신호를 나타내고, 도면 부호(530)는 신호 증폭기(120)의 출력 신호를 나타낸다. 도면 부호(540)는 제2 스위치(440)에 적용되는 제2 제어 신호를 나타내고, 도면 부호(550)는 샘플 및 홀드부(210)의 출력 신호를 나타낸다.

- [0056] 제1 제어 신호(510)는 주기적으로 논리 하이(logic high)가 될 수 있다. 제1 제어 신호(510)가 논리 하이가 될 때마다 제1 스위치(420)가 단락되어 신호 증폭기(120)의 입력 신호(520)는 제1 기준 신호(430)의 신호 값으로 설정되고, 제1 제어 신호(510)가 논리 로우(logic low)인 시간 동안, 제1 스위치(420)가 개방되어 신호 처리 장치(400)에 입력되는 입력 신호의 변화가 신호 증폭기(120)의 입력 신호(520)에 반영될 수 있다.
- [0057] 예를 들어, 시간 구간 a-b 및 d-e에서 제1 제어 신호(510)는 논리 하이가 되고, 신호 증폭기(120)의 입력 신호(520)는 제1 기준 신호(430)의 신호 값으로 설정될 수 있다. 여기서, 시간 구간 a-b 및 d-e는 각각 약 1 μ s(microsecond)의 시간 길이를 가질 수 있다. 제1 제어 신호(510)가 논리 로우인 시간 구간 b-c에서, 신호 증폭기(120)의 입력 신호(520)는 입력 신호가 변화하는 만큼 변할 수 있다.
- [0058] 신호 증폭기(120)의 입력 신호(520)는 신호 증폭기(120)에 의해 증폭되고, 신호 증폭기(120)로부터 증폭된 신호(530)가 출력될 수 있다
- [0059] 제2 제어 신호(540)는 제1 제어 신호(510)가 논리 하이가 되기 이전 시점에서 주기적으로 논리 하이가 될 수 있다. 제2 제어 신호(540)가 논리 하이인 시간 동안 제2 스위치(440)가 단락되어 신호 증폭기(120)의 출력 신호(530)가 샘플링 및 홀드되고, 제2 제어 신호(540)가 논리 로우인 시간 동안 제2 스위치(440)가 개방되어 샘플 및 홀드부(210)의 출력 신호(550)가 이전 시간 구간에서 샘플링된 신호 값으로 유지될 수 있다.
- [0060] 예를 들어, 시간 구간 b-c에서 제2 제어 신호(540)는 논리 로우가 되어 샘플 및 홀드부(210)의 출력 신호(550)가 이전 시간 구간에서 샘플링된 신호 값으로 유지되고, 시간 구간 c-d에서 제2 제어 신호(540)는 논리 하이가 되어 샘플 및 홀드부(210)의 출력 신호(550)가 신호 증폭기(120)의 출력 신호(530)에 따라 변할 수 있다.
- [0061] 도 6은 다른 실시예에 따른 신호 처리 장치를 설명하기 위한 도면이다.
- [0062] 일반적으로, 주기성을 가지는 클록 신호(clock signal)는 클록 신호의 상승 에지(rising edge) 또는 하강 에지(falling edge)에서 신호의 급격한 변화가 발생한다. 이러한 상승 에지 또는 하강 에지가 발생하는 시간 구간에서 증폭부의 입력 단자가 기준 신호로 리셋되는 경우, 증폭부는 클록 신호를 제대로 증폭하지 못할 우려가 있다.
- [0063] 일 실시예에 따르면, 신호 처리 장치(600)는 시간상으로 서로 구분되는 단계(phase)들에서 입력 신호를 신호 증폭기(670)의 서로 다른 입력 단자에 인가함으로써, 클록 신호의 형태를 가지는 입력 신호를 정상적으로 증폭할 수 있고, 신호 증폭기(670)의 입력 단자를 기준 신호의 신호 값으로 리셋시키는 스위치의 리셋 시간을 늘려 줄 수 있다. 스위치의 리셋 시간이 늘어남에 따라 보다 작은 크기의 스위치의 이용이 가능해진다.
- [0064] 신호 처리 장치(600)는 도 6에 도시된 것과 같이 차동 이중 입력(differential dual input) 및 차동 출력(differential output)의 형태를 가질 수 있다. 차동 이중 입력은 신호 증폭기(670)가 두 개의 입력 단자로 구성된 (+) 입력 및 두 개의 입력 단자로 구성된 (-) 입력의 형태를 가지는 것을 나타내고, 차동 출력은 신호 증폭기(670)가 (+) 출력 및 (-) 출력의 형태를 가지는 것을 나타낸다. 그러나, 신호 증폭기(670)의 입력 단자 및 출력 단자의 형태가 이에 의해 한정되는 것은 아니며, 다양한 수정 및 변형이 가능하다. 이하에서는 신호 처리 장치(600)의 구성들에 기초하여 신호 처리 장치(600)의 기능 및 동작을 보다 자세히 설명하도록 한다.
- [0065] 도 6을 참조하면, 신호 처리 장치(600)는 제1 입력 신호 Vip를 신호 증폭기(670)에 전달하는 제1 입력부(610), 제2 입력 신호 Vin을 신호 증폭기(670)에 전달하는 제2 입력부(640) 및 신호 증폭기(670)를 포함한다. 여기서, 제1 입력 신호 Vip 및 제2 입력 신호 Vin는 차동 신호(differential signal)의 관계에 있고, 각각 클록 신호의 형태를 가질 수 있다.
- [0066] 제1 입력부(610)는 제1 스위치(615), 제2 스위치(620), 제1 커패시터(625) 및 제2 커패시터(630)를 포함할 수 있다. 제1 스위치(615) 및 제2 스위치(620)의 스위칭 동작은 각각 제1 제어 신호 $f_{resetp1}$ 및 제2 제어 신호 $f_{resetp2}$ 에 의해 제어될 수 있다.
- [0067] 제1 스위치(615)의 일단은 제1 커패시터(625) 및 신호 증폭기(670)의 제1 입력 단자(672)에 연결되고, 제1 스위치(615)의 타단은 제1 기준 신호(635)(예를 들어, 특정 전압 값의 바이어스 전압)와 연결될 수 있다. 제1 커패시터(625)의 일단은 제1 스위치(615) 및 신호 증폭기(670)의 제1 입력 단자(672)에 연결되고, 제1 커패시터

(625)의 타단은 제1 입력 신호 Vip 및 제2 커패시터(630)에 연결될 수 있다. 제2 스위치(620)의 일단은 제2 커패시터(630) 및 신호 증폭기(670)의 제2 입력 단자(674)에 연결되고, 제2 스위치(620)의 타단은 제1 기준 신호(635)와 연결될 수 있다. 제2 커패시터(630)의 일단은 제2 스위치(620) 및 신호 증폭기(670)의 제2 입력 단자(674)에 연결되고, 제2 커패시터(630)의 타단은 제1 입력 신호 Vip 및 제1 커패시터(625)에 연결될 수 있다.

[0068] 신호 증폭기(670)의 제1 입력 단자(672) 및 제2 입력 단자(674)는 각각 신호 증폭기(670) 내부의 제1 트랜지스터(미도시) 및 제2 트랜지스터(미도시)에 연결될 수 있다. 일 실시예에 따르면, 제1 및 제2 트랜지스터의 양단은 서로 연결될 수 있다. 예를 들어, 제1 트랜지스터의 드레인(drain) 단자는 제2 트랜지스터의 드레인 단자와 연결되고, 제1 트랜지스터의 소스(source) 단자는 제2 트랜지스터의 소스 단자와 연결될 수 있다.

[0069] 제1 입력부(610)는 제1 입력 신호 Vip를 제1 입력 단자(672) 및 제2 입력 단자(674)에 교대로 전달할 수 있다. 일 실시예에 따르면, 제1 단계(a first phase)에서, 제1 스위치(615)는 단락되어 제1 기준 신호(635)를 제1 입력 단자(672)에 전달하고, 제2 스위치(620)는 개방되어 제1 입력 신호 Vip를 제2 입력 단자(674)에 전달할 수 있다. 제2 단계(a second phase)에서, 제1 스위치(615)는 개방되어 제1 입력 신호 Vip를 제1 입력 단자(672)에 전달하고, 제2 스위치(620)는 단락되어 제1 기준 신호(635)를 제2 입력 단자(674)에 전달할 수 있다. 제1 단계 및 제2 단계 각각에서 제1 입력 신호 Vip의 상승 에지 성분 및 하강 에지 성분이 신호 증폭기(670)에 전달될 수 있다. 제1 입력부(610)는 제1 단계와 제2 단계를 교대 반복하여 수행할 수 있다.

[0070] 제2 입력부(640)는 제3 스위치(645), 제4 스위치(650), 제3 커패시터(655) 및 제4 커패시터(660)를 포함할 수 있다. 제3 스위치(645) 및 제4 스위치(650)의 스위칭 동작은 각각 제3 제어 신호 $f_{resetn1}$ 및 제4 제어 신호 $f_{resetn2}$ 에 의해 제어될 수 있다.

[0071] 제3 스위치(645)의 일단은 제3 커패시터(655) 및 신호 증폭기(670)의 제3 입력 단자(676)에 연결되고, 제3 스위치(645)의 타단은 제2 기준 신호(665)와 연결될 수 있다. 일 실시예에 따르면, 제2 기준 신호(665)는 제1 기준 신호(635)와 동일한 신호 값을 가질 수 있다. 제3 커패시터(655)의 일단은 제3 스위치(645) 및 신호 증폭기(670)의 제3 입력 단자(676)에 연결되고, 제3 커패시터(655)의 타단은 제2 입력 신호 Vin 및 제4 커패시터(660)에 연결될 수 있다. 제4 스위치(650)의 일단은 제4 커패시터(660) 및 신호 증폭기(670)의 제4 입력 단자(678)에 연결되고, 제4 스위치(650)의 타단은 제2 기준 신호(665)와 연결될 수 있다. 제4 커패시터(660)의 일단은 제4 스위치(650) 및 신호 증폭기(670)의 제4 입력 단자(678)에 연결되고, 제4 커패시터(660)의 타단은 제2 입력 신호 Vin 및 제3 커패시터(655)에 연결될 수 있다.

[0072] 신호 증폭기(670)의 제3 입력 단자(676) 및 제4 입력 단자(678)는 각각 신호 증폭기(670) 내부의 제3 트랜지스터(미도시) 및 제4 트랜지스터(미도시)에 연결될 수 있다. 일 실시예에 따르면, 제3 및 제4 트랜지스터의 양단은 서로 연결될 수 있다. 예를 들어, 제3 트랜지스터의 드레인 단자는 제4 트랜지스터의 드레인 단자와 연결되고, 제3 트랜지스터의 소스 단자는 제4 트랜지스터의 소스 단자와 연결될 수 있다.

[0073] 제2 입력부(640)는 제2 입력 신호 Vin를 제3 입력 단자(676) 및 제4 입력 단자(678)에 교대로 전달할 수 있다. 일 실시예에 따르면, 제1 단계에서, 제3 스위치(645)는 단락되어 제2 기준 신호(665)를 제3 입력 단자(676)에 전달하고, 제4 스위치(650)는 개방되어 제2 입력 신호 Vin를 제4 입력 단자(678)에 전달할 수 있다. 제2 단계에서, 제3 스위치(645)는 개방되어 제2 입력 신호 Vin를 제3 입력 단자(676)에 전달하고, 제4 스위치(650)는 단락되어 제2 기준 신호(665)를 제4 입력 단자(678)에 전달할 수 있다. 제1 단계 및 제2 단계 각각에서 제2 입력 신호 Vin의 하강 에지 성분 및 상승 에지 성분이 신호 증폭기(670)에 전달될 수 있다. 제2 입력부(640)는 위 제1 단계와 제2 단계를 교대 반복하여 수행할 수 있다.

[0074] 신호 증폭기(670)는 제1 입력 신호 Vip 및 제2 입력 신호 Vin의 차동 신호를 증폭하여 출력할 수 있다. 신호 증폭기(670)로부터 출력된 차동 신호 Vop 및 Von은 디지털 영역에서 복원될 수 있다. 예를 들어, 신호 증폭기(670)의 출력 신호를 아날로그 디지털 변환기에서 샘플링 및 변환하고, 디지털로 변환된 값을 가산 또는 적분하는 방법 또는 특정 시간 구간의 신호 값을 이동(shift)시키는 방법 등을 이용하여 신호가 복원될 수 있다.

[0075] 일 실시예에 따르면, 신호 처리 장치(600)는 제1, 제2, 제3 및 제4 제어 신호를 생성하고, 신호 처리 장치(600)의 전체적인 동작을 제어하기 위한 제어기(미도시)를 더 포함할 수 있다.

[0076] 도 7a 및 도 7b는 일 실시예에 따른 도 6의 신호 처리 장치(600)에 적용되는 제어 신호들 및 신호 처리 장치(600)로부터 측정된 신호들의 일례를 도시하는 도면들이다.

[0077] 도 7a를 참조하면, 클록 신호 형태의 입력 신호 Vipn은 차동 신호 관계의 제1 입력 신호 Vip 및 제2 입력 신호

Vin으로 구분될 수 있고, 제1 입력 신호 Vip 및 제2 입력 신호 Vin은 각각 제1 입력부(610) 및 제2 입력부(640)에 입력될 수 있다.

[0078] 제1 제어 신호 $f_{resetp1}$ 은 제1 스위치(615)에 인가되고, 제2 제어 신호 $f_{resetp2}$ 는 제2 스위치(620)에 인가된다. 제1 제어 신호 $f_{resetp1}$ 과 제2 제어 신호 $f_{resetp2}$ 는 중첩되지 않는(non-overlapping) 신호로서, 서로 반대되는 위상을 가질 수 있다. 제1 제어 신호 $f_{resetp1}$ 및 제2 제어 신호 $f_{resetp2}$ 가 논리 하이일 때 각각 제1 스위치(615) 및 제2 스위치(620)가 단락될 수 있다.

[0079] 제1 제어 신호 $f_{resetp1}$ 이 논리 하이(시간 구간 f-g 및 h-i)일 때, 제1 기준 신호(635)가 제1 입력 단자(672)에 입력되고, 이 때 제2 제어 신호 $f_{resetp2}$ 는 논리 로우이므로 제1 입력 신호 Vip가 제2 입력 단자(674)에 입력된다. 제1 입력 신호 Vip의 상승 에지 성분은 제2 입력 단자(674)에 입력될 수 있다,

[0080] 제1 제어 신호 $f_{resetp1}$ 이 논리 로우(시간 구간 g-h, i-j)일 때, 제1 입력 단자(672)에는 제1 입력 신호 Vip가 입력되고, 이 때 제2 제어 신호 $f_{resetp2}$ 는 논리 하이이므로 제1 기준 신호(635)가 제2 입력 단자(674)에 입력된다. 제1 입력 신호 Vip의 하강 에지 성분은 제1 입력 단자(672)에 입력될 수 있다.

[0081] 제1 입력 단자(672) 및 제2 입력 단자(674)가 각각 회로 후단에 동일한 영향을 미치는 입력 트랜지스터들에 연결되어 있고, 해당 입력 트랜지스터들의 양단이 서로 연결되어 있다고 가정하면, 회로 후단에서 보았을 때 제1 입력 단자(672) 및 제2 입력 단자(674)를 통해 입력되는 이중 입력 신호는 V_A_ip_eq가 입력되는 것과 등가(equivalence)로 볼 수 있다.

[0082] 제2 입력 신호 Vin이 입력되는 제2 입력부(640)에서도 위 제1 입력부(610)에서의 과정과 유사한 과정이 수행된다. 제3 제어 신호 $f_{resetn1}$ 이 논리 하이(시간 구간 f-g 및 h-i)일 때, 제2 기준 신호(665)가 제3 입력 단자(676)에 입력되고, 이 때 제4 제어 신호 $f_{resetn2}$ 는 논리 로우이므로 제2 입력 신호 Vin가 제4 입력 단자(678)에 입력된다. 제2 입력 신호 Vin의 하강 에지 성분은 제4 입력 단자(678)에 입력될 수 있다,

[0083] 제3 제어 신호 $f_{resetn1}$ 가 논리 로우(시간 구간 g-h, i-j)일 때, 제3 입력 단자(672)에는 제2 입력 신호 Vin이 입력되고, 이 때 제4 제어 신호 $f_{resetn2}$ 는 논리 하이이므로 제2 기준 신호(665)가 제4 입력 단(678)자에 입력된다. 제1 입력 신호 Vin의 상승 에지 성분은 제3 입력 단자(676)에 입력될 수 있다.

[0084] 제3 입력 단자(676) 및 제4 입력 단자(678)가 각각 회로 후단에 동일한 영향을 미치는 입력 트랜지스터들에 연결되어 있고, 해당 입력 트랜지스터들의 양단이 서로 연결되어 있다고 가정하면, 회로 후단에서 보았을 때 제3 입력 단자(676) 및 제4 입력 단자(678)를 통해 입력되는 이중 입력 신호는 V_A_in_eq가 입력되는 것과 등가로 볼 수 있다.

[0085] 도 7b를 참조하면, 도면 부호(710)는 도 7a에 도시된 V_A_ip_eq의 신호 파형에서 V_A_in_eq의 신호 파형을 뺀 신호 파형을 나타낸다. 신호 증폭기(670)의 제1 내지 제4 입력 단자들(672, 674, 676, 678)을 통해 입력되는 신호는 신호 파형(710)과 같은 신호가 입력되는 것과 등가로 볼 수 있다. 신호 파형(710)이 신호 증폭기(670)에 의해 증폭되고, 증폭된 신호에 기초하여 원 입력 신호의 정보가 복원될 수 있다. 신호의 복원을 위해, 예를 들어, 각 시점(point in time)들 (f, g, h, i, j)의 직전 시점에서 신호 증폭기(670)의 출력 신호를 샘플링하고, 샘플링된 값을 계속하여 가산하는 방법이 이용될 수 있다. 이에 대한 결과 신호 파형이 도면 부호(720)에 도시되어 있다. 다른 예로, 도면 부호(730)에서와 같이 시간 구간 f-g와 시간 구간 h-i에서 신호 값을 단순 이동시키는 것과 같이 특정 주기마다 신호 값을 이동시키는 방법을 통해 신호가 복원될 수 있다.

[0086] 도 8은 일 실시예에 따른 신호 처리 방법의 동작을 도시하는 흐름도이다. 일 실시예에 따른 신호 처리 방법은 신호 처리 장치(예를 들어, 도 1의 신호 처리 장치(100) 및 도 4a의 신호 처리 장치(400))에 의해 수행될 수 있다.

[0087] 도 8을 참조하면, 단계(810)에서 신호 처리 장치는 스위칭 동작에 기초하여 입력 신호의 차분 신호를 획득한다. 신호 처리 장치는 주기적으로 스위치를 단락하여 신호 증폭기의 입력 단자를 기준 신호로 리셋시킨 후 스위치를 개방하여 입력 신호의 변화를 반영하는 차분 신호를 획득할 수 있다. 단계(820)에서, 신호 처리 장치는 차분 신호를 증폭한다. 단계(830)에서, 신호 처리 장치는 증폭된 차분 신호를 디지털 신호로 변환한다. 신호 처리 장치는 증폭된 차분 신호를 스위칭 동작에 기초하여 샘플링하고, 샘플링된 신호를 디지털 신호로 변환할 수 있다. 단계(840)에서, 신호 처리 장치는 디지털 신호를 가산하여 출력 신호를 생성한다. 신호 처리 장치는 디지털

털 신호를 시간에 따라 누적하는 것에 의해 원 입력 신호의 정보를 포함하는 출력 신호를 생성할 수 있다.

[0088] 이상에서 설명된 실시예들은 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치, 방법 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0089] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

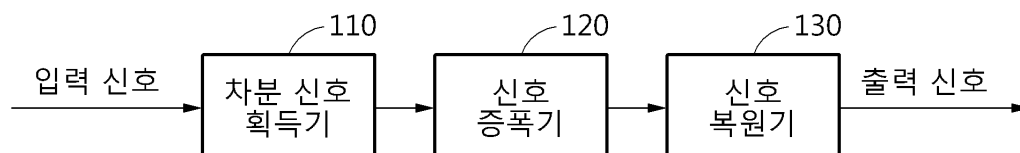
[0090] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 컴퓨터 판독 가능 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0091] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

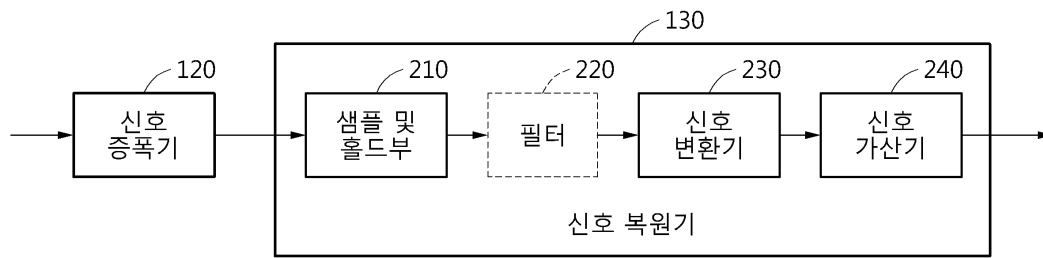
도면

도면1

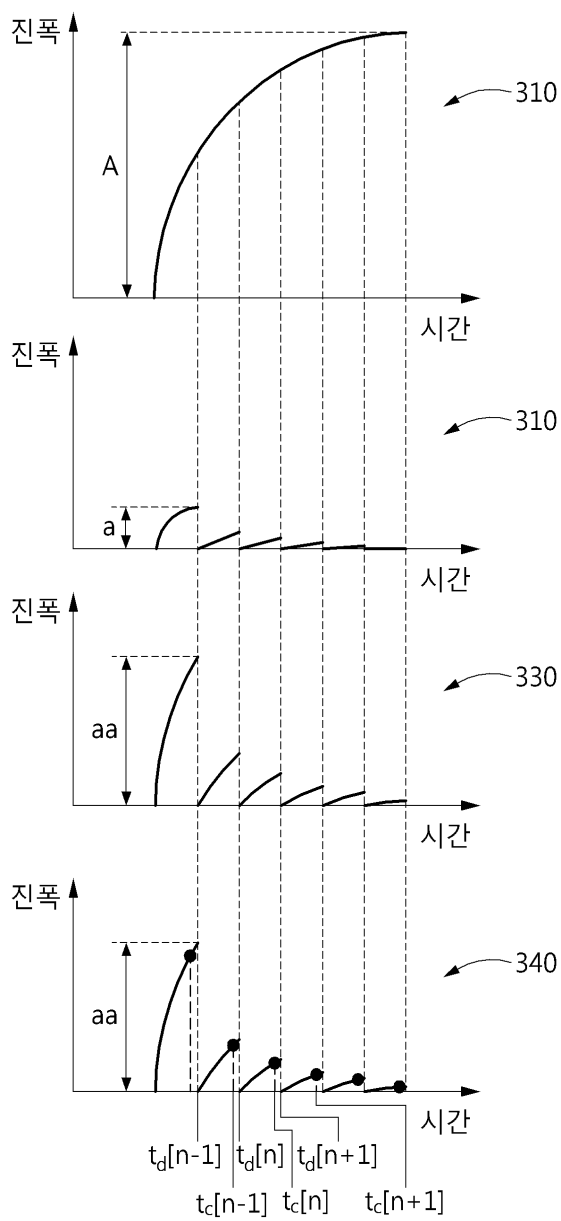
100



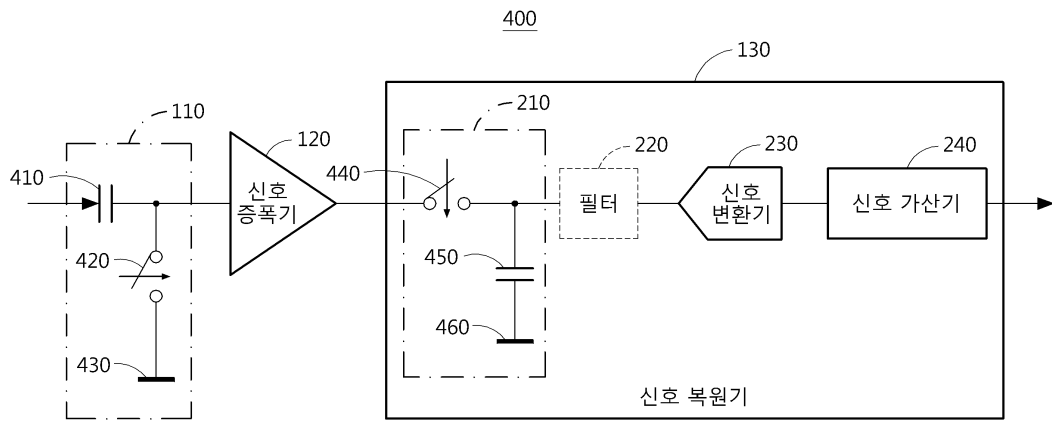
도면2



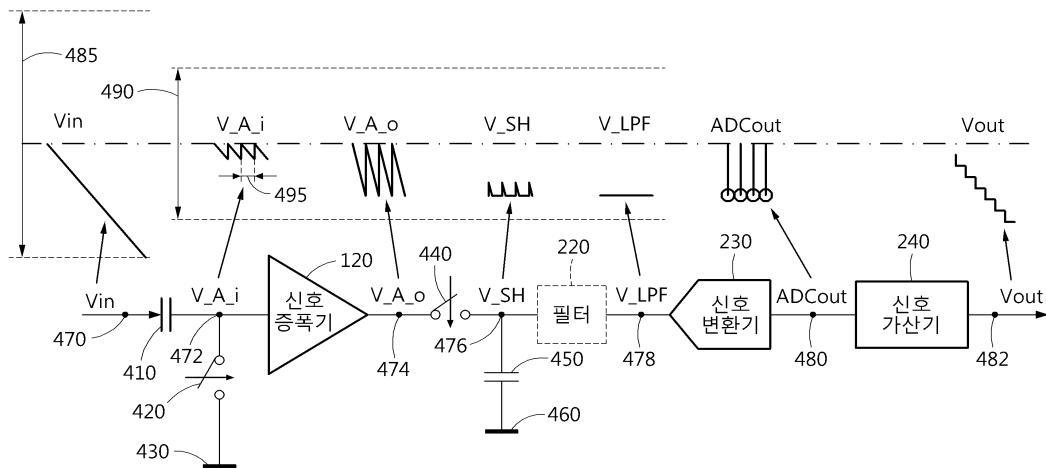
도면3



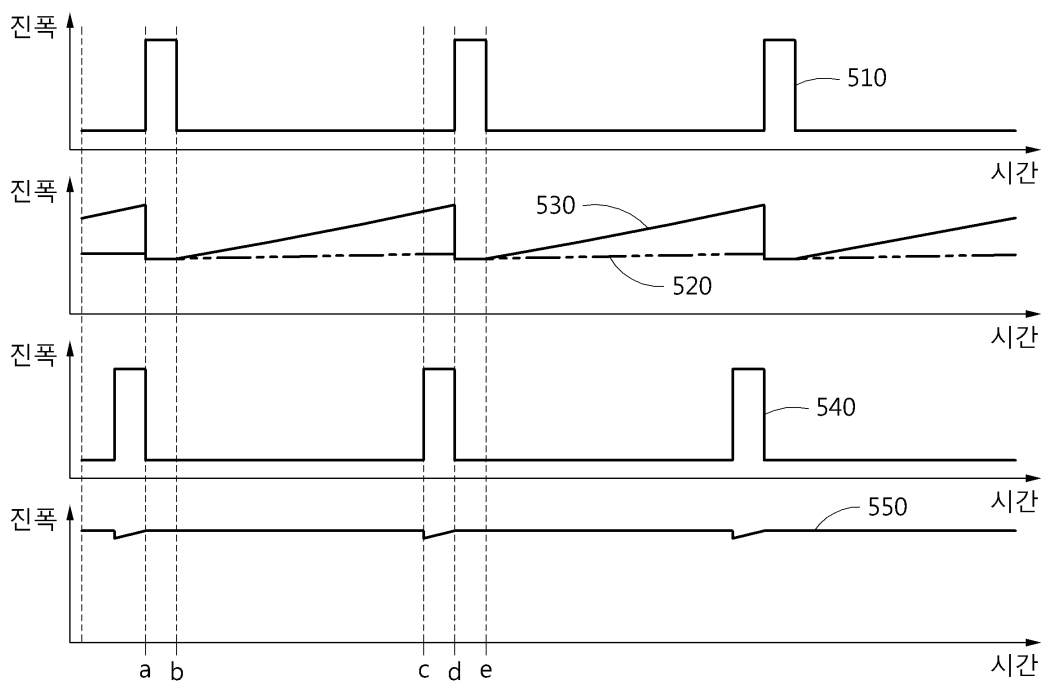
도면4a



도면4b

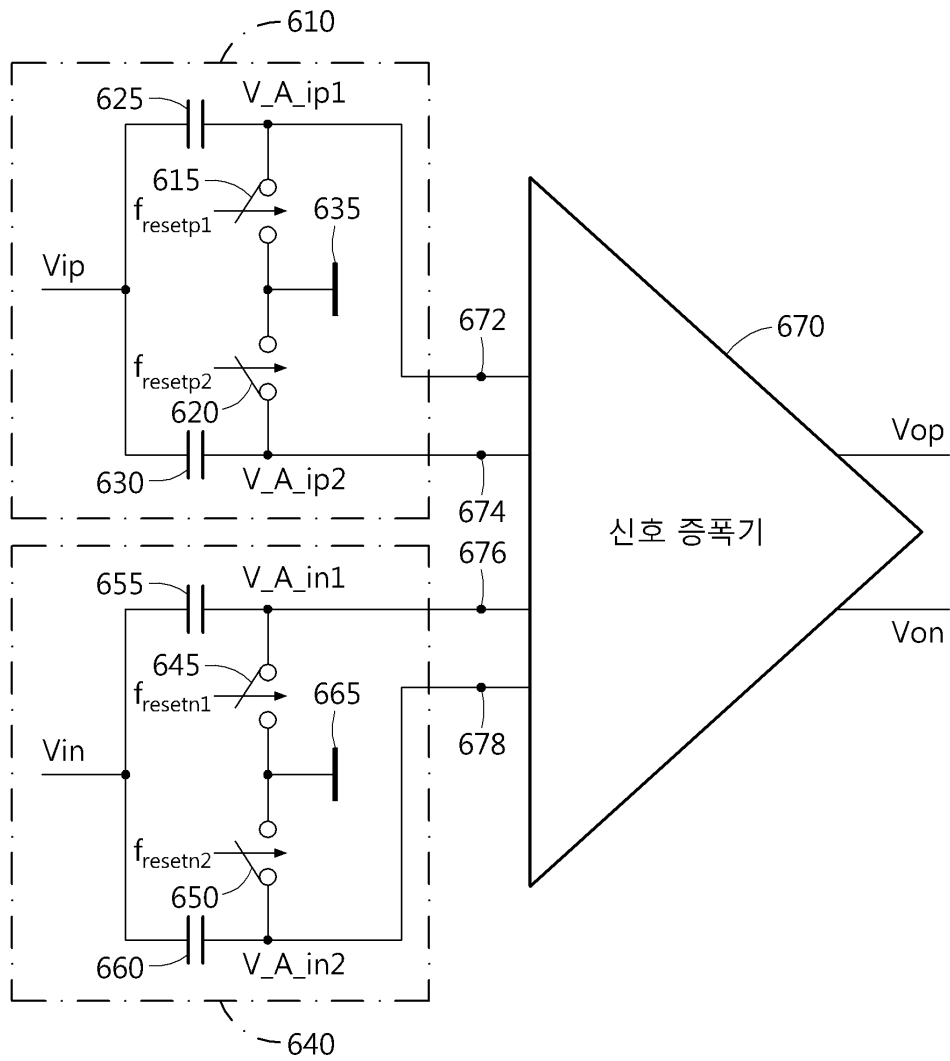


도면5

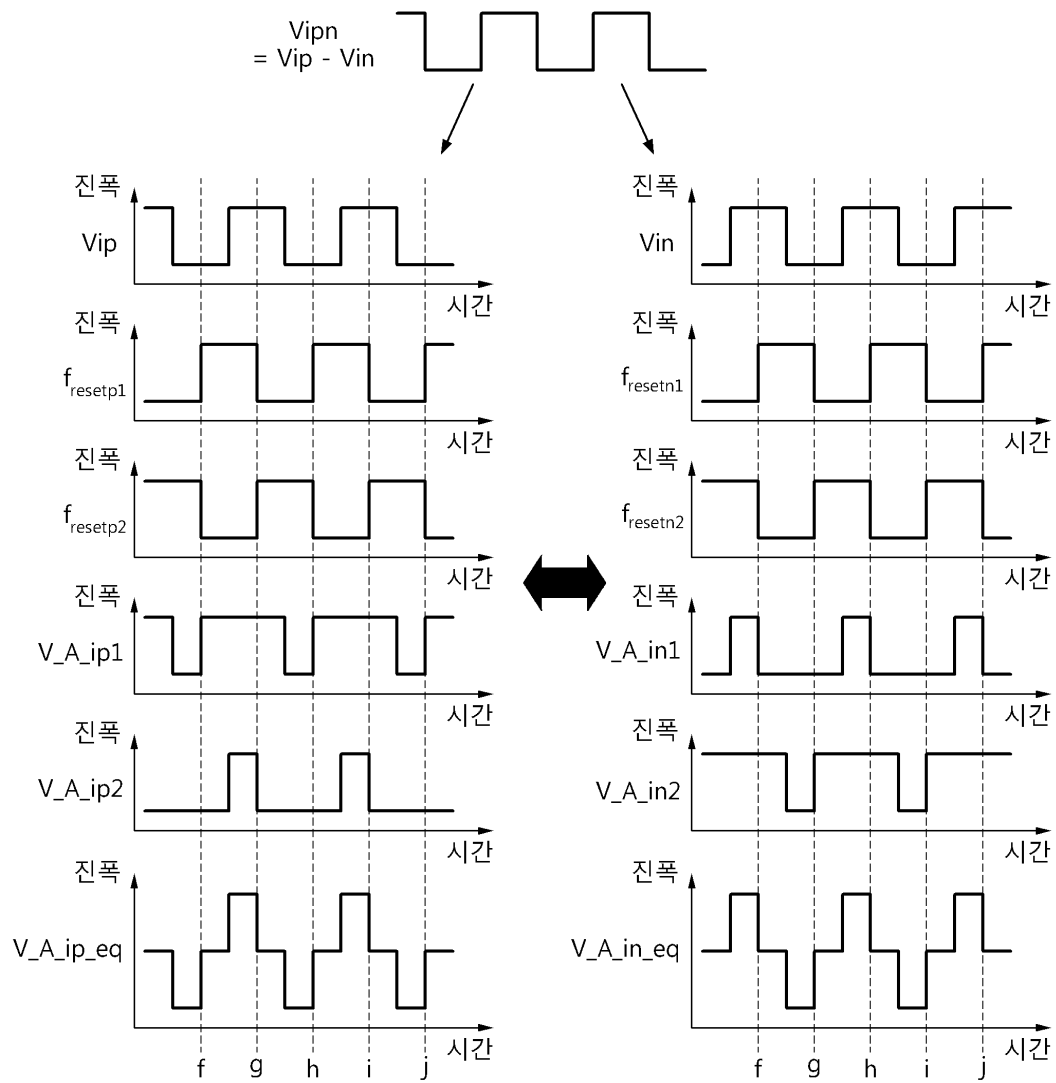


도면6

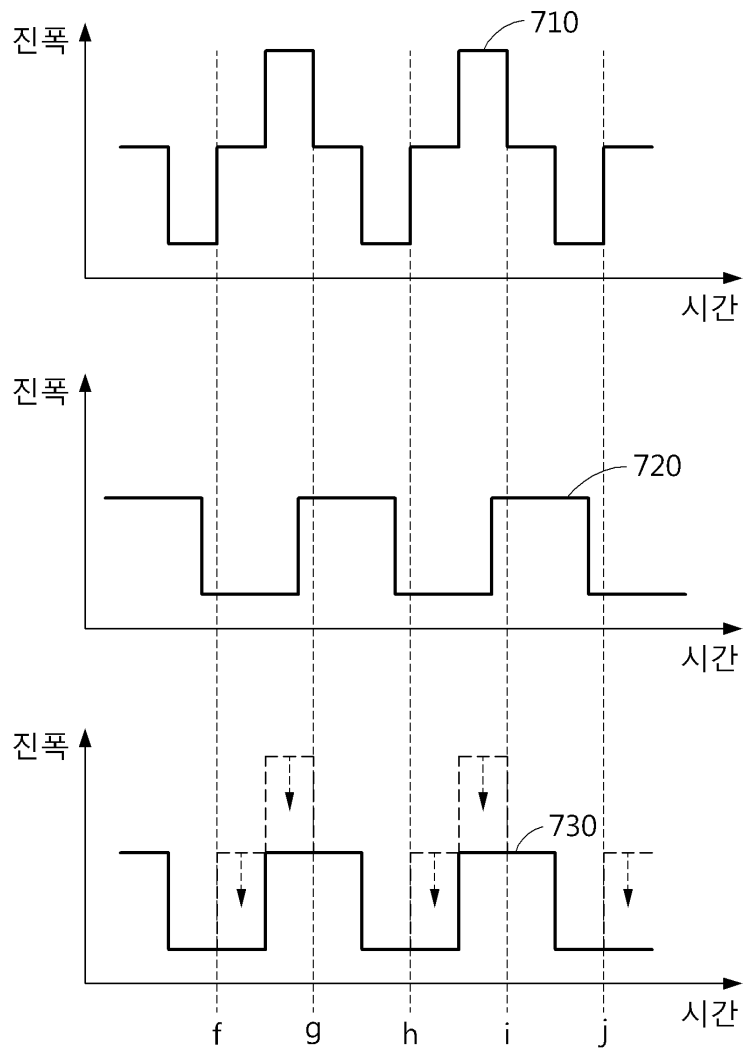
600



도면7a



도면7b



도면8

