

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁸
G11C 7/00 (2006.01)

(45) 공고일자 2006년01월26일
(11) 등록번호 10-0546339
(24) 등록일자 2006년01월19일

(21) 출원번호 10-2003-0045413
(22) 출원일자 2003년07월04일

(65) 공개번호 10-2005-0003894
(43) 공개일자 2005년01월12일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 장성진
경기도성남시분당구이매동122금강아파트104동704호

(74) 대리인 리엔특허법인

심사관 : 윤난영

(54) 차동 데이터 스트로빙 모드와 데이터 반전 스킴을 가지는단일 데이터 스트로빙 모드를 선택적으로 구현할 수 있는반도체 장치

요약

차동 데이터 스트로빙 모드와 데이터 반전 스킴을 가지는 단일 데이터 스트로빙 모드를 선택적으로 구현할 수 있는 반도체 장치가 개시된다. 본 발명의 반도체 장치는 데이터 제어 회로, 입력 데이터 반전 회로 및 출력 데이터 반전 회로 및 제1 및 제2 데이터 스트로브 신호 인터페이스 수단을 구비한다. 데이터 제어 회로는 소정의 제1 모드에서는 제1 및 제2 데이터 스트로브 신호에 응답하여 입력 데이터 및 출력 데이터의 입출력을 제어하고, 소정의 제2 모드에서는 제1 데이터 스트로브 신호에 응답하여 입력 데이터 및 출력 데이터의 입출력을 제어한다. 입력 데이터 반전 회로는 제2 모드에서 입력 데이터 반전 플래그에 응답하여 입력 데이터를 반전하고, 출력 데이터 반전 회로는 제2 모드에서 출력 데이터의 반전 여부를 결정하여 출력 데이터 반전 플래그를 발생하며 출력 데이터 반전 플래그에 응답하여 출력 데이터를 반전한다. 제1 데이터 스트로브 인터페이스 수단은 제1 데이터 스트로브 신호를 입출력한다. 제2 데이터 스트로브 인터페이스 수단은 제1 모드에서는 제2 데이터 스트로브 신호를 입출력하고, 제2 모드에서는 입력 데이터 반전 플래그와 출력 데이터 반전 플래그를 입출력한다. 본 발명에 의하면, 두 가지 모드를 선택적으로 사용할 수 있어, 입출력 데이터의 특성이 향상될 수 있다.

대표도

도 5

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 통상의 데이터 반전 스킴을 가지는 단일 데이터 스트로빙 반도체 메모리 장치의 개략적인 블록도이다.

도 2는 도 1에 도시된 메모리 장치의 동작을 설명하기 위한 타이밍도이다.

도 3은 통상의 차동 데이터 스트로빙 반도체 메모리 장치의 개략적인 블록도이다.

도 4는 도 3에 도시된 메모리 장치의 동작을 설명하기 위한 타이밍도이다.

도 5는 본 발명의 일 실시예에 따른 반도체 메모리 장치를 개략적으로 나타내는 블록도이다.

도 6은 도 5에 도시된 데이터 반전 회로의 일 구현예를 나타내는 블록도이다.

도 7은 본 발명의 일 실시예에 따른 컨트롤러의 개략적인 블록도이다.

도 8은 도 5에 도시된 메모리 장치의 동작을 설명하기 위한 타이밍도이다.

도 9는 본 발명의 다른 일 실시예에 따른 반도체 메모리 장치를 개략적으로 나타내는 블록도이다.

도 10은 본 발명의 다른 일 실시예에 따른 컨트롤러의 개략적인 블록도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 특히, 두 가지 모드, 즉 데이터 반전 스킴을 가지는 단일 데이터 스트로빙 모드와 차동 데이터 스트로빙 모드를 선택적으로 구현할 수 있는 반도체 장치에 관한 것이다.

반도체 장치의 동작 속도를 높이기 위하여 반도체 장치의 동작 주파수가 끊임없이 증가되어 왔다. 이와 더불어 동시에 입출력되는 데이터 비트의 수를 증가시키기 위하여 데이터 입출력 핀(DQ)의 수도 증가되어 왔다. 최근에는 500MHz(1Gbps) 이상의 주파수로 동작하고, 32개의 데이터 입출력 핀(DQ)을 가지는 초고속 반도체 장치도 일반화되고 있는 추세이다.

32개의 DQ 핀이 동시에 동작할 때 데이터 출력 전압에는 엄청난 잡음이 유기되는데, 이를 통상 동시 스위칭 잡음(Simultaneous Switching Noise, 이하 SSN이라 함)이라 한다. 많은 양의 SSN은 데이터 출력 신호의 파형을 손상시켜, 신호 충실도(signal integrity)를 떨어뜨린다.

상술한 바와 같이, 고속으로 동작하는 반도체 장치에서 문제가 되는 신호 충실도를 향상시키기 위한 하나의 방법으로서, 차동 데이터 스트로브 신호(differential data strobe signal)를 이용하여 데이터를 스트로빙하는 방법이 있다. 차동 데이터 스트로빙 모드는 하나의 데이터 스트로브 신호를 사용하는 단일 데이터 스트로빙 모드와 대비되는 개념으로서, 상호 소정의 위상 관계를 가지는 한 쌍의 차동 데이터 스트로브 신호를 사용하여 데이터를 스트로빙하는 방법이다. 설명의 편의상, 본 명세서에서는 차동 데이터 스트로브 신호 중 하나를 트루 데이터 스트로브 신호라 하고, 다른 하나를 상보 데이터 스트로브 신호라 한다. 트루 데이터 스트로브 신호와 상보 데이터 스트로브 신호는 일반적으로 180도 위상 차이를 가진다.

신호 충실도를 향상시키기 위한 다른 방법으로서, 데이터 반전 스킴이 있다. 데이터 반전(Data Inversion)이란, 반도체 장치에서 현재 출력될 소정 비트수의 데이터를 이전에 출력된 데이터와 비트별로 비교하여 토글링(toggling)된 비트의 수가 반 이상일 때, 현재 출력되는 데이터를 모두 반전(Inversion)하여 출력하는 스킴이다. 데이터 반전에 의하여 토글링되는 비트의 수가 감소함으로써, 신호 충실도가 향상될 수 있다.

도 1은 통상의 데이터 반전 스킴을 가지는 단일 데이터 스트로빙 반도체 메모리 장치(10)의 개략적인 블록도이다. 이를 참조하면, 반도체 메모리 장치(10)는 메모리셀 어레이(12), 데이터 입출력 회로(13_i, i=1~4)를 구비한다.

데이터 입출력 회로(13_i, i=1~4)는 4개 구비되는데, 구성이 동일하므로, 하나의 데이터 입출력 회로(13₁)에 대해서만 구체적으로 기술된다.

데이터 입출력 회로(13_1)는 데이터 스트로브 신호 핀들(1a, 1b), 8개의 데이터 입출력 핀들(1c), 데이터 마스크 핀(1d), 데이터 제어 회로(15_1), 입력 버퍼(17_1), 출력 버퍼(18_1) 및 데이터 반전 회로(14_1)를 포함한다. 먼저 외부에서 입력되는 데이터가 처리되는 과정을 살펴본다. 8개의 데이터 입출력 핀들(1c)을 통해서 입력되는 8비트의 데이터들(DQ1~DQ8)은 데이터 제어 회로(15_1)에서 입력 데이터 스트로브 신호(WDQS1)에 의하여 스트로빙되어 데이터 반전 회로(14_1)로 입력된다. 이 때, 데이터 제어 회로(15_1)는 데이터 마스크 핀(1d) 및 입력 버퍼(17_1)를 통해 입력되는 데이터 마스크 신호(DM1)에 따라 수신된 데이터를 메모리셀 어레이(12)에 실제로 기입할지 여부를 결정한다. 입력 데이터 스트로브 신호(WDQS1)는 메모리 장치(10)의 외부로부터 입력 데이터와 함께 수신되는 신호이다.

입력 데이터의 반전 여부를 나타내는 신호인 입력 데이터 반전 플래그(DIM)는 입력 데이터 반전 플래그 핀(1e)을 통하여 데이터 반전 회로(14_1)로 입력된다. 입력 데이터 반전 플래그(DIM)는 모든 데이터 반전 회로(14_i, i=1~4)로 공통적으로 입력된다. 데이터 반전 회로(14_1)는 입력 데이터 반전 플래그(DIM)에 따라 수신된 입력 데이터를 반전하거나 반전하지 않고 메모리셀 어레이(12)로 보낸다.

메모리셀 어레이(12)에서 독출되어 외부로 출력되는 데이터가 처리되는 과정을 살펴본다. 메모리셀 어레이(12)로부터 독출된 8비트의 데이터는 데이터 반전 회로(14_1)에 입력된다. 데이터 반전 회로(14_1)는 메모리셀 어레이(12)로부터 수신되는 데이터의 반전 여부를 결정한다. 데이터 반전이 결정되면 데이터 반전 회로(14_1)는 독출된 데이터를 반전하여 출력한다. 이와 아울러, 데이터 반전 회로(14_1)는 데이터가 반전되었음을 알려주는 출력 데이터 반전 플래그(OIF1)를 출력한다. 데이터 반전 회로(14_1)에서 출력되는 8비트의 데이터는 데이터 제어 회로(15_1)와 데이터 입출력 핀들(1c)을 통하여 외부로 출력되고, 1비트의 출력 데이터 반전 플래그(OIF1)는 출력 버퍼(18_1)와 데이터 마스크 핀(1d)을 통하여 외부로 출력된다. 따라서, 데이터 마스크 핀(1d)은 데이터의 입력시에는 데이터 마스크 신호(DM1)를 수신하는데 사용되고, 데이터의 출력시에는 출력 데이터 반전 플래그(OIF1)를 출력하는데 사용된다. 출력 데이터 스트로브 신호(RDQS1)는 스트로브 신호 발생 회로(16_1)에서 생성되어 데이터 스트로브 신호 핀(1a)을 통해 외부로 출력된다.

도 1에 도시된 반도체 메모리 장치(10)는 출력 데이터에 대해서 8비트 단위로 반전 여부를 결정한다. 그러나, 입력 데이터는 32비트 전체에 대해서 반전되거나 또는 반전되지 않고 메모리 장치(10)로 입력된다. 이는 반도체 메모리 장치(10)로 데이터를 보내는 컨트롤러(미도시)가 통상적으로 32비트 단위로 출력 데이터(메모리 입장에서는 입력 데이터)의 반전 여부를 결정하기 때문이다.

도 2는 도 1에 도시된 메모리 장치의 동작을 설명하기 위한 타이밍도이다. 도 2를 참조하면, 시스템 클럭(CLK)에 동기되어 입력 데이터 스트로브 신호(WDQS)와 데이터(DQ)가 입력된다. 특별한 언급이 없는 한, 참조부호 'WDQS'는 다수의 입력 데이터 스트로브 신호들(WDQSi, i=1~4) 중 특정하지 않은 하나를 나타내며, 참조부호 'DQ'는 다수의 비트들로 구성된 데이터(DQj, j=1~32) 중 특정하지 않은 한 비트를 나타낸다. 이와 같은 규칙은 본 명세서 전체에 동일하게 적용된다.

일반적으로 입력 데이터는 시스템 클럭(CLK)의 에지(edge)와 입력 데이터의 중심(center)이 맞도록 정렬된다. 입력 데이터와 함께 입력 데이터 반전 플래그(DIM)와 데이터 마스크 신호(DM)가 함께 입력된다.

한편, 데이터의 출력시에는 시스템 클럭(CLK)에 동기되어 출력 데이터 스트로브 신호(RDQS)와 출력 데이터가 출력된다. 일반적으로 출력 데이터는 시스템 클럭(CLK)의 에지와 출력 데이터의 에지가 맞도록 정렬된다. 출력 데이터와 함께 출력 데이터 반전 플래그(OIF)가 함께 출력된다. 데이터 마스크 신호(DM)와 출력 데이터 반전 플래그(OIF)는 동일한 핀(도 1의 1d)을 이용한다.

도 3은 통상의 차동 데이터 스트로빙 반도체 메모리 장치(30)의 개략적인 블록도이다. 이를 참조하면, 반도체 메모리 장치(30)는 메모리셀 어레이(32), 데이터 입출력 회로(33_i, i=1~4)를 구비한다.

데이터 입출력 회로(33_i, i=1~4)는 4개 구비되는데, 구성이 동일하므로, 하나의 데이터 입출력 회로(33_1)에 대해서만 구체적으로 기술된다.

데이터 입출력 회로(33_1)는 복수의 핀들(3a~3d), 데이터 제어회로(35_1), 스트로브 신호 발생회로(36_1) 및 스트로브 신호 감지 회로(37_1)를 포함한다. 스트로브 신호 감지 회로(37_1)는 트루 입력 데이터 스트로브 신호(WDQS1)와 상보 입력 데이터 스트로브 신호(/WDQS1)를 이용하여 하나의 입력 데이터 스트로브 신호(WDQS1')를 발생한다. 8개의 데이터 입출력 핀들(3c)을 통해서 입력되는 8비트의 데이터들은 데이터 제어 회로(35_1)에서 입력 데이터 스트로브 신호(WDQS1')에 의하여 스트로빙되어 메모리셀 어레이(32)로 입력된다. 이 때, 데이터 제어 회로(35_1)는 데이터 마스크 핀(3d)으로부터 입력되는 데이터 마스크 신호(DM1)에 따라 수신된 데이터의 기입 여부를 결정한다. 도 3의 반도체 메모리

장치(30)는 데이터 반전 스킴을 사용하지 않으므로, 도 1에 도시된 바와 같은 데이터 반전 회로(도 1의 14_i, i=1~4)는 필요하지 않다. 따라서, 데이터의 반전 여부를 나타내는 신호를 수신하는데 필요한 입력 데이터 반전 플래그 핀(도 1의 1e)도 필요하지 않다.

메모리셀 어레이(32)로부터 독출된 데이터는 데이터 제어 회로(35_1) 및 데이터 입출력 핀들(3c)을 통하여 외부로 출력된다. 이 때, 트루 출력 데이터 스트로브 신호(RDQS1)와 상보 출력 데이터 스트로브 신호(/RDQS1)가 스트로브 신호 발생 회로(36_1)에서 생성되어 트루 데이터 스트로브 신호 핀(3b) 및 상보 데이터 스트로브 신호 핀(3a)을 통해 각각 외부로 출력된다.

도 4는 도 3에 도시된 메모리 장치(30)의 동작을 설명하기 위한 타이밍도이다. 이를 참조하면, 타이밍도의 왼쪽 부분은 데이터를 출력할 때의 타이밍도이다. 메모리셀 어레이로부터 독출된 출력 데이터(DQ)와 함께, 트루 및 상보 데이터 스트로브 신호(DQS, /DQS)가 시스템 클럭(CLK)에 동기되어 외부로 출력된다. 이 때, 트루 및 상보 데이터 스트로브 신호(DQS, /DQS)는 트루 및 상보 출력 데이터 스트로브 신호(RDQS, /RDQS)를 의미한다.

타이밍도의 오른쪽 부분은 데이터를 기입할 때의 타이밍도이다. 입력 데이터(DQ)와 함께, 트루 및 상보 데이터 스트로브 신호(DQS, /DQS)가 시스템 클럭(CLK)에 동기되어 입력된다. 이 때, 트루 및 상보 데이터 스트로브 신호(DQS, /DQS)는 트루 및 상보 입력 데이터 스트로브 신호(WDQS, /WDQS)를 의미한다. 입력 데이터와 함께, 입력 데이터의 마스킹 여부를 나타내는 데이터 마스크 신호(DM)가 입력된다.

상술한 차동 데이터 스트로빙 모드와 데이터 반전 스킴을 가지는 단일 데이터 스트로빙 모드 중에서 어느 것이 시스템별로 더 안정된 신호 충실도를 가지는지는 아직 불분명하다. 따라서, 시스템 특성을 향상시키기 위해서는, 두 가지 모드를 동일한 반도체 장치에 모두 구현하고 시스템 특성 평가에 따라 둘 중에서 어느 하나를 선택하여 사용할 수 있도록 할 필요가 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자 하는 기술적 과제는 반도체 장치의 입출력 데이터의 신호 충실도를 향상시킴으로써 시스템 특성을 개선할 수 있는 반도체 장치를 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 반도체 장치는 내부 회로; 및 외부로부터 입력 데이터를 수신하여 상기 내부 회로로 전달하고 상기 내부 회로로부터 출력 데이터를 수신하여 외부로 전송하기 위한 둘 이상의 데이터 입출력 회로들을 구비하며, 상기 둘 이상의 데이터 입출력 회로들의 각각은 소정의 제1 모드에서 트루 입력 데이터 스트로브 신호 및 상보 입력 데이터 스트로브 신호에 응답하여 입력 데이터를 스트로빙하고, 소정의 제2 모드에서는 상기 트루 입력 데이터 스트로브 신호에 응답하여 상기 입력 데이터를 스트로빙하는 데이터 입력 제어 회로; 상기 제2 모드에서 입력 데이터 반전 플래그에 응답하여 상기 입력 데이터를 반전하고, 상기 출력 데이터의 반전 여부를 결정하여 출력 데이터 반전 플래그를 발생하며 상기 출력 데이터 반전 플래그에 응답하여 상기 출력 데이터를 반전하는 데이터 반전 회로; 상기 출력 데이터가 상기 반도체 장치의 외부로 출력되도록 제어하는 데이터 출력 제어 회로; 상기 트루 입력 데이터 스트로브 신호와 상기 트루 출력 데이터 스트로브 신호를 입/출력하는 트루 데이터 스트로브 신호 인터페이스 수단; 및 상기 제1 모드에서는 상기 상보 입력 데이터 스트로브 신호와 상기 상보 출력 데이터 스트로브 신호를 입/출력하고, 상기 제2 모드에서는 상기 입력 데이터 반전 플래그와 상기 출력 데이터 반전 플래그를 입/출력하는 제1 공용 인터페이스 수단을 구비한다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면에 따른 반도체 장치는 소정의 제1 모드에서는 제1 및 제2 데이터 스트로브 신호에 응답하여 입력 데이터 및 출력 데이터의 입출력을 제어하고, 소정의 제2 모드에서는 상기 제1 데이터 스트로브 신호에 응답하여 상기 입력 데이터 및 상기 출력 데이터의 입출력을 제어하는 데이터 제어 회로; 상기 제2 모드에서 입력 데이터 반전 플래그에 응답하여 상기 입력 데이터를 반전하는 입력 데이터 반전 회로; 상기 제2 모드에서 상기 출력 데이터의 반전 여부를 결정하여 출력 데이터 반전 플래그를 발생하며 상기 출력 데이터 반전 플래그에 응답하여 상기 출력 데이터를 반전하는 출력 데이터 반전 회로; 상기 제1 데이터 스트로브 신호를 입출력하는 제1 데이터 스트로브 신호 인터페이스 수단; 및 상기 제1 모드에서는 상기 제2 데이터 스트로브 신호를 입출력하고, 상기 제2 모드에서는 상기 입력 데이터 반전 플래그와 상기 출력 데이터 반전 플래그를 입출력하는 제2 데이터 스트로브 신호 인터페이스 수단을 구비한다.

상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 일면에 따른 반도체 장치는 반도체 메모리 장치로서, 메모리셀 어레이; 및 외부로부터 입력 데이터를 수신하여 상기 메모리셀 어레이로 전달하고 상기 메모리셀 어레이로부터 출력 데이터를 수신하여 외부로 전송하기 위한 둘 이상의 데이터 입출력 회로들을 구비하며, 상기 둘 이상의 데이터 입출력 회로들의 각각은 소정의 제1 모드에서 트루 입력 데이터 스트로브 신호 및 상보 입력 데이터 스트로브 신호에 응답하여 상기 입력 데이터를 스트로빙하고, 소정의 제2 모드에서는 상기 트루 입력 데이터 스트로브 신호에 응답하여 상기 입력 데이터를 스트로빙하는 데이터 입력 제어 회로; 상기 제2 모드에서 입력 데이터 반전 플래그에 응답하여 상기 입력 데이터를 반전하고, 출력 데이터의 반전 여부를 결정하여 출력 데이터 반전 플래그를 발생하며 상기 출력 데이터 반전 플래그에 응답하여 출력 데이터를 반전하는 데이터 반전 회로; 상기 출력 데이터가 상기 반도체 메모리 장치의 외부로 출력되도록 제어하는 데이터 출력 제어 회로; 상기 트루 입력 데이터 스트로브 신호와 상기 트루 출력 데이터 스트로브 신호를 입/출력하는 트루 데이터 스트로브 신호 인터페이스 수단; 및 상기 제1 모드에서 상기 상보 입력 데이터 스트로브 신호와 상기 상보 출력 데이터 스트로브 신호를 입/출력하는 상보 데이터 스트로브 신호 인터페이스 수단을 포함하며, 상기 상보 데이터 스트로브 신호 인터페이스 수단 중의 적어도 하나는 상기 제2 모드에서 상기 입력 데이터 반전 플래그와 출력 데이터 반전 플래그를 입/출력한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 5는 본 발명의 일 실시예에 따른 반도체 메모리 장치(50)를 개략적으로 나타내는 블록도이다. 이를 참조하면, 반도체 메모리 장치(50)는 메모리셀 어레이(52) 및 데이터 입출력 회로(53_i, i=1~4)를 구비한다.

데이터 입출력 회로(53_i, i=1~4)는 외부로부터 입력 데이터를 수신하여 메모리셀 어레이(52)로 기입하고 메모리셀 어레이(52)로부터 독출되는 출력 데이터를 외부로 출력하기 위한 회로이다.

본 실시예에서는 데이터 입출력 회로(53_i, i=1~4)는 4개 구비된다. 각 데이터 입출력 회로(53_i, i=1~4)는 복수의 핀들(5a~5d, 5e~5h, 5i~5l, 5m~5p), 데이터 반전 회로(54_i, i=1~4), 데이터 제어회로(55_i, i=1~4), 스트로브 신호 감지 회로(56_i, i=1~4) 및 제1 내지 제2 선택기(57_i, 58_i, i=1~4)를 포함한다.

각 데이터 입출력 회로(53_i, i=1~4)는 그 구성이 상호 동일하므로, 제1 데이터 입출력 회로(53₁)에 대해서 상세히 설명하고 나머지에 대해서는 설명이 중복되므로 생략한다.

데이터 입출력 회로(53₁)의 복수의 핀들(5a~5d)에는 트루 데이터 스트로브 신호 핀(5b), 상보 데이터 스트로브 신호 핀(5a), 데이터 입출력 핀들(5c), 데이터 마스크 핀(5d) 등이 있다. 데이터 입출력 핀들(5c)은 8비트의 데이터(DQ1~DQ8)를 병렬로 입/출력하기 위한 8개의 핀들을 포함한다. 데이터 마스크 핀(5d)으로는 입력 데이터의 마스크 여부를 나타내는 데이터 마스크 신호(DM1)가 입력된다. 예를 들어, 데이터 마스크 신호(DM1)가 소정의 제1 로직 레벨일 때는 8비트의 입력 데이터(DQ1~DQ8)는 메모리셀 어레이(52)로 기입되지만, 데이터 마스크 신호(DM1)가 소정의 제2 로직 레벨일 때는 8비트의 입력 데이터(DQ1~DQ8)는 메모리셀 어레이(52)로 기입되지 않는다. 트루 데이터 스트로브 신호 핀(5b)을 통해서 트루 입력 및 트루 출력 데이터 스트로브 신호(WDQS1, RDQS1)가 입출력된다.

상보 데이터 스트로브 신호 핀(5a)은 차동 데이터 스트로빙 모드(이하 제1 모드라 함)에서는 상보 입력 및 상보 출력 데이터 스트로브 신호(/WDQS1, /RDQS1)를 입출력하는 역할을 하지만, 데이터 반전 스킴을 가지는 단일 데이터 스트로빙 모드(이하, 제2 모드라 함)에서는 입력 데이터 반전 플래그(IIF1) 및 출력 데이터 반전 플래그(OIF1)를 입출력하는 역할을 한다. 트루 및 상보 입력 데이터 스트로브 신호(WDQS1, /WDQS1)는 상호 소정의 위상 관계(바람직하기로는 180도의 위상차)를 가지는 차동의 입력 데이터 스트로브 신호들로서, 외부로부터 반도체 메모리 장치(50)로 입력된다. 트루 및 상보 출력 데이터 스트로브 신호(RDQS1, /RDQS1)는 상호 소정의 위상 관계(바람직하기로는 180도의 위상차)를 가지는 차동의 출력 데이터 스트로브 신호들로서, 반도체 메모리 장치(50)에서 생성되어 외부로 출력된다. 따라서, 반도체 메모리 장치(50)는 트루 및 상보 출력 데이터 스트로브 신호(RDQS1, /RDQS1)를 발생하는 스트로브 신호 발생회로(미도시)를 더 구비하는 것이 바람직하다.

본 실시예의 반도체 메모리 장치(50)는 외부와의 인터페이스 수단으로서 핀(pin)을 사용하나, 볼(ball)과 같은 다른 인터페이스 수단이 사용될 수도 있다.

반도체 메모리 장치(50)의 모드를 나타내기 위해 선택 신호(S)가 사용된다. 즉, 선택 신호(S)에 응답하여 반도체 메모리 장치(50)는 제1 모드 또는 제2 모드로 동작한다. 선택 신호(S)의 발생 방법에 대해서는 후술된다.

제1 선택기(57_1)는 선택 신호(S)에 응답하여 상보 데이터 스트로브 신호 핀(5a)으로부터 입력되는 신호를 상보 입력 데이터 스트로브 신호(/WDQS1)로서 스트로브 신호 감지회로(56_1)로 출력하거나 또는 입력 데이터 반전 플래그(IIF1)로서 데이터 반전 회로(54_1)로 출력한다. 제2 선택기(58_1)는 선택 신호(S)에 응답하여 데이터 반전 회로(54_1)로부터 출력되는 출력 데이터 반전 플래그(OIF1)와 상보 출력 데이터 스트로브 신호(/RDQS1) 중에서 어느 하나를 선택하여 상보 데이터 스트로브 신호 핀(5a)으로 출력한다.

스트로브 신호 감지 회로(56_1)는 제1 모드에서는 트루 입력 데이터 스트로브 신호(WDQS1)와 상보 입력 데이터 스트로브 신호(/WDQS1)를 이용하여 입력 데이터 스트로브 신호(WDQS1')를 발생하고, 제2 모드에서는 트루 입력 데이터 스트로브 신호(WDQS1)를 입력 데이터 스트로브 신호(WDQS1')로서 발생한다.

데이터 제어 회로(55_1)는 데이터의 입력시에는 입력 데이터 스트로브 신호(WDQS1')에 응답하여 8 비트의 입력 데이터(DQ1~DQ8)를 스트로빙한다. 이 때, 데이터 제어 회로(55_1)는 데이터 마스크 핀(5d)을 통해 입력되는 데이터 마스크 신호(DM1)에 따라 수신된 데이터(DQ1~DQ8)를 메모리셀 어레이(52)에 실제로 기입할지 여부를 결정한다. 입력 데이터 스트로브 신호(WDQS1')는 제1 모드에서는 트루 입력 데이터 스트로브 신호(WDQS1)와 상보 입력 데이터 스트로브 신호(/WDQS1)를 이용하여 발생하는 신호이다. 반면, 제2 모드에서는 입력 데이터 스트로브 신호(WDQS1')는 트루 입력 데이터 스트로브 신호(WDQS1)이다. 따라서, 제1 모드에서는 데이터 제어 회로(55_1)는 트루 입력 데이터 스트로브 신호(WDQS1) 및 상보 입력 데이터 스트로브 신호(/WDQS1)에 응답하여 입력 데이터를 스트로빙하고, 제2 모드에서는 트루 입력 데이터 스트로브 신호(WDQS1)에 응답하여 입력 데이터를 스트로빙한다.

또한, 데이터 제어 회로(55_1)는 데이터의 출력시에는 데이터 반전 회로(54_1)로부터 출력되는 8비트의 데이터를 처리하여 데이터 입출력 핀들(5c)을 통하여 외부로 출력한다.

데이터 반전 회로(54_i, i=1~4)의 일 구현예가 도 6에 도시된다. 이를 참조하면, 데이터 반전 회로(54_i, i=1~4)는 입력 데이터 반전부(62), 반전 결정부(64) 및 출력 데이터 반전부(66)를 포함한다. 입력 데이터 반전부(62)는 입력 데이터 반전 플래그(IIFi)에 응답하여 8비트의 입력 데이터(WDQ)를 반전시키거나 또는 반전시키지 않고 메모리셀 어레이로 출력한다. 반전 결정부(64)는 메모리셀 어레이로부터 독출되는 8비트의 데이터를 반전시키지 여부를 결정하여 출력 데이터 반전 플래그(OIFi)를 발생한다. 반전 결정부(64)는 현재 출력되어야 할 8비트의 데이터와 이전에 출력된 8비트의 데이터를 비교하여 데이터의 반전 여부를 결정할 수 있다. 또는 반전 결정부(64)는 현재 출력되어야 할 8비트의 데이터에서 소정 로직레벨('1' 또는 '0')의 비트 수에 따라 데이터의 반전 여부를 결정할 수도 있다. 출력 데이터 반전부(66)는 출력 데이터 반전 플래그(OIFi)에 응답하여 출력 데이터(RDQ)를 반전시키거나 반전시키지 않고 출력한다. 또한, 도시되지는 않았지만, 출력 데이터 반전부(66)와 입력 데이터 반전부(62)는 하나의 회로로 구성될 수도 있다.

상술한 바와 같이, 본 발명의 일 실시예에 따른 반도체 메모리 장치(50)는 차동 데이터 스트로빙 모드(제1 모드)에서 차동 데이터 스트로브 신호(/WDQSi, /RDQSi, i=1~4)를 입출력하는데 사용되는 핀들을, 단일 데이터 스트로빙 모드(제2 모드)에서는 데이터 반전 여부를 나타내는 플래그(OIFi, IIFi, i=1~4)를 입출력하는데 사용한다. 따라서, 도 1에 도시된 통상의 데이터 반전 스킴을 가지는 단일 데이터 스트로빙 반도체 메모리 장치(10)와 비교할 때, 반도체 메모리 장치(50)는 입력 데이터 반전 플래그(도 1의 DIM)를 위한 핀(도 1의 1e)을 별도로 구비할 필요가 없다. 또한, 입력 데이터에 대해서도 8비트 단위로 반전 여부가 결정될 수 있으므로, 32비트 단위로 반전 여부가 결정되는 도 1의 반도체 메모리 장치(10)에 비하여 데이터의 특성(특히, 신호 충실도)이 더욱 개선될 수 있다.

본원 발명은 반도체 메모리 장치 뿐만 아니라 메모리 장치와 데이터를 주고 받는 컨트롤러에도 적용될 수 있다.

도 7은 본 발명의 일 실시예에 따른 컨트롤러(70)의 개략적인 블록도이다. 도 7에 도시된 컨트롤러(70)는 도 5에 도시된 반도체 메모리 장치(50)와 데이터를 송수신할 수 있는 데이터 입출력 회로들(73_i, i=1~4)을 구비한다. 또한 컨트롤러(70)는 데이터 입출력 회로들(73_i, i=1~4)과 인터페이스하며 반도체 메모리 장치(50)와의 데이터 송수신을 제어하는 내부 코어 회로(72)를 가진다.

컨트롤러(70)의 데이터 입출력 회로들(73_i, i=1~4)은 도 7에 도시된 바와 같이 반도체 메모리 장치(50)의 데이터 입출력 회로들(53_i, i=1~4)과 유사하게 구성될 수 있다. 컨트롤러(70)의 데이터 입출력 회로들(53_i, i=1~4)의 복수의 핀들(7a~7d, 7e~7h, 7i~7l, 7m~7p), 데이터 반전회로(74_i, i=1~4), 데이터 제어회로(75_i, i=1~4), 스트로브 신호 감지 회

로(76_i, i=1~4) 및 제1 내지 제2 선택기(77_i, 78_i, i=1~4)는 메모리 장치(30)의 데이터 입출력 회로(53_i, i=1~4)의 복수의 핀들(5a~5d, 5e~5h, 5i~5l, 5m~5p), 데이터 반전회로(54_i, i=1~4), 데이터 제어회로(55_i, i=1~4), 스트로브 신호 감지 회로(56_i, i=1~4) 및 제1 내지 제2 선택기(57_i, 58_i, i=1~4)에 각각 대응된다고 할 수 있으므로 여기서 상세한 설명은 생략된다.

반도체 메모리 장치(50)로부터 출력되는 출력 데이터(도 5의 DQ1~DQ32), 출력 데이터 스트로브 신호들(도 5의 RDQSi, /RDQSi, i=1~4), 출력 데이터 반전 플래그(도 5의 OIFi, i=1~4)는 버스(미도시)를 통해 컨트롤러(70)로 입력되는데, 컨트롤러(70) 입장에서는 이들 신호들은 각각 입력 데이터(도 7의 DQ1~DQ32), 입력 데이터 스트로브 신호들(도 7의 WDQSi, /WDQSi, i=1~4), 입력 데이터 반전 플래그(도 7의 IIFi, i=1~4)가 된다.

반면, 컨트롤러(70)로부터 출력되는 출력 데이터(도 7의 DQ1~DQ32), 출력 데이터 스트로브 신호들(도 7의 RDQSi, /RDQSi, i=1~4), 출력 데이터 반전 플래그(도 7의 OIFi, i=1~4)는 버스(미도시)를 통해 반도체 메모리 장치(50)로 입력되는데, 반도체 메모리 장치(50) 입장에서는 이들 신호들은 각각 입력 데이터(도 5의 DQ1~DQ32), 입력 데이터 스트로브 신호들(도 5의 WDQSi, /WDQSi, i=1~4), 입력 데이터 반전 플래그(도 5의 IIFi, i=1~4)가 된다.

데이터 마스크 신호(DMi, i=1~4)는 컨트롤러(70)에서 발생되어 데이터 마스크 핀들(7d, 7h, 7l, 7p)과 버스(bus, 미도시)를 통해 반도체 메모리 장치(50)로 송신된다.

컨트롤러(70) 및 반도체 메모리 장치(50)를 제1 모드 또는 제2 모드로 진입시키기 위한 선택 신호(S)는 컨트롤러(70) 및 반도체 메모리 장치(50) 각각에서 발생할 수도 있고, 컨트롤러(70)에서 발생되어 반도체 메모리 장치(50)로 전송될 수도 있다. 후자의 경우에는, 반도체 메모리 장치(50)의 모드 레지스터 셋(Mode Register Set: MRS)(미도시) 회로를 이용할 수 있다. 반도체 메모리 장치(50)의 MRS 회로(미도시)는 컨트롤러(70)로부터 인가되는 MRS 명령에 응답하여 메모리 장치(50)의 내부적으로 선택 신호(S)를 설정할 수 있다.

선택 신호(S)를 발생하는 다른 방법으로는, 소정의 퓨즈의 절단 여부에 의하여 선택 신호(S)를 발생하는 퓨즈 회로(미도시)를 메모리 장치(50) 내에 구비하는 것이다. 선택 신호(S)를 발생하는 또 다른 방법으로는, 반도체 메모리 장치(50) 내에 선택 신호(S)와 관련된 본딩 패드(미도시)를 구비하고, 본딩 패드를 소정의 전압원에 연결하는 것이다. 물론 선택 신호(S)는 상기 예로 든 방법 외의 다른 방법으로 발생할 수도 있다.

도 8은 도 5에 도시된 메모리 장치(50)의 동작을 설명하기 위한 타이밍도이다. 도 5 및 도 8을 참조하여, 메모리 장치(50)의 제2 모드(단일 데이터 스트로빙 모드)에서의 동작을 설명하면 다음과 같다.

도 8에 도시된 타이밍도의 왼쪽 부분은 데이터를 출력할 때의 타이밍도이다. 메모리 셀 어레이로부터 독출된 출력 데이터(DQ)와 함께, 트루 데이터 스트로브 신호(DQS)가 시스템 클럭(CLK)에 동기되어 외부로 출력된다. 이 때, 출력 데이터(DQ)의 반전 여부를 나타내는 출력 데이터 반전 플래그(OIF)도 함께 출력된다.

타이밍도의 오른쪽 부분은 데이터를 기입할 때의 타이밍도이다. 입력 데이터(DQ)와 함께, 트루 데이터 스트로브 신호(DQS)가 시스템 클럭(CLK)에 동기되어 입력된다. 이 때, 트루 데이터 스트로브 신호(DQS)는 트루 입력 데이터 스트로브 신호(WDQS)를 의미한다. 입력 데이터와 함께, 입력 데이터(DQ)의 마스크 여부를 나타내는 데이터 마스크 신호(DM)와 입력 데이터(DQ)의 반전 여부를 나타내는 입력 데이터 반전 플래그(IIF)가 또한 입력된다.

출력 데이터 반전 플래그(OIF)와 입력 데이터 반전 플래그(IIF)는, 제1 모드에서 상보 데이터 스트로브 신호(/RDQS, /WDQS)를 입출력하는데 사용되는 상보 데이터 스트로브 신호 핀(도 5의 5a, 5e, 5i, 5m)을 통해 입출력된다.

메모리 장치(50)의 제1 모드(차동 데이터 스트로빙 모드)에서의 동작은 도 4에 도시된 타이밍도와 실질적으로 동일하다.

도 9는 본 발명의 다른 일 실시예에 따른 반도체 메모리 장치(90)를 개략적으로 나타내는 블록도이다. 이를 참조하면, 반도체 메모리 장치(90)는 메모리 셀 어레이(92) 및 데이터 입출력 회로(93_i, i=1~4)를 구비한다.

도 9의 반도체 메모리 장치(90) 역시 도 5의 반도체 메모리 장치(50)와 마찬가지로, 4개의 데이터 입출력 회로(93_i, i=1~4)를 구비한다. 제1 내지 제4 데이터 입출력 회로(93_i, i=1~4)는 복수의 핀들(9a~9d, 9e~9h, 9i~9l, 9m~9p), 데이터 반전회로(94_i, i=1~4), 데이터 제어회로(95_i, i=1~4), 스트로브 신호 감지 회로(96_i, i=1~4) 및 출력 선택기(97_i, i=1~4)를 포함한다. 제4 데이터 입출력 회로(93₄)는 상기 구성요소들 외에 입력 선택기(98₁)를 더 포함한다.

제1 내지 제4 데이터 입출력 회로(93_i, i=1~4)의 복수의 핀들(9a~9d, 9e~9h, 9i~9l, 9m~9p), 데이터 반전회로(94_i, i=1~4), 데이터 제어회로(95_i, i=1~4), 스트로브 신호 감지 회로(96_i, i=1~4) 및 출력 선택기(57_i, i=1~4)는 도 5에 도시된 데이터 입출력 회로(53_i, i=1~4)의 복수의 핀들(5a~5d, 5e~5h, 5i~5l, 5m~5p), 데이터 반전회로(54_i, i=1~4), 데이터 제어회로(55_i, i=1~4), 스트로브 신호 감지 회로(56_i, i=1~4) 및 제2 선택기(58_i, i=1~4)와 각각 유사하다. 따라서, 이들 구성 요소들에 대한 상세한 설명은 생략된다.

다만, 본 발명의 일 실시예에 따른 반도체 메모리 장치(50)와의 차이점을 살펴보면 다음과 같다.

본 발명의 다른 일 실시예에 따른 반도체 메모리 장치(90)는 출력 데이터에 대해서는 8비트 단위로 반전 여부를 결정한다. 따라서, 도 5에 도시된 반도체 메모리 장치(50)와 같이, 제2 모드에서는 4비트의 출력 데이터 반전 플래그(OIF_i, i=1~4)를 상보 데이터 스트로브 신호 핀들(9a, 9e, 9i, 9m)을 통해 각각 출력한다. 또한 제1 모드에서는 상보 출력 데이터 스트로브 신호들(/RDQS_i, i=1~4)이 상보 데이터 스트로브 신호 핀들(9a, 9e, 9i, 9m)을 통해 각각 출력된다.

반면, 입력 데이터에 대해서는 32비트 단위로 반전 여부가 결정된다는 것이다. 즉, 반도체 메모리 장치(90)와 데이터를 송수신하는 컨트롤러(예를 들어 도 10에 도시된 컨트롤러)가 32비트 데이터에 대하여 반전 여부를 결정하여, 한 비트의 반전 플래그(IIF)를 반도체 메모리 장치(90)에 송신하는 경우이다.

따라서, 반도체 메모리 장치(90)는 모든 상보 데이터 스트로브 신호 핀들(9a, 9e, 9i, 9m)을 입력 데이터 반전 플래그(IIF)를 수신하는데 사용할 필요가 없고, 이들 핀 중 하나만 사용해도 된다. 도 9에서는 상보 데이터 스트로브 신호 핀(9m)이 제2 모드에서 입력 데이터 반전 플래그(IIF)를 수신하는데 할당된다. 입력 선택기(98₁)는 선택 신호(S)에 응답하여 상보 데이터 스트로브 신호 핀(9m)으로부터 수신되는 신호를 상보 입력 데이터 스트로브 신호(/WDQS₄)로서 스트로브 신호 감지 회로(96₄)로 출력하거나, 입력 데이터 반전 플래그(IIF)로서 각 데이터 반전 회로(94_i, i=1~4)로 출력한다. 즉, 제1 모드에서는 상보 데이터 스트로브 신호 핀(9m)으로부터 상보 입력 데이터 스트로브 신호(/WDQS₄)가 수신되어 스트로브 신호 감지회로(96₄)로 입력되고, 제2 모드에서는 상보 데이터 스트로브 신호 핀(9m)으로부터 입력 데이터 반전 플래그(IIF)가 수신되어 각 데이터 반전 회로(94_i, i=1~4)로 입력된다.

도 10은 본 발명의 다른 일 실시예에 따른 컨트롤러(100)의 개략적인 블록도이다. 도 10에 도시된 컨트롤러(100)는 도 9에 도시된 반도체 메모리 장치(90)와 데이터를 송수신할 수 있는 데이터 입출력 회로들(103_i, i=1~4)을 구비한다. 또한 컨트롤러(100)는 데이터 입출력 회로들(103_i, i=1~4)과 인터페이스하며 반도체 메모리 장치(90)와의 데이터 송수신을 제어하는 내부 코어 회로(102)와 출력 데이터 반전 회로(104₅)를 가진다.

각 데이터 입출력 회로(103_i, i=1~4)는 복수의 핀들(10a~10b, 10e~10h, 10i~10l, 10m~10p), 입력 데이터 반전회로(104_i, i=1~4), 데이터 제어회로(105_i, i=1~4), 스트로브 신호 감지 회로(106_i, i=1~4) 및 입력 선택기(107_i, i=1~4)를 포함한다. 데이터 입출력 회로(103₄)는 상기 구성요소들 외에 출력 선택기(108₁)를 더 포함한다.

제1 내지 제4 데이터 입출력 회로(103_i, i=1~4)의 복수의 핀들(10a~10b, 10e~10h, 10i~10l, 10m~10p), 데이터 제어 회로(105_i, i=1~4) 및 스트로브 신호 감지 회로(106_i, i=1~4)는 도 7에 도시된 데이터 입출력 회로(73_i, i=1~4)의 복수의 핀들(7a~7d, 7e~7h, 7i~7l, 7m~7p), 데이터 제어회로(75_i, i=1~4), 스트로브 신호 감지 회로(76_i, i=1~4) 및 제1 선택기(77_i, i=1~4)와 각각 유사하다. 따라서, 이들 구성 요소들에 대한 상세한 설명은 생략된다.

다만, 본 발명의 일 실시예에 따른 컨트롤러(70)와의 차이점을 살펴보면 다음과 같다.

입력 데이터 반전 회로(104_i, i=1~4)는 입력 데이터 반전 플래그(IIF_i, i=1~4)에 각각 응답하여 8비트의 입력 데이터를 반전하거나 또는 반전하지 않고 내부 코어 회로(72)로 전송한다. 입력 데이터 반전 회로(104_i, i=1~4)는 도 7에 도시된 데이터 반전 회로(74_i, i=1~4)와 달리, 출력 데이터의 반전여부 결정 및 반전은 수행하지 않는다. 출력 데이터의 반전 여부를 결정하고 이에 따라 출력 데이터를 반전하는 역할은 출력 데이터 반전 회로(104₅)에서 이루어진다.

좀 더 구체적으로 설명하면 내부 코어 회로(102)로부터 출력되는 32비트의 출력 데이터는 출력 데이터 반전 회로(104₅)로 입력된다. 출력 데이터 반전 회로(104₅)는 32비트의 출력 데이터 전체에 대해서 반전 여부를 결정하여 한 비트의 출력 데이터 반전 플래그(OIF)를 발생한다. 출력 데이터 반전 플래그(OIF)는 상보 데이터 스트로브 신호 핀들(10a, 10e, 10i, 10m) 중에서 어느 하나의 핀으로 출력될 수 있다. 본 실시예에서는 출력 데이터 반전 플래그(OIF)는 상보 데이터 스트로브 신호 핀(10m)을 통해서 출력된다. 이 때, 출력 선택기(108₁)는 선택 신호(S)에 응답하여 상보 출력 데이터 스트로브 신호(/RDQS₄)와 출력 데이터 반전 플래그(OIF) 중 어느 하나를 선택하여 상보 데이터 스트로브 신호 핀(10m)으로 출력한다.

입력 데이터(반도체 메모리 장치(90)의 입장에서는 출력 데이터)에 대해서는 8비트 단위로 반전 여부가 결정된 데이터가 반도체 메모리 장치(90)로부터 컨트롤러(100)에 수신된다. 따라서, 입력 데이터를 수신하여 처리하는 과정은 도 7에 도시된 컨트롤러(70)에서의 처리 과정과 유사하므로 여기서 상세한 설명은 생략된다.

반도체 메모리 장치(50, 90) 및 컨트롤러(70, 100)를 제1 모드(차동 데이터 스트로빙 모드)로 동작시킬지 제2 모드(데이터 반전 스킴을 가지는 단일 데이터 스트로빙 모드)로 동작시킬지는 전체 시스템의 특성 테스트를 통하여 결정될 수 있다. 따라서, 본 발명에서는 차동 데이터 스트로빙 모드와 데이터 반전 스킴을 가지는 단일 데이터 스트로빙 모드 중에서 하나를 선택할 수 있으므로, 시스템 특성을 향상될 수 있다. 더구나, 단일 데이터 스트로빙 모드에서 사용되지 않는 상보 데이터 스트로브 신호 핀을 데이터의 반전 여부를 알리는 플래그 입출력용으로 사용함으로써, 추가적인 핀을 필요로 하지 않는다. 이에 반해, 통상의 데이터 반전 스킴을 가지는 단일 데이터 스트로빙 반도체 장치는 데이터의 반전 여부를 알리는 플래그 입력용 핀(도 1의 1e)을 필요로 한다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 예를 들어, 본 명세서에서는 총 32비트의 데이터를 8비트 단위로 나누어 반전 여부를 결정하는 예들이 기재되어 있으나, 몇 비트 단위로 반전 여부를 결정할지 총 비트수를 얼마로 할지 등은 얼마든지 변경될 수 있다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

본 발명에 의하면, 차동 데이터 스트로빙 모드와 데이터 반전 스킴을 가지는 단일 데이터 스트로빙 모드를 추가적인 핀의 할당없이 선택적으로 사용할 수 있다. 따라서, 반도체 메모리 장치를 시스템에 적용하였을 때, 높은 신호 충실도를 가지는 모드를 선택할 수 있다. 따라서, 반도체 메모리 장치를 사용하는 시스템 전체의 특성이 향상될 수 있다.

(57) 청구의 범위

청구항 1.

내부 회로; 및

외부로부터 입력 데이터를 수신하여 상기 내부 회로로 전달하고 상기 내부 회로로부터 출력 데이터를 수신하여 외부로 전송하기 위한 둘 이상의 데이터 입출력 회로들을 구비하며,

상기 둘 이상의 데이터 입출력 회로들의 각각은

데이터 입력시에 소정의 제1 모드에서 트루 입력 데이터 스트로브 신호 및 상보 입력 데이터 스트로브 신호에 응답하여 상기 입력 데이터를 스트로빙하고, 소정의 제2 모드에서는 상기 트루 입력 데이터 스트로브 신호에 응답하여 상기 입력 데이터를 스트로빙하며, 데이터 출력시에 상기 출력 데이터가 반도체 장치의 외부로 출력되도록 제어하는 데이터 제어 회로;

상기 제2 모드에서 입력 데이터 반전 플래그에 응답하여 상기 입력 데이터를 반전하고, 상기 출력 데이터의 반전 여부를 결정하여 출력 데이터 반전 플래그를 발생하며 상기 출력 데이터 반전 플래그에 응답하여 상기 출력 데이터를 반전하는 데이터 반전 회로;

상기 트루 입력 데이터 스트로브 신호와 트루 출력 데이터 스트로브 신호를 입/출력하는 트루 데이터 스트로브 신호 인터페이스 수단; 및

상기 제1 모드에서는 상기 상보 입력 데이터 스트로브 신호와 상보 출력 데이터 스트로브 신호를 입/출력하고, 상기 제2 모드에서는 상기 입력 데이터 반전 플래그와 상기 출력 데이터 반전 플래그를 입/출력하는 제1 공용 인터페이스 수단을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 2.

제 1 항에 있어서, 상기 둘 이상의 데이터 입출력 회로들의 각각은

상기 트루 입력 데이터 스트로브 신호와 상기 상보 입력 데이터 스트로브 신호에 응답하여 입력 데이터 스트로브 신호를 발생하는 스트로브 신호 감지 회로를 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 3.

제 1 항에 있어서, 상기 내부 회로는

메모리셀 어레이를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 4.

제 1 항에 있어서, 상기 반도체 장치는

컨트롤러인 것을 특징으로 하는 반도체 장치.

청구항 5.

제 1 항에 있어서, 상기 반도체 장치는

상기 트루 출력 데이터 스트로브 신호 및 상기 상보 출력 데이터 스트로브 신호를 발생하는 스트로브 신호 발생 회로를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 6.

제 1 항에 있어서, 상기 데이터 반전 회로는

상기 출력 데이터의 반전 여부를 판단하여 상기 출력 데이터 반전 플래그를 발생하는 반전 결정부;

상기 출력 데이터 반전 플래그에 응답하여 상기 출력 데이터를 반전하는 출력 데이터 반전부; 및

상기 입력 데이터 반전 플래그에 응답하여 상기 입력 데이터를 반전하는 입력 데이터 반전부를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 7.

제 1 항에 있어서, 상기 반도체 장치는

선택 신호에 응답하여 상기 제1 모드 또는 상기 제2 모드로 진입되는 것을 특징으로 하는 반도체 장치.

청구항 8.

제 7 항에 있어서, 상기 둘 이상의 데이터 입출력 회로들의 각각은

상기 선택 신호에 응답하여 상기 상보 데이터 스트로브 신호 인터페이스 수단을 통하여 입력되는 신호를 상기 상보 입력 데이터 스트로브 신호로서 제공하거나 상기 입력 데이터 반전 플래그로서 제공하는 제1 선택기; 및

상기 선택 신호에 응답하여 출력 데이터 반전 플래그와 상보 출력 데이터 스트로브 신호 중에서 어느 하나를 선택하여 출력하는 제2 선택기를 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 9.

제 7 항에 있어서,

상기 반도체 장치는 퓨즈 회로를 더 구비하며,

상기 선택 신호는 상기 퓨즈 회로내의 소정의 퓨즈의 절단에 응답하여 발생하는 것을 특징으로 하는 반도체 장치.

청구항 10.

제 7 항에 있어서,

상기 반도체 장치는 본딩 패드를 더 구비하며,

상기 선택 신호는 상기 본딩 패드의 연결 상태에 응답하여 발생하는 것을 특징으로 하는 반도체 장치.

청구항 11.

제 7 항에 있어서,

상기 반도체 장치는 외부로부터 입력되는 명령어에 응답하여 설정되는 모드 레지스터 셋 회로를 더 구비하며,

상기 선택 신호는 상기 모드 레지스터 셋 회로에 의하여 발생하는 것을 특징으로 하는 반도체 장치.

청구항 12.

제 1 항에 있어서,

상기 입력 데이터 및 상기 출력 데이터의 총 비트수는 각각 32비트이고,

상기 둘 이상의 데이터 입출력 회로들의 각각은 상기 입력 데이터 중 8비트 및 상기 출력 데이터 중 8비트의 입출력을 제어하는 것을 특징으로 하는 반도체 장치.

청구항 13.

메모리셀 어레이; 및

외부로부터 입력 데이터를 수신하여 상기 메모리셀 어레이로 전달하고 상기 메모리셀 어레이로부터 출력 데이터를 수신하여 외부로 전송하기 위한 둘 이상의 데이터 입출력 회로들을 구비하며,

상기 둘 이상의 데이터 입출력 회로들의 각각은

데이터 입력시에 소정의 제1 모드에서 트루 입력 데이터 스트로브 신호 및 상보 입력 데이터 스트로브 신호에 응답하여 상기 입력 데이터를 스트로빙하고, 소정의 제2 모드에서는 상기 트루 입력 데이터 스트로브 신호에 응답하여 상기 입력 데이터를 스트로빙하며, 데이터 출력시에 상기 출력 데이터가 반도체 장치의 외부로 출력되도록 제어하는 데이터 제어 회로;

상기 제2 모드에서 입력 데이터 반전 플래그에 응답하여 상기 입력 데이터를 반전하고, 출력 데이터의 반전 여부를 결정하여 출력 데이터 반전 플래그를 발생하며 상기 출력 데이터 반전 플래그에 응답하여 출력 데이터를 반전하는 데이터 반전 회로;

상기 출력 데이터가 상기 반도체 메모리 장치의 외부로 출력되도록 제어하는 데이터 출력 제어 회로;

상기 트루 입력 데이터 스트로브 신호와 트루 출력 데이터 스트로브 신호를 입/출력하는 트루 데이터 스트로브 신호 인터페이스 수단; 및

상기 제1 모드에서 상기 상보 입력 데이터 스트로브 신호와 상보 출력 데이터 스트로브 신호를 입/출력하는 상보 데이터 스트로브 신호 인터페이스 수단을 포함하며,

상기 상보 데이터 스트로브 신호 인터페이스 수단 중의 적어도 하나는

상기 제2 모드에서 상기 입력 데이터 반전 플래그와 출력 데이터 반전 플래그를 입/출력하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 14.

제 13 항에 있어서, 상기 둘 이상의 데이터 입출력 회로들의 각각은

상기 입력 데이터 중 N (N 은 1 이상의 자연수) 비트 및 상기 출력 데이터 중 N 비트의 입출력을 제어하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 15.

제 14 항에 있어서,

상기 입력 데이터 반전 플래그는 상기 입력 데이터 전체에 대하여 1비트 발생되고,

상기 출력 데이터 반전 플래그는 상기 출력 데이터의 각 N 비트에 대하여 1비트씩 발생하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 16.

제 14 항에 있어서,

상기 입력 데이터 반전 플래그는 상기 입력 데이터의 각 N 비트에 대하여 1비트씩 발생되고,

상기 출력 데이터 반전 플래그는 상기 출력 데이터의 각 N 비트에 대하여 1비트씩 발생하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 17.

제 15 항 또는 제 16 항에 있어서, 상기 N은
8인 것을 특징으로 하는 반도체 메모리 장치.

청구항 18.

소정의 제1 모드에서는 제1 및 제2 데이터 스트로브 신호에 응답하여 입력 데이터 및 출력 데이터의 입출력을 제어하고, 소정의 제2 모드에서는 상기 제1 데이터 스트로브 신호에 응답하여 상기 입력 데이터 및 상기 출력 데이터의 입출력을 제어하는 데이터 제어 회로;

데이터 입력시에 상기 제2 모드에서 입력 데이터 반전 플래그에 응답하여 상기 입력 데이터를 반전하고, 데이터 출력시에 상기 제2 모드에서 상기 출력 데이터의 반전 여부를 결정하여 출력 데이터 반전 플래그를 발생하며 상기 출력 데이터 반전 플래그에 응답하여 상기 출력 데이터를 반전하는 데이터 반전 회로;

상기 제1 데이터 스트로브 신호를 입출력하는 제1 데이터 스트로브 신호 인터페이스 수단; 및

상기 제1 모드에서는 상기 제2 데이터 스트로브 신호를 입출력하고, 상기 제2 모드에서는 상기 입력 데이터 반전 플래그와 상기 출력 데이터 반전 플래그를 입출력하는 제2 데이터 스트로브 신호 인터페이스 수단을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 19.

제 18 항에 있어서,

상기 입력 데이터 반전 플래그는 상기 입력 데이터 전체에 대하여 1비트 발생되고,

상기 출력 데이터 반전 플래그는 상기 출력 데이터의 각 N(1이상의 자연수)비트에 대하여 1비트씩 발생하는 것을 특징으로 하는 반도체 장치.

청구항 20.

제 18 항에 있어서,

상기 입력 데이터 반전 플래그는 상기 입력 데이터의 각 N(1이상의 자연수)비트에 대하여 1비트씩 발생되고,

상기 출력 데이터 반전 플래그는 상기 출력 데이터의 각 N비트에 대하여 1비트씩 발생하는 것을 특징으로 하는 반도체 장치.

청구항 21.

제 19 항 또는 제 20 항에 있어서, 상기 데이터 반전 회로는,

데이터 입력시에, 상기 입력 데이터를 N 비트씩 나누어 반전 여부를 결정하며,

데이터 출력시에, 상기 출력 데이터를 N 비트씩 나누어 반전 여부를 결정하는 것을 특징으로 하는 반도체 장치.

청구항 22.

제 18 항에 있어서,

상기 출력 데이터 반전 플래그는 상기 출력 데이터 전체에 대하여 1비트 발생되고,

상기 입력 데이터 반전 플래그는 상기 입력 데이터의 각 N (1이상의 자연수)비트에 대하여 1비트씩 발생하는 것을 특징으로 하는 반도체 장치.

청구항 23.

제 22 항에 있어서, 상기 데이터 반전 회로는,

데이터 출력시에, 상기 출력 데이터 전체에 대하여 반전 여부를 결정하며,

데이터 입력시에, 상기 입력 데이터를 N 비트씩 나누어 반전 여부를 결정하는 것을 특징으로 하는 반도체 장치.

청구항 24.

제 18 항에 있어서, 상기 반도체 장치는

반도체 메모리 장치인 것을 특징으로 하는 반도체 장치.

청구항 25.

제 18 항에 있어서, 상기 반도체 장치는

컨트롤러인 것을 특징으로 하는 반도체 장치.

청구항 26.

제1 동작 모드 및 제2 동작 모드를 구비하는 반도체 장치에 있어서,

상기 제1 동작 모드 및 상기 제2 동작 모드를 선택하기 위한 선택 신호를 발생하는 선택기; 및

상기 선택 신호에 응답하여, 상기 제1 동작 모드에서는 차동 데이터 스트로브 신호를 수신하여 데이터를 처리하는 차동 데이터 스트로브 신호 방식으로 동작하고, 상기 제2 동작 모드에서는 단일 데이터 스트로브 신호를 수신하여 데이터를 처리하는 단일 데이터 스트로브 신호 방식으로 동작하며 데이터 반전 동작을 수행하는 데이터 입출력 회로를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 27.

제 26 항에 있어서, 상기 반도체 장치는

상기 제1 모드에서 상기 차동 데이터 스트로브 신호들 중 어느 하나를 입력 또는 출력하는데 사용하는 인터페이스 수단을 제2 모드에서는 데이터 반전 플래그를 입력 또는 출력하는데 사용하는 것을 특징으로 하는 반도체 장치.

청구항 28.

삭제

청구항 29.

제 26 항에 있어서, 상기 선택기는

모드 레지스터 셋 회로인 것을 특징으로 하는 반도체 장치.

청구항 30.

제 26 항에 있어서, 상기 선택기는

퓨즈를 이용하여 상기 선택 신호를 발생하는 것을 특징으로 하는 반도체 장치.

청구항 31.

제 26 항에 있어서, 상기 반도체 장치는

상기 제2 모드에서 8비트의 데이터당 데이터 반전 여부를 나타내는 데이터 반전 플래그를 발생하는 것을 특징으로 하는 반도체 장치.

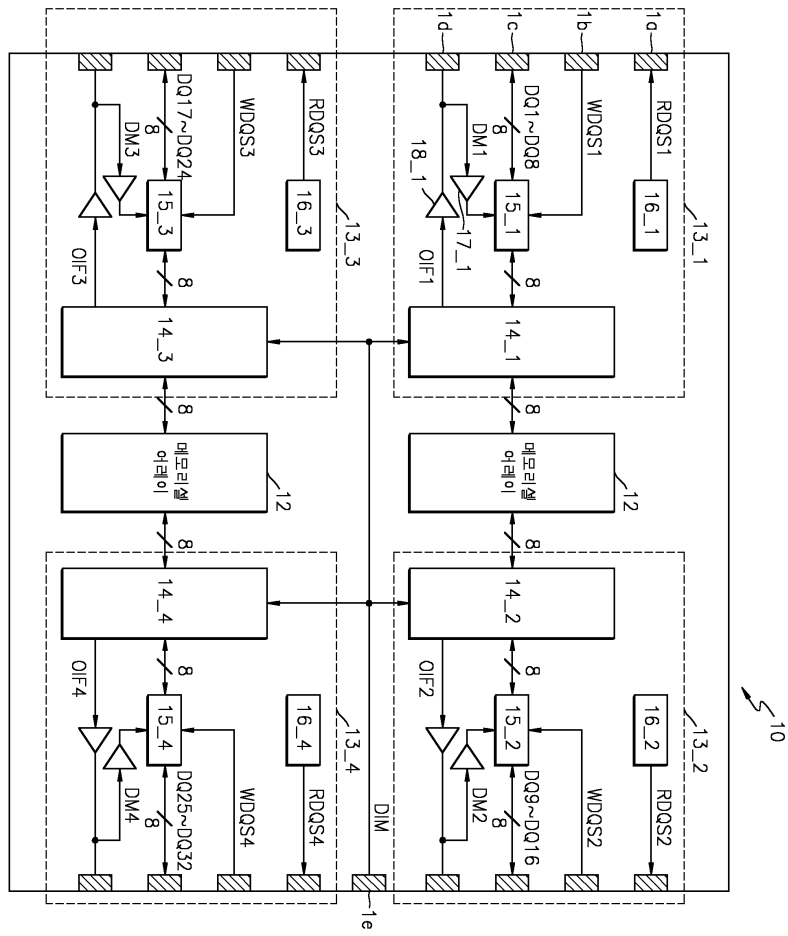
청구항 32.

제 26 항에 있어서, 상기 반도체 장치는

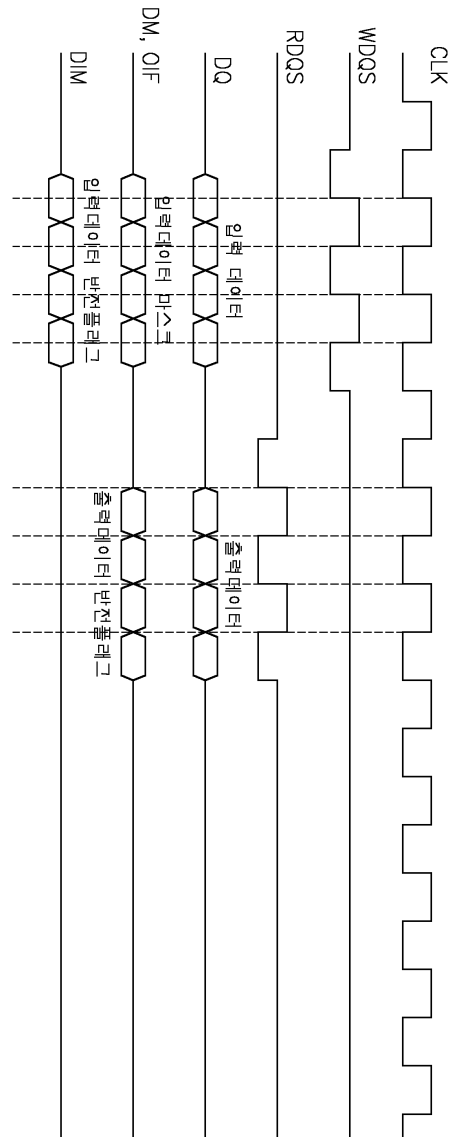
상기 제1 모드에서 상보 데이터 스트로브 신호용으로 사용하는 다수개의 인터페이스 수단들 중 하나를 상기 제2 모드에서는 상기 데이터 반전 플래그용으로 사용하고 나머지는 상기 상보 데이터 스트로브 신호용으로 사용하는 것을 특징으로 하는 반도체 장치.

도면

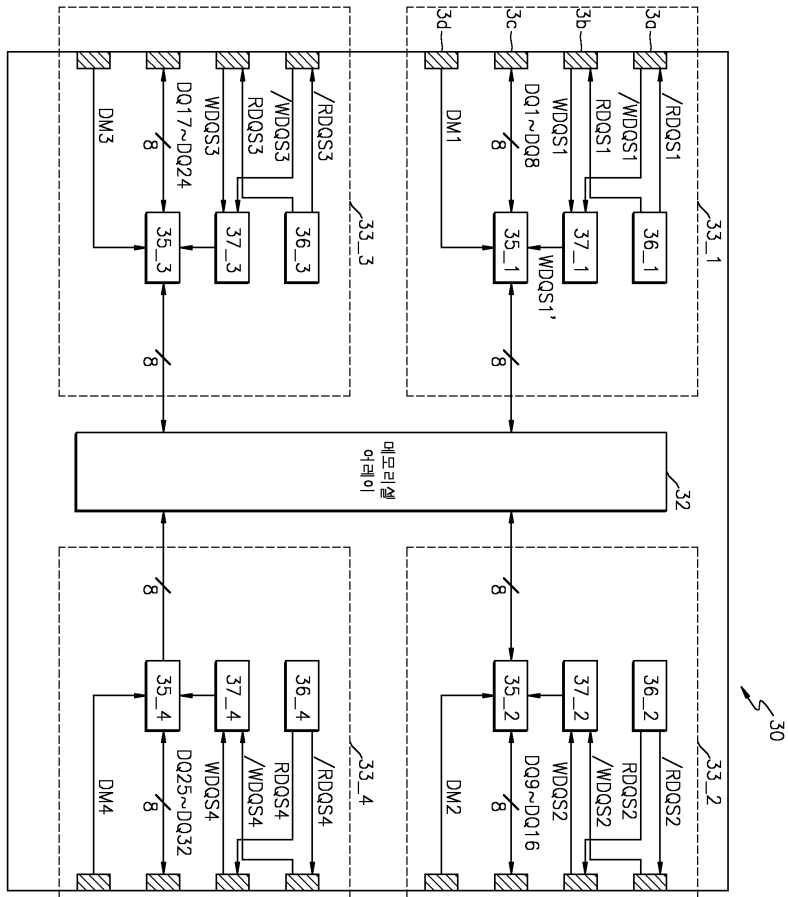
도면1



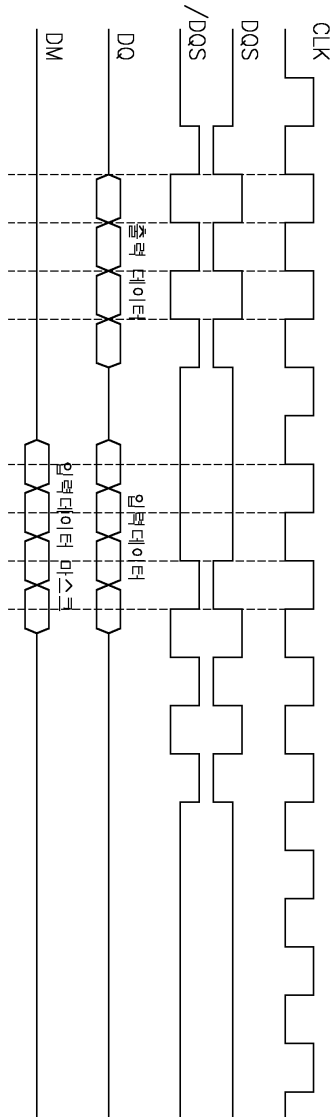
도면2



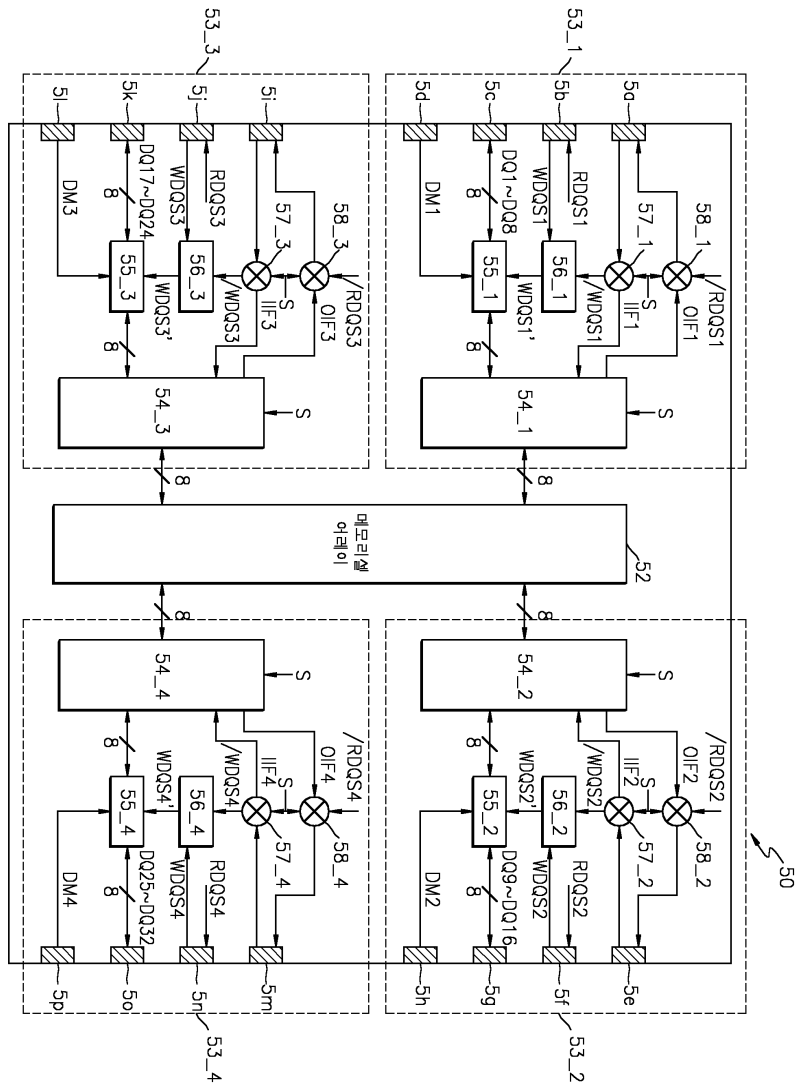
도면3



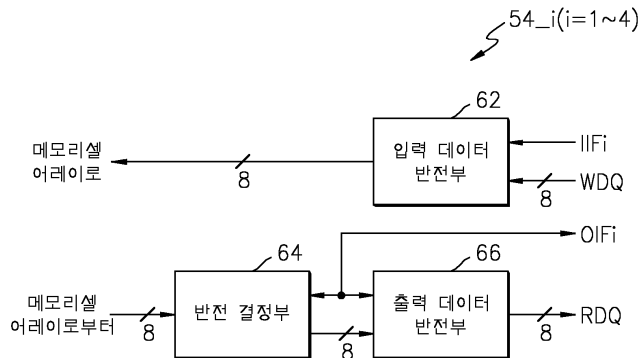
도면4



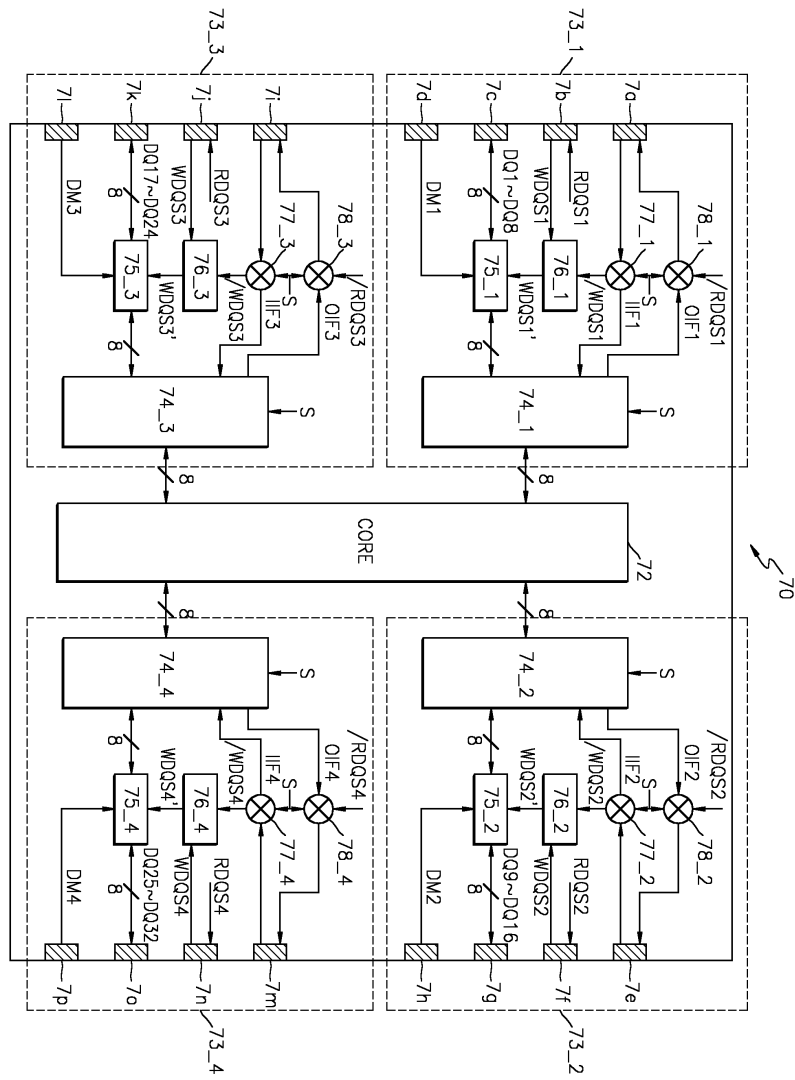
도면5



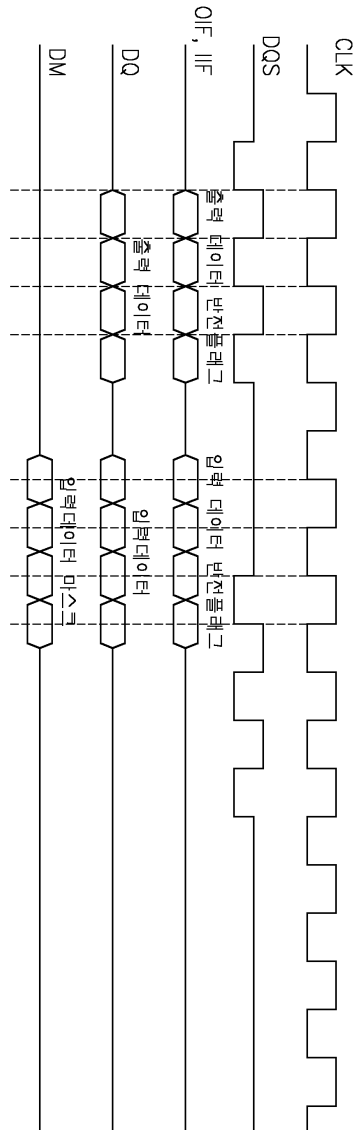
도면6



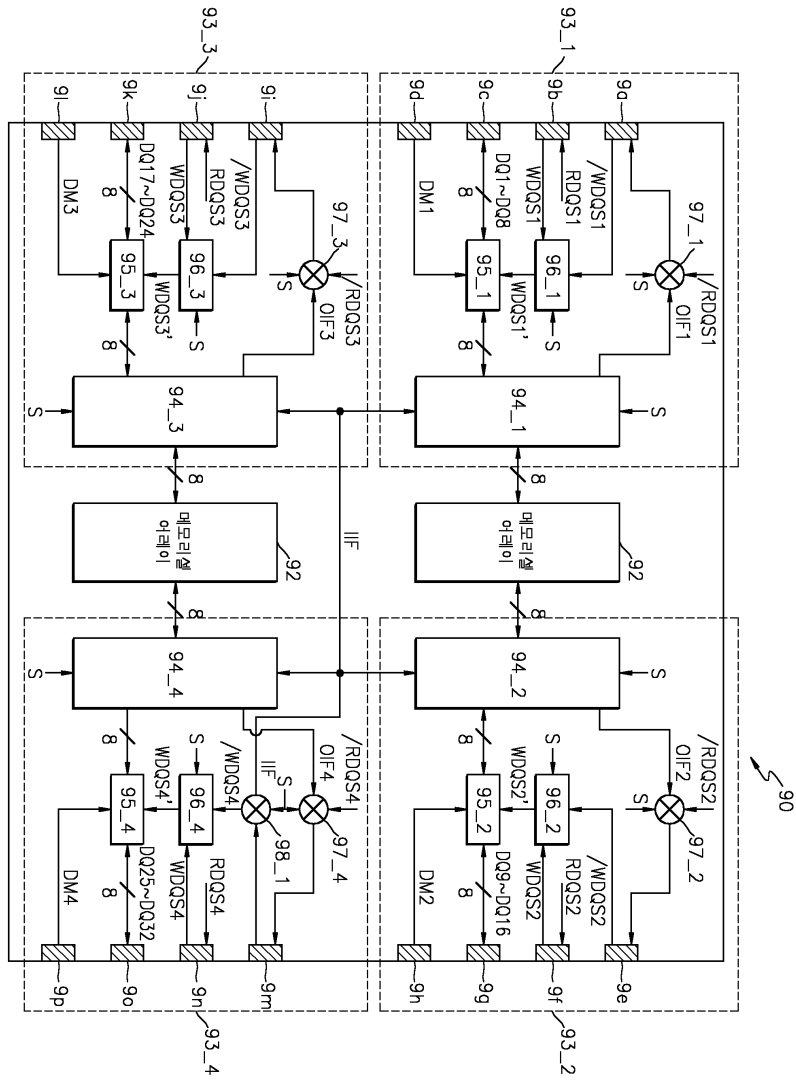
도면7



도면8



도면9



도면10

