



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

212 923

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 15 05 80
(21) PV 3383-80

(51) Int. Cl.³ H 03 L 7/06

(40) Zveřejněno 31 08 81
(45) Vydáno 01 01 84

(75)

Autor vynálezu

VOJTA MILAN ing., LOMNICE

(54) Zapojení synchronizační smyčky pro synchronizaci časového zdroje obvodu zobrazení s kmitočtem sítě

1

Vynález se týká zapojení synchronizační smyčky pro synchronizaci časového zdroje obvodu zobrazení s kmitočtem sítě.

V případě, že kmitočet oscilátoru není synchronizován, se síťovým kmitočtem, má to za následek, že všechna rušivá magnetická pole (např. magnetické pole elektrického ventilátoru) mají vliv na kvalitu snímku na obrazovce. Snímek se vlní.

V dosavadních známých řešeních se k zamezení rušivých jevů na obrazovce užívá magnetických i elektrických stínění obvodů obrazovky od silových částí zařízení. Tato řešení mají některé nevýhody, např. použití drahých materiálů (permalloy), pracnost výroby i rozměrnost.

Podstatné zlepšení přináší zapojení synchronizační smyčky podle vynálezu, jehož podstata spočívá v tom, že sekundární vinutí síťového transformátoru je připojeno na vývody dvoucestního usměrňovače, výstup tohoto dvoucestního usměrňovače je spojen s výstupem tvarovacího obvodu, jehož výstup je připojen na vývod, jež tvoří paralelní spojení vstupů hradla, přičemž výstup prvního hradla NAND je připojen na jeden konec kondenzátoru, přičemž druhý konec kondenzátoru je připojen na vstup druhého hradla NAND, jehož druhý vstup je spojen s výstupem čtvrtého hradla NAND, přičemž vstup fázového

detektoru tvoří paralelní spojení vstupů třetího hradla NAND, jehož výstup je spojen s jedním vývodem kondenzátoru a jeho druhý vývod je spojen se vstupem čtvrtého hradla NAND, přičemž výstup druhého hradla NAND je spojen se vstupem čtvrtého hradla NAND a zároveň tvoří vstup korekčního obvodu, jehož výstup je propojen na ovládací vstup napěťově řízeného oscilátoru a výstup tohoto oscilátoru je přiveden na vstup synchronizovaného obvodu a výstup tohoto obvodu je připojen na vstup fázového detektoru. Tímto zapojením se odstraní rušivé vlivy síťového kmitočtu.

Na připojených výkresech je znázorněn příklad zapojení synchronizačního obvodu podle vynálezu. Na obr. 1 je zapojení synchronizačního obvodu a na obr. 2 je podrobné zapojení fázového detektoru v tomto synchronizačním obvodu.

Z výstupu 42 fázového detektoru 4 postupuje signál na vstup 51 korekčního obvodu 5, kde na výstupu 52 je signál, jehož stejnosměrná složka je úměrná fázovému rozdílu vstupních signálů fázového detektoru 4, jež jsou na vstupu 41 a druhém vstupu 43. Signál z výstupu 52 korekčního obvodu 5 postupuje na ovládací vstup 61 napěťově řízeného oscilátoru 6. Kmitočet napěťově řízeného oscilátoru 6 je přímo úměrný stejnosměrné složce signálu, který je na ovládacím vstupu 61. Signál daného kmitočtu produkovaný napěťově řízeným oscilátorem 6 postupuje z výstupu 62 na vstup 71 synchronizovaného obvodu 7. Po vhodném vydělení tohoto kmitočtu signál z výstupu 72 postupuje na druhý vstup 43 detektoru 4, a tím uzavírá zpětnou vazbu. Příklad zapojení fázového detektoru je na obr. 2. Uvedené zapojení se vyznačuje velkým pásmem pasívní i aktivní synchronizace.

Zapojení podle vynálezu je možno využít v terminálech pro synchronizaci kmitočtu zobrazení s kmitočtem sítě.

PŘEDMĚT VYNÁLEZU

Zapojení synchronizační smyčky pro synchronizaci časového zdroje obvodu zobrazení s kmitočtem sítě vyznačené tím, že sekundární vinutí (13, 14) transformátoru (1) je připojeno na vývody (21, 22) dvoucestného usměrňovače (2), jehož výstup (23) je spojen se vstupem (31) tvarovacího obvodu (3), který má výstup (32) připojen na vstup (41), který tvoří paralelní spojení vstupů (81, 82) prvního hradla NAND (8), přičemž výstup (83) prvního hradla NAND (8) je připojen na jeden konec kondenzátoru (9), druhý vývod tohoto kondenzátoru je připojen na vstup (101) druhého hradla NAND (10) a druhý vstup (102) tohoto hradla je spojen s výstupem (133) čtvrtého hradla NAND (13), druhý vstup (43) fázového detektoru (4) tvoří paralelní spojení vstupu (111, 112) třetího hradla NAND (11), výstup (113) tohoto hradla je spojen s jedním vývodem kondenzátoru (12), druhý vývod tohoto kondenzátoru je spojen se vstupem (132) čtvrtého hradla NAND (13), výstup (42) druhého hradla NAND (10) je spojen se vstupem (132) hradla (13) a zároveň tvoří vstup (51) korekčního obvodu (5), přičemž výstup (52) je propojen na ovládací vstup (61) napěťově řízeného oscilátoru (6) a výstup (62) tohoto oscilátoru je přiveden na vstup (71) synchronizovaného obvodu (7), přičemž výstup (72) synchronizovaného obvodu (7) je připojen na vstup (43) fázového detektoru (4).

1 výkres

212 923

