



I255009

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93114761

※申請日期：93.5.25

※IPC 分類：

H01L 21/8234

壹、發明名稱：(中文/英文)

P 型通道電源 MIS 場效電晶體及開關電路

貳、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 大見忠弘 / OHMI, TADAHIRO
2. 矢崎總業股份有限公司 / YAZAKI CORPORATION

代表人：(中文/英文)

2. 矢崎信二 / YAZAKI, SHINJI

住居所或營業所地址：(中文/英文)

1. 日本國宮城縣仙台市青葉區米袋 2 丁目 1 幡 17 號 301
1-17-301, KOMEFUKURO 2-CHOME, AOBA-KU, SENDAI-SHI, MIYAGI,
JAPAN
2. 日本國東京都港區三田 1 丁目 4 番 28 號
4-28, MITA 1-CHOME, MINATO-KU, TOKYO, JAPAN

國籍：(中文/英文)

日本 / JAPAN

參、發明人：(共 5 人)

姓名：(中文/英文)

1. 大見忠弘 / OHMI, TADAHIRO
2. 寺本章伸 / TERAMOTO, AKINOBU
3. 赤堀浩史 / AKAHORI, HIROSHI
4. 二井啓一 / NII, KEIICHI
5. 渡邊高訓 / WATANABE, TAKANORI

住居所地址：(中文/英文)

1. 日本國宮城縣仙台市青葉區米袋 2 丁目 1 幡 17 號 301
1-17-301, KOMEFUFUKURO 2-CHOME, AOBA-KU, SENDAI-SHI, MIYAGI,
JAPAN
2. 日本國宮城縣仙台市宮城野區平成 1 丁目 1 番地 22 號 K6
1-22-K6, HEISEI 1-CHOME, MIYAGINO-KU, SENDAI-SHI, MIYAGI,
JAPAN
3. 日本國神奈川縣橫濱市旭區幸丘 148-4-701
148-4-701, SACHIGAOKA, ASAHI-KU, YOKOHAMA-SHI, KANAGAWA,
JAPAN
4. 日本國宮城縣仙台市太白區西之平 2 丁目 23-45-C203
23-45-C203, NISHINODAIRA 2-CHOME, TAIHAKU-KU, SENDAI-SHI,
MIYAGI, JAPAN
5. 日本國靜岡縣裾野市御宿 1500
1500, MISHUKU, SUSONO-SHI, SHIZUOKA, JAPAN

國籍：(中文/英文)

日本/JAPAN

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本； 2003.05.26； 特願 2003-148275

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

技術領域

本發明係有關於一種可以與N型通道電源MIS場效電
5 晶體相同之尺寸、成本來獲得其同等以上性能之P型通道電
源MIS場效電晶體及使用該P型通道電源MIS場效電晶體之
開關電路。

【先前技術】

背景技術

10 兩刷和門鎖等等汽車用電氣零件中，一般使用可接通
或切斷從電池供給到馬達等負載之電壓的開關電路，以使
該等電氣零件運轉或停止。以往，這些開關電路都是使用
繼電器，不過為了能小型化和省電，就必須使用半導體元
件。成為由半導體元件控制開關之對象之負載，除前述兩
15 刷馬達和門鎖馬達之外，還有鼓風機馬達、動力調節座椅
馬達、頭燈或尾燈等燈類、喇叭、後擋除霧器、座椅加熱
器等等，而驅動電流從數A到約20A，電池額定電壓為12V
或36V，耐受電壓從60V到100V。又，最近，HEV（混合動
力電動汽車）、FCV（燃料電池電動汽車）等電氣驅動汽車，
20 亦需要可因應其大電流和高電壓的半導體元件。

第21圖是顯示使用半導體元件之習知開關電路之1例
的電路圖。第21圖之開關電路包含有：電荷泵電路CP101，
電阻R101、R102，及形成於矽基板之(100)面之N型通道電
源MOS場效電晶體Q101。電源電壓BATT（電池額定電壓）

為12V或36V。欲接通此開關電路時，由微電腦MC輸出高位準電壓（電池電壓BATT）。此時，由於電晶體Q101之源極電壓較閘極電壓低了閾電壓之值，所以若直接耦合微電腦MC之輸出與電阻R101、R102，則供給至負載LO之電壓
5 就會降低電晶體Q101之閾電壓之值。因此，藉電荷泵電路CP101，升高微電腦MC輸出，以避免電壓如前述降低。然而，第21圖所示之開關電路，增加電荷泵電路CP101導致成本上升，且電荷泵電路CP101會產生雜訊，這些均是須考量的問題。

10 第22圖是顯示習知開關電路之另一例的電路圖。第21圖結構中，將作為開關元件之N型通道電源MOS場效電晶體Q101插入可朝負載LO供給之電源供給線的高電位側。相對於此，第22圖之開關電路係將N型通道電源MOS場效電晶體Q111、Q112插入電源供給線之高電位側，並且將N型
15 通道電源MOS場效電晶體Q113、Q114插入電源供給線之低電位側（接地端）的電橋結構，本開關電路包含有：電晶體Q111、Q112、Q113、Q114，電阻R111、R112、R113、R114，高側驅動電路DR1，及低側驅動電路DR2。高側驅動電路DR1是由可放大微電腦MC之輸出電流以驅動電晶
20 體Q111、Q112的雙極電晶體等所構成者，同樣地，低側驅動電路DR2是由可驅動電晶體Q113、Q114之雙極電晶體等所構成者。與第21圖結構同樣地，第22圖所示之開關電路，亦需要電荷泵電路CP101來避免負載電壓降低，所以增加電荷泵電路CP101導致成本上升，且電荷泵電路CP101會產生

雜訊。

另一方面，其他可避免負載電壓降低之方法，還有使用P型通道電源MOS場效電晶體的方法。因為使用P型通道電源MOS場效電晶體時，沒有在N型通道電源MOS場效電晶體所說明之電壓降低情形，所以可提供一種無須使用電荷泵電路之開關電路，且也解決了電荷泵電路之前述問題。

然而，與N型通道MOS電晶體同樣地形成於矽之(100)面之P型通道MOS場效電晶體之電流驅動能力，例如遷移率，約為N型通道MOS場效電晶體之1/3，若欲以P型通道MOS電晶體獲得與N型通道MOS電晶體相同之電流驅動能力，就必須令P型通道MOS電晶體尺寸為N型通道MOS電晶體之約3倍大。因此，當於矽之(100)面形成具有與N型通道MOS電晶體相同特性之P型通道MOS電晶體時，成本增加為N型通道MOS電晶體之約3倍，雖然不需要電荷泵電路，但是開關電路整體成本增加較第21圖、22圖所示電路成本還高。如果可使P型通道MOS電晶體尺寸與形成於矽(100)面之N型通道MOS電晶體相同，就可提供廉價且不會有電荷泵電路產生雜訊之開關電路。因此，必須提高P型通道MOS電晶體之電流驅動能力，使之高於形成於矽(100)面之N型通道MOS電晶體。

為提高P型通道MOS電晶體之電流驅動能力，例如專利文獻1及專利文獻2提出在矽(110)面設置P型通道MOS電晶體的方法。專利文獻1提出：蝕刻形成有N型通道MOS電晶體之表面之(100)面的矽，以於側面之(110)面形成P型通道

MOS電晶體。然而，據本發明人所知，以習知方法進行蝕刻，使該(110)表面因熱氧化而形成氧化矽膜，再以此氧化矽膜作為閘極絕緣膜之P型通道MOS電晶體並不具有達實用程度之特性，更遑論要作為閘極、源極間之耐受電壓為

5 10V以上之電源電晶體來使用。專利文獻2提出：如第23圖所示（同文獻之第2圖），因為注意到當有效垂直電場約3V時，(110)面之電洞遷移率遠較(100)面之電子遷移率快，所以選擇在(110)面設置P型通道電晶體，不過氧化膜之破壞極限是在有效垂直電場為1V時，故不用氧化矽膜作為閘極絕

10 緣膜，而是使用氧化鈮或氧化鈦等高介電材料來形成P型通道MIS電晶體。不過即使是此種元件，如第23圖所示，其遷移率仍遜於一般N型通道MOS電晶體，很難說是獲得與N型通道MOS電晶體相同之遷移率。

【專利文獻1】日本專利公開公報特開平4-372166號

15 【專利文獻2】日本專利公開公報特開平7-231088號

【發明內容】

發明欲解決課題

如上所述，雖然有人提出在矽之(110)面設置P型通道電源MIS場效電晶體，但是卻無法提供一種可以與N型通道電源MOS場效電晶體相同之尺寸來獲得其同等以上之電流驅動能力，且達實用程度的P型通道電源MIS場效電晶體。

20 另，如上述之問題，並不僅限於MOS電晶體，具有閘極絕緣膜之MIS電晶體全體也同樣地會發生這些問題。

本發明是為解決以上問題而作成者，目的在於提供一

種可以與N型通道電源MIS場效電晶體相同之尺寸來獲得其同等以上之性能的P型通道電源MIS場效電晶體及使用該P型通道電源MIS場效電晶體之開關電路。

用以解決課題之手段

- 5 本發明可提供一種P型通道電源MIS場效電晶體，係包含有表面實質上為(110)面之具有矽區域的基板；設在該表面上之閘極絕緣膜；及設在該閘極絕緣膜上之閘極，且前述矽區域至少作為通道用的P型通道MIS場效電晶體，其特徵在於：前述閘極絕緣膜之中，至少與前述矽區域表面接觸之接觸部含有氫、氮或氬，且前述P型通道MIS場效電晶體之源極與閘極間之耐受電壓在10伏特以上。

本發明之P型通道電源MIS場效電晶體之一構造例，其中前述閘極絕緣膜之中，至少與前述矽區域表面相接之接觸部之氫、氮或氬之含有量係表面密度在 $5 \times 10^{11} \text{cm}^{-2}$ 以下。

- 15 又，本發明之P型通道電源MIS場效電晶體之一構造例，其中前述閘極絕緣膜之氫、氮或氬之含有量在前述閘極絕緣膜與前述閘極相接之界面為最大，且朝前述閘極絕緣膜與前述矽區域表面相接之界面逐漸減少。

- 20 另外，本發明之P型通道電源MIS場效電晶體之一構造例，其中前述P型通道電源MIS場效電晶體之閘極閾電壓，與具有除不含氫、氮或氬以外，其他均同之閘極絕緣膜且在表面為(100)面之矽區域形成有閘極絕緣膜及閘極之P型通道MIS場效電晶體的閘極閾電壓實際上相同。

又，本發明之P型通道電源MIS場效電晶體之一構造

例，其中前述閘極絕緣膜之中，至少與前述矽區域表面相接之接觸部是由氧化矽膜、氮氧化矽膜或氮化矽膜所構成者。

又，本發明之P型通道電源MIS場效電晶體之一構造
5 例，其中前述閘極絕緣膜之中，至少與前述矽區域表面相接之接觸部是利用氧自由基使前述矽區域表面氧化之厚度100nm以下的氧化矽膜。

亦可係其中前述閘極絕緣膜之中，至少與前述矽區域表面相接之接觸部是利用氮自由基或NH自由基使前述矽
10 區域表面氮化之厚度100nm以下的氮化矽膜。

亦可係其中前述閘極絕緣膜之中，至少與前述矽區域表面相接之接觸部是利用氮自由基或NH自由基及氧自由基使前述矽區域表面氮氧化之厚度100nm以下的氮氧化矽膜。

15 又，其中前述閘極絕緣膜之厚度宜是200至1500埃。

又，其中前述閘極絕緣膜之中，除與前述矽區域表面相接之前述接觸部以外之部分，亦可含有藉CVD形成的氧化矽膜、氮氧化矽膜、及氮化矽膜。

又，本發明之P型通道電源MIS場效電晶體之一構造
20 例，其中前述閘極絕緣膜是利用用以產生微波激發之稀有氣體與絕緣膜形成氣體之混合氣體電漿來形成者。

其中前述稀有氣體宜是氫、氬或氫之中至少一者，而前述絕緣膜形成氣體宜是含有氧、氮、氬之中至少一者的氣體。

又，本發明之P型通道電源MIS場效電晶體，係包含有表面實質上為(110)面之具有矽區域的基板；設在該表面上之閘極絕緣膜；及設在該閘極絕緣膜上之閘極，且前述矽區域至少作為通道用的P型通道MIS場效電晶體，其特徵在於：前述矽表面之表面粗糙度若以中心線平均粗糙度(Ra)來表示，係在0.15nm以下，而源極與閘極間之耐受電壓在10伏特以上。

其中宜前述閘極絕緣膜之中，至少與前述矽區域表面接觸之接觸部含有氫、氮或氫。

10 又，本發明之P型通道電源MIS場效電晶體，其中前述矽表面之表面粗糙度若以中心線平均粗糙度Ra來表示，係在0.11nm以下。

又，本發明之P型通道電源MIS場效電晶體，其中前述矽表面之表面粗糙度若以中心線平均粗糙度Ra來表示，係
15 在0.09nm以下。

又，本發明之P型通道電源MIS場效電晶體，其中前述矽表面之表面粗糙度若以中心線平均粗糙度Ra來表示，係在0.07nm以下。

中心線平均粗糙度Ra宜在0.11nm以下，其中以0.09nm
20 以下為佳，0.07nm以下更佳。

又，本發明之P型通道電源MIS場效電晶體之一構造例，其中前述實質上具有(110)面之矽表面是(110)面、(551)面、(311)面、(221)面、(553)面、(335)面、(112)面、(113)面、(115)面、(117)面、(331)面、

(221) 面、(332) 面、(111) 面、及 (320) 面中之任一面。

又，本發明之P型通道電源MIS場效電晶體之一構造例，其中前述實質上具有(110)面之矽表面是(110)面
5 或(551)面。

據佐藤氏等人刊載於“Sensors and Actuators 73 (1999)” (p. 122-130) 之論文之第2圖，顯示對(110)面施行鹼性蝕刻處理時，變成紋路朝 $\langle -110 \rangle$ 方向之表面形狀。如此，可獲得與(110)面相同之表面形狀之區域，
10 係朝 $\langle 100 \rangle$ 方向偏離 $0 \sim 12^\circ$ 之面，例如偏離 8° 之(551)面等。甚至朝 $\langle -110 \rangle$ 方向偏離 1° 之面也可獲得相同表面形狀。因此，可顯現與該論文之第2圖所示之(110)面相同之表面粗糙動作的面方位實質上包含於(110)面方位。

此外，佐藤氏等人於“Physical Review Letters, B4, 15 1950 (1971)”中提出可獲得與(110)面相同之載體電子遷移率之面的報告。依該報告，當令電子朝 $\langle -110 \rangle$ 方向流動時，使用朝 $\langle -110 \rangle$ 方向偏離 $0 \sim 35^\circ$ 之面，例如(331)面、(221)面、(332)面、(111)面等，也可獲得與(110)面相同之電子遷移動作。又，使用朝 $\langle 110 \rangle$ 方向偏離 $0 \sim 12$
20 $^\circ$ 之面，例如(320)面，也可獲得與(110)面相同之動作。因此，前述之面和其鄰近之面實質上均包含於(110)面。

又，本發明之P型通道電源MIS場效電晶體之一構造例，亦可其中前述閘極絕緣膜之中，至少與前述矽表面相

接之接觸部是由含有氧化矽膜、氮化矽膜、及氮氧化矽膜之中至少一者之膜所構成。

又，本發明之P型通道電源MIS場效電晶體之一構造例，亦可其中前述閘極絕緣膜除前述接觸部以外之部分包含有高介電膜，且該高介電膜具有以下其中至少一者：含有選自於Hf、Zr、Ta、Ti、La、Co、Y、Al之中至少一種元素的金屬矽酸鹽；含有選自於Si、Hf、Zr、Ta、Ti、Y、Nb、Na、Co、Al、Zn、Pb、Mg、Bi、La、Ce、Pr、Sm、Eu、Gd、Dy、Er、Sr、Ba之中至少一種元素的金屬氧化物；含有選自於Si、Hf、Zr、Ta、Ti、Y、Nb、Na、Co、Al、Zn、Pb、Mg、Bi、La、Ce、Pr、Sm、Eu、Gd、Dy、Er、Sr、Ba之中至少一種元素的金屬氮化物；及含有選自於Si、Hf、Zr、Ta、Ti、Y、Nb、Na、Co、Al、Zn、Pb、Mg、Bi、La、Ce、Pr、Sm、Eu、Gd、Dy、Er、Sr、Ba之中至少一種元素的金屬氮氧化物。

又，本發明之P型通道電源MIS場效電晶體之一構造例，亦可其中前述閘極絕緣膜除前述接觸部以外之部分是由含有氧化矽膜、氮化矽膜、氮氧化矽膜、及前述高介電膜之中至少一者之膜所構成。

又，本發明之P型通道電源MIS場效電晶體之一構造例，其中前述閘極絕緣膜之中，至少與前述矽區域表面相接之接觸部之氫、氮或氬之含有量在 $5 \times 10^{11} \text{cm}^{-2}$ 以下。

又，本發明之P型通道電源MIS場效電晶體之一構造例，其中前述閘極絕緣膜之中，至少與前述矽區域表面接

觸之接觸部，係在含有氧自由基和氮自由基之中至少一者之環境氣體中，藉用以使前述矽表面氧化之氧化處理步驟及用以使前述矽表面氮化之氮化處理步驟其中任一步驟，或者藉前述氧化處理步驟與前述氮化處理步驟的同時並行處理來形成者。

又，其中前述閘極絕緣膜包含有利用用以產生微波激發之稀有氣體與絕緣膜形成氣體之混合氣體電漿來形成之部分。

其中前述稀有氣體是氮、氬及氫之中至少一者，而前述絕緣膜形成氣體是含有氮、氬、氧之中至少一者的氣體。

又，本發明之P型通道電源MIS場效電晶體之一構造例，亦可其中在形成源極區域、汲極區域、通道區域、及閘極絕緣膜之前，先藉OH濃度低之RCA洗淨步驟來洗淨前述矽表面。

又，本發明之P型通道電源MIS場效電晶體之一構造例，其中用以處理前述矽表面之液體之pH值在7以下。

又，本發明之P型通道電源MIS場效電晶體之一構造例，亦可其中在形成源極區域、汲極區域、通道區域、及閘極絕緣膜之前，先藉包括抑制OH產生之超音波洗淨之洗淨步驟來洗淨前述矽表面。

又，本發明之P型通道電源MIS場效電晶體之一構造例，亦可其中在形成源極區域、汲極區域、通道區域、及閘極絕緣膜之前，先藉洗淨步驟來洗淨前述矽表面，且該洗淨步驟包含有：第1步驟，利用含有臭氧之純水進行洗

淨；第2步驟，一邊賦與頻率500kHz以上之振動，一邊利用含有HF、已除氣H₂O、及界面活性劑之洗淨液進行洗淨；第3步驟，利用含有臭氧之H₂O進行洗淨；第4步驟，利用含有HF及已除氣H₂O之洗淨液進行洗淨，俾除去在該第3步驟
5 時所形成之氧化膜；及第5步驟，利用添加有氫之H₂O進行洗淨。

又，本發明之P型通道電源MIS場效電晶體之一構造例，其中前述第2步驟及第4步驟之已除氣H₂O是將H₂O除氣後再添加氫而形成之H₂O。

10 又，本發明之P型通道電源MIS場效電晶體之一構造例，其中前述第2步驟及第4步驟之已除氣H₂O之溶氧濃度在100ppb以下。

又，本發明之P型通道電源MIS場效電晶體之一構造例，亦可其中在形成源極區域、汲極區域、通道區域、及
15 閘極絕緣膜之前，一邊賦與頻率500kHz以上之振動，一邊藉HF及於溶氧濃度在100ppb以下之H₂O中添加氫的洗淨液來洗淨前述矽表面。

又，本發明之P型通道電源MIS場效電晶體之一構造例，亦可其中從前述矽表面之洗淨開始到洗淨結束為止，
20 係在處理藥液及前述矽表面不會接觸到空氣之裝置中進行處理。

又，本發明之P型通道電源MIS場效電晶體之一構造例，亦可其中前述矽表面在洗淨步驟後，進行表面平坦化處理，而該表面平坦化處理包含有在含有氧自由基之環境

氣體中於前述矽表面形成犧牲氧化膜的步驟；及剝離該犧牲氧化膜的步驟。

又，本發明之P型通道電源MIS場效電晶體之一構造例，亦可其中前述矽表面在洗淨步驟後，進行表面平坦化處理，而該表面平坦化處理是反覆期望次數之包含有施行使用濕式氣體之氧化處理以形成氧化膜之第1步驟；及回蝕刻該氧化膜到預定厚度之第2步驟的2個步驟之後，藉含有HF之水溶液來剝離該氧化膜。

此外，本發明可提供一種開關電路，係前述P型通道電源MIS場效電晶體之源極或汲極之其中之一直接或間接連接電源，且源極或汲極之另一者連接負載，並且閘極連接用以施加可接通或切斷前述P型通道電源MIS場效電晶體之驅動訊號的裝置。

其中前述電源之額定電壓宜在12伏特以上。其中前述用以施加驅動訊號之裝置宜包含有雙極電晶體。

發明效果

依本發明，包含有表面實質上為(110)面之具有矽區域的基板；設在該表面上之閘極絕緣膜；及設在該閘極絕緣膜上之閘極，且前述矽區域至少作為通道用的P型通道MIS場效電晶體，由於前述閘極絕緣膜之中，至少與前述矽區域表面接觸之接觸部含有氫、氘或氚，所以可獲得一種不論習知(100)面或(110)面皆未能達成或實現之與N型通道MOS電晶體相同尺寸但具有其同等以上之電流驅動能力的P型通道電源MIS場效電晶體。

又，依本發明，可令實質上具有(110)面之矽表面之平坦性從習知藉RCA洗淨而獲得之約1.0nm之表面粗糙度(Ra)變成0.15nm以下，故與習知利用RCA洗淨而形成之MIS電晶體相較，本發明可使電流驅動能力提高約3倍。因此，本發明之P型通道電源MIS場效電晶體可以與N型通道電源MIS場效電晶體相同之尺寸、成本來獲得其同等以上之電流驅動能力。又，由於本發明之矽表面與閘極絕緣膜之間界面達到原子級平坦，所以亦可提升閘極絕緣膜之可靠性。

10 圖式簡單說明

第1圖是顯示本發明第1實施例中，可形成場效電晶體之(110)面方位之矽基體結晶構造的概略圖。

第2圖是顯示本發明第1實施例中，於(110)面內形成場效電晶體時，電晶體遷移率對配置方向之依存性的圖。

15 第3A、B圖是顯示本發明第1實施例與習知之場效電晶體之汲極電流-汲極電壓特性的圖。

第4A、B圖是顯示本發明之P型通道MOS電晶體與習知P型通道MOS電晶體之互導-閘極電壓特性的圖。

20 第5A~H圖是顯示為本發明第1實施例之P型通道電源MIS場效電晶體之製造方法的步驟截面圖。

第6圖是顯示本發明第1實施例之場效電晶體之製造步驟所使用之微波激發電漿裝置概略結構的截面圖。

第7圖是當矽結晶面方位改變時，氧化矽膜厚對形成時間之依存性的圖。

第8圖是顯示使用本發明第1實施例之P型通道電源MIS場效電晶體之開關電路結構的電路圖。

第9圖是顯示使用本發明第1實施例之P型通道電源MIS場效電晶體之另一開關電路結構的電路圖。

5 第10圖是顯示研究矽表面之中心線平均粗糙度與界面光譜之間關係之模擬結果的圖。

第11A~J圖是顯示為本發明第4實施例之P型通道電源MIS場效電晶體之製造方法的步驟截面圖。

10 第12圖是用以說明使用本發明第4實施例之製造方法而獲得之效果的圖，顯示氧化方法對矽表面平坦化之依存性。

第13圖是用以說明矽表面之中心線平均粗糙度與電子遷移率之間關係的圖。

15 第14A~J圖是顯示為本發明第5實施例之P型通道電源MIS場效電晶體之製造方法的步驟截面圖。

第15圖是本發明第5實施例所使用之(551)面之原子階梯的模式圖。

20 第16圖是顯示本發明第6實施例之製造方法之第2步驟中，氧化矽膜回蝕刻時之殘膜量與中心線平均粗糙度之間關係的圖。

第17圖是顯示本發明第6實施例所施行之第1步驟及第2步驟的反覆次數與中心線平均粗糙度之間關係的圖。

第18圖是顯示本發明第7實施例之表面平坦性維持方法之效果的圖。

第19A~D圖是顯示本發明第8實施例之製造方法的步驟截面圖。

第20A、B圖是顯示本發明第8實施例之製造方法的步驟截面圖。

5 第21圖是顯示習知開關電路之結構的電路圖。

第22圖是顯示習知另一開關電路之結構的電路圖。

第23圖是顯示習知P型通道MOS電晶體之特性的圖。

【實施方式】

用以實施發明之最佳形態

10 [第1實施例]

以下，詳細說明本發明之實施例。本實施例說明的是於表面具有(110)面之矽基板上形成有由氧化矽膜構成之閘極絕緣膜的P型通道電源MIS場效電晶體。

15 第1圖顯示從〈110〉方向觀看之構成本實施例之場效電晶體所使用之矽基板之矽結晶的結晶構造概略圖。惟，第1圖中，箭頭101、箭頭102均表示〈110〉方向，可看出在可形成場效電晶體之基板之最上面，矽原子103是平行地配列於其與閘極絕緣膜之間界面。

20 此外，本實施例之場效電晶體，係在前述〈110〉方位之矽基板主面，例如(110)面上將閘極配置成其長向沿第1圖之紙面左右方向延伸，且源極區域配置在紙面近觀看處方向，汲極區域配置在紙面遠離觀看處方向。此方向正是在〈110〉方位之矽面上配置源極區域及汲極區域，使可連結源極區域及汲極區域之線與〈110〉方位一致的方向，如

第2圖所示，MIS電晶體之遷移率在此方向最高。

第2圖是顯示於(110)面上形成有P型通道MIS電晶體時，電晶體遷移率對電晶體配置方向之依存性的圖，可顯示在(110)面內，以其與(111)面之交線為基準，改變
5 閘極長向之角度來配置時的遷移率變化。

參照第2圖，可知當閘極長向形成之角度為135度方向時，即在(110)面或(110)面內，配置源極區域和汲極區域，使可連結源極區域和汲極區域之方向為 $\langle 110 \rangle$ 方向時，遷移率達到最大。N型通道MIS電晶體亦是相同情況。
10 配置於此方向之MIS電晶體之遷移率與(100)面之遷移率相較，在N型通道MIS電晶體時約相當於1.4倍，在P型通道MIS電晶體時約相當於2.5倍。配置於此方向之MIS電晶體之遷移率變高的原因，推斷係由於從源極區域沿汲極區域移動之電子及電洞之有效質量及晶格散射機率減少之故。

觀看第2圖即可知，即使是遷移率最大之角度的周邊角度，遷移率也不會急速降低，所以選擇角度60度到約180度之結晶方位，仍可獲得遷移率與(100)面N型通道MOS電晶體相同之場效電晶體。又，亦可於實質上之(110)面或者與(110)面等效或面方向角度接近之其他面方位，例如
15 (551)面、(331)面、(221)面、(321)面、(531)面、
20 (231)面、(351)面、(320)面、(230)面等形成本實施例之場效電晶體。

第3A、3B圖是分別顯示形成於(100)面、(110)面之矽基板上之P型通道MIS場效電晶體之汲極電流-汲極電

壓特性的圖。依第3圖，本實施例之(110)面上之MIS場效電晶體的電流驅動能力為(100)面時之2.5倍。

第4圖將本發明之P型通道MOS電晶體之閘極電壓對互導特性與習知P型通道MOS電晶體之特性作比較顯示，各P
5 型通道MOS電晶體之閘極長度為 $100\ \mu\text{m}$ ，閘極寬度為 $300\ \mu\text{m}$ ，閘極氧化膜厚度為 5nm 。本發明之電晶體是藉後述之使用氧自由基之氧化方法於矽(110)面形成氧化矽膜之閘極絕緣膜的P型通道電晶體，習知電晶體則是藉熱氧化或使用氧自由基之氧化方法於矽(100)面形成氧化矽膜之閘極
10 絕緣膜的P型通道電晶體及藉熱氧化於矽(110)面形成氧化矽膜之閘極絕緣膜的P型通道電晶體。參照第4A圖，可看到藉熱氧化於矽(110)面形成氧化矽膜之閘極絕緣膜的習知P型通道電晶體的特性41相較於藉熱氧化於矽(100)面形成閘極氧化膜的習知P型通道電晶體的特性42a，雖然互
15 導較優異，但是閘電壓差異大且無法取得一定之值，並不能提供實際使用。另一方面，參照第4B圖，可知本發明之P型通道MOS電晶體之特性40相較於藉使用氧自由基之氧化方法於矽(100)面形成閘極氧化膜的習知P型通道電晶體的特性42b(與藉熱氧化於矽(100)面形成閘極氧化膜的P
20 型通道電晶體的特性42a相同)，即使在閘極電壓之絕對值之廣大區域，其互導仍高出3倍以上，而且不僅遠較藉熱氧化於矽(110)面形成氧化矽膜之閘極絕緣膜的習知P型通道電晶體的特性41還優越，其閘電壓也與藉使用氧自由基之氧化方法於矽(100)面形成閘極氧化膜的習知P型通道

電晶體的閾電壓相同，在提供實際使用時不會產生任何障礙。一般而言，閾電壓之差異以下述式來表示。

$$\Delta V_{th} = \frac{Q_{ss}}{C_{ox}} = \frac{\tau_{ox} \times Q_{ss}}{\epsilon}$$

... (1)

5 在此， V_{th} 為閾值， C_{ox} 為閘極絕緣膜電容， Q_{ss} 為閘極絕緣膜中之固定電荷， ϵ 為閘極絕緣膜之介電率， τ_{ox} 為閘極絕緣膜厚度。由於藉熱氧化於矽(110)面形成之閘極氧化膜中有大量固定電荷存在，故 ΔV_{th} 大，尤其是閘極和源極間之耐受電壓在10V以上之功率元件，為提高其閘極絕緣膜之耐受電壓，必須增加其厚度 τ_{ox} ，結果前述式之 ΔV_{th} 更大，所以欲使用藉熱氧化於矽(110)面形成閘極氧化膜之習知P型通道電晶體作為功率元件，實際上不可行。相對於此，本發明之P型通道MOS電晶體，雖然具有閘極和源極間之耐受電壓在10V以上之厚度的閘極絕緣膜，但是其閾值特性與於矽(100)面形成閘極氧化膜的習知P型通道電晶體閾值特性相同，因此，藉本發明，首次可提供一種可供實用之互導高且遷移率高之與N型通道MOS電晶體相同的P型通道電晶體。

20 接著，配合參照第5圖，說明本實施例之P型通道電源MIS場效電晶體之製造方法。另，第5圖之例乃是顯示用以製造LDD(輕摻雜汲極)構造之P型通道電晶體的步驟。

首先，如第5A圖所示，準備一表面具有(110)面之N型矽晶圓基板201，藉STI(淺溝槽隔離層)法於其表面使

元件分離，以形成包含有源極汲極及通道區域之元件區域202。

然後，對元件區域202施行使用 $\text{NH}_4\text{OH}-\text{H}_2\text{O}_2-\text{H}_2\text{O}$ (SC1)及 $\text{HCl}-\text{H}_2\text{O}_2-\text{H}_2\text{O}$ (SC2)之RCA洗淨(第5B圖)。藉該RCA洗淨除去整個表面之有機物、粒子、金屬不純物後，使矽表面氧化以形成氧化矽膜構成之閘極絕緣膜204(第5C圖)。

第6圖是顯示用以製造本實施例之閘極絕緣膜204之使用輻射線槽孔天線之微波激發電漿裝置一例之重要部分的截面圖。真空容器之下部，包括反應氣體排出設備在內均省略。該微波激發電漿裝置包含有實質上與日本公表公報特表平10-33362號中揭示之電漿裝置相同的結構。

本實施例之閘極絕緣膜204是如下進行而形成者。首先，令真空容器(處理室)41內成為真空，且由噴淋板42導入Kr氣體、 O_2 氣體，並將處理室41內之壓力設定為約1Torr。將表面具有(110)面之N型矽晶圓基板43(第5圖之201)載置於具有加熱機構之試樣台44上，並設定使矽晶圓基板43溫度變成約 400°C 。此時在 $200\sim 550^\circ\text{C}$ 之範圍內設定溫度，則以下所述結果幾乎都會一樣。

接著，從同軸波導管45並透過輻射線槽孔天線46及介電體板47，供給2.45GHz之微波到處理室41內，以於處理室41內產生高密度電漿。所供給之微波之頻率只要在900MHz以上10GHz以下之範圍內，則以下所述結果幾乎都會一樣。噴淋板42與基板43之間的間隔，在本實施例是設定為6cm。此間隔愈狹窄，成膜愈快速。本實施例是舉使用輻射

線槽孔天線之電漿裝置來成膜之例，不過亦可使用其他方法將微波導入處理室內。

在混合有Kr氣體及O₂氣體之微波激發電漿中，處於中間激發狀態之Kr*與O₂分子相互碰撞，於是效率佳地產生
5 原子狀氧O*。藉該原子狀氧可使基板表面氧化。習知矽表面的氧化是藉H₂O分子、O₂分子來進行，且處理溫度極高，在800°C以上，不過本實施例藉原子狀氧來氧化，卻可在極低溫之550°C以下進行。

第7圖顯示使用微波激發Kr/O₂電漿使矽基板表面氧化
10 時，氧化膜厚與氧化時間之間關係對面方位的依存性。矽基板表示(100)面和(110)面。第7圖同時顯示對習知900°C乾式熱氧化之氧化時間的依存性。習知高溫熱氧化技術，由於O₂分子、H₂O分子透過擴散來穿越形成在表面之氧化膜，到達矽與氧化矽膜之間界面而有助於氧化，所以
15 氧化膜成長速度會因為面方位不同而有所差異，不過如本實施例使用微波激發Kr/O₂電漿使矽基板表面氧化時，氧化矽膜成長速度即便是對第7圖所示以外之所有面方位，也幾乎不會有依存性。

又，利用低頻C-V測量法測量氧化矽膜與矽之間界面態
20 密度，結果利用微波激發電漿成膜之氧化矽膜之界面態密度不論在(100)面、(110)面以及其他所有面方位，均呈現低且良好狀態。

如前所述，藉微波激發Kr/O₂電漿形成之氧化矽膜雖然是在400°C如此低溫下氧化，但是不論在(100)面、(110)

面以及其他所有面方位，均可獲得與習知之（100）面之高溫熱氧化膜相同甚至更優異的電氣特性。

之所以能獲得這樣的效果，也有一原因是由於成膜後，氧化矽膜中即含有Kr之故。可推斷此乃因為氧化矽膜含有Kr，所以可緩和膜中或矽與氧化矽膜之間界面的應力，減少膜中電荷和降低界面態密度，於是大幅改善氧化矽膜之電氣特性。尤其是含有表面密度在 $5 \times 10^{11} \text{cm}^{-2}$ 以下之Kr更是有助於改善氧化矽膜之電氣特性、可靠性特性。使用Ar或Xe來取代Kr，亦可獲得一樣結果。若是氧化膜時，則以Kr尤佳。

返回第5圖的說明，為控制閾電壓，以離子植入法將硼植入已形成有閘極絕緣膜204之矽晶圓基板201全面（第5D圖）。以離子植入法植入硼之後，於矽晶圓基板201全面，沉積多晶矽，並將此多晶矽圖案化以於元件區域202之閘極絕緣膜204上形成多晶矽電極（閘極）205（第5E圖）。

形成閘極205之後，以離子植入法植入低濃度之硼來形成可緩和電場之P-源極區域及P-汲極區域206（第5F圖）。接下來，藉CVD法等，於矽晶圓基板201全面沉積可覆蓋閘極205之氧化矽膜之後，施行非等向性蝕刻處理以於閘極205側壁形成側壁絕緣膜207（第5G圖）。

然後，以離子植入法植入高濃度之硼等P型不純物來形成P+源極區域及P+汲極區域208（第5H圖）。最後，在P+源極區域及P+汲極區域208上之絕緣膜204形成開口部，並以鋁等形成源極及汲極（不圖示），於是完成P型通

道電源MIS場效電晶體的製作。

如上所述，本實施例相較於形成在具有(100)面之矽表面上之P型通道MIS電晶體，可獲得約2.5倍之電流驅動能力，並且本實施例可獲得習知形成在(110)面之矽表面上之P型通道MIS電晶體無法達成之可以與N型通道電源MIS場效電晶體相同之尺寸、成本來獲得與其相同之性能的P型通道MIS場效電晶體。

第8圖是顯示使用本實施例之P型通道電源MIS場效電晶體之開關電路一例的電路圖，對與第21圖相同之結構，賦與相同標號。與第21圖同樣地，第8圖之開關電路是將作為開關元件之P型通道電源MIS場效電晶體Q1插入可朝負載LO供給之電源供給線的高電位側者，包含有電晶體Q1，NPN電晶體Q2，及電阻R1、R2。電源電壓(電池額定電壓)為12V。

第9圖是顯示使用本實施例之P型通道電源MIS場效電晶體之開關電路另一例的電路圖，對與第22圖相同之結構，賦與相同標號。與第22圖同樣地，第9圖之開關電路是將P型通道電源MIS場效電晶體Q11、Q12插入可朝負載LO供給之電源供給線的高電位側，且將N型通道電源MIS場效電晶體Q13、Q14插入電源供給線之低電位側者，包含有電晶體Q11、Q12、Q13、Q14，電阻R11、R12、R13、R14，高側驅動電路DR1，及低側驅動電路DR2。

不論第8圖或第9圖，均不需要以往視為必要之電荷泵電路，且由於可使用與N型通道電源MIS場效電晶體相同尺

寸之P型通道電源MIS場效電晶體，所以可降低成本。第8圖之情形雖然需要1個雙極NPN電晶體，不過因為雙極電晶體較電荷泵電路廉價，故可降低開關電路成本。

另外，本實施例之利用微波激發電漿形成之閘極氧化矽膜只要至少存在於與矽相接之部分即可，所以該閘極氧化矽膜之上亦可積層形成不同材料，例如氮化矽膜、氧化鋁膜、氧化鈮膜、氧化鈣膜、氧化鋇膜等的絕緣膜。另，因為本實施例欲製作閘極、源極間耐受電壓為20V之P型通道電源MIS場效電晶體（欲製作使用於額定12V之電池可驅動之汽車用電氣零件的電源電晶體），所以閘極氧化膜厚度為40nm，不過若欲令閘極、源極間耐受電壓為60V時，則可利用微波激發電漿形成之閘極氧化矽膜厚度約數十nm，因此亦可藉其他製造方法，例如微波激發高密度電漿CVD法等，於該閘極氧化膜上形成絕緣膜，俾獲得期望厚度（1200埃到1500埃）之閘極絕緣膜。可獲得閘極、源極間耐受電壓10V之閘極氧化膜厚度為20nm。

再者，欲形成本實施例之閘極氧化矽膜，除使用第6圖所示之裝置外，還可使用利用電漿並能低溫形成氧化膜的其他電漿處理用裝置。舉例而言，亦可利用具有可放出用來以微波激發電漿之Kr氣體之第1氣體放出設備，及可放出氧氣之第2氣體放出設備的2段式噴淋板型電漿處理裝置來形成閘極氧化矽膜。

表面具有（110）面之矽晶圓可以是塊狀結晶晶圓，亦可以是埋置式絕緣膜上形成有矽層之絕緣層上覆矽（SOI）

晶圓。SOI晶圓之埋置式絕緣膜下有矽基體或有金屬層均無妨。埋置式絕緣膜下設有銅等低電阻金屬層之SOI晶圓較有利於高速動作。

〔第2實施例〕

5 接下來，本發明第2實施例乃是說明於表面具有(110)面之矽基板上形成由氮氧化矽膜構成之閘極絕緣膜的P型通道電源MIS場效電晶體。

欲形成使用氮氧化矽膜作為閘極絕緣膜之場效電晶體時，也是如第1圖所示，在〈110〉方位之矽基板上，最上
10 面之矽原子平行地配列於其與閘極絕緣膜之間界面，並且閘極配置成其長向與紙面左右方向一致，源極區域配置在紙面近觀看處方向，汲極區域配置在紙面遠離觀看處方向，此時之結構可賦與最高之遷移率。

因為氮氧化矽膜之介電率較氧化矽膜高，所以配置於
15 此方向之本實施例MIS場效電晶體之電流驅動能力會較第1實施例高。本實施例之P型通道MIS場效電晶體之電流驅動能力是於〈100〉方位之矽基板上形成由氧化矽膜構成之閘極絕緣膜之P型通道MIS場效電晶體的約2.8倍。本實施例MIS場效電晶體之遷移率之所以變高的原因，與第1實施例
20 同樣地係由於從源極區域沿汲極區域移動之電子及電洞之有效質量及晶格散射機率減少之故。

如上所述，本實施例之P型通道電源MIS場效電晶體之電流驅動能力可更提高超越第1實施例。

本實施例之可提高遷移率之面方位，與第1實施例同樣

地，亦可於實質上之(110)面或者與(110)面等效或面方向角度接近之其他面方位，例如(551)面、(331)面、(221)面、(321)面、(531)面、(231)面、(351)面、(320)面、(230)面等形成本實施例之場效電晶體。

5 本實施例之P型通道MIS場效電晶體之閘極氮氧化矽膜，與第1實施例同樣地可藉第6圖所示使用輻射線槽孔天線之微波激發電漿裝置來形成。本實施例之閘極氮氧化矽膜是如下進行而形成者。

10 首先，令真空容器(處理室)41內成為真空，且由噴淋板42導入Kr氣體、O₂氣體及NH₃氣體，並將處理室41內之壓力設定為約1Torr。將表面具有(110)面之N型矽晶圓基板43(第5圖之201)載置於具有加熱機構之試樣台44上，並設定使矽晶圓基板43溫度變成約400°C。

15 接著，從同軸波導管45並透過輻射線槽孔天線46及介電體板47，供給5.45GHz之微波到處理室41內，以於處理室41內產生高密度電漿。噴淋板42與基板43之間的時間是設定為約6cm。本實施例是舉使用輻射線槽孔天線之電漿裝置來成膜之例，不過亦可使用其他方法將微波導入處理室內。

20 在混合有Kr氣體、O₂氣體及NH₃氣體之高密度激發電漿中，處於中間激發狀態之Kr*與O₂分子、NH₃分子相互碰撞，於是效率佳地產生原子狀氧O*及NH*。藉該等自由基可使矽基板表面氮氧化。

使用微波激發電漿使矽基板表面氮氧化時，氮氧化膜成長速度對面方位幾乎不會有依存性。又，氮氧化矽膜與

矽之間界面態密度不論在(100)面、(110)面以及其他所有面方位，均呈現低且良好狀態。

形成本實施例之閘極氮氧化矽膜時有一要件，就是須有氫存在。電漿中有氫存在，氮氧化矽膜中及氮氧化矽膜與矽之間界面之懸空鍵才會末端形成Si-H、N-H結合，最後使氮氧化矽膜中及界面沒有電子陷阱。本實施例之氮氧化矽膜中存在Si-H結合、N-H結合，分別是透過測量紅外線吸收光譜和X射線光電子光譜而確認的。因為有氫存在，所以CV特性沒有遲滯現象，矽與氮氧化矽膜之間膜界面密度也可降低到 $3 \times 10^{10} \text{cm}^{-2}$ 。當使用稀有氣體(Ar、Xe或Kr)與 O_2 、 N_2/H_2 之混合氣體來形成氮氧化矽膜時，若令氫氣之分壓在0.5%以上，便可快速減少膜中電子和電洞之陷阱。

另外，本實施例之利用微波激發電漿形成之閘極氮氧化矽膜只要至少存在於與矽相接之部分即可，所以其上亦可積層形成不同材料，例如氮化矽膜、氧化鋁膜、氧化鉬膜、氧化鈣膜、氧化鋯膜等的絕緣膜。尤其是如本實施例，形成P型通道電源MIS場效電晶體時，亦可藉其他製造方法，例如CVD法等，於閘極氮氧化膜上形成絕緣膜，俾獲得期望厚度之閘極絕緣膜。

再者，欲形成本實施例之閘極氮氧化矽膜，除使用第6圖所示之裝置外，還可使用利用電漿並能低溫形成氮氧化膜的其他電漿處理用裝置。舉例而言，亦可利用具有可放出用來以微波激發電漿之Ar、Xe或Kr氣體之第1氣體放出設備，及可放出 O_2 、 NH_3 氣體(或 N_2/H_2 氣體)之第2氣體放出

設備的2段式噴淋板型電漿處理裝置來形成閘極氮氧化矽膜。又，亦可使用Ar氣體或Xe氣體來取代Kr氣體。不過，以Xe氣體為佳。

〔第3實施例〕

5 接下來，本發明第3實施例乃是說明於表面具有(110)面之矽基板上形成由氮化矽膜構成之閘極絕緣膜的P型通道電源MIS場效電晶體。

欲形成使用氮化矽膜作為閘極絕緣膜之場效電晶體時，也是如第1圖所示，在〈110〉方位之矽基板上，最上面之矽原子平行地配列於其與閘極絕緣膜之間界面，並且閘極配置成其長向與紙面左右方向一致，源極區域配置在紙面近觀看處方向，汲極區域配置在紙面遠離觀看處方向，此時之結構可賦與最高之遷移率。

因為氮化矽膜之介電率較氧化矽膜高，所以配置於此方向之本實施例MIS場效電晶體之電流驅動能力會較第1實施例高。氮化矽膜之介電率約是氧化矽膜的2倍。本實施例之P型通道MIS場效電晶體之電流驅動能力是於〈100〉方位之矽基板上形成由氧化矽膜構成之閘極絕緣膜之P型通道MIS場效電晶體的約5倍。本實施例MIS場效電晶體之遷移率之所以變高的原因，與第1實施例同樣地係由於從源極區域沿汲極區域移動之電子及電洞之有效質量及晶格散射機率減少之故。

如上所述，本實施例之P型通道電源MIS場效電晶體之電流驅動能力可更提高超越第2實施例。

本實施例之可提高遷移率之面方位，與第1實施例同樣地，亦可於實質上之(110)面或者與(110)面等效或面方向角度接近之其他面方位，例如(551)面、(331)面、(221)面、(321)面、(531)面、(231)面、(351)面、5 (320)面、(230)面等形成本實施例之場效電晶體。

本實施例之P型通道MIS場效電晶體之閘極氮化矽膜，與第1實施例同樣地可藉第6圖所示使用輻射線槽孔天線之微波激發電漿裝置來形成。本實施例之閘極氮化矽膜是如下進行而形成者。

10 首先，令真空容器(處理室)41內成為真空，且由噴淋板42導入Kr氣體、NH₃氣體，並將處理室41內之壓力設定為約1Torr。將表面具有(110)面之N型矽晶圓基板43(第5圖之201)載置於具有加熱機構之試樣台44上，並設定使矽晶圓基板43溫度變成約400°C。

15 接著，從同軸波導管45並透過輻射線槽孔天線46及介電體板47，供給2.45GHz之微波到處理室41內，以於處理室41內產生高密度電漿。噴淋板42與基板43之間的間隔是設定為約6cm。本實施例是舉使用輻射線槽孔天線之電漿裝置來成膜之例，不過亦可使用其他方法將微波導入處理室內。

20 在混合有Kr氣體、NH₃氣體之高密度激發電漿中，處於中間激發狀態之Kr*與NH₃分子相互碰撞，於是效率佳地產生NH*。藉該等自由基可使矽基板表面氮化。

使用微波激發電漿使矽表面氮化時，氮化膜成長速度對面方位幾乎不會有依存性。又，氮化矽膜與矽之間界面

態密度不論在(100)面、(110)面以及其他所有面方位，均呈現低且良好狀態。

形成本實施例之閘極氮化矽膜時有一要件，就是須有氫存在。電漿中有氫存在，氮化矽膜中及氮化矽膜與矽之間界面之懸空鍵才會末端形成Si-H或N-H結合，最後使氮化矽膜中及界面沒有電子陷阱。本實施例之氮化矽膜中存在Si-H結合、N-H結合，分別是透過測量紅外線吸收光譜和X射線光電子光譜而確認的。因為有氫存在，所以CV特性沒有遲滯現象，矽與氮化矽膜之間膜界面密度也可降低到 $3 \times 10^{10} \text{ cm}^{-2}$ 。當使用稀有氣體(Ar、Xe或Kr)與 N_2/H_2 之混合氣體來形成氮化矽膜時，若令氫氣之分壓在0.5%以上，便可快速減少膜中電子和電洞之陷阱。

另外，本實施例之利用微波激發電漿形成之閘極氮化矽膜只要至少存在於與矽相接之部分即可，所以其上亦可積層形成不同材料，例如氧化矽膜、氧化鋁膜、氧化鈮膜、氧化鈣膜、氧化銦膜等的絕緣膜。尤其是如本實施例，製作P型通道電源MIS場效電晶體時，亦可藉其他製造方法，例如CVD法等，於閘極氮化膜上形成絕緣膜，俾獲得期望厚度之閘極絕緣膜。

再者，欲形成本實施例之閘極氮化矽膜，除使用第6圖所示之裝置外，還可使用利用電漿並能低溫形成氮化膜的其他電漿處理用裝置。舉例而言，亦可利用具有可放出用來以微波激發電漿之Ar、Xe或Kr氣體(以Xe為佳)之第1氣體放出設備，及可放出 NH_3 氣體(或 N_2/H_2 氣體)之第2

氣體放出設備的2段式噴淋板型電漿處理裝置來形成閘極氮化矽膜。

〔第4實施例〕

接下來，說明藉著降低矽表面粗糙度來提高P型通道電
5 源MIS場效電晶體之特性的本發明第4實施例。

根據本發明人的觀察，證實製造場效電晶體過程中，在RCA洗淨之鹼處理時及純水沖洗時等等，元件區域表面不可避免地會粗化。

另一方面，場效電晶體中之載子遷移率是顯示電晶體
10 之電流驅動能力的指標之一，而P型通道場效電晶體，其電洞可成為載子。一般而言，若欲提高場效電晶體之電流驅動能力，就必須減少元件區域表面之粗糙度，使載子遷移率提高。

具體說明，利用一般之RCA洗淨時，元件區域之矽表
15 面粗糙度會產生若以中心線平均粗糙度Ra來表示， $Ra = 0.5 \sim 1.5 \text{ nm}$ 之粗糙，本發明人已確認於其上可形成閘極絕緣膜。欲形成閘極絕緣膜時，一般是使用乾 O_2 形成氧化矽膜，但是若是使用乾 O_2 來氧化時，氧化種從(111)分面進入而優先氧化，結果觀察到矽表面與閘極氧化矽膜之間界面粗
20 糙度變得更大。

當使用具有RCA洗淨造成之細微粗糙度的矽來製造場效電晶體時，該場效電晶體不僅電流驅動能力低，而且實際對閘極施加電壓時，電場會集中在突起部，甚至容易破壞絕緣。尤其是使用實質上表面具有(110)面的矽，鹼處

理時造成之粗糙更嚴重，將導致使用此矽時，其遷移率低等缺點。

本實施例正是藉著降低如上之矽表面粗糙度來提高P型通道電源MIS場效電晶體之特性。

- 5 首先，說明本實施例之原理。說明可控制(110)矽表面之載子遷移率的要素(控制要素)時，通常遷移率之控制要素可舉出3個要素：①不純物散射 μ_{co} ；②聲子散射 μ_{ph} ③表面粗糙度散射 μ_{sr} 。此外，所觀察到之遷移率 μ 即為3個要素相加，而由馬泰森(Matterson)法則，可知可由
- 10 下述式2來表示。

$$\mu^{-1} = \mu_{co}^{-1} + \mu_{ph}^{-1} + \mu_{sr}^{-1} \dots (2)$$

- 已知在前述3個決定要素當中，(110)面之載子受到矽表面之粗糙度(即，表面粗糙度散射 μ_{sr})很大的影響。實際上探究在極低溫下遷移率與實際電場之間的關係時，實質上可忽略不純物散射 μ_{co} 及聲子散射 μ_{ph} ，僅挑表面粗糙度散射 μ_{sr} 造成的影響來看。因此，探究在絕對溫度77K下遷移率與實際電場之間的關係，結果發現相較於(100)面，
- 15 (110)面之界面粗糙度對遷移率造成的影響更大。

- 20 再者，參照第10圖，顯示以模擬方式探究中心線平均粗糙度Ra與界面粗糙度光譜之間關係的結果。如果考量到利用習知方法實際可實現之中心線平均粗糙度Ra約0.4nm，則便可知第10圖所示中心線平均粗糙度Ra與界面粗糙度光譜之間關係是在較習知方法極限更小之Ra區域的關

係。在此，所謂界面粗糙度光譜，並非指物理測量等所求得之粗糙度，而是載子實際感受到之粗糙度，可定義如以下式3。

$$\langle |\Delta q|^2 \rangle = \pi \Delta^2 \Lambda^2 e^{\left(-\frac{q^2 \Lambda^2}{4} \right)}$$

5 ... (3)

在此， Δ 為界面粗糙度之中心線平均粗糙度Ra， Λ 為界面粗糙度之平均周期，另外， q 為載子朝界面入射之入射波數向量 k 與反射波數向量 k' 之差（即， $q=k-k'$ ）。

如第10圖所示，在（100）面，相對於中心線平均粗糙度Ra之變化，界面粗糙度光譜之變化小到可忽視。相對於此，可看到在（110）面時，隨著中心線平均粗糙度Ra下降，界面粗糙度光譜也會下降，而載子遷移率可上升。再者，從第10圖也清楚看出，由模擬方式可推斷令中心線平均粗糙度Ra在0.07nm以下時，在（110）面之矽之遷移率可提高到與在（100）面之矽之電子遷移率相同程度。

因此，本實施例之宗旨就在於可使（110）矽表面之中心線平均粗糙度Ra變平坦達到習知極限之0.04nm以下，尤其是達到0.15nm以下，更佳之0.07nm以下的方法及使用平坦化之矽來製造P型通道電源MIS場效電晶體。

20 配合參照第11圖，說明為本發明第4實施例之P型通道電源MIS場效電晶體之製造方法。

首先，如第11A圖所示，準備一表面具有（110）面之N型矽晶圓基板301，藉例如STI法於其表面使元件分離，以

形成包含有源極汲極及通道區域之元件區域302。

然後，對元件區域302施行RCA洗淨（第11B圖）。如本實施例，可知在細微粗糙（粗糙度）會成為問題之粗糙區域，必須預先考慮到RCA洗淨其中1步驟之SCI洗淨時增加的粗糙度。已確認實際上，在RCA洗淨其中1步驟之SCI洗淨時，OH濃度造成矽表面被蝕刻，而該蝕刻會增加粗糙度。

考慮到粗糙度會增加之情形，於是本實施例施行OH濃度低之SCI洗淨處理。典型的習知SCI處理，使用的是 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$ 之藥液。然而，本實施例使用 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 0.05 : 1 : 5$ 之藥液，較習知SCI處理降低了OH濃度。

此外，亦觀察到當矽結晶中，COP（結晶時產生之粒子）等的缺陷密度高時，就會加速SCI處理時表面粗糙度的增加。又，還證實因為這些缺陷，SCI處理後會在表面形成微坑，導致氧化膜耐壓性變差。已知特別是在使用CZ晶圓時，COP密度尤高。

因此，為抑制SCI洗淨時表面粗糙度的增加，宜使用於矽表面施行氫退火處理或氫退火處理等，使殘留之氧之程度降到了約 $5 \times 10^{16} \text{cm}^3$ 以下的矽，或者使用表面施行過Si磊晶生長技術之矽晶圓。本實施例是使用表面施行過Si磊晶生長技術之矽晶圓。

如此，當施行過前述低OH濃度之SCI處理時，矽表面便具有約0.15nm之中心線平均粗糙度Ra。使用具有這種程度之表面粗糙度之矽來製造P型通道電晶體時，可獲得遷移

率已較習知P型通道電晶體改善之電晶體。然而，從第10圖也清楚可知，當使用(110)矽時，若具有這種程度之表面粗糙度，就無法達成與使用(100)矽時相同的遷移率。

因此，本實施例為使表面粗糙度變得更平坦，如第11C圖所示，在氧自由基之環境氣體中使元件區域302表面氧化以形成犧牲氧化膜303，如此來作為使元件區域302之矽表面平坦化處理。已確認在該自由基環境氣體中形成犧牲氧化膜303，該犧牲氧化膜303之表面可變得較形成犧牲氧化膜303前還平坦。

在此，具體說明第11C圖所使用之自由基氧化處理。本實施例之自由基氧化處理乃是使用第6圖所示微波激發電漿裝置。首先，令第6圖中之真空容器(處理室)41內成為真空狀態，然後由噴淋板42導入Kr氣體、O₂氣體，並將處理室41內之壓力設定為約1Torr。將表面具有(110)面之矽晶圓基板43(第11圖之301)載置於具有加熱機構之試樣台44上，並設定使矽晶圓基板43溫度變成約400°C。此時在200~550°C之範圍內設定溫度，則以下所述結果幾乎都會一樣。

接著，從同軸波導管45並透過輻射線槽孔天線46及介電體板47，供給2.45GHz之微波到處理室41內，以於處理室41內產生高密度電漿。所供給之微波之頻率只要在900MHz以上10GHz以下之範圍內，則以下所述結果幾乎都會一樣。噴淋板42與基板43之間的間隔，在本實施例是設定為6cm。此間隔愈狹窄，成膜愈快速。本實施例是舉使用輻射

線槽孔天線之電漿裝置來氧化之例，不過亦可使用其他方法將微波導入處理室內。

可推斷欲在含有氧自由基之環境氣體中使矽表面氧化時，由於氧化種附著到矽表面突起部分之機率高的效果，以及自由基本一碰到突起部，突起部就會帶負電，變得易吸引 O^+ 或 O_2^+ 等氧離子的效果相輔相成，於是使突起部分優先氧化，結果矽表面就可形成已平坦化之氧化矽膜。

第12圖顯示在矽表面施行乾式氧化處理時及在含有氧自由基之環境氣體中施行氧化處理時，兩者氧化前後之表面平坦變化情況。在此，初始狀態表示進行前述低OH濃度之SC1處理後之中心線平均粗糙度Ra，從第12圖清楚可知，中心線平均粗糙度Ra在0.14~0.16nm之範圍內。

當在這樣的矽表面，藉乾式氧化處理形成氧化矽膜時，中心線平均粗糙度Ra會在0.17~0.19nm之範圍內變動。另一方面，當如本實施例，藉自由基氧化處理形成氧化矽膜時，其表面之中心線平均粗糙度Ra降到小於0.07nm。於是可知乾式氧化處理時會因為氧化而增加粗糙度，相對於此，若是施行自由基氧化處理，則會提昇平坦性。

第12圖所示之氧化後粗糙度，是在將氧化膜浸漬於HF與HCl之混合液（體積比率，HF：HCl=1.19）中達1分鐘使之剝離後的粗糙度。另，蝕刻氧化膜時之所以使用HF與HCl之混合液，是因為盡量使用低OH離子濃度藥液，才可抑制當氧化膜剝離時對矽表面的蝕刻，俾正確把握矽與閘極絕緣膜界面的狀況。

要測量氧化後粗糙度之前，先將(110)面矽浸漬於HF與HCl之混合液中達10分鐘以上後，探究浸漬前後之中心線平均粗糙度Ra的變化。結果，察覺不到浸漬前後之(110)面矽之中心線平均粗糙度Ra變化，可確認矽並未被蝕刻。

- 5 因此，可確認本評價方法的妥當性。以下，絕緣膜下之矽表面之粗糙度值是將絕緣膜浸漬於前述HF與HCl之混合液中達1分鐘使之剝之後，對其加以評價的值。

如前述所言，施行自由基氧化處理時，可提昇矽表面平坦性。另，利用本自由基氧化處理使矽表面平坦化時，
10 矽面方位和可應用之半導體元件並無限制，亦可應用在其他半導體元件。

前述形成犧牲氧化膜303後，如第11D圖所示，剝離此犧牲氧化膜303。本實施例是使用以HF:HCl=1:19之體積比混合之pH值在1以下的藥液來剝離犧牲氧化膜303。

- 15 接著，如第11E圖所示，在含有氧自由基之環境氣體中使元件區域之矽表面氧化，形成厚5nm之氧化矽膜構成之閘極絕緣膜304。在此狀態時，測試性地將閘極絕緣膜304浸漬於以HF:HCl=1:19之體積比混合之pH值在1以下的藥液中達1分鐘使之剝離，且對矽表面與閘極絕緣膜之間之界面粗糙度進行評價，結果中心線平均粗糙度Ra為0.06nm。
20

然後，為了控制閾電壓，故於形成有閘極絕緣膜304之矽晶圓基板301全面，以離子植入法植入硼(第11F圖)。以離子植入法植入硼之後，於元件區域302之閘極絕緣膜304上形成多晶矽電極(閘極)305(第11G圖)。

形成閘極305之後，以離子植入法植入低濃度之硼來形成P-源極區域及P-汲極區域306（第11H圖），再於閘極305側壁形成側壁絕緣膜307（第11I圖）。之後，以離子植入法植入高濃度之P型不純物來形成P+源極區域及P+汲極區域308（第11J圖）。最後，在P+源極區域及P+汲極區域308上之絕緣膜304形成開口部，並以鋁等形成源極及汲極（不圖示），於是完成P型通道電源MIS場效電晶體的製作。

接下來，檢討第11B圖所示之RCA洗淨後之中心線平均粗糙度Ra與遷移率之間關係。在此，在RCA洗淨後之SC1洗淨時改變氫濃度，使矽表面之中心線平均粗糙度Ra在0.05~0.18nm範圍變化，並觀察此時之遷移率之粗糙度散射成分的變化。

結果顯示於第13圖。從第13圖可知隨著中心線平均粗糙度Ra下降，遷移率會上升。當施行前述低OH濃度之SC1處理時，中心線平均粗糙度Ra約為0.15nm，而這可以說是可藉由洗淨達成之平坦極限。相對於此，如本實施例，加入一藉自由基氧化處理形成犧牲氧化膜303，並剝離此犧牲氧化膜303的步驟，於是可達成平坦化，令中心線平均粗糙度Ra變成0.05nm。

從第13圖所示之(110)矽之中心線平均粗糙度Ra與遷移率之間關係清楚可知，確認有若令中心線平均粗糙度Ra在0.15nm以下，電子遷移率就會提昇的現象。又，亦發現若令中心線平均粗糙度Ra在0.09nm以下，遷移率會急速增

加。0.09nm可以說是遷移率開始急速上升之反曲點。此外，若平坦化到中心線平均粗糙度Ra變成0.07nm，就可獲得與在(100)表面所獲得之載子電子遷移率相同的遷移率，預測粗糙度可改善到0.05nm以下。

- 5 以上是藉著洗淨後施行前述自由基犧牲氧化處理，而成功獲得也是首創獲得非常平坦之面的發明見解。

從第13圖清楚可見，本實施例可達成使中心線平均粗糙度Ra=0.05nm，而相較於習知利用RCA洗淨形成之P型通道MIS電晶體，可令遷移率提高3倍之多。

- 10 如此一來，本實施例便可以與N型通道電源MIS場效電晶體相同之尺寸、成本來獲得與其相同之電流驅動能力。

再者，與習知利用RCA洗淨形成之MIS電晶體相比，本實施例由於矽表面與閘極絕緣膜之間界面平坦，所以可提高閘極絕緣膜304之可靠性。

- 15 另外，本實施例是利用微波激發電漿形成閘極絕緣膜304，不過亦可藉其他製造方法，例如CVD法等來形成。構成閘極絕緣膜304之氧化矽膜只要至少存在於與矽相接之部分即可，所以其上層亦可積層形成1層以上不同材料，例如使用鹼土金屬、稀土金屬、或者過渡金屬之氧化物；氮
20 化物；氮氧化物；矽酸鹽等的絕緣膜。舉例而言，由於當閘極、源極間耐受電壓為60V時，可利用微波激發電漿形成之閘極絕緣膜厚度約數十nm，所以亦可藉其他製造方法，例如CVD法等，於該閘極絕緣膜上形成絕緣膜，俾獲得期望厚度之閘極絕緣膜304。

又，除本實施例中形成之氧化矽膜外，亦可形成由使用鹼土金屬、稀土金屬、或者過渡金屬之氧化物；氮化物；氮氧化物；矽酸鹽等構成的閘極絕緣膜來取而代之。此外，亦可形成含有氧化矽膜、氮化矽膜、氮氧化矽膜其中任一者以上的閘極絕緣膜。

例舉本實施例中可使用作為閘極絕緣膜之高介電膜的構成材料，包含有含有選自於Hf、Zr、Ta、Ti、La、Co、Y、Al之其中之一或任一種元素的金屬矽酸鹽；含有選自於Si、Hf、Zr、Ta、Ti、Y、Nb、Na、Co、Al、Zn、Pb、Mg、Bi、La、Ce、Pr、Sm、Eu、Gd、Dy、Er、Sr、Ba之其中之一或任一種元素的金屬氧化物；含有選自於Si、Hf、Zr、Ta、Ti、Y、Nb、Na、Co、Al、Zn、Pb、Mg、Bi、La、Ce、Pr、Sm、Eu、Gd、Dy、Er、Sr、Ba之其中之一或任一種元素的金屬氮化物；或含有選自於Si、Hf、Zr、Ta、Ti、Y、Nb、Na、Co、Al、Zn、Pb、Mg、Bi、La、Ce、Pr、Sm、Eu、Gd、Dy、Er、Sr、Ba之其中之一或任一種元素的金屬氮氧化物。

〔第5實施例〕

接下來，說明為本發明第5實施例之P型通道電源MIS場效電晶體之製造方法。第4實施例是使用表面施行過Si磊晶生長處理之(110)矽面，不過本實施例則要說明使用朝〈100〉方向偏離 8° 之表面施行過Si磊晶生長處理之(110)矽面，並且使用閘極氮氧化矽膜的情形。另，前述偏離 8° 之面換言之，就是(551)面。

首先，如第14A圖所示，準備一表面具有(551)面之N型矽晶圓基板401，藉STI法於其表面使元件分離，以形成包含有源極汲極及通道區域之元件區域402。

5 然後，對元件區域402施行RCA洗淨(第14B圖)。在此，與第4實施例同樣地，為抑制粗糙度增加之情形，於是使用 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 0.05 : 1 : 5$ 之較習知SCI處理降低了OH濃度的藥液。

10 之後，如第14C圖及第14D圖，在 $300\sim 500^\circ\text{C}$ 含有氧自由基之環境氣體中使元件區域402表面形成犧牲氧化膜403，進而剝離犧牲氧化膜403，如此來作為使元件區域402之矽表面平坦化處理。本實施例使用以 $\text{HF} : \text{HCl} = 1 : 19$ 之體積比混合之pH值在1以下的藥液來剝離犧牲氧化膜403。

15 如果觀察剝離犧牲氧化膜403之時點的表面狀況，可發現如第15圖所示，(110)面由於出現在表面之階台及沿 $\langle -110 \rangle$ 方向之階梯而自我調整地產生台階狀形狀。階梯高度約為 $0.17\sim 0.35\text{nm}$ ，中心線平均粗糙度則以 0.04nm 為佳。

20 接著，如第14E圖所示，在含有氧自由基之環境氣體中使元件區域402之矽表面氧化，形成由氮氧化矽膜構成之閘極絕緣膜404。在此狀態時，測試性地將閘極絕緣膜404浸漬於以 $\text{HF} : \text{HCl} = 1 : 19$ 之體積比混合之pH值在1以下的藥液中達1分鐘使之剝離，且對矽表面與閘極絕緣膜之間之界面粗糙度進行評價，結果中心線平均粗糙度 R_a 為 0.05nm 。另，為進行比較，測量未施行自由基犧牲氧化處理之矽表面之中心線平均粗糙度 R_a ，結果為 0.15nm 。

本實施例之場效電晶體之閘極氮氧化矽膜，與第4實施例同樣地是可使用利用輻射線槽孔天線之微波激發電漿裝置（第6圖）來形成。具體而言，氮氧化矽膜是如下進行而形成者。

- 5 首先，令真空容器（處理室）41內成為真空，且由噴淋板42導入Kr氣體、O₂氣體及NH₃氣體，並將處理室41內之壓力設定為約1Torr。將表面具有（110）面之N型矽晶圓基板43（第14圖之401）載置於具有加熱機構之試樣台44上，並設定使矽晶圓基板43溫度變成約400°C。此時在
10 200~550°C之範圍內設定溫度，則以下所述結果幾乎都會一樣。

- 接著，從同軸波導管45並透過輻射線槽孔天線46及介電體板47，供給5.45GHz之微波到處理室41內，以於處理室41內產生高密度電漿。噴淋板42與基板43之間間隔是設
15 定為約6cm。本實施例是舉使用輻射線槽孔天線之電漿裝置來進行氮氧化處理之例，不過亦可使用其他方法將微波導入處理室內。

- 本實施例形成閘極氮氧化矽膜時，與第2實施例同樣地有一要件，就是須有氫存在。有氫存在，CV特性才不會有
20 遲滯現象，且矽與氮氧化矽膜之間膜界面密度也可降低到 $3 \times 10^{10} \text{cm}^{-2}$ 。當使用稀有氣體（Ar或Kr）與O₂、N₂/H₂之混合氣體來形成氮氧化矽膜時，若令氫氣之分壓在0.5%以上，便可快速減少膜中電子和電洞之陷阱。

 然後在形成閘極絕緣膜404後，為了控制閘電壓，故於

矽晶圓基板401全面，以離子植入法植入硼（第14F圖），於
元件區域402之閘極絕緣膜404上形成多晶矽電極（閘極）
405（第14G圖）。

5 形成閘極405之後，以離子植入法植入低濃度之硼來形
成P-源極區域及P-汲極區域406（第14H圖），再於閘極
405側壁形成側壁絕緣膜407（第14I圖）。然後，以離子植
入法植入高濃度之P型不純物來形成P+源極區域及P+汲
極區域408（第14J圖）。最後，在P+源極區域及P+汲極區
10 域408上之絕緣膜404形成開口部，並以鋁等形成源極及汲
極（不圖示），於是完成P型通道電源MIS場效電晶體的製
作。

本實施例相較於習知利用RCA洗淨形成之P型通道
MIS電晶體，可令遷移率提高3倍之多。。

再者，與習知利用RCA洗淨形成之MIS電晶體相比，
15 本實施例由於矽表面與閘極絕緣膜之間界面平坦，所以可
提高閘極絕緣膜404之可靠性。

另外，在本實施例中，如果導入微波激發電漿處理室
內之氣體是例如Kr氣體、NH₃氣體，則亦可形成閘極氮化
矽膜。

20 又，構成閘極絕緣膜404之氮氧化矽膜或氮化矽膜只要
至少存在於與矽相接之部分即可，所以其上層亦可積層形
成1層以上不同材料，例如使用鹼土金屬、稀土金屬、或者
過渡金屬之氧化物；氮化物；氮氧化物；矽酸鹽等的絕緣
膜。另，因為本實施例欲製作閘極、源極間耐受電壓為20V

之P型通道電源MIS場效電晶體（欲製作使用於額定12V之電池可驅動之汽車用電氣零件的電源電晶體），所以閘極絕緣膜厚度為40nm，該閘極絕緣膜可利用氮化或氮氧化處理來形成，不過當欲令閘極、源極間耐受電壓為例如60V時，
5 可利用微波激發電漿形成之閘極氧化矽膜厚度約數十nm，因此亦可藉其他製造方法，例如CVD法等，於該閘極絕緣膜上形成絕緣膜，俾獲得期望厚度之閘極絕緣膜404。

又，除本實施例中形成之氮氧化矽膜外，亦可形成由使用鹼土金屬、稀土金屬、或者過渡金屬之氧化物；氮化
10 物；氮氧化物；矽酸鹽等構成的閘極絕緣膜來取而代之。

以上之第4實施例及第5實施例是顯示藉自由基犧牲氧化處理來使矽表面平坦化時的實施例，不過使用自由基犧牲氧化處理以外之方法，亦可維持或提高平坦性來提高P型通道電源MIS場效電晶體之性能。

15 [第6實施例]

首先，第6實施例是說明利用濕式氧化處理來提高平坦性的實施例。準備具有較大粗糙度表面之(110)矽，然後在1000°C， $H_2 = 1\text{slm}$ ， $O_2 = 1\text{slm}$ 之條件下，使該矽表面濕式氧化，以形成厚度3000埃之氧化矽膜（第1步驟）。

20 接著，藉含有HF之 H_2O 藥液回蝕刻氧化矽膜，直到殘餘膜厚變成0~2500埃為止（第2步驟），然後反覆2次第1步驟及第2步驟，最後，使用以HF：HCl=1：19之體積比混合之pH值在1以下的藥液來完全剝離氧化矽膜。

其結果顯示於第16圖。第16圖之橫軸表示第2步驟中氧

化矽膜之殘餘膜量(厚度)，縱軸則表示中心線平均粗糙度Ra。為參考起見，亦顯示了一次形成9000埃之氧化矽膜，並以HF:HCl=1:19之體積比混合之pH值在1以下的藥液來剝離氧化矽膜的結果。

- 5 根據第16圖，可知隨著第2步驟中回蝕刻時之氧化矽膜殘餘膜厚減少，中心線平均粗糙度也會降低，殘餘膜厚1000埃時，中心線平均粗糙度Ra就幾乎飽和。亦可發現一旦殘餘膜厚為0，亦即完全剝離氧化矽膜時，將失去平坦化效果。

可推測這是因為當藉藥液處理使矽面露出時，亦會增加一些藥液本身對矽表面破壞或金屬污染附著等等阻礙平坦化的因素而導致者。又，已可確認若欲使第2步驟中之殘餘膜量為適當值，例如殘餘膜厚100埃等等時，相較於一次形成9000埃之氧化矽膜再使之剝離的處理，施行反覆第1步驟及第2步驟之處理之平坦化效果較高。

- 15 氧化與回蝕刻所產生之平坦化效果的機制雖然尚未釐清，不過可推測其中一原因是因為藉回蝕刻使殘餘膜變薄時，濕式氧化時之氧化種易均一地到達矽與氧化矽膜之界面附近。

更進一步，探究第1步驟及第2步驟之反覆次數與平坦性之間關係，結果顯示於第17圖。第17圖之橫軸表示反覆次數，縱軸表示中心線平均粗糙度Ra。從第17圖可看到當反覆次數超過3次時，中心線平均粗糙度Ra就有幾乎飽和之傾向，所以可確認第1步驟及第2步驟之反覆次數確有其適當值。

如以上所述，施行使用濕式氣體之氧化處理（第1步驟）且不剝離氧化膜施而是施行回蝕刻直到膜厚變成10埃以上1000埃以下（第2步驟），然後反覆第1步驟及第2步驟期望次數，最後藉含有HF之水溶液來剝離氧化膜，如此亦可使

5 矽表面較初始晶圓平坦化。

〔第7實施例〕

接著，本發明第7實施例是說明利用藥液處理來維持及改善平坦性之方法。如前述業已提及，洗淨矽表面時多用RCA洗淨，但是已知RCA洗淨處理之SCI洗淨（將矽浸漬於

10 升溫到約80°C之氫與過氧化氫水及純水液中來洗淨之過程）中，Si-Si結合弱之部分會遭OH離子破壞，導致Si表面將呈現粗糙狀態。SCI處理時，同時進行過氧化氫水使矽表面氧化處理，OH離子之Si-O蝕刻處理，還有Si-Si蝕刻之回蝕刻處理。因此，雖然具有除去粒子和除去有機物污染之

15 效果佳的特徵，但是卻存在使Si表面粗化之副作用。為了儘量使矽表面不致粗化，需要刪除鹼洗淨處理之洗淨處理方法。關於刪除鹼洗淨處理且具有與RCA同等程度以上之除去粒子、除去有機物污染、除去金屬污染之能力的洗淨方法，於日本專利公開公報特開平11-057636號中揭示一使

20 用5個步驟之洗淨處理方法。

日本專利公開公報特開平11-057636號中揭示之洗淨處理方法，包含有：第1步驟，利用含有臭氧之純水進行洗淨；第2步驟，一邊賦與頻率500kHz以上之振動，一邊利用含有HF、H₂O、及界面活性劑之洗淨液進行洗淨；第3步驟，

利用含有臭氧之純水進行洗淨；第4步驟，利用含有用以除去氧化矽膜之HF及H₂O之洗淨液進行洗淨；及第5步驟，利用純水進行洗淨。

日本專利公開公報特開平11-057636號中揭示之洗淨
5 處理方法，並未包含有鹼處理，所以推測是可進行洗淨而不會損及Si表面之平坦性的方法，且該號公報中所舉之例在洗淨前或洗淨後之表面之中心線平均粗糙度Ra保持在0.11nm。但是，該號公報並未指出當施行RCA洗淨時，表面粗糙度（Ra）會變大的事實。此外，該號公報提出的是
10 僅限於在表面具有（100）面之矽進行的實驗結果。若是表面具有（110）面之矽時，不但初始晶圓無法獲得0.15nm以下之中心線平均粗糙度Ra，而且即便使用該方法，仍然無法獲得0.15nm以下之中心線平均粗糙度Ra。

本發明人發現日本專利公開公報特開平11-057636號
15 中揭示之第1~第5步驟當中，可藉著施行將第2步驟及第4步驟所用之H₂O除氣以降低溶氧量的處理，來維持表面平坦性。即，本實施例之第2步驟，係除去第1步驟時形成之氧化矽膜，並除去粒子。同樣地，第4步驟，係除去第3步驟時形成之氧化矽膜，並除去金屬污染。

20 進行第2步驟及第4步驟時，一旦藥液中有溶氧存在，藉HF除去之矽表面上Si-Si結合弱之部分會選擇性地再氧化，而且藉HF除去之動作同時進行中，結果表面粗糙度就增加。因此，本實施例將第2步驟及第4步驟時之溶氧量從習知ppm層級降至100ppb以下（以10ppb以下為佳）來進行

藥液處理，於是發現確可維持表面粗糙度（Ra）。

更具體說明，對表面具有（110）面之矽，利用含有5ppm
臭氧之純水進行5分鐘洗淨（第1步驟），再一邊賦與頻率
950kHz之振動，一邊利用含有5%已除氣HF水、已除氣
5 H₂O、及50ppm界面活性劑之洗淨液進行5分鐘洗淨（第2步
驟）。接著，利用含有5ppm臭氧之純水進行5分鐘洗淨（第3
步驟），然後利用含有用以除去氧化膜之5%已除氣HF及已
除氣H₂O之洗淨液進行1分鐘洗淨（第4步驟），再利用於已
除氣H₂O中添加0.1~50ppm之H的超純水進行10分鐘洗淨
10（第5步驟）。

又，洗淨過程是將矽浸漬於洗淨液中來進行的。完成
洗淨之矽表面之粗糙度與習知RCA時之粗糙度比較的結果
顯示於第18圖。從第18圖清楚可知，對洗淨前中心線平均
粗糙度Ra為0.08nm之矽表面施行習知技術之RCA洗淨時，
15 Ra增加到0.13nm，但是本實施例卻可將粗糙度緩和到
0.10nm。

此外，如本實施例，在剝離氧化矽膜時使用含有HF及
溶氧濃度在100ppb以下之H₂O的洗淨液，於是可緩和矽表面
粗糙狀態的技術亦可利用於剝離氮化矽膜、氮氧化矽膜其
20 中任一者的處理時。

再者，在將第2步驟及第4步驟所用之H₂O除氣，然後再
添加0.1~50ppm之氫以降低溶氧量之效果以外，還嘗試去降
低OH離子濃度，其與RCA比較之結果亦顯示於第18圖。結
果，發現雖然中心線平均粗糙度Ra較初始晶圓中心線平均

粗糙度Ra之0.08nm增加約0.01nm，但是這樣的程度較RCA洗淨時仍然是降低了。尤其是在第2步驟時，如果如日本專利公開公報特開平11-057636號中揭示之洗淨方法，一邊賦與頻率500kHz以上之振動來進行處理，則H₂O將解離為H及

5 OH，導致OH濃度上升。

本實施例則是利用含有HF、藉除氣使溶氧降至100ppb以下後再添加50ppm之H之H₂O、及50ppm界面活性劑之洗淨液進行洗淨，於是可實質上維持中心線平均粗糙度Ra。這就是指在第2步驟時進行抑制OH產生之超音波洗淨。

10 另，溶氧以10ppb以下為佳。

此外，除使用將第2步驟及第4步驟所用之H₂O除氣，然後再添加0.1~50ppm之氫的藥液以外，當處理前述5個步驟時，從洗淨開始到結束為止，都在洗淨藥液與矽表面均不會曝露於空氣中之裝置內處理以防止氧從空氣中溶入藥

15 液。其與習知RCA比較之結果也顯示於第18圖。從第18圖清楚可知，相較於初始晶圓之0.08nm，並沒有增加粗糙度，可維持表面粗糙度（Ra）。

前述半導體之處理或洗淨，亦可在pH值7以下之非鹼性液體中進行。此時，可進行超音波洗淨以抑制OH產生，亦

20 可添加H₂來抑制OH產生。

〔第8實施例〕

利用第19圖來說明本發明應用在溝槽構造縱式P型通道電源MOS電晶體的實施例。第19A圖是本實施例之縱型P型通道MOSFET用基板，該基板係在具有（110）面之矽基

板（不圖示）上形成有顯現第1導電形式之高濃度汲極層503；不純物濃度與高濃度汲極層503不同但導電形式相同之汲極層504；及具有與第1導電形式相反之導電形式之第2導電形式且可形成P型通道MOSFET之通道的本體層505。

- 5 至於各層之導電形式、不純物濃度及厚度，高濃度汲極層為p型 $1 \times 10^{20} \text{cm}^{-3}$ ， $0.2 \mu\text{m}$ ；汲極層為p型 $2 \times 10^{17} \text{cm}^{-3}$ ， $0.5 \mu\text{m}$ ；本體層則為n型 $5 \times 10^{18} \text{cm}^{-3}$ ， $0.2 \mu\text{m}$ 。本實施例中，因為高濃度汲極層503之不純物濃度約在 $1 \times 10^{20} \text{cm}^{-3}$ 以上且厚度在 $20 \mu\text{m}$ 以下，所以可減少所形成之元件之串聯電阻
- 10 而輕易地形成可高速運作之元件。另外，該層503為具有（110）面方位之單晶Si，相較於習知使用（100）面方位之基板的情形，擴散常數大，可提高運作速度。又，因為該Si層是藉約 600°C 之低溫磊晶生長技術而形成，精密地控制不純物分布，所以可輕易製造出高性能元件。

- 15 本實施例之縱式溝槽構造P型通道MOSFET使用第19A圖所示基板，且如第19B圖所示，為形成源極區域，以離子植入法植入 BF_2^+ 來導入可形成與本體層505相反導電形式之硼，於是形成源極區域506。其不純物濃度為p型 $1 \times 10^{20} \text{cm}^{-3}$ 。接著，藉CVD法沉積 $0.5 \mu\text{m}$ 之 SiO_2 膜507以形成
- 20 層間絕緣膜（第19C圖）。藉此，可減少閘極與源極區域之重疊電容。

然後，如第19D圖所示，為形成閘極，於是在將作為閘極之處形成槽孔508。形成槽孔508之方法是如下進行。於基板全面塗布光阻劑，再將該光阻劑施行圖案化以於溝槽

製作部之光阻劑形成開口部。該開口部配置於源極區域內。之後，藉一般常用之RIE法來形成槽孔。該槽孔508之底部到達汲極區域504，在本實施例中形成深 $0.8\mu\text{m}$ ，寬 $0.3\mu\text{m}$ ，長 $20\mu\text{m}$ 。該等值可依使用目的不同而變更。由於矽505表面為(110)面，所以與矽505表面形成 90° 之槽孔508之內壁側面亦成為(110)面。接下來，如第20A圖所示，除去光阻劑之後，再形成閘極氧化膜511。閘極氧化膜的形
5 成，係在溫度 400°C 下使用混合Kr與 O_2 之氣體進行電漿氧化處理，以於該槽孔內壁形成膜厚20nm之矽氧化膜。藉此，
10 該槽孔508之(110)面內壁可均一地於形成耐受電壓4至5MV/cm之良質氧化膜511。具有該閘極氧化膜511之P型通道MOS電晶體之閘極、源極間之耐受電壓為10V。作為閘極材料之

然後，如第20B圖所示，形成閘極510。其方法係藉CVD
15 法在 400°C 下沉積 $0.1\mu\text{m}$ 作為閘極材料之例如多晶Si後，藉濺鍍法使原子組成含有約1%之Si的Al形成膜。再將光阻劑塗布在基板全面，並施行閘極部之圖案化以完成閘極510。

接著，如第20B圖所示，藉CVD法在溫度 400°C 下，於
20 基板全面沉積 SiO_2 以形成層間絕緣膜512，再形成源極509。源極的形成，係首先塗布光阻劑，並施行源極部509用開口之圖案化。當施行源極開口之圖案化時，使光阻劑開口部形成可橫跨源極 p^+ 層506與本體n層505兩者。如此一來，便可藉源極509獲得源極電位與本體電位兩者。形成開口時，利用RIE法蝕刻光阻劑開口部之 SiO_2 膜507及512以形

成接觸孔，並藉濺鍍法使原子組成含有約1%之Si的Al形成膜，再以蝕刻方式將此膜圖案化而形成源極509。

依照以上步驟，遂可完成本實施例之溝槽構造縱式P型通道電源MOS場效電晶體。由於高濃度汲極層503形成較薄之 $0.2\mu\text{m}$ ，已充分降低電阻，所以元件之串聯電阻小，可獲得高速電晶體。

此外，即使是高濃度汲極區域交替配置有 n^+ 及 p^+ 矽之短路型元件，仍然可獲得相同效果。

產業上可利用性

10 本發明可應用在使用於例如汽車用電氣零件的P型通道電源MIS場效電晶體。

【圖式簡單說明】

第1圖是顯示本發明第1實施例中，可形成場效電晶體之(110)面方位之矽基體結晶構造的概略圖。

15 第2圖是顯示本發明第1實施例中，於(110)面內形成場效電晶體時，電晶體遷移率對配置方向之依存性的圖。

第3A、B圖是顯示本發明第1實施例與習知之場效電晶體之汲極電流-汲極電壓特性的圖。

20 第4A、B圖是顯示本發明之P型通道MOS電晶體與習知P型通道MOS電晶體之互導-閘極電壓特性的圖。

第5A~H圖是顯示為本發明第1實施例之P型通道電源MIS場效電晶體之製造方法的步驟截面圖。

第6圖是顯示本發明第1實施例之場效電晶體之製造步驟所使用之微波激發電漿裝置概略結構的截面圖。

第7圖是當矽結晶面方位改變時，氧化矽膜厚對形成時間之依存性的圖。

第8圖是顯示使用本發明第1實施例之P型通道電源MIS場效電晶體之開關電路結構的電路圖。

5 第9圖是顯示使用本發明第1實施例之P型通道電源MIS場效電晶體之另一開關電路結構的電路圖。

第10圖是顯示研究矽表面之中心線平均粗糙度與界面光譜之間關係之模擬結果的圖。

第11A~J圖是顯示為本發明第4實施例之P型通道電源MIS場效電晶體之製造方法的步驟截面圖。

第12圖是用以說明使用本發明第4實施例之製造方法而獲得之效果的圖，顯示氧化方法對矽表面平坦化之依存性。

第13圖是用以說明矽表面之中心線平均粗糙度與電子遷移率之間關係的圖。

第14A~J圖是顯示為本發明第5實施例之P型通道電源MIS場效電晶體之製造方法的步驟截面圖。

第15圖是本發明第5實施例所使用之(551)面之原子階梯的模式圖。

20 第16圖是顯示本發明第6實施例之製造方法之第2步驟中，氧化矽膜回蝕刻時之殘膜量與中心線平均粗糙度之間關係的圖。

第17圖是顯示本發明第6實施例所施行之第1步驟及第2步驟的反覆次數與中心線平均粗糙度之間關係的圖。

第18圖是顯示本發明第7實施例之表面平坦性維持方法之效果的圖。

第19A~D圖是顯示本發明第8實施例之製造方法的步驟截面圖。

5 第20A、B圖是顯示本發明第8實施例之製造方法的步驟截面圖。

第21圖是顯示習知開關電路之結構的電路圖。

第22圖是顯示習知另一開關電路之結構的電路圖。

第23圖是顯示習知P型通道MOS電晶體之特性的圖。

10 **【圖式之主要元件代表符號表】**

41...處理室

42...噴淋板

44...試樣台

45...同軸波導管

46...輻射線槽孔天線

47...介電體板

101,102...〈110〉方向箭頭

103...矽原子

201,301,401,43...矽晶圓基板

202,302,402...元件區域

303,403...犧牲氧化膜

204,304,404...閘極絕緣膜

205,305,405,510...閘極

206,306,406...P-源極區域及P-汲極區域

207,307,407... 側壁絕緣膜

208,308,408... P+源極區域及 P+汲極區域

503... 高濃度汲極層

504... 汲極層

505... 本體層

506... 源極區域

507... SiO₂ 膜

508... 槽孔

509... 源極

511... 閘極氧化膜

512... 層間絕緣膜

BATT... 電源電壓

CP101... 電荷泵電路

DR1... 高側驅動電路

DR2... 低側驅動電路

LO... 負載

MC... 微電腦

Q1,Q11,Q12,Q13,Q14,Q101,Q111,Q112,Q113,Q114... 電晶體

Q2... NPN 電晶體

R1,R2,R11,R12,R13,R14,R101,R102,R111,R112,R113,R114... 電阻

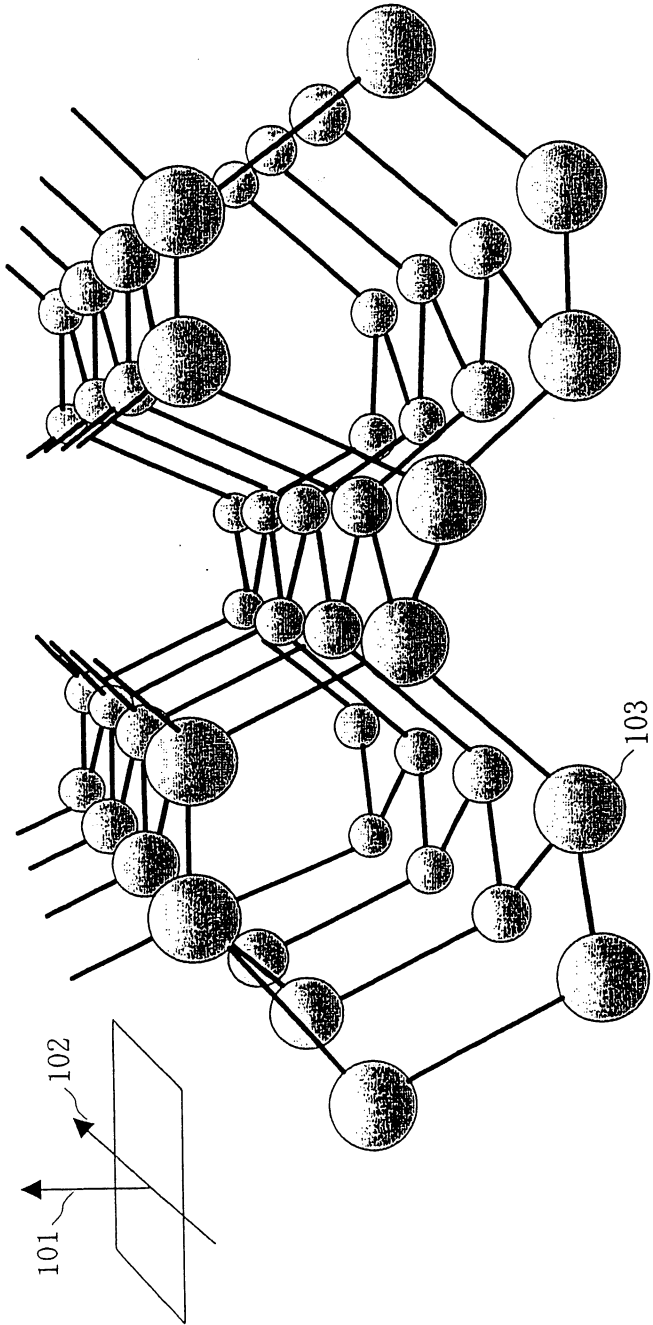
伍、中文發明摘要：

本發明係一種形成在實質上具有(110)面之矽表面的P型通道電源MIS場效電晶體，其特徵在於：閘極與源極間之耐受電壓在10伏特以上，且使該矽表面平坦化或使用含有Kr、Ar或Xe之閘極絕緣膜。

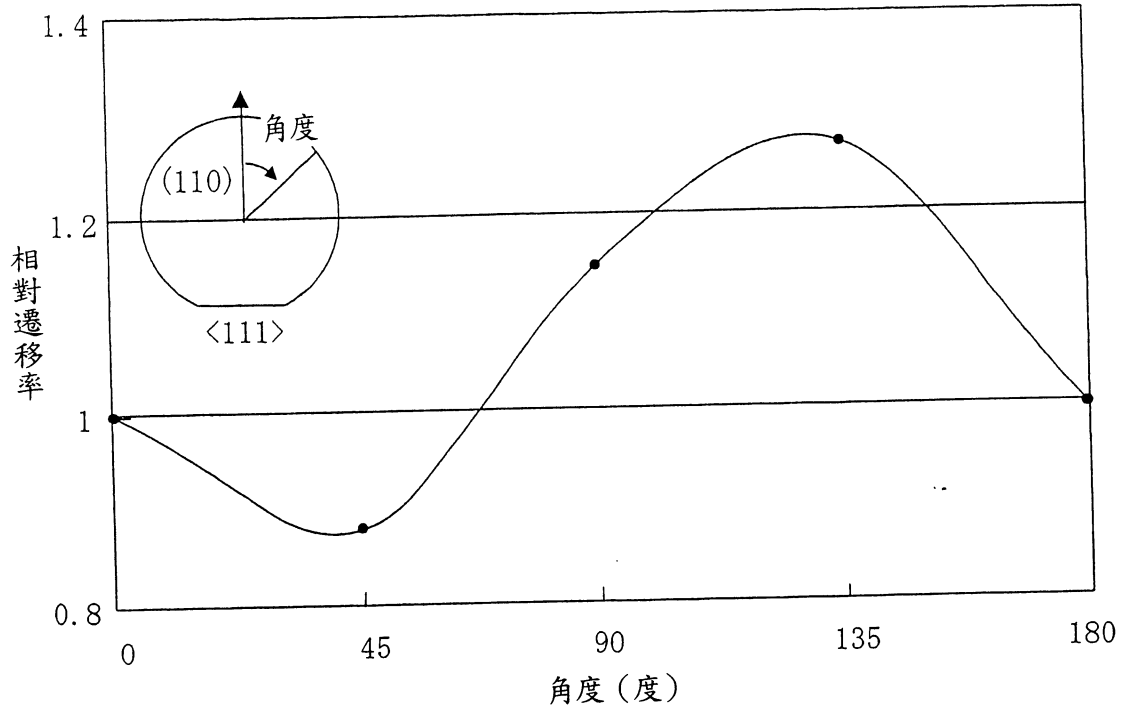
陸、英文發明摘要：

93114761

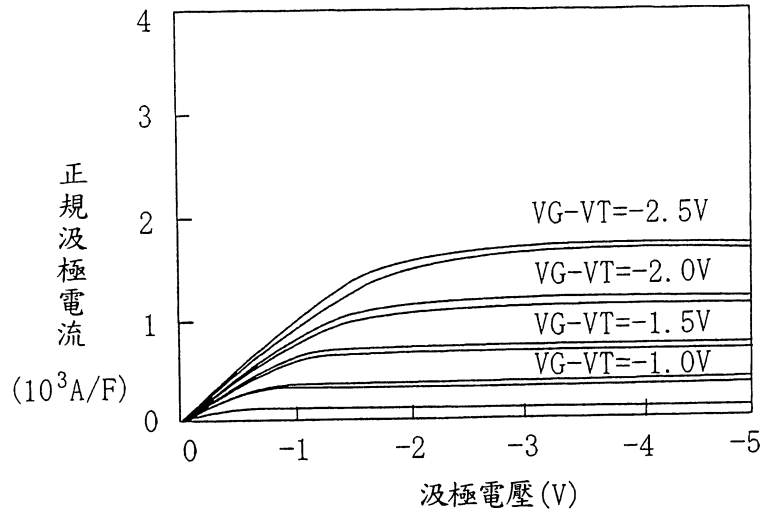
第 1 圖



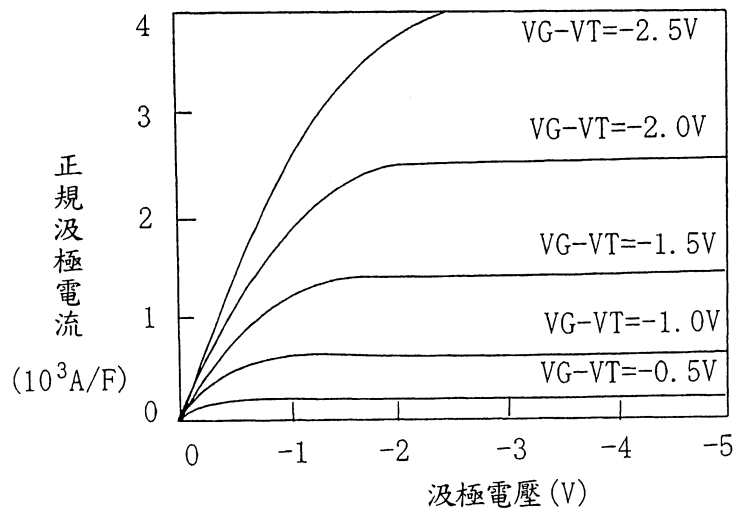
第 2 圖



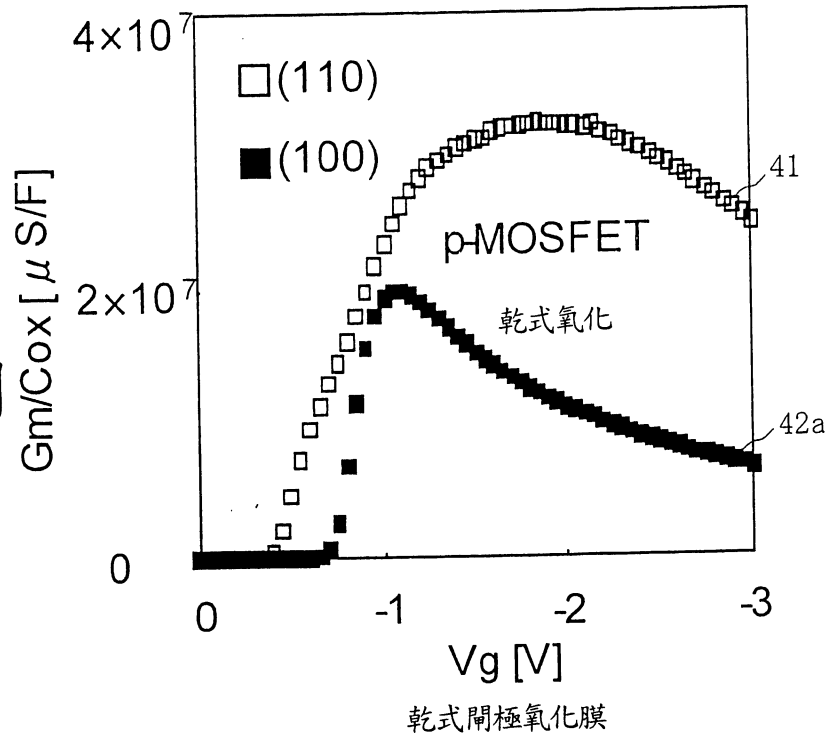
第 3 A 圖
(100)面



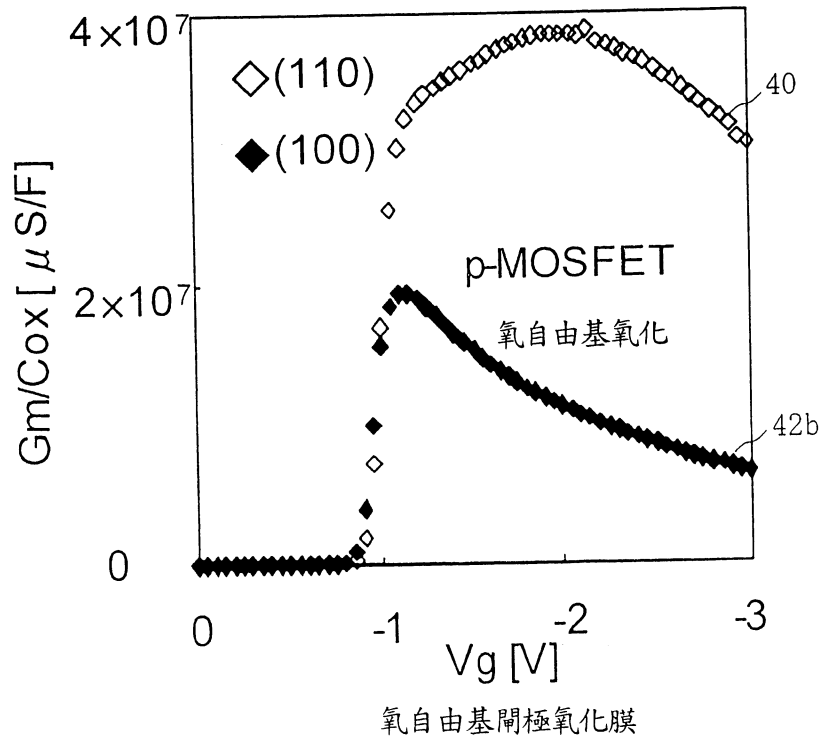
第 3 B 圖
(110)面

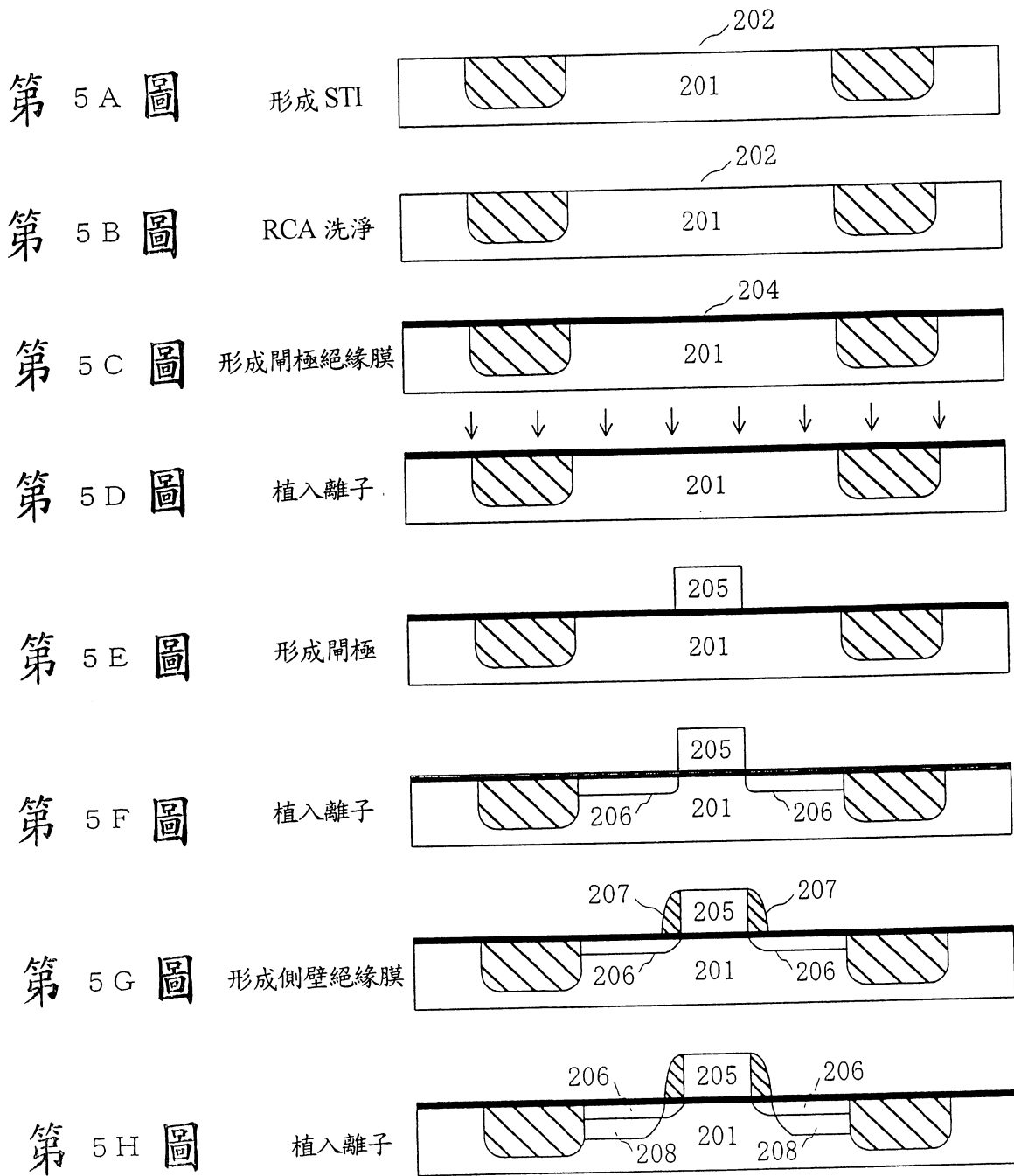


第 4 A 圖

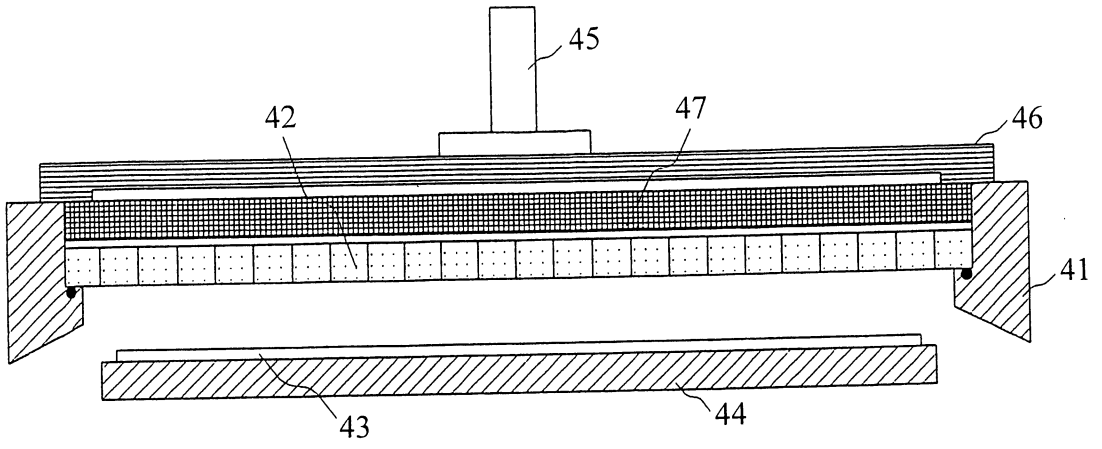


第 4 B 圖

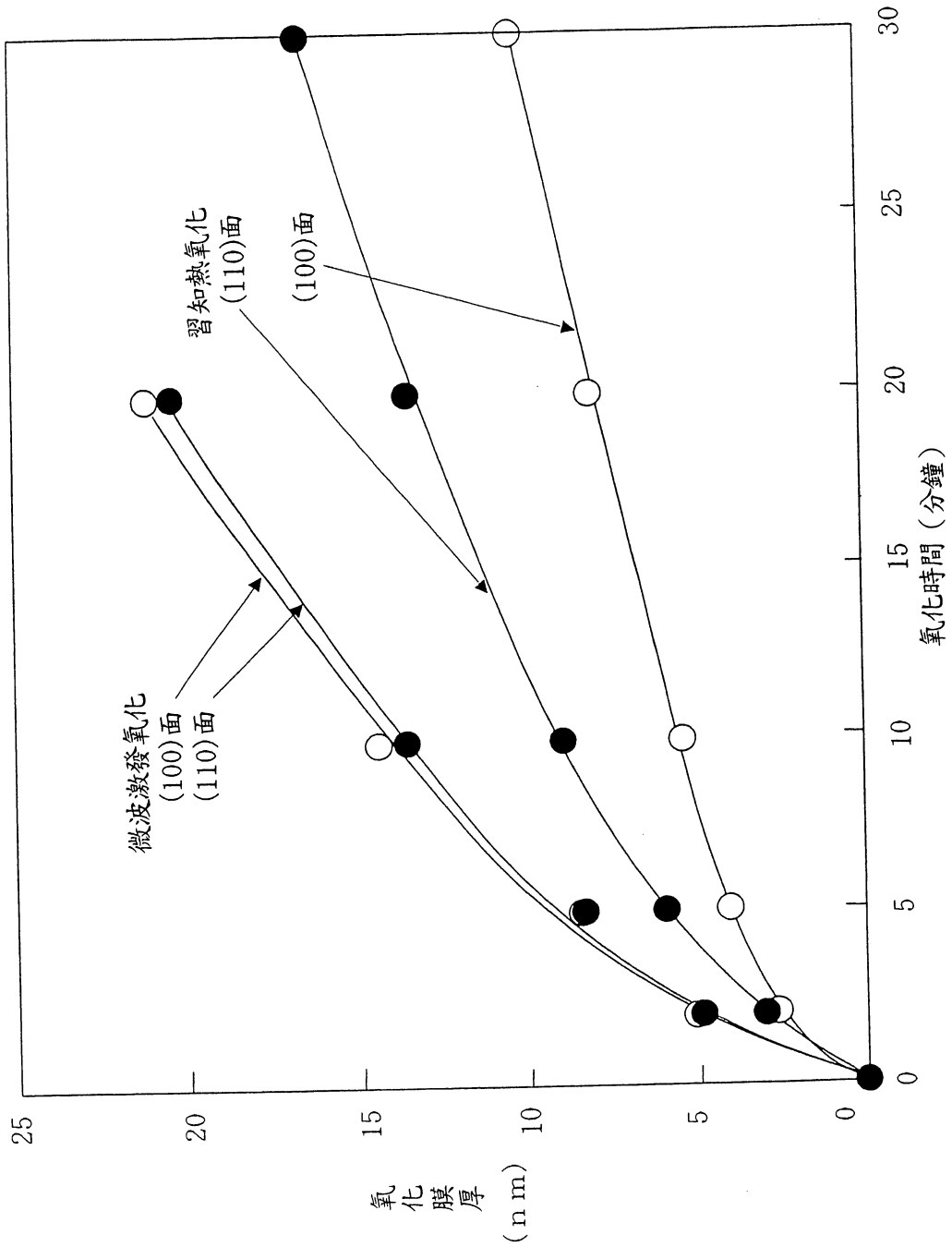




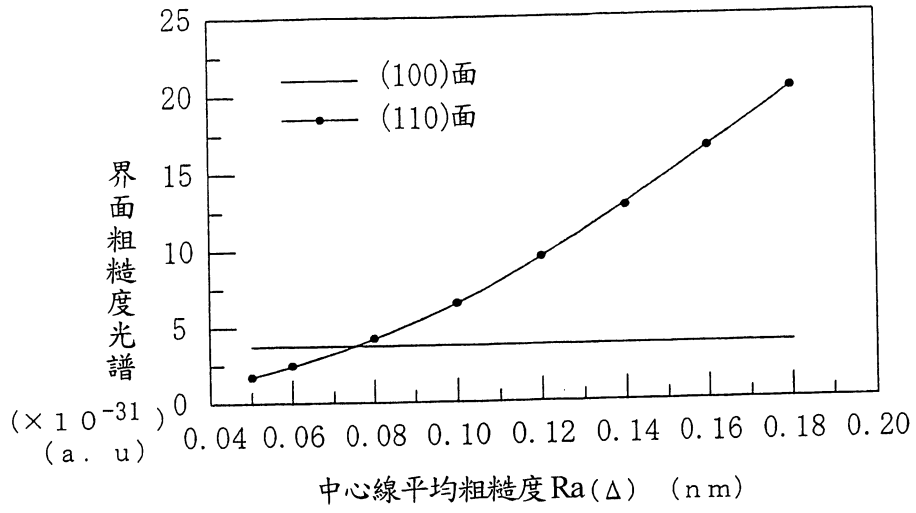
第 6 圖

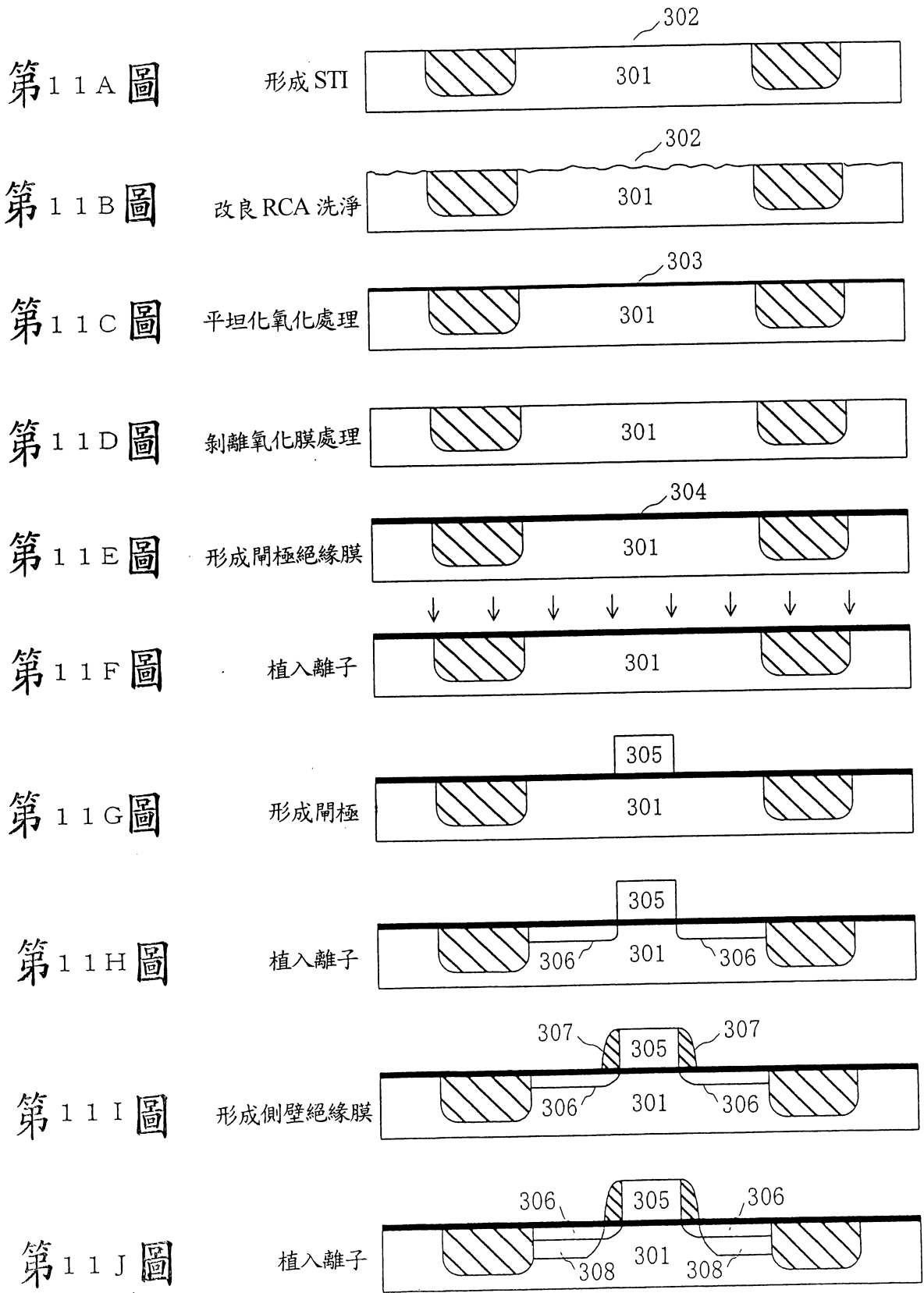


第 7 圖

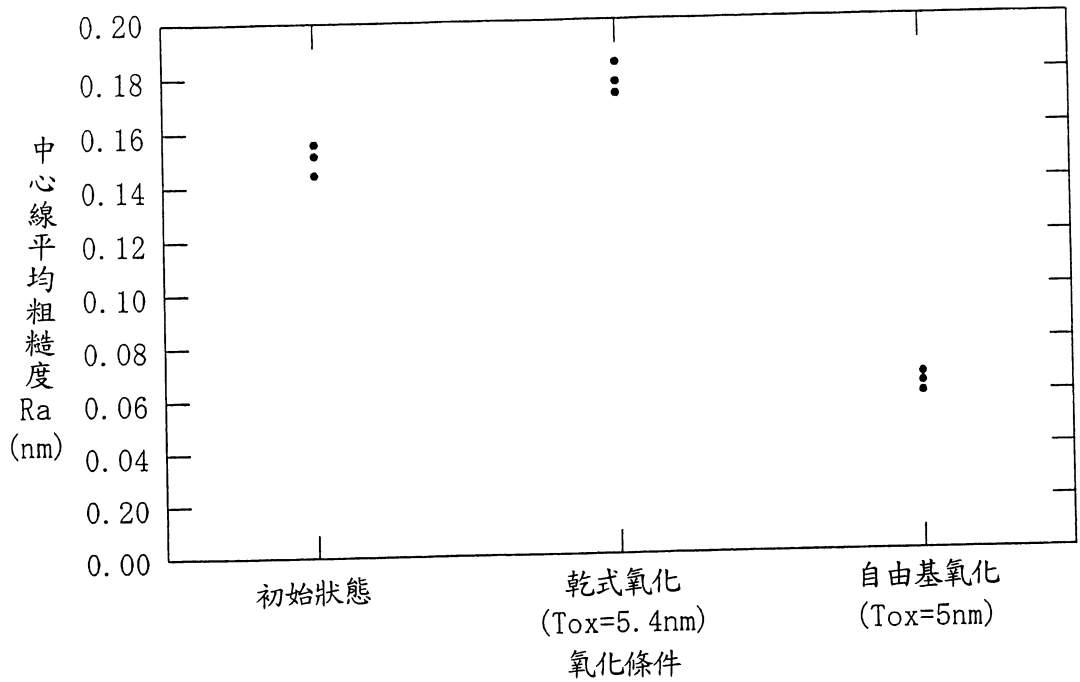


第 10 圖

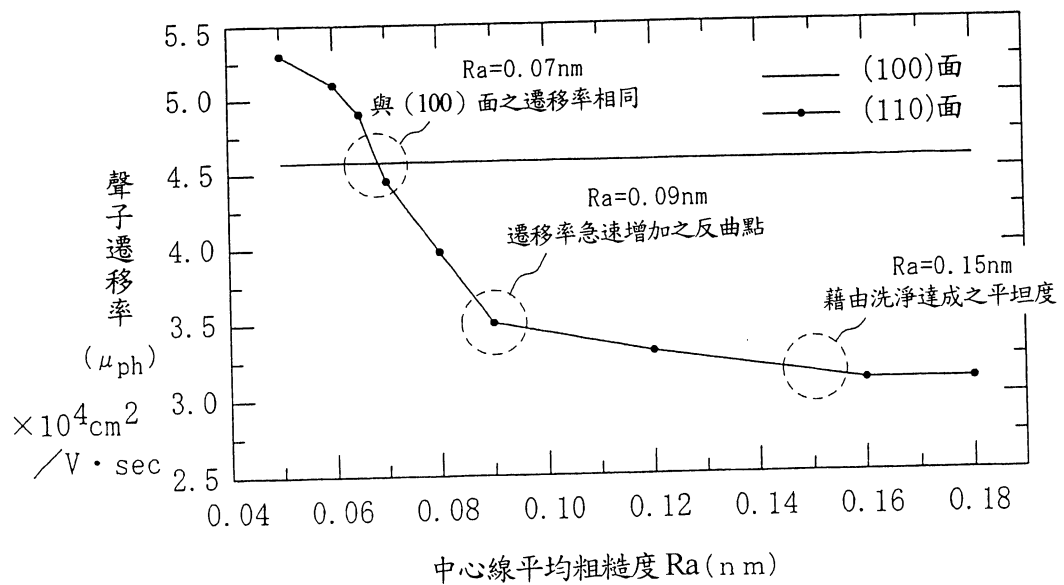


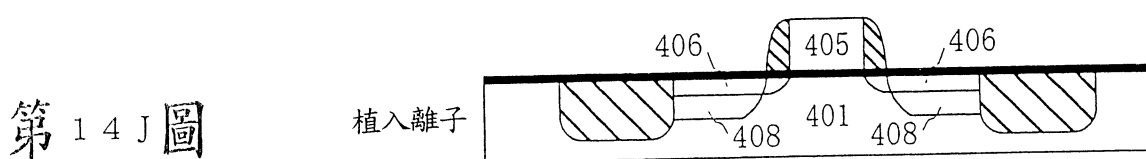
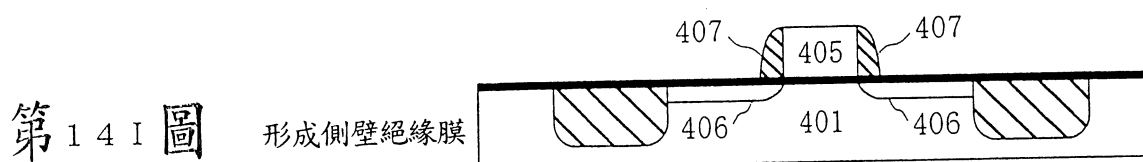
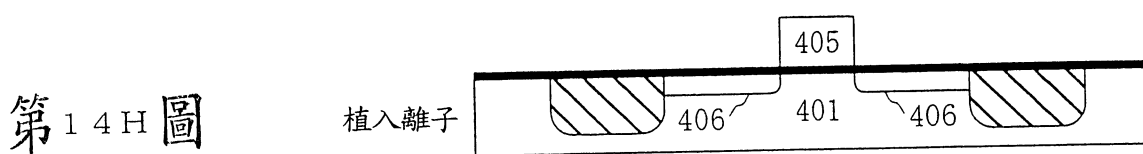
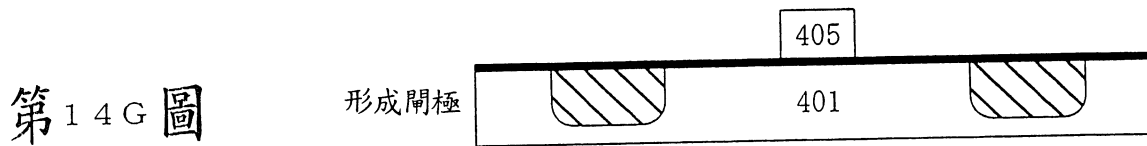
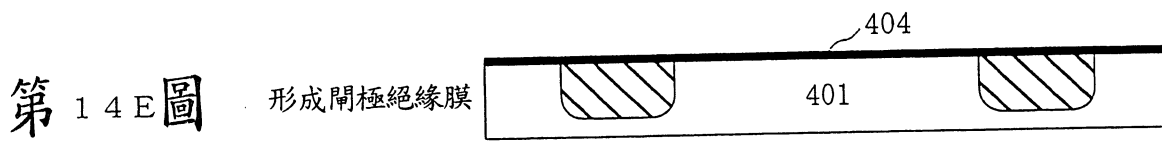
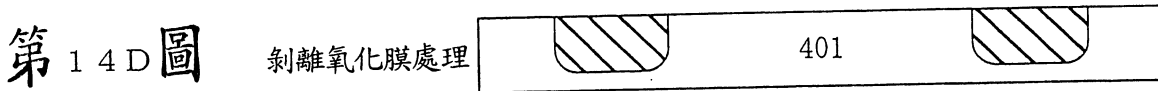
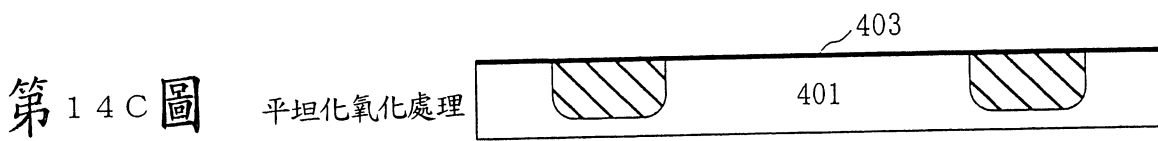
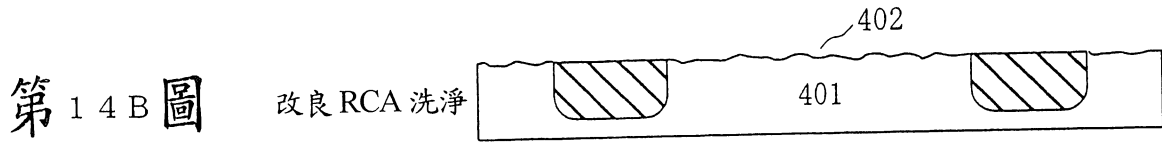
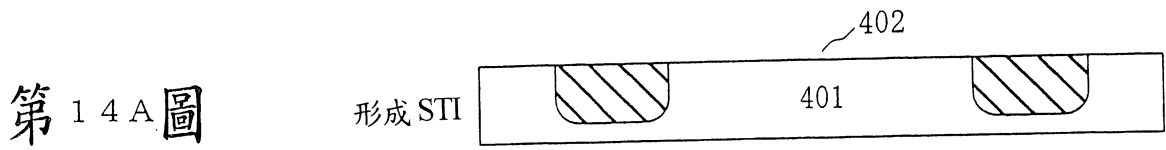


第 1 2 圖

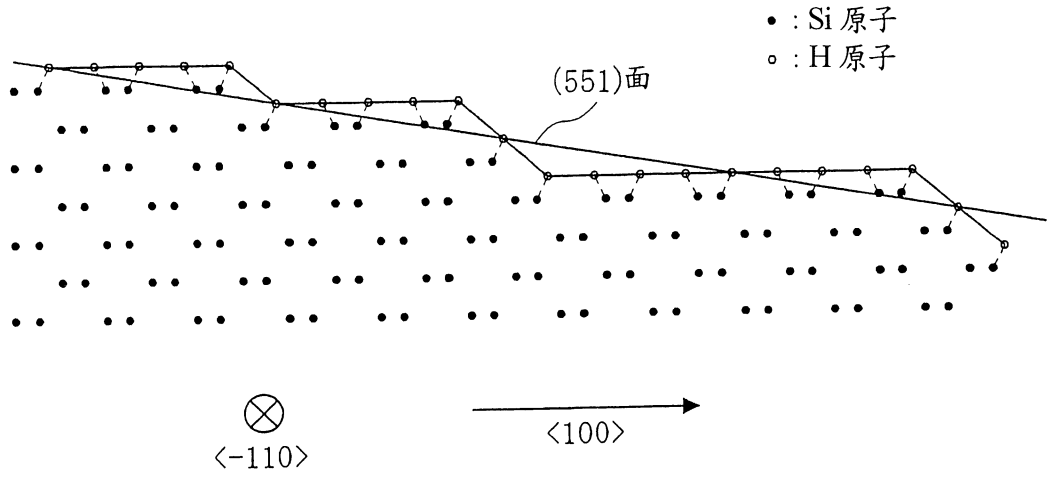


第 1 3 圖

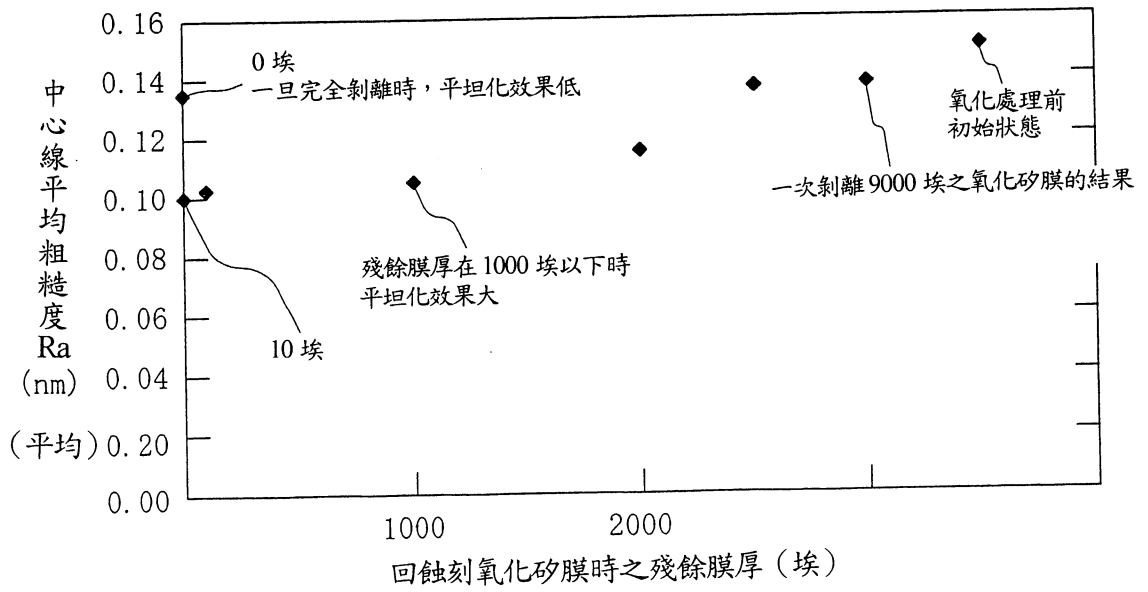




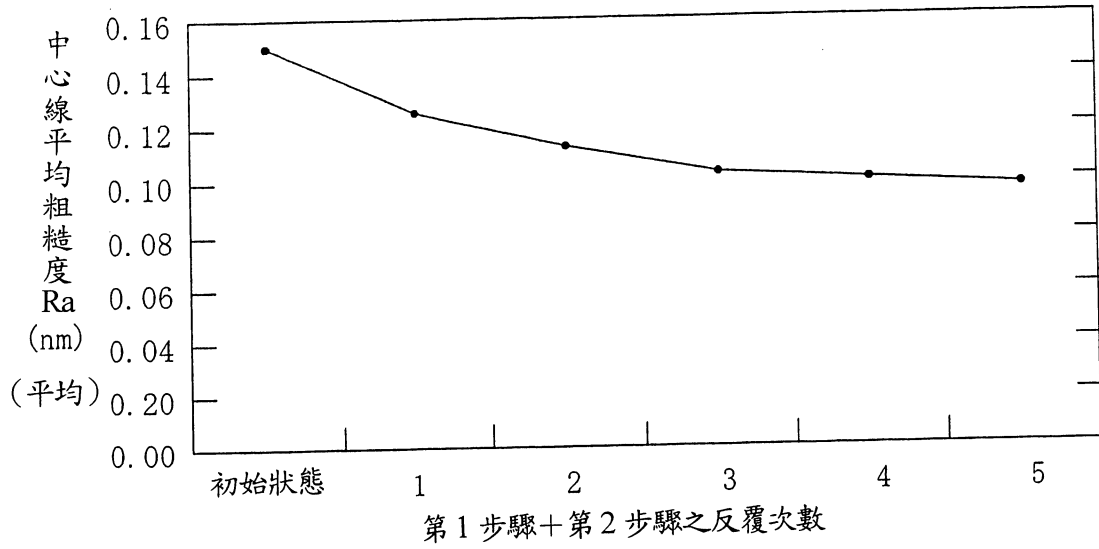
第 15 圖



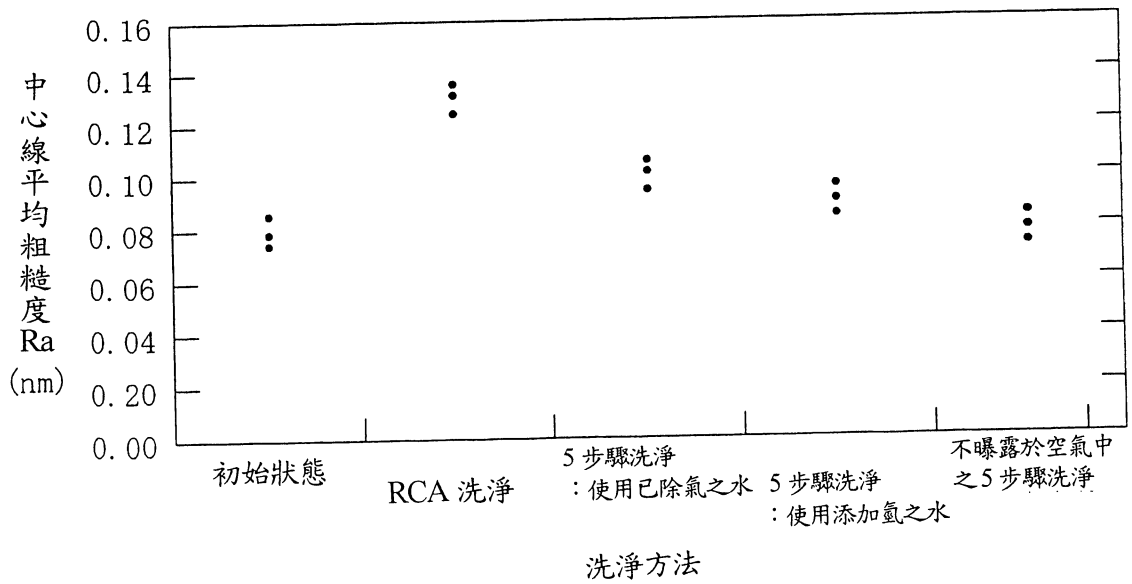
第 16 圖



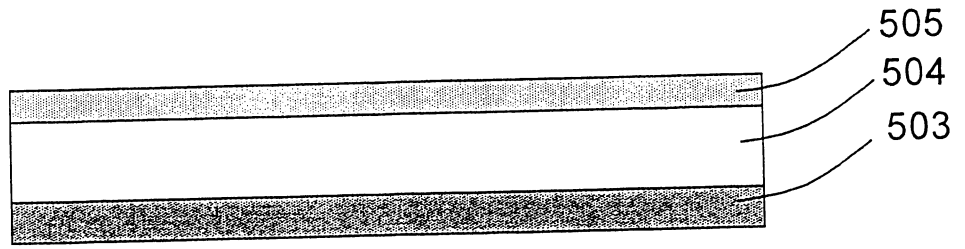
第 17 圖



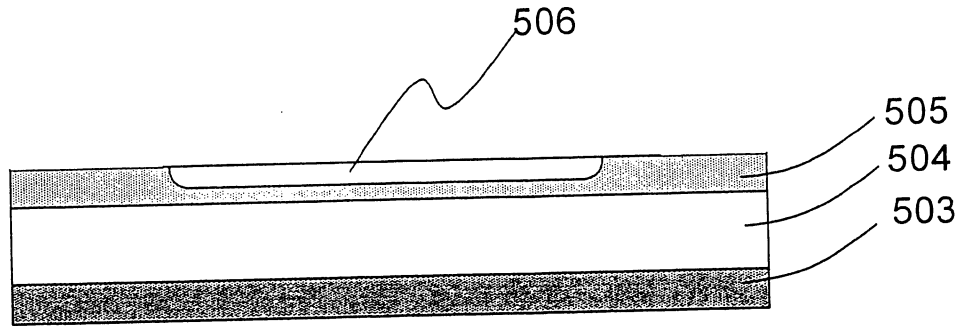
第 18 圖



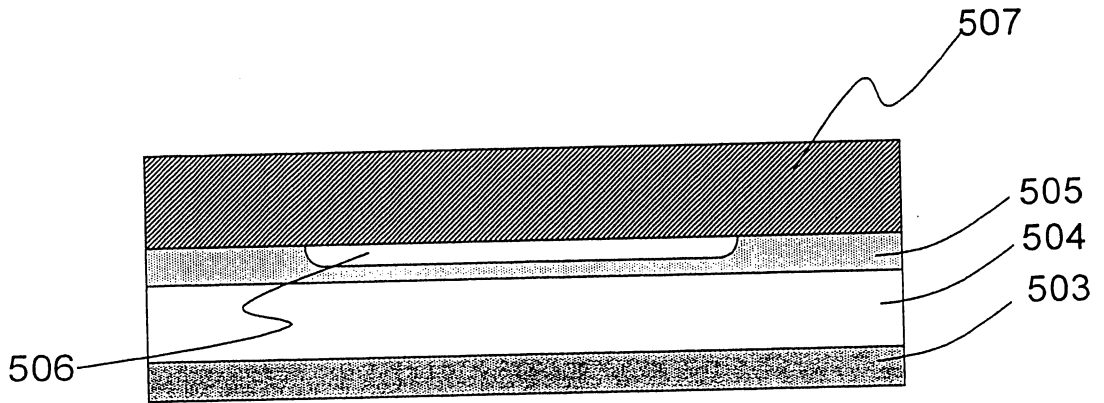
第 19A 圖



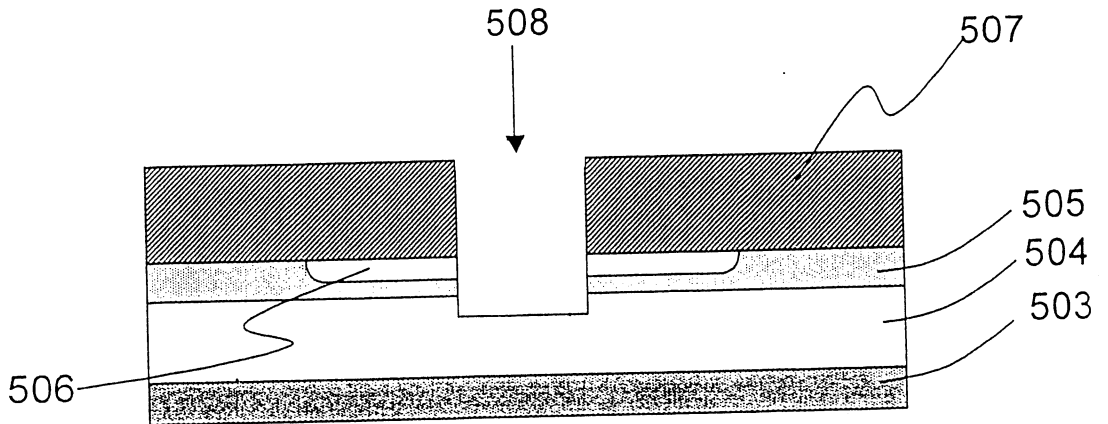
第 19B 圖



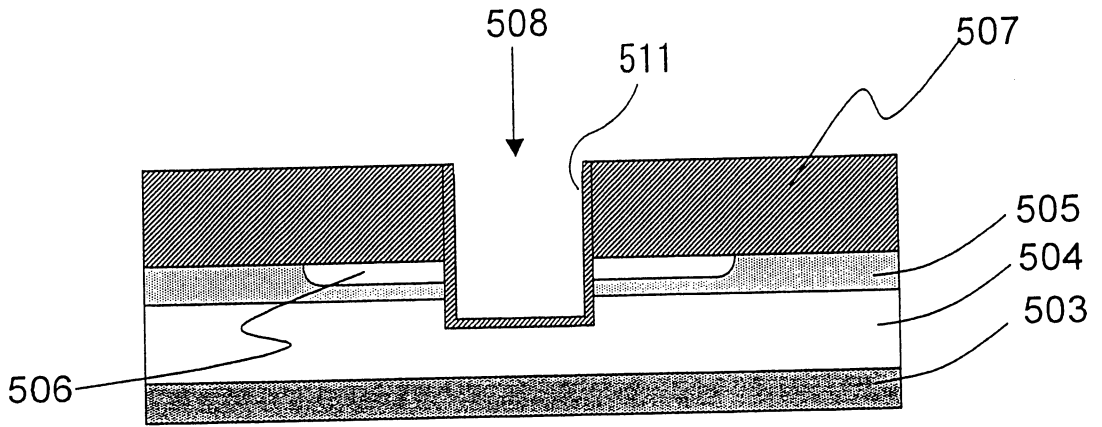
第 19C 圖



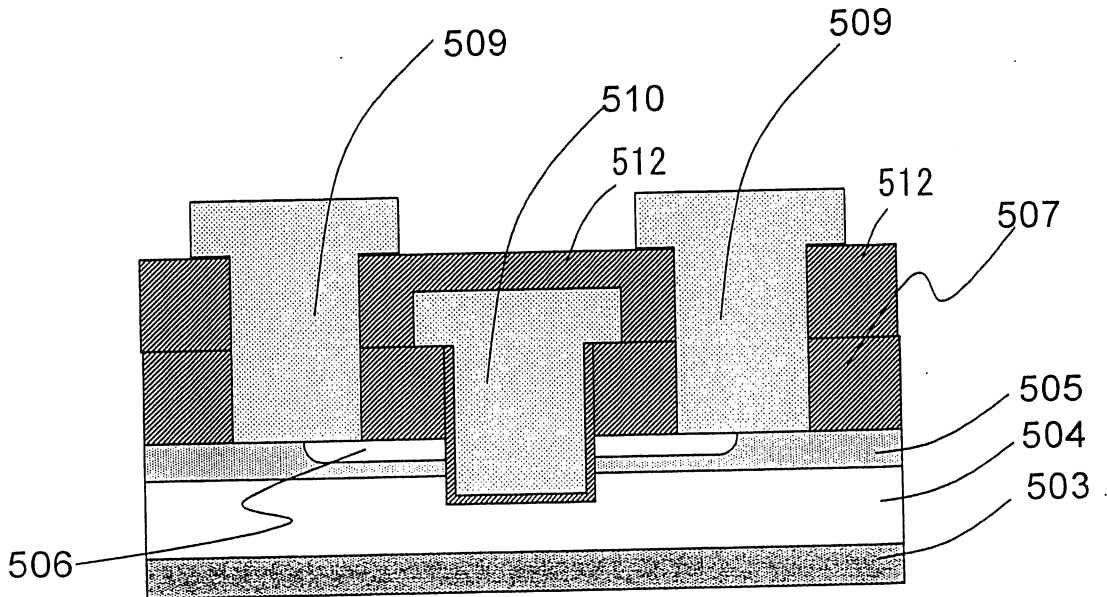
第 19D 圖



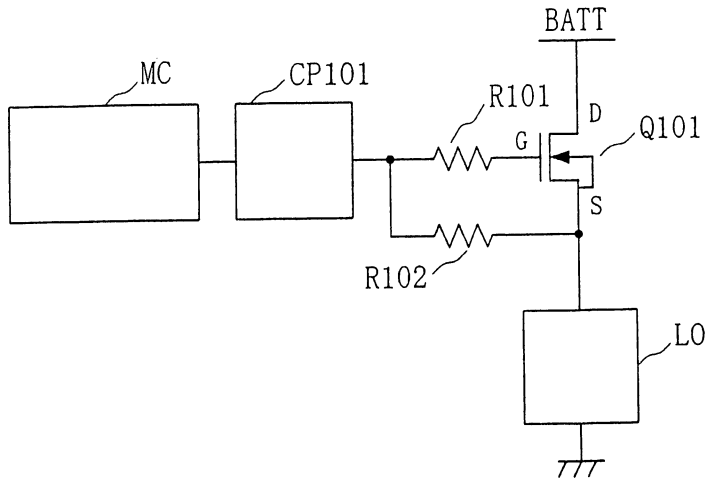
第 20A 圖



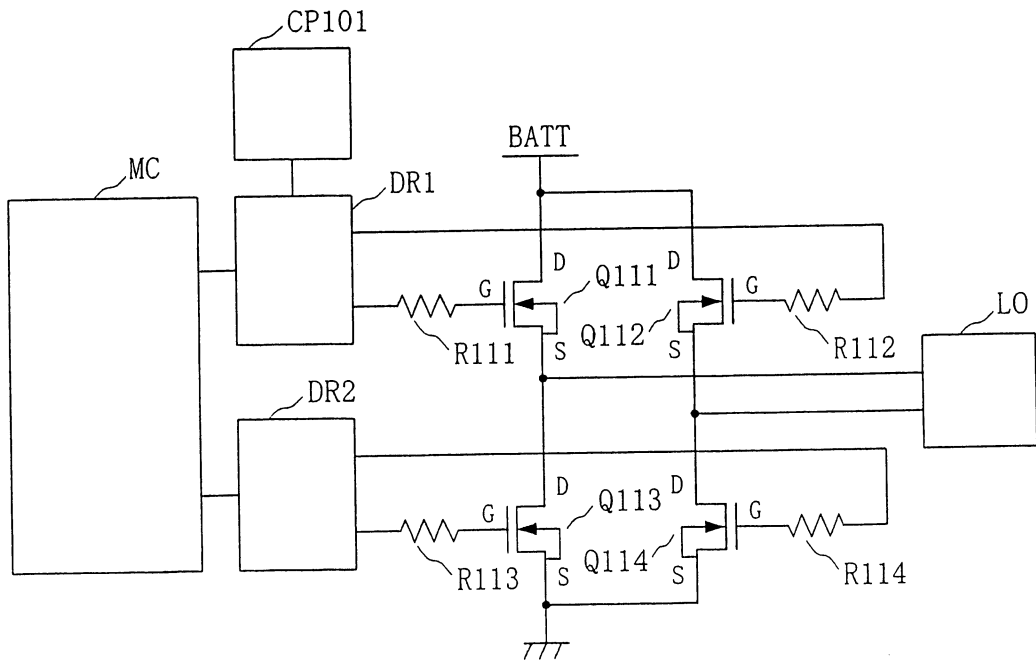
第 20B 圖



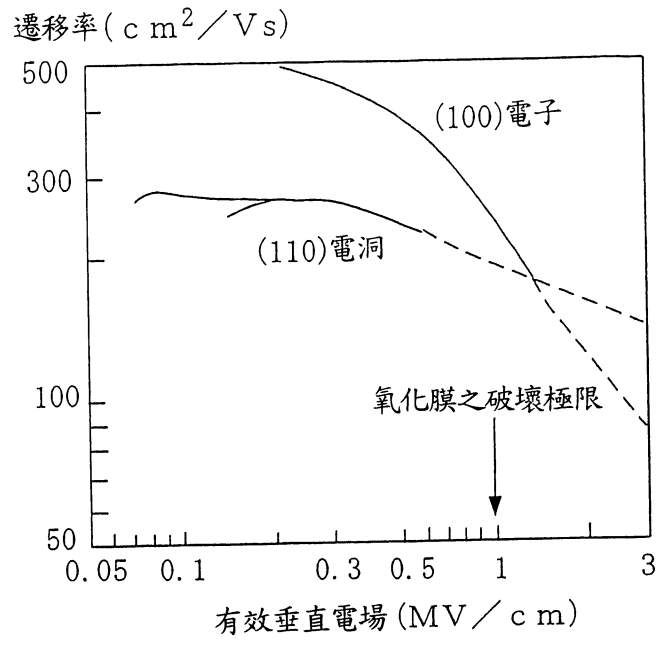
第 21 圖



第 22 圖



第 23 圖



柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

101,102... $\langle 110 \rangle$ 方向

103... 矽原子

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1. 一種 P 型通道電源 MIS 場效電晶體，係包含有表面實質上為 (110) 面之具有矽區域的基板；設在該表面上之閘極絕緣膜；及設在該閘極絕緣膜上之閘極，且前述矽區域至少作為通道用的 P 型通道 MIS 場效電晶體，其特徵在於：

前述閘極絕緣膜的厚度為 200~1500 埃，且前述閘極絕緣膜之中，至少與前述矽區域表面接觸之接觸部含有氫、氘或氚，並且前述 P 型通道 MIS 場效電晶體之源極與閘極間之耐受電壓在 10 伏特以上。
2. 如申請專利範圍第 1 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜之中，至少與前述矽區域表面相接之接觸部之氫、氘或氚之含有量係表面密度在 $5 \times 10^{11} \text{cm}^{-2}$ 以下。
3. 如申請專利範圍第 1 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜之氫、氘或氚之含有量在前述閘極絕緣膜與前述閘極相接之界面為最大，且朝前述閘極絕緣膜與前述矽區域表面相接之界面逐漸減少。
4. 如申請專利範圍第 1 項之 P 型通道電源 MIS 場效電晶體，其中前述 P 型通道電源 MIS 場效電晶體之閘極閾電壓，與具有不含氫、氘或氚之閘極絕緣膜且在表面為 (100) 面之矽區域形成有閘極絕緣膜及閘極之 P 型通道 MIS 場效電晶體的閘極閾電壓實際上

相同。

5. 如申請專利範圍第 1 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜之中，至少與前述矽區域表面相接之接觸部是由氧化矽膜、氮氧化矽膜或氮化矽膜所構成者。
5
6. 如申請專利範圍第 5 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜之中，至少與前述矽區域表面相接之接觸部是利用氧自由基使前述矽區域表面氧化之厚度 100nm 以下的氧化矽膜。
- 10 7. 如申請專利範圍第 5 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜之中，至少與前述矽區域表面相接之接觸部是利用氮自由基或 NH 自由基使前述矽區域表面氮化之厚度 100nm 以下的氮化矽膜。
- 15 8. 如申請專利範圍第 5 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜之中，至少與前述矽區域表面相接之接觸部是利用氮自由基或 NH 自由基及氧自由基使前述矽區域表面氮氧化之厚度 100nm 以下的氮氧化矽膜。
- 20 9. 如申請專利範圍第 5 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜之中，除與前述矽區域表面相接之前述接觸部以外之部分，含有藉 CVD 形成的氧化矽膜、氮氧化矽膜、及氮化矽膜之中至少一者。

10. 如申請專利範圍第 1 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜是利用用以產生微波激發之稀有氣體與絕緣膜形成氣體之混合氣體電漿來形成者。
- 5 11. 如申請專利範圍第 10 項之 P 型通道電源 MIS 場效電晶體，其中前述稀有氣體是氫、氬或氙之中至少一者，而前述絕緣膜形成氣體是含有氧、氮、氫之中至少一者的氣體。
12. 一種 P 型通道電源 MIS 場效電晶體，係包含有表面
10 實質上為 (110) 面之具有矽區域的基板；設在該表面上之閘極絕緣膜；及設在該閘極絕緣膜上之閘極，且前述矽區域至少作為通道用的 P 型通道 MIS 場效電晶體，其特徵在於：
- 15 前述矽表面之表面粗糙度若以中心線平均粗糙度 (Ra) 來表示，係在 0.15nm 以下，而源極與閘極間之耐受電壓在 10 伏特以上。
13. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜之中，至少與前述矽區域表面接觸之接觸部含有氫、氬或氙。
- 20 14. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體，其中前述矽表面之表面粗糙度 Ra 在 0.11nm 以下。
15. 如申請專利範圍第 14 項之 P 型通道電源 MIS 場效電晶體，其中前述矽表面之表面粗糙度 Ra 在 0.09nm

以下。

16. 如申請專利範圍第 15 項之 P 型通道電源 MIS 場效電晶體，其中前述矽表面之表面粗糙度 Ra 在 0.07nm 以下。
- 5 17. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體，其中前述中心線平均粗糙度 Ra 在 0.02nm 以上。
18. 如申請專利範圍第 1 項之 P 型通道電源 MIS 場效電晶體，其中前述實質上具有 (110) 面之矽表面是
10 (110) 面、(551) 面、(311) 面、(221) 面、(553) 面、(335) 面、(112) 面、(113) 面、(115) 面、(117) 面、(331) 面、(221) 面、(332) 面、(111) 面、及 (320) 面中之任一面。
19. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效
15 電晶體，其中前述實質上具有 (110) 面之矽表面是 (110) 面、(551) 面、(311) 面、(221) 面、(553) 面、(335) 面、(112) 面、(113) 面、(115) 面、(117) 面、(331) 面、(221) 面、(332) 面、(111) 面、及 (320) 面中之任一面。
- 20 20. 如申請專利範圍第 1 項之 P 型通道電源 MIS 場效電晶體，其中前述實質上具有 (110) 面之矽表面是 (110) 面或 (551) 面。
21. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體，其中前述實質上具有 (110) 面之矽表面是

(110) 面或 (551) 面。

22. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜之中，至少與前述矽表面相接之接觸部是由含有氧化矽膜、氮化矽膜、
5 及氮氧化矽膜之中至少一者之膜所構成。

23. 如申請專利範圍第 22 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜除前述接觸部以外之部分包含有高介電膜，且該高介電膜具有以下其中至少一者：

10 含有選自於 Hf、Zr、Ta、Ti、La、Co、Y、Al 之中至少一種元素的金屬矽酸鹽；

含有選自於 Si、Hf、Zr、Ta、Ti、Y、Nb、Na、Co、Al、Zn、Pb、Mg、Bi、La、Ce、Pr、Sm、Eu、Gd、Dy、Er、Sr、Ba 之中至少一種元素的金屬氧化物；
15 物；

含有選自於 Si、Hf、Zr、Ta、Ti、Y、Nb、Na、Co、Al、Zn、Pb、Mg、Bi、La、Ce、Pr、Sm、Eu、Gd、Dy、Er、Sr、Ba 之中至少一種元素的金屬氮化物；及

20 含有選自於 Si、Hf、Zr、Ta、Ti、Y、Nb、Na、Co、Al、Zn、Pb、Mg、Bi、La、Ce、Pr、Sm、Eu、Gd、Dy、Er、Sr、Ba 之中至少一種元素的金屬氮氧化物。

24. 如申請專利範圍第 23 項之 P 型通道電源 MIS 場效

電晶體，其中前述閘極絕緣膜除前述接觸部以外之部分是由含有氧化矽膜、氮化矽膜、氮氧化矽膜、及前述高介電膜之中至少一者之膜所構成。

25. 如申請專利範圍第 13 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜之中，至少與前述矽區域表面相接之接觸部之氫、氮或氬之含有量在 $5 \times 10^{11} \text{cm}^{-2}$ 以下。
26. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜之中，至少與前述矽區域表面接觸之接觸部，係在含有氧自由基和氮自由基之中至少一者之環境氣體中，藉用以使前述矽表面氧化之氧化處理步驟及用以使前述矽表面氮化之氮化處理步驟其中任一步驟，或者藉前述氧化處理步驟與前述氮化處理步驟的同時並行處理來形成者。
27. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜包含有利用用以產生微波激發之稀有氣體與絕緣膜形成氣體之混合氣體電漿來形成之部分。
28. 如申請專利範圍第 27 項 P 型通道電源 MIS 場效電晶體，其中前述稀有氣體是氫、氬及氦之中至少一者，而前述絕緣膜形成氣體是含有氮、氬、氧之中至少一者的氣體。
29. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效

電晶體，其中在形成源極區域、汲極區域、通道區域、及閘極絕緣膜之前，先藉 OH 濃度低之 RCA 洗淨步驟來洗淨前述矽表面。

5 30. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體，其中用以處理前述矽表面之液體之 pH 值在 7 以下。

10 31. 如申請專利範圍第 30 項之 P 型通道電源 MIS 場效電晶體，其中在形成源極區域、汲極區域、通道區域、及閘極絕緣膜之前，先藉包括抑制 OH 產生之超音波洗淨之洗淨步驟來洗淨前述矽表面。

32. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體，其中在形成源極區域、汲極區域、通道區域、及閘極絕緣膜之前，先藉洗淨步驟來洗淨前述矽表面，且該洗淨步驟包含有：

15 第 1 步驟，利用含有臭氧之純水進行洗淨；

第 2 步驟，一邊賦與頻率 500kHz 以上之振動，一邊利用含有 HF、已除氣 H₂O、及界面活性劑之洗淨液進行洗淨；

第 3 步驟，利用含有臭氧之 H₂O 進行洗淨；

20 第 4 步驟，利用含有 HF 及已除氣 H₂O 之洗淨液進行洗淨，俾除去在該第 3 步驟時所形成之氧化膜；及

第 5 步驟，利用添加有氫之 H₂O 進行洗淨。

33. 如申請專利範圍第 32 項之 P 型通道電源 MIS 場效電晶體，其中前述第 2 步驟及第 4 步驟之已除氣 H₂O

是將 H₂O 除氣後再添加氫而形成之 H₂O。

34. 如申請專利範圍第 33 項之 P 型通道電源 MIS 場效電晶體，其中前述第 2 步驟及第 4 步驟之已除氣 H₂O 之溶氧濃度在 100ppb 以下。
- 5 35. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體，其中在形成源極區域、汲極區域、通道區域、及閘極絕緣膜之前，一邊賦與頻率 500kHz 以上之振動，一邊藉 HF 及於溶氧濃度在 100ppb 以下之 H₂O 中添加氫的洗淨液來洗淨前述矽表面。
- 10 36. 如申請專利範圍第 32 項之 P 型通道電源 MIS 場效電晶體，其中從前述矽表面之洗淨開始到洗淨結束為止，係在處理藥液及前述矽表面不會接觸到空氣之裝置中進行處理。
- 15 37. 如申請專利範圍第 35 項之 P 型通道電源 MIS 場效電晶體，其中從前述矽表面之洗淨開始到洗淨結束為止，係在處理藥液及前述矽表面不會接觸到空氣之裝置中進行處理。
- 20 38. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體，其中前述矽表面在洗淨步驟後，進行表面平坦化處理，而該表面平坦化處理包含有在含有氧自由基之環境氣體中於前述矽表面形成犧牲氧化膜的步驟；及剝離該犧牲氧化膜的步驟。
39. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體，其中前述矽表面在洗淨步驟後，進行表面

平坦化處理，而該表面平坦化處理是反覆期望次數之包含有施行使用濕式氣體之氧化處理以形成氧化膜之第 1 步驟；及回蝕刻該氧化膜到預定厚度之第 2 步驟的 2 個步驟之後，藉含有 HF 之水溶液來剝離該氧化膜。

5

40. 如申請專利範圍第 1 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜之厚度是 200 至 1500 埃。

41. 如申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體，其中前述閘極絕緣膜之厚度是 200 至 1500 埃。

10

42. 一種開關電路，係申請專利範圍第 1 項之 P 型通道電源 MIS 場效電晶體之源極或汲極之其中之一直接或間接連接電源，且源極或汲極之另一者連接負載，並且閘極連接用以施加可接通或切斷前述 P 型通道電源 MIS 場效電晶體之驅動訊號的裝置。

15

43. 一種開關電路，係申請專利範圍第 12 項之 P 型通道電源 MIS 場效電晶體之源極或汲極之其中之一直接或間接連接電源，且源極或汲極之另一者連接負載，並且閘極連接用以施加可接通或切斷前述 P 型通道電源 MIS 場效電晶體之驅動訊號的裝置。

20

44. 如申請專利範圍第 42 項之開關電路，其中前述電源之額定電壓在 12 伏特以上。

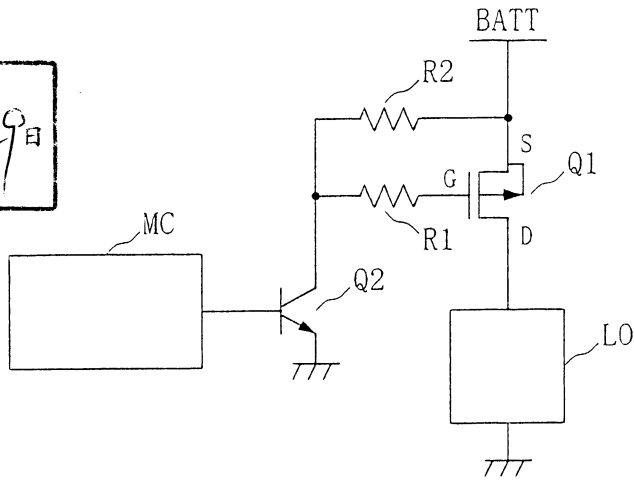
45. 如申請專利範圍第 43 項之開關電路，其中前述電源之額定電壓在 12 伏特以上。

46. 如申請專利範圍第 42 項之開關電路，其中前述用以
施加驅動訊號之裝置包含有雙極電晶體。

47. 如申請專利範圍第 43 項之開關電路，其中前述用以
施加驅動訊號之裝置包含有雙極電晶體。

第 8 圖

修正
補充 本93年9月9日



第 9 圖

煩請委員明示，本案修正後是否變更原實質。

