



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0108949
(43) 공개일자 2022년08월04일

(51) 국제특허분류(Int. Cl.)

H03L 7/081 (2006.01) G11C 7/22 (2015.01)

H03L 7/087 (2006.01) H03L 7/185 (2006.01)

(52) CPC특허분류

H03L 7/0814 (2013.01)

G11C 7/222 (2013.01)

(21) 출원번호 10-2021-0012052

(22) 출원일자 2021년01월28일

심사청구일자 2021년01월28일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울특별시 강남구 선릉로 221

이지완

서울특별시 양천구 목동서로 70

(74) 대리인

이기성

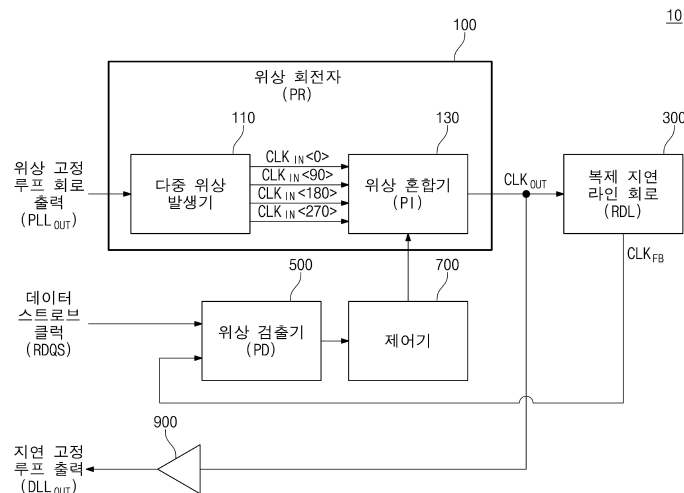
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 적응형 위상 회전자 지연 고정 루프 및 그 동작 방법

(57) 요약

본 발명은 적응형 위상 회전자 지연 고정 루프에 관한 것이며, 보다 상세하게는 전류량에 기초하여 출력 클럭을 조절하는 지연 고정 루프에 관한 것이다. 본 발명의 일 실시예에 따른 지연 고정 루프는 복수 개의 위상별 클럭 신호를 생성하고, 상기 복수 개의 위상별 클럭 신호 중 두 개의 클럭 신호를 혼합하여 혼합 출력 클럭을 수신하는 위상 회전자, 버퍼나 다른 회로들로 인해 발생하는 지연으로 인한 틀어짐을 고려하는 피드백 클럭을 생성하는 복제 지연 라인 회로, 데이터 스트로브 클럭과 피드백 클럭을 비교하여 위상차를 감지하여, 상기 위상차를 수신하는 위상 검출기 및 상기 위상 검출기에서 상기 위상차에 기초하여 상기 위상 회전자를 제어하는 제어기를 포함하고, 상기 위상 회전자는 상기 위상 검출기를 통해 검출된 상기 위상차에 기초하여 전류량을 추출하고, 상기 전류량에 기초하여 혼합 출력 클럭을 조절한다.

대표도 - 도1



(52) CPC특허분류

H03L 7/087 (2013.01)

H03L 7/185 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711102897
과제번호	2019-0-01370-002
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	혁신성장연계지능형반도체선도기술개발(R&D)
연구과제명	LPDDR5 기반 인공지능 반도체용 고대역폭 메모리 인터페이스 기술 개발
기 여 율	1/1
과제수행기관명	한국전자통신연구원
연구기간	2019.04.01 ~ 2021.12.31

명세서

청구범위

청구항 1

복수 개의 위상별 클럭 신호를 생성하고, 상기 복수 개의 위상별 클럭 신호 중 두 개의 클럭 신호를 혼합하여 혼합 출력 클럭을 수신하는 위상 회전자;

버퍼나 다른 회로들로 인해 발생하는 지연으로 인한 틀어짐을 고려하는 피드백 클럭을 생성하는 복제 지연 라인 회로;

데이터 스트로브 클럭과 피드백 클럭을 비교하여 위상차를 감지하여, 상기 위상차를 수신하는 위상 검출기; 및

상기 위상 검출기에서 상기 위상차에 기초하여 상기 위상 회전자를 제어하는 제어기를 포함하고,

상기 위상 회전자는 상기 위상 검출기를 통해 검출된 상기 위상차에 기초하여 전류량을 추출하고, 상기 전류량에 기초하여 혼합 출력 클럭을 조절하는, 지연 고정 루프.

청구항 2

제1항에 있어서,

상기 위상 회전자는,

상기 복수 개의 위상별 클럭 신호를 생성하는 다중 위상 발생기; 및

상기 두 개의 클럭 신호를 혼합하여, 상기 혼합 출력 클럭을 생성하는 위상 혼합기를 포함하는, 지연 고정 루프.

청구항 3

제2항에 있어서,

상기 위상 혼합기는,

상기 위상 회전자에 제1 입력 신호에 따라 바이어스되는 전류량을 조절하고, 차동 입력 신호의 0과 1의 개수로 출력 클럭의 위상을 제어하는 전류 제어 회로;

180도 차이가 나는 클럭들이 입력되고, 믹스 조절 신호가 1일 때의 클럭이 출력되는 적어도 두 개의 믹스;

상기 적어도 두 개의 믹스에서 각각 출력된 90도 차이가 나는 클럭을 혼합하는 클럭 혼합기; 및

상기 클럭 혼합기에서 추출된 파형의 전압과 기설정된 전압을 비교하여 상기 전류량을 추출하는 전압 비교기를 포함하는, 지연 고정 루프.

청구항 4

제3항에 있어서,

상기 클럭 혼합기는 상기 제1 입력 신호에 따라 바이어스 되는 전류량의 크기에 기초하여 동작 여부가 결정되는, 지연 고정 루프.

청구항 5

제1항에 있어서,

상기 위상 회전자에서 출력된 상기 혼합 출력 클럭을 지연 고정 루프의 출력으로 출력하기 위해 버퍼를 더 포함하는, 지연 고정 루프.

청구항 6

제1항에 있어서,

상기 복제 지연 라인 회로는 상기 위상 회전자의 출력을 입력받고,

상기 복제 지연 라인 회로의 출력인 상기 피드백 클럭은 상기 위상 검출기의 입력으로 제공하는, 지연 고정 루프.

청구항 7

제1항에 있어서,

상기 위상 회전자는 위상 고정 루프 회로가 생성한 위상 고정 루프 클럭을 입력받고,

상기 위상 검출기는 읽기 전용 데이터인 스트로브로 데이터가 만들어내는 상기 스트로브 클럭을 입력받는, 지연 고정 루프.

청구항 8

제7항에 있어서,

상기 위상 고정 루프는 메모리 인터페이스 안에서 데이터를 읽기 위해 고속의 위상이 흔들리지 않는 상기 위상 고정 루프 클럭을 생성하는, 지연 고정 루프.

청구항 9

지연 고정 루프의 동작 방법에 있어서,

복수 개의 위상별 클럭 신호를 생성하는 단계;

전류량에 기초하여 상기 복수 개의 위상별 클럭 신호 중 두 개의 클럭 신호를 혼합하는 단계;

지연을 고려하여 피드백 클럭을 생성하여 위상 검출기로 수신하고, 상기 혼합 출력 클럭을 버퍼에 통과시켜 상기 지연 고정 루프의 출력으로 출력하는 단계;

상기 피드백 클럭과 데이터 스트로브 클럭을 비교하여 위상차를 감지하는 단계;

상기 위상차에 기초하여 제어 신호를 생성하는 단계;

상기 제어 신호에 기초하여 전류량을 추출하는 단계; 및

상기 전류량이 기설정된 범위에 해당하는지의 여부를 판단하는 단계를 포함하는, 지연 고정 루프의 동작 방법.

청구항 10

제9항에 있어서,

상기 전류량이 기설정된 범위에 해당하는지의 여부를 판단하는 단계에서, 상기 전류량이 기설정된 범위에 해당하지 않는 경우에는 상기 전류량에 기초하여 상기 복수 개의 위상별 클럭 신호 중 두 개의 클럭 신호를 혼합하는 단계로 돌아가는, 지연 고정 루프의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 적응형 위상 회전자 지연 고정 루프에 관한 것이며, 보다 상세하게는 전류량에 기초하여 출력 클럭을 조절하는 지연 고정 루프에 관한 것이다.

배경 기술

[0002] 지연 고정 루프(Delay Locked Loop; DLL)는 입력 클럭 신호의 지연(delay) 에러를 보정하여 상기 입력 클럭 신호와 동기되는 출력 클럭 신호를 생성한다.

[0003] 최근, 메모리 인터페이스의 동작 속도가 점점 증가함에 따라, 지연 고정 루프에 요구되는 주파수 대역폭도 점점

증가하고 있으며, 적은 전력 소모와 작은 칩 면적을 목표로 설계가 진행되고 있다.

[0004] 그러나, 디지털 방식 중 기존의 낸드방식의 디지털지연단(Digitally Controlled Delay Line, DCDL)은 낮은 주파수에서 동작하기 위해서는 많은 수의 낸드가 필요하므로 칩 면적과 전력 소모를 고려하였을 때 한계가 있다는 문제점이 있다.

[0005] 이에, 전력 소모와 칩 면적을 고려하여 지연 고정 루프를 만들기 위해 위상 회전자를 이용한 디지털 지연단이 설계되고 있으나, 위상 회전자의 안전한 동작을 위해서는 주파수에 따라 출력단의 캐패시터나 입력클럭의 슬루레이트가 조절되어야하는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0006] 본 출원은 지연 고정 루프를 제공함으로써, 동일한 전력 소모량으로 상대적으로 적은 칩 면적과 넓은 주파수 대역에 적용이 가능하도록 하는 것에 목적이 있다.

[0007] 본 출원은 지연 고정 루프를 제공함으로써, 주파수에 따라 위상 회전자의 안정적인 동작을 제공하는 것에 목적이 있다.

과제의 해결 수단

[0008] 본 발명의 일 실시예에 따른 지연 고정 루프는 복수 개의 위상별 클럭 신호를 생성하고, 상기 복수 개의 위상별 클럭 신호 중 두 개의 클럭 신호를 혼합하여 혼합 출력 클럭을 수신하는 위상 회전자, 버퍼나 다른 회로들로 인해 발생하는 지연으로 인한 틀어짐을 고려하는 피드백 클럭을 생성하는 복제 지연 라인 회로, 데이터 스트로브 클럭과 피드백 클럭을 비교하여 위상차를 감지하여, 상기 위상차를 수신하는 위상 검출기 및 상기 위상 검출기에서 상기 위상차에 기초하여 상기 위상 회전자를 제어하는 제어기를 포함하고, 상기 위상 회전자는 상기 위상 검출기를 통해 검출된 상기 위상차에 기초하여 전류량을 추출하고, 상기 전류량에 기초하여 혼합 출력 클럭을 조절한다.

[0009] 본 발명의 일 실시예에 있어서, 상기 위상 회전자는, 상기 복수 개의 위상별 클럭 신호를 생성하는 다중 위상 발생기, 및 기 두 개의 클럭 신호를 혼합하여, 상기 혼합 출력 클럭을 생성하는 위상 혼합기를 포함할 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 위상 혼합기는, 상기 위상 회전자에 바이어스되는 전류량을 조절하고, 셀렉 비트의 0과 1의 개수로 출력 클럭의 위상을 제어하는 전류 제어 회로, 180도 차이가 나는 클럭들이 입력되고, 맥스 조절 신호가 1일 때의 클럭이 출력되는 적어도 두 개의 맥스, 상기 적어도 두 개의 맥스에서 각각 출력된 90도 차이가 나는 클럭을 혼합하는 클럭 혼합기, 및 상기 클럭 혼합기에서 추출된 파형의 전압과 기설정된 전압을 비교하여 상기 전류량을 추출하는 전압 비교기를 포함할 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 클럭 혼합기는 상기 제1 입력 신호에 따라 바이어스 되는 전류량의 크기에 기초하여 동작 여부가 결정될 수 있다.

[0012] 본 발명의 일 실시예에 있어서, 상기 위상 회전자에서 출력된 상기 혼합 출력 클럭을 지연 고정 루프의 출력으로 출력하기 위해 버퍼를 더 포함할 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 복제 지연 라인 회로는 상기 위상 회전자의 출력을 입력받고, 상기 복제 지연 라인 회로의 출력인 상기 피드백 클럭은 상기 위상 검출기의 입력으로 제공할 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 상기 위상 회전자는 위상 고정 루프 회로가 생성한 위상 고정 루프 클럭을 입력받고, 상기 위상 검출기는 읽기 전용 데이터인 스트로브로 데이터가 만들어내는 상기 스트로브 클럭을 입력받을 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 위상 고정 루프는 메모리 인터페이스 안에서 데이터를 읽기 위해 고속의 위상이 흔들리지 않는 상기 위상 고정 루프 클럭을 생성할 수 있다.

[0016] 본 발명의 일 실시예에 따른 지연 고정 루프의 동작 방법에 있어서, 복수 개의 위상별 클럭 신호를 생성하는 단계, 전류량에 기초하여 상기 복수 개의 위상별 클럭 신호 중 두 개의 클럭 신호를 혼합하는 단계, 지연을 고려하여 피드백 클럭을 생성하여 위상 검출기로 수신하고, 상기 혼합 출력 클럭을 버퍼에 통과시켜 상기 지연 고정 루프의 출력으로 출력하는 단계, 상기 피드백 클럭과 데이터 스트로브 클럭을 비교하여 위상차를 감지하는

단계, 상기 위상차에 기초하여 제어 신호를 생성하는 단계, 상기 제어 신호에 기초하여 전류량을 추출하는 단계, 및 상기 전류량이 기설정된 범위에 해당하는지의 여부를 판단하는 단계를 포함한다.

[0017] 본 발명의 일 실시예에 따른 상기 전류량이 기설정된 범위에 해당하는지의 여부를 판단하는 단계에서, 상기 전류량이 기설정된 범위에 해당하지 않는 경우에는 상기 전류량에 기초하여 상기 복수 개의 위상별 클럭 신호 중 두 개의 클럭 신호를 혼합하는 단계로 돌아갈 수 있다.

발명의 효과

[0018] 본 출원의 일 실시예에 따른 지연 고정 루프는 동일한 전력 소모량으로 상대적으로 적은 칩 면적과 넓은 주파수 대역에 적용이 가능하도록 할 수 있다.

[0019] 본 출원의 일 실시예에 따른 지연 고정 루프는 주파수에 따라 위상 회전자의 안정적인 동작을 제공할 수 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 일 실시예에 따른 지연 고정 루프를 나타낸 도면이다.

도 2는 본 발명의 일 실시예에 따른 위상 혼합기를 나타낸 도면이다.

도 3은 본 발명의 일 실시예에 따른 위상 회전자의 동작을 나타낸 도면이다.

도 4는 본 발명의 일 실시예에 따른 위상 회전자의 구체적인 동작을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부된 도면을 참조하여 본 개시(present disclosure)를 설명한다. 본 개시는 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들이 도면에 예시되고 관련된 상세한 설명이 기재되어 있다. 그러나, 이는 본 개시를 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 개시의 사상 및 기술 범위에 포함되는 모든 변경 및/또는 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용되었다.

[0022] 본 개시 가운데 사용될 수 있는 "포함한다" 또는 "포함할 수 있다" 등의 표현은 개시된 해당 기능, 동작 또는 구성요소 등의 존재를 가리키며, 추가적인 하나 이상의 기능, 동작 또는 구성요소 등을 제한하지 않는다. 또한, 본 개시에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0023] 본 개시에서 "또는" 등의 표현은 함께 나열된 단어들의 어떠한, 그리고 모든 조합을 포함한다. 예를 들어, "A 또는 B"는, A를 포함할 수도, B를 포함할 수도, 또는 A 와 B 모두를 포함할 수도 있다.

[0024] 본 개시 가운데 "제 1," "제2," "첫째," 또는 "둘째," 등의 표현들이 본 개시의 다양한 구성요소들을 수식할 수 있지만, 해당 구성요소들을 한정하지 않는다. 예를 들어, 상기 표현들은 해당 구성요소들의 순서 및/또는 중요도 등을 한정하지 않는다. 상기 표현들은 한 구성요소를 다른 구성요소와 구분 짓기 위해 사용될 수 있다. 예를 들어, 제1 사용자 기기와 제 2 사용자 기기는 모두 사용자 기기이며, 서로 다른 사용자 기기를 나타낸다. 예를 들어, 본 개시의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0025] 어떤 구성요소가 다른 구성요소에 "연결되어" 있거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해될 수 있어야 할 것이다.

[0026] 본 개시에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의

미를 가지는 것으로 해석되어야 하며, 본 개시에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0028] 도 1은 본 발명의 일 실시예에 따른 지연 고정 루프를 나타낸 도면이다.
- [0029] 도 1을 참조하면, 지연 고정 루프(10)는 위상 회전자(100), 복제 지연 라인 회로(300), 위상 검출기(500), 및 제어기(700)를 포함할 수 있다.
- [0030] 위상 회전자(100)는 복수 개의 위상별 클럭 신호를 생성하고, 복수 개의 위상별 클럭 신호 중 두 개의 클럭 신호를 혼합하여 혼합 출력 클럭(CLK_{OUT})을 수신할 수 있다. 예를 들어, 4개의 위상을 가진 클럭을 생성하고, 생성된 4개의 펄스 중 두 개의 클럭 신호를 혼합하여 세밀한 출력 클럭을 만들어낼 수 있다.
- [0031] 위상 회전자(100)는 위상 고정 루프 회로의 클럭(PLL_{OUT})을 입력받아 복수 개의 위상별 클럭 신호를 생성할 수 있다. 위상 고정 루프 회로는 메모리 인터페이스 안에서 데이터를 읽기 위해 고속의 위상이 흔들리지 않는 클럭을 만들어낼 수 있다.
- [0032] 위상 회전자(100)는 다중 위상 발생기(110)와 위상 혼합기(130)를 포함할 수 있다.
- [0033] 다중 위상 발생기(110)는 복수 개의 위상별 클럭 신호를 생성할 수 있다. 예를 들어, 다중 위상 발생기(110)는 4개의 위상을 가진 클럭을 만들어낼 수 있다. 이하에서는 설명의 편의를 위해, 다중 위상 발생기(110)가 4개의 위상을 가진 클럭을 만들어냈다고 가정하고 설명될 것이다.
- [0034] 위상 혼합기(130)는 다중 위상 발생기(110)로부터 생성된 복수 개의 위상별 클럭 신호 중 두 개의 클럭 신호를 혼합하여 혼합 출력 클럭(CLK_{OUT})을 생성할 수 있다.
- [0035] 혼합 출력 클럭(CLK_{OUT})은 지연 고정 루프(10)의 출력 클럭(DDL_{OUT})으로 출력될 수도 있고, 복제 지연 라인 회로(300)로 수신될 수도 있다. 이때, 지연 고정 루프(10)의 출력 클럭(DDL_{OUT})은 혼합 출력 클럭(CLK_{OUT})이 버퍼(900)를 거쳐 생성된 클럭일 수 있다.
- [0036] 또한, 위상 회전자(100)의 위상 혼합기(130)는 검출된 위상차에 기초하여 위상이 혼합되고 있는 지점의 전류량을 추출할 수 있다. 위상 혼합기(130)는 추출된 전류량에 기초하여 혼합 출력 클럭(CLK_{OUT})을 조절할 수 있다. 이와 관련된 내용은 도 2에서 후술될 것이다.
- [0037] 복제 지연 라인 회로(RDL)(300)는 버퍼나 다른 회로들로 인해 발생하는 지연으로 인한 위상의 틀어짐을 고려하는 피드백 클럭(CLK_{FB})을 생성할 수 있다. 즉, 복제 지연 라인 회로(300)는 위상 회전자(100)의 출력을 입력받고, 버퍼나 다른 회로들로 인해 발생하는 지연을 고려한 피드백 클럭(CLK_{FB})을 위상 검출기(500)로 수신할 수 있다. 예를 들어, 전류량이 기설정된 범위내에 해당한다면, 혼합 출력 클럭(CLK_{OUT})을 수신받아 회로나 버퍼들로 인해 발생한 지연으로 인해 위상이 바뀌게 된 것을 복구해줄 수 있다.
- [0038] 위상 검출기(PD)(500)는 데이터 스트로브 클럭(RDQS)과 피드백 클럭(CLK_{FB})을 비교하여 위상차를 감지하여, 위상차를 수신할 수 있다. 예를 들어, 위상 검출기(500)는 데이터 스트로브 클럭(RDQS)과 피드백 클럭(CLK_{FB})을 비교하여 위상이 더 빠르거나 느린 것을 감지하여, 위상차를 수신할 수 있다.
- [0039] 이때, 데이터 스트로브 클럭(RDQS)은 읽기 전용 데이터인 스트로브 데이터가 만들어내는 클럭이고, 메인 클럭과 위상이 같을 수 있다. 피드백 클럭(CLK_{FB})은 복제 지연 라인 회로(RDL)(300)로부터 생성된 클럭일 수 있다.
- [0040] 제어기(700)는 위상 검출기(500)에서 검출된 위상차에 기초하여 위상 회전자(100)를 제어할 수 있다. 예를 들어, 제어기(700)는 위상 검출기(500)의 비교 결과를 입력받아, 위상이 빠르다면 지연을 늘리라는 신호를 생성하여 위상 회전자(100)에 수신하고, 위상이 느리다면 지연을 줄이라는 신호를 위상 회전자(100)에 수신함으로써 위상 회전자(100)의 지연을 조절할 수 있다.
- [0041] 구체적으로, 제어기(700)는 위상 검출기(500)에서 데이터 스트로브 클럭과 피드백 클럭(CLK_{FB})을 비교하여, 피드백 클럭(CLK_{FB})이 빠르다면 0을, 피드백 클럭(CLK_{FB})이 느리다면 1의 신호를 전달받을 수 있다.
- [0042] 제어기(700)에서는 위상 혼합기(130)의 페이즈(phase) 상태를 바이너리(binary) 7bit로 나타낼 수 있다. 바이너리(binary) 7bit는 설명의 편의를 위해 PI_reg로 설명될 것이다. 바이너리(binary) 7bit는 처음에 PI_reg[6:0]

: 7'b00_00000의 상태로 코드화되어 있을 수 있다. PI_reg와 관련하여, 도 2에서 자세히 후술될 것이다.

- [0043] 상술한 바와 같이, 본 출원의 일 실시예에 따른 지연 고정 루프(10)는 복수 개의 위상별 클럭 신호를 생성하고, 그 중 두 개의 클럭 신호를 혼합하여 혼합 출력 신호를 수신한다. 혼합 출력 신호는 지연 고정 루프(10)의 출력으로 그대로 출력될 수 있으며, 버퍼나 다른 회로들로 인해 발생한 지연으로 인한 위상의 틀어짐을 보정하기 위한 복제 지연 라인 회로(300)로 수신될 수 있다. 복제 지연 라인 회로(300)는 수신 받은 혼합 출력 신호의 위상 틀어짐을 보정하여, 피드백 클럭(CLK_{FB})을 출력할 수 있다. 출력된 피드백 클럭(CLK_{FB})은 위상 검출기(500)로 수신되어 데이터 스트로브 클럭(RDQS)과 비교하여 위상차를 검출할 수 있다. 검출된 위상차는 제어기(700)로 수신되고 제어기(700)는 위상차에 기초하여 제어 신호를 위상 혼합기(130)에 수신할 수 있다. 위상 혼합기(130)는 검출된 위상차에 기초하여 위상이 혼합되고 있는 지점의 전류량을 추출할 수 있다. 위상 혼합기(130)는 추출된 전류량에 기초하여 혼합 출력 클럭(CLK_{OUT})을 조절할 수 있다.
- [0044] 상기와 같은 구조를 가지는 지연 고정 루프는 동일한 전력 소모량으로 상대적으로 적은 칩 면적과 넓은 주파수 대역에 적용이 가능하도록 할 수 있다. 또한, 주파수에 따라 위상 회전자의 안정적인 동작을 제공할 수 있다.
- [0045] 도 2는 본 발명의 일 실시예에 따른 위상 혼합기(130)를 나타낸 도면이다.
- [0046] 도 2를 참조하면, 위상 혼합기(130)는 전류 제어 회로(131), 두 개의 믹스(133, 135), 클럭 혼합기(137), 및 전압 비교기(139)를 포함할 수 있다.
- [0047] 전류 제어 회로(131)는 위상 회전자에 바이어스되는 전류량을 조절하고, 제1 셀렉 비트 및 제2 셀렉 비트의 0과 1의 개수로 출력 클럭의 위상을 제어할 수 있다.
- [0048] 전류 제어 회로는 제1 입력 신호(PI_{CNT})와 차동 입력 신호를 입력 받는다. 전류 제어 회로(131)는 제1 입력 신호(PI_{CNT})에 따라 바이어스되는 전체 전류량을 조절하고, 차동 입력 신호인 제1 셀렉 비트와 제2 셀렉 비트를 통해 위상을 변경하기 위한 출력 제어 신호(VBP, VBN)를 출력할 수 있다.
- [0049] 이때, 출력 제어 신호 VBP(Voltage Bias Pmos)는 pmos 트랜지스터에 전압을 전달하기 위한 신호이고, 출력 제어 신호 VBN(Voltage Bias Nmos)은 nmos 트랜지스터에 전압을 전달하기 위한 신호일 수 있다.
- [0050] 제1 및 제2 셀렉 비트는 각각 32비트로 제1 셀렉 비트의 모든 비트가 0이고, 제2 셀렉 비트의 모든 비트가 1일 때, 제1 믹스(133)의 출력 클럭(PI_{IN<0>})의 클럭 위상의 힘이 강해질 수 있다. 즉, 셀렉 비트의 0과 1의 개수로 위상 혼합기(130)의 출력 클럭인 혼합 출력 클럭(CLK_{OUT})의 위상을 조절할 수 있다.
- [0051] 제1 및 제2 셀렉 비트는 PI_reg의 비트 중 뒤에 5개의 비트인 PI_reg[4:0]을 통해 조절될 수 있다.
- [0052] 적어도 두 개의 믹스(133, 135)는 180도 차이가 나는 클럭들이 입력되고, 믹스 조절 신호(SEL_{COS})가 1일 때의 클럭이 출력될 수 있다. 180도 차이가 나는 클럭들은 PI_reg의 7개의 비트 중 앞에 두개의 비트인 PI_reg[6:5]를 통해 제어될 수 있다. 예를 들어, PI_reg는 00, 01, 10, 및 11일 수 있으며, 00은 1100, 01은 0110, 10은 0011, 및 11은 1001로 클럭 혼합기(137)에 들어가는 입력을 조절할 수 있다.
- [0053] 적어도 두 개의 믹스(133, 135)는 다중 위상 발생기에서 만들어진 복수 개의 위상이 수신될 수 있다. 이때, 믹스의 개수는 다중 위상 발생기에서 생성된 클럭 갯수의 1/2개일 수 있다. 예를 들어, CLK_{IN}은 CLK_{IN<0>}, CLK_{IN<90>}, CLK_{IN<180>}, 및 CLK_{IN<270>}의 위상을 가진 4개의 클럭이 생성되었다면, 믹스는 클럭 갯수의 절반인 2개일 수 있다.
- [0054] 적어도 두 개의 믹스(133, 135)는 2 대 1 믹스일 수 있으며, 적어도 두 개의 믹스(133, 135)는 각각 PI_{IN<0>}, PI_{IN<1>}을 출력할 수 있다. PI_{IN}은 믹스에서 선택된 출력 전압일 수 있다. 예를 들어, PI_{IN}은 (0도, 90도), (180도, 90도), (180도, 270도), 및 (0도, 270도) 중 하나일 수 있다. 즉, PI_{IN<0>}, PI_{IN<1>}은 90도 차이가 나는 클럭일 수 있다.
- [0055] 클럭 혼합기(137)는 적어도 두 개의 믹스(133, 135)에서 각각 출력된 90도 차이가 나는 클럭을 혼합하여 전압 비교기(139)와 복제 지연 라인 회로로 수신할 수 있다. 이때, 복제 지연 라인 회로로 수신되는 클럭은 혼합 출력 클럭(CLK_{OUT})이고, 전압 비교기(139)로 수신되는 클럭은 혼합 출력 전압(PI_{OUT})으로, 혼합 출력 전압(PI_{OUT})은 90도 차이가 나는 클럭을 혼합한 출력 전압일 수 있다.

- [0056] 클럭 혼합기(137)는 제1 입력 신호(PI_{CNT})에 따라 바이어스되는 전류량의 크기에 기초하여 동작 여부가 결정될 수 있다. 예를 들어, 제1 입력 신호에 따라 바이어스되는 전류량이 기설정된 범위인 경우, 클럭 혼합기(137)는 정상 동작하여, 혼합 출력 클럭(CLK_{OUT})을 출력시킬 수 있다. 이와 관련하여 구체적인 내용은 도 3a 및 도 3b에서 후술될 것이다.
- [0057] 전압 비교기(139)는 클럭 혼합기(137)에서 추출된 파형의 전압과 기설정된 전압(VDD_{below})을 비교하여 전류량을 추출할 수 있다. 예를 들어, 전압이 낮으면 진폭이 작아져 전류량이 적다는 것을 알 수 있다. 이때, 전류를 너무 많이 줄이는 경우, 혼합하고 있는 지점의 파형의 진폭이 너무 작아지게 되어, 전압이 기설정된 전압보다 낮아질 수 있다. 이와 같이, 추출된 파형이 기설정된 전압의 파형보다 작아질 경우, 출력 값인 RC_{LOCK} 가 1에서 0으로 떨어지게 되며, PI_{CNT} 가 줄어드는 동작이 멈추게 된다.
- [0058] 즉, 전압 비교기(139)의 출력인 RC_{LOCK} 는 1의 값을 유지하고 있다가, 위상 혼합기(130)의 전류량이 줄어들면 0으로 값이 바뀌게 된다. RC_{LOCK} 이 0이 되면, 전류량이 줄어드는 동작이 멈추게 되고 그때의 PI_{CNT} 값을 추출하게 된다. PI_{CNT} 값은 추출된 PI_{CNT} 값으로 고정되어, 지연 루프 회로가 동작할 수 있다.
- [0059] 도 3a 및 도 3b는 본 발명의 일 실시예에 따른 위상 회전자의 동작을 나타낸 도면이다.
- [0060] 도 3a 및 도 3b는 $PI_{IN}<0>$ 의 경우 $CLK_{IN}<0>$ 과 $CLK_{IN}<180>$ 중 $CLK_{IN}<0>$ 이 선택되었고 $PI_{IN}<1>$ 의 경우 $CLK_{IN}<90>$ 과 $CLK_{IN}<270>$ 중 $CLK_{IN}<90>$ 이 선택되었을 경우를 가정하여 설명한 것이다.
- [0061] 도 3a를 참조하면, 전류량이 기설정된 범위에 포함될 때의 위상 회전자의 동작을 나타낸 도면이다. 전류량이 기설정된 범위에 포함될 경우, 위상이 혼합될 때, 중간 부분에서 문턱 전압(V_T)를 지나게 되는 것을 보아, 위상 회전자가 정상 동작을 하고 있는 것을 확인할 수 있다.
- [0062] 도 3b를 참조하면, 전류량이 기설정된 범위 이상일 때의 위상 회전자의 동작을 나타낸 도면이다. 전류량이 기설정된 범위 이상일 경우, 위상이 혼합 될 때 문턱 전압 부분에 일찍 도달하여 위상이 임의로 나오는 것을 확인할 수 있다.
- [0063] 또한, 도면에는 도시되지 않았으나, 전류량이 임계범위 이하일 경우에는, 위상 회전자가 동작하지 않는다.
- [0064] 이와 같이, 위상 회전자의 동작이 안정적이기 위해서는, 전류량 조절이 필요하다. 따라서, 주파수에 따라 위상 회전자에 바이어스 되는 전류량이 달라지기 때문에, 주파수에 따라 위상 회전자에 바이어스 되는 전류량을 조절해야 한다.
- [0065] 도 4는 본 발명의 일 실시예에 따른 위상 회전자의 구체적인 동작을 나타낸 도면이다.
- [0066] 도 4를 참조하면, 위상 회전자를 조절하는 방식은 주파수에 따라 전류량을 추출하여, 혼합 출력 클럭을 조절할 수 있다. 예를 들어, 위상 혼합기의 전압 비교기를 이용하여 기설정된 전압과 혼합 출력 전압을 비교하여, 값이 1에서 0으로 바뀌는 부분의 전류량을 추출할 수 있다. 위상 혼합기는 추출된 전류량에 기초하여 전류량이 너무 적거나 많으면, PI_{CNT} 를 조절하여 혼합 출력 클럭(CLK_{OUT})을 조절할 수 있다. 즉, 추출된 전류량에 기초하여, 위상 혼합기에 공급되는 전류량을 고정시킬 수 있다. 그 이후, 지연 제어 동작을 진행할 수 있다.
- [0067] 혼합 출력 전압(PI_{OUT})의 그래프에서, 점선에서 실선으로 갈수록 위상 회전자에 바이어스 되는 전류량이 점점 줄어들고 있으며, 전류량이 점점 줄어들 때, 파형의 스윙도 점점 줄어드는 것을 확인할 수 있다. 예를 들어, 검출 포인트에서의 VDD 를 살펴보면, 전류량이 기설정된 범위에 있을 경우의 전압은 기설정된 전압(VDD_{below})이고, 전류량이 임계범위보다 클수록 VDD 가 커져 파형의 스윙이 커질 수 있다. 이때, 검출 포인트는 RC_{LOCK} 가 1에서 0이 되는 지점일 수 있다.
- [0068] 도 5는 본 발명의 일 실시예에 따른 지연 고정 루프의 동작 순서를 도시한 순서도이다.
- [0069] 도 5를 참조하면, S11 단계는 다중 위상 발생기가 복수 개의 위상별 클럭 신호를 생성하는 단계일 수 있다. 예를 들어, 다중 위상기는 4개의 위상을 가진 클럭을 만들어낼 수 있다.
- [0070] S12 단계는 전류량에 기초하여 복수 개의 위상별 클럭 신호 중 두 개의 클럭 신호를 혼합하여 혼합 출력 클럭을 수신하는 단계일 수 있다. 혼합 출력 클럭은 버퍼를 통과하여 지연이 조절된 지연 고정 루프의 출력 클럭으로

출력될 수도 있고, 복제 지연 라인 회로로 수신될 수도 있다.

- [0071] S13 단계는 지연을 고려하여 피드백 클럭을 생성하여 위상 검출기로 수신하고, 혼합 출력 클럭을 버퍼에 통과시켜 지연 고정 루프의 출력으로 출력하는 단계일 수 있다. 예를 들어, 전류량이 기설정된 범위내에 해당한다면, 혼합 출력 클럭을 수신받아 회로나 버퍼들로 인해 발생한 지연으로 인해 위상이 바뀌게 된 것을 복구해줄 수 있다. 그리고 S12 단계에서 생성된 혼합 출력 클럭을 그대로 지연 고정 루프의 출력 클럭으로 출력할 수 있다.
- [0072] S14 단계는 데이터 스트로브 클럭과 피드백 클럭을 비교하여 위상차를 감지하여, 위상차를 수신하는 단계일 수 있다. 예를 들어, 위상 검출기에서 데이터 스트로브 클럭과 피드백 클럭을 비교하여 위상이 더 빠르거나 느린 것을 감지하여, 위상차를 수신할 수 있다. 이때, 데이터 스트로브 클럭은 읽기 전용 데이터인 스트로브 데이터가 만들어내는 클럭이고, 메인 클럭과 위상이 같을 수 있다. 피드백 클럭은 복제 지연 라인 회로(RDL)(300)로부터 생성된 클럭일 수 있다.
- [0073] S15 단계는 수신된 위상차에 기초하여 제어 신호를 생성하는 단계일 수 있다. 예를 들어, 제어부는 수신된 위상차에 기초하여 신호가 빠르다면 지연을 늘리라는 신호를, 신호가 느리다면 지연을 줄이라는 신호를 위상 혼합기에 수신할 수 있다.
- [0074] S16 단계는 생성된 제어 신호를 기초하여 전류량을 추출하는 단계일 수 있다. 예를 들어, 제어 신호를 수신받은 위상 혼합기에서 위상이 혼합되고 있는 지점의 전류량을 추출할 수 있다. 이때, 추출된 전류량에 기초하여, 위상 혼합기에 공급되는 전류량을 고정시킬 수 있다. 그 후, S12 단계로 돌아가 위와 같은 방법을 반복할 수 있다.
- [0075] S17 단계는 전류량이 기설정된 범위에 해당하는지의 여부를 판단하는 단계일 수 있다. 예를 들어, 전류량이 기설정된 범위가 아니라면, S12 단계로 돌아가 추출된 전류량에 기초하여 혼합 출력 클럭을 생성할 수 있다.
- [0076] 상술한 바와 같이, 본 출원의 일 실시예에 따른 지연 고정 루프는 복수 개의 위상별 클럭 신호를 생성하고, 그 중 두 개의 클럭 신호를 혼합하여 혼합 출력 신호를 수신한다. 혼합 출력 신호는 지연 고정 루프의 출력으로 그대로 출력될 수 있으며, 버퍼나 다른 회로들로 인해 발생한 지연으로 인한 위상의 틀어짐을 보정하기 위한 복제 지연 라인 회로로 수신될 수 있다. 복제 지연 라인 회로는 수신 받은 혼합 출력 신호의 위상 틀어짐을 보정하여, 피드백 클럭을 출력할 수 있다. 출력된 피드백 클럭은 위상 검출기로 수신되어 데이터 스트로브 클럭과 비교하여 위상차를 검출할 수 있다. 검출된 위상차는 제어기로 수신되고 제어기는 위상차에 기초하여 제어 신호를 위상 혼합기에 수신할 수 있다. 위상 혼합기는 검출된 위상차에 기초하여 위상이 혼합되고 있는 지점의 전류량을 추출할 수 있다. 위상 혼합기는 추출된 전류량에 기초하여 혼합 출력 클럭을 조절할 수 있다.
- [0077] 상기와 같은 구조를 가지는 지연 고정 루프는 동일한 전력 소모량으로 상대적으로 적은 칩 면적과 넓은 주파수 대역에 적용이 가능하도록 할 수 있다. 또한, 주파수에 따라 위상 회전자의 안정적인 동작을 제공할 수 있다.
- [0078] 본 명세서와 도면에 개시된 실시 예들은 본 개시의 내용을 쉽게 설명하고, 이해를 돕기 위해 특정 예를 제시한 것일 뿐이며, 본 개시의 범위를 한정하고자 하는 것은 아니다. 따라서 본 개시의 범위는 여기에 개시된 실시 예들 이외에도 본 개시의 기술적 사상을 바탕으로 도출되는 모든 변경 또는 변형된 형태가 본 개시의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

- [0079] 10 : 지연 고정 루프
100 : 위상 회전자
110 : 다중 위상 발생기
130 : 위상 혼합기
131 : 전류 제어 회로
133 : 제1 믹스
135 : 제2 믹스
137 : 클럭 혼합기
139 : 전압 비교기

300 : 복제 지연 라인 회로

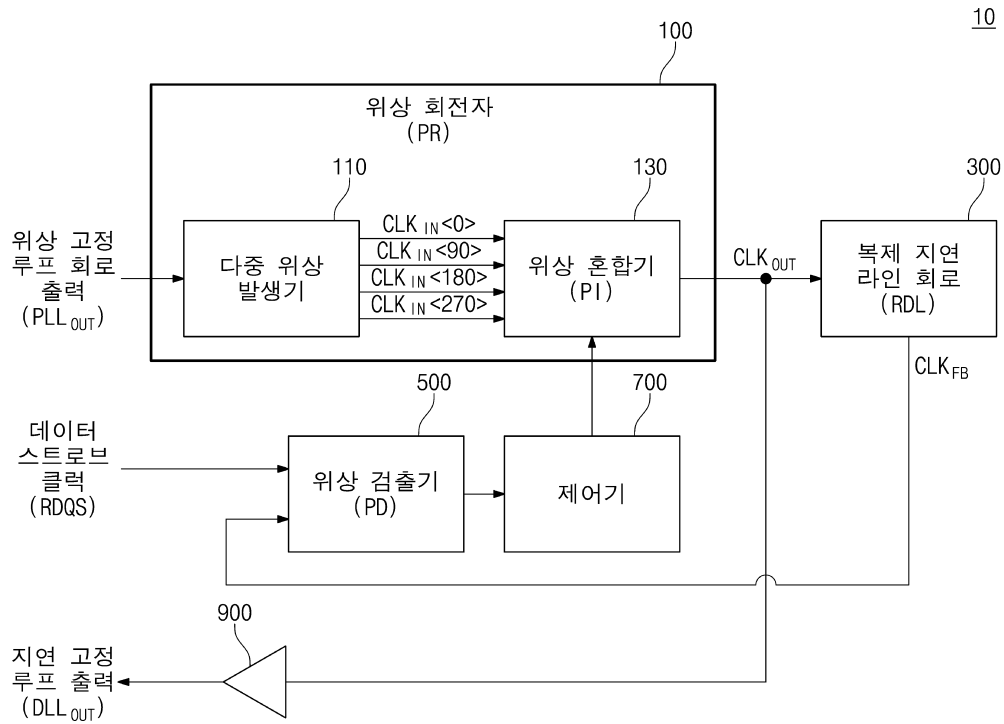
500 : 위상 검출기

700 : 제어기

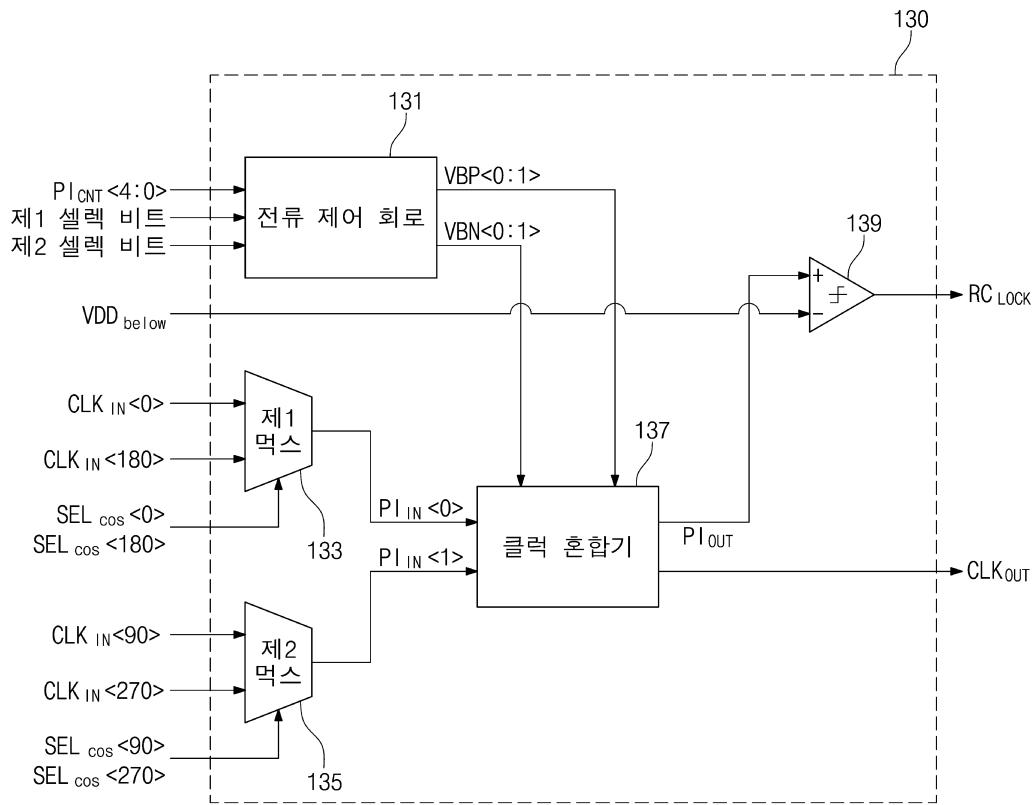
900 : 버퍼

도면

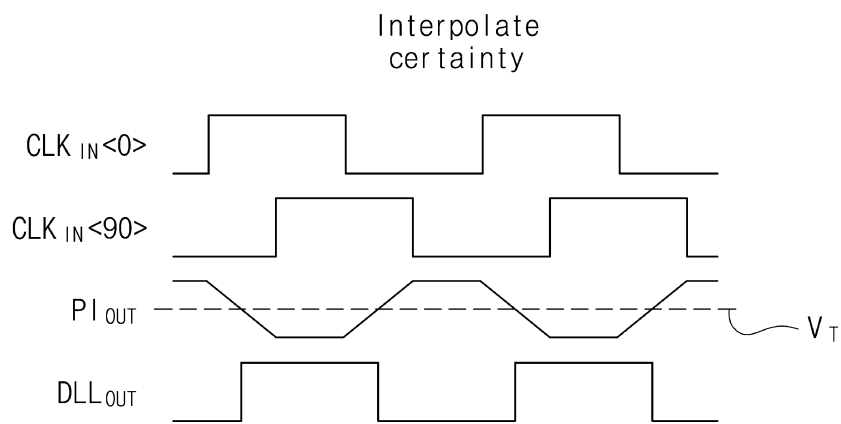
도면1



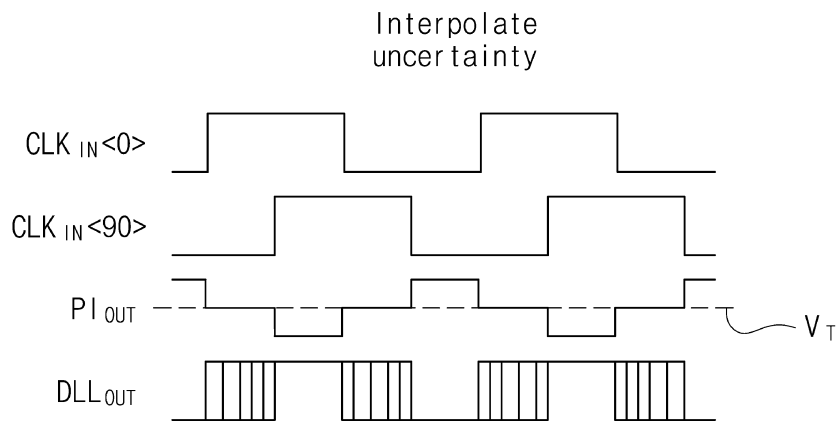
도면2



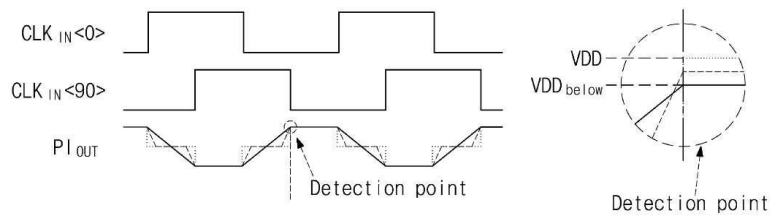
도면3a



도면3b



도면4



도면5

