



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I852376 B

(45)公告日：中華民國 113 (2024) 年 08 月 11 日

(21)申請案號：112107368 (22)申請日：中華民國 112 (2023) 年 03 月 01 日

(51)Int. Cl. : *H01L23/488 (2006.01)* *H01L23/28 (2006.01)*

(30)優先權：2022/05/17 美國 63/342,823
2022/09/14 美國 63/406,529
2023/01/05 美國 18/150,525

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)
新竹市力行六路八號

(72)發明人：沈文維 SHEN, WEN-WEI (TW)；黃冠育 HUANG, KUAN-YU (TW)；詹森博 JAN,
SEN-BOR (TW)；黃松輝 HUANG, SUNG-HUI (TW)；黃思博 HUANG, SZU-PO
(TW)；侯上勇 HOU, SHANG-YUN (TW)

(74)代理人：卓俊傑

(56)參考文獻：

TW	I763601B	US	2021/0090985A1
US	2022/0052009A1	US	2022/0077007A1

審查人員：蘇齊賢

申請專利範圍項數：10 項 圖式數：23 共 56 頁

(54)名稱
半導體元件及其形成方法

(57)摘要

半導體元件包括：基底；多個晶粒，附接在基底的第一側；模封材料，位在多個晶粒周圍的基底的第一側上；第一重佈線結構，位在基底的與第一側相對的第二側上，其中第一重佈線結構包括介電層和在介電層中的導電特徵，其中導電特徵包括導線、通孔和與導線和通孔隔離的虛設金屬圖案；多個導電連接件，附接到第一重佈線結構的遠離基底的第一表面。

A semiconductor device includes: a substrate; a plurality of dies attached to a first side of the substrate; a molding material on the first side of the substrate around the plurality of dies; a first redistribution structure on a second side of the substrate opposing the first side, where the first redistribution structure includes dielectric layers and conductive features in the dielectric layers, where the conductive features include conductive lines, vias, and dummy metal patterns isolated from the conductive lines and the vias; and conductive connectors attached to a first surface of the first redistribution structure facing away from the substrate.

指定代表圖：



131:線



I852376

【發明摘要】

公告本

【中文發明名稱】半導體元件及其形成方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND METHOD OF FORMING THE SAME

【中文】

半導體元件包括：基底；多個晶粒，附接在基底的第一側；模封材料，位在多個晶粒周圍的基底的第一側上；第一重佈線結構，位在基底的與第一側相對的第二側上，其中第一重佈線結構包括介電層和在介電層中的導電特徵，其中導電特徵包括導線、通孔和與導線和通孔隔離的虛設金屬圖案；多個導電連接件，附接到第一重佈線結構的遠離基底的第一表面。

【英文】

A semiconductor device includes: a substrate; a plurality of dies attached to a first side of the substrate; a molding material on the first side of the substrate around the plurality of dies; a first redistribution structure on a second side of the substrate opposing the first side, where the first redistribution structure includes dielectric layers and conductive features in the dielectric layers, where the conductive features include conductive lines, vias, and dummy metal patterns isolated from the conductive lines and the vias; and conductive connectors attached to a first surface of the first redistribution structure facing away from the substrate.

【指定代表圖】圖3**【代表圖之符號簡單說明】**

- 100：半導體元件
- 101：基底
- 102：中介件
- 103：通孔
- 105A、105B、105C：晶粒
- 107：導電柱
- 109：焊料區
- 111：底部填充劑材料
- 113：模封材料
- 114：重佈線結構
- 115：介電層
- 117：導線
- 121：虛設金屬圖案
- 123：外部連接件
- 131：線

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體元件及其形成方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF FORMING THE SAME

【技術領域】

【0001】 本發明實施例是關於半導體元件及其形成方法。

【先前技術】

【0002】 由於各種電子組件（例如，晶體管、二極管、電阻器、電容器等）的集成密度不斷提高，半導體行業經歷了快速增長。在很大程度上，這種集成密度的提高來自於最小特徵尺寸的反覆減小，這使得更多的組件可以集成到給定的區域中。

【0003】 隨著對縮小電子設備的需求不斷增長，出現了對更小、更具創意的半導體晶粒封裝技術的需求。此類封裝系統的示例是疊層封裝（PoP）技術。在 PoP 元件中，頂部半導體封裝堆疊在底部半導體封裝之上，以提供高集成度和組件密度。又例如，晶片與中介件接合，然後中介件與基底接合，形成堆疊半導體結構。在一些實施例中，為了形成堆疊半導體結構，將多個半導體晶片附接到晶圓上，然後進行切割製程以將晶圓分離成多個中介件，其中每個中介件具有一個或多個半導體晶片附接於其上。然後，將附接有半導體晶片的中介件附接到基底（例如，印刷電路板）以形成堆疊半導體結構。這些和其他先進的封裝技術使半導體元件的生產具有增強的功能和較小的佔地面積。

【發明內容】

【0004】 根據一實施例，一種半導體元件，包括：基底；多個晶粒，附接在所述基底的第一側；模封材料，位在所述多個晶粒周圍的所述基底的所述第一側上；第一重佈線結構，位在所述基底的與所述第一側相對的第二側上，其中所述第一重佈線結構包括介電層和在所述介電層中的導電特徵，其中所述導電特徵包括導線、通孔以及與所述導線和所述通孔隔離的虛設金屬圖案；以及導電連接件，附接到所述第一重佈線結構的背離所述基底的第一表面。

【0005】 根據一實施例，一種半導體元件，包括：多個晶粒，嵌在模封材料中，其中所述多個晶粒包括第一晶粒和與所述第一晶粒相鄰的第二晶粒；重佈線結構，其中所述多個晶粒接合到所述重佈線結構的第一側，其中所述重佈線結構包括介電層和在所述介電層中的導電特徵，其中所述導電特徵包括導線、通孔和虛設金屬圖案，其中所述虛設金屬圖案是電隔離的，其中在平面圖中，所述多個晶粒設置在所述模封材料的側壁限定的邊界內，所述虛設金屬圖案設置在所述第一晶粒與所述第二晶粒之間的第一區域中，所述第一晶粒的中心區域沒有所述虛設金屬圖案；以及導電連接件，附接到所述重佈線結構的與所述第一側相對的第二側。

【0006】 根據一實施例，一種形成半導體元件的方法，所述方法包括：將多個晶粒接附到中介件的第一側，其中所述多個晶粒包括第一晶粒和與所述第一晶粒相鄰的第二晶粒；在所述多個晶粒周圍的所述中介件的所述第一側上形成模封材料；以及在所述中介件的與所述第一側相對的第二側形成重佈線結構，其中形成所述重佈線結構包括：在所述中介件的所述第二側上形成第一介電層；在

所述第一介電層上形成第一金屬層，所述第一金屬層包括第一導電特徵和第一虛設金屬圖案，其中在平面圖中，所述第一虛設金屬圖案具有第一形狀且形成在所述第一晶粒與所述第二晶粒之間的第一區域中；在所述第一金屬層之上形成第二介電層；以及在所述第二介電層上形成第二金屬層，所述第二金屬層包括第二導電特徵和第二虛設金屬圖案，其中在所述平面圖中，所述第二虛設金屬圖案具有第二形狀且形成在所述第一晶粒與所述第二晶粒之間的所述第一區域中。

【圖式簡單說明】

【0007】 當結合附圖閱讀時，從以下詳細描述中可以最好地理解本公開的方面。值得注意的是，根據業界的標準做法，各特徵並未按比例繪製。事實上，為了討論的清晰，可以任意增加或減少各種特徵的尺寸。

圖 1 至圖 3 示出了根據實施例的處於不同製造階段的半導體元件的剖面圖。

圖 4A 至圖 4C 圖示了根據一些實施例的虛設金屬圖案各種上視圖。

圖 5 圖示了根據實施例的圖 3 的半導體元件中的虛設金屬圖案的平面圖。

圖 6 至圖 11 圖示了根據一些實施例的圖 3 的半導體元件中的虛設金屬圖案的各種示例平面圖。

圖 12 示出了根據實施例的半導體元件的剖面圖。

圖 13 示出了根據另一實施例的半導體元件的剖面圖。

圖 14 至圖 16 示出了根據實施例的處於不同製造階段的半導體元件的剖面圖。

圖 17 示出了根據實施例的半導體元件的剖面圖。

圖 18 示出了根據另一實施例的半導體元件的剖面圖。

圖 19 至圖 21 示出了根據實施例的處於不同製造階段的半導體元件的剖面圖。

圖 22 示出了根據實施例的半導體元件的剖面圖。

圖 23 圖示了在一些實施例中形成半導體元件的方法的流程圖。

【實施方式】

【0008】 以下公開內容提供了許多不同的實施例或示例，用於實現本發明的不同特徵。下面描述組件和佈置的具體示例以簡化本公開。當然，這些僅是示例而不是限制性的。例如，在以下描述中在第二特徵之上或之上形成第一特徵可以包括其中直接接觸地形成第一和第二特徵的實施例，並且還可以包括其中可以在兩者之間形成附加特徵的實施例，這樣第一和第二特徵可能不會直接接觸。此外，本公開可以在各種示例中重複參考數字和/或字母。在整個描述中，除非另有說明，否則不同附圖中的相似參考數字指代使用相同或相似材料通過相同或相似方法形成的相同或相似組件。

【0009】 此外，為了便於描述，本文可以使用諸如“下方”、“下”、“下部”、“上方”、“上部”等空間相對術語來描述構件或特徵與另一構件的關係或特徵，如圖所示。除了附圖中描繪的方位之外，空間相關術語旨在涵蓋設備在使用或操作中的不同方

位。設備可以其他方式定向（旋轉 90 度或以其他方向），並且本文中使用的空間相關描述符同樣可以相應地解釋。

【0010】 在一些實施例中，半導體結構包括中介件、附接到中介件的第一側的多個晶粒、以及在中介件的第二相對側上的重佈線結構。重佈線結構的導電特徵包括導線、通孔和虛設金屬圖案。虛設金屬圖案可以是島狀、條狀或網狀，每個金屬層的導電特徵可以是虛設金屬圖案的不同形狀的不同組合。在平面圖中，虛設金屬圖案可以沿著多個晶粒之間的界面區域形成，或者沿著半導體結構的周邊形成。虛設金屬圖案有助於減少半導體結構的翹曲，從而減少冷焊點（cold joint）等問題，提高接合良率。

【0011】 圖 1 至圖 3 示出了根據實施例的處於不同製造階段的半導體元件 100 的剖面圖。

【0012】 現在參考圖 1，多個晶粒（例如晶粒 105A、105B 和 105C）附接到中介件 102 的前側 102F。晶粒 105A、105B 和 105C 在本文的討論中統稱為晶粒 105。晶粒 105 也可以稱為半導體晶粒、晶片或集成電路（IC）晶粒。在一些實施例中，晶粒 105 是相同類型的晶粒（例如，記憶體晶粒或邏輯晶粒）。在其他實施例中，晶粒 105 是不同類型的晶粒。例如，晶粒 105A 可以是晶片上系統（SOC）晶粒，其包括例如中央處理單元（CPU）、記憶體介面、輸入/輸出（I/O）元件和 I/O 介面，晶粒 105B 可以是例如記憶體晶粒，例如高帶寬記憶體（HBM）晶粒，並且晶粒 105C 可以是例如包含用於與晶粒 105A 集成的明確定義的功能子集的小晶片（chiplet）。圖 1 所示的晶粒 105 的數量和晶粒 105 的類型只是非限制性示例。其他數量的晶粒、其他類型的晶粒或晶粒的其他佈置（例如，放置）

也是可能的，並且完全包括在本公開的範圍內。例如，圖 6 至圖 11 說明了集成在半導體元件 100 中的晶粒 105 的各種示例平面圖。

【0013】 在一些實施例中，每個晶粒 105 包括基底、形成在基底中/上的電子組件（例如，晶體管、電阻器、電容器、二極管等），以及在基底上方的互連結構，以連接電子組件以形成晶粒 105 的功能電路。晶粒 105 更包括導電柱 107（也稱為晶粒連接件），可提供與晶粒 105 的電路的電連接。

【0014】 晶粒 105 的基底可以是摻雜或未摻雜的半導體基底，或者絕緣體上矽（SOI）基底的主動層。通常，SOI 基底包括半導體材料層，例如矽、鍺、矽鍺、絕緣體上矽鍺（SGOI）或其組合。可以使用的其他基底包括多層基底、梯度基底或混合取向基底。

【0015】 晶粒 105 的電子組件包括種類繁多的主動元件（例如晶體管）和被動元件（例如電容器、電阻器、電感器）等。晶粒 105 的電子組件可以使用任何合適的方法在晶粒 105 的基底內或基底上形成。晶粒 105 的互連結構包括在一個或多個介電層中形成的一層或多層金屬化層（例如，銅層），用於連接各種電子組件以形成功能電路。在一實施例中，互連結構由電介質和導電材料（例如，銅）的交替層形成，並且可以通過任何合適的製程（例如沉積、鑲嵌、雙鑲嵌等）形成。

【0016】 可以在晶粒 105 的互連結構上方形成一個或多個鈍化層（未示出）以便為晶粒 105 的下層結構提供一定程度的保護。鈍化層可以由一種或多種合適的電介質材料製成，例如氧化矽、氮化矽、低 k 電介質（例如碳摻雜氧化物）、極低 k 電介質（例如多孔碳摻雜二氧化矽）、這些材料的組合，或者類似物。可以通過諸如

化學氣相沉積 (CVD) 的製程形成鈍化層，儘管可以使用任何合適的製程。

【0017】 導電墊 (未示出) 可以形成在鈍化層之上並且可以延伸穿過鈍化層以與晶粒 105 的互連結構電接觸。導電墊可包括鋁，但也可使用其他材料，例如銅。

【0018】 晶粒 105 的導電柱 107 形成在導電墊上以提供用於電附接到晶粒 105 的電路的導電區域。導電柱 107 可以是銅柱、諸如微凸塊的接觸凸塊等，並且可以包括諸如銅、錫、銀或其他合適的材料。

【0019】 參看中介件 102，其包括基底 101、貫穿通孔 103 (也稱為基底穿孔 (through substrate via, TSV)) 以及中介件 102 的前側 102F 上的導電凸塊 104。前側 102F 也是圖 1 示例中基底 101 的上表面。

【0020】 基底 101 可以是例如摻雜或未摻雜的矽基底，或絕緣體上矽 (SOI) 基底的主動層。然而，基底 101 可以備選地是玻璃基底、陶瓷基底、聚合物基底或可以提供合適的保護和/或互連功能的任何其他基底。

【0021】 在一些實施例中，基底 101 包括電子組件，例如電阻器、電容器、訊號分配電路、這些的組合等。這些電子組件可以是主動組件、被動組件或它們的組合。在其他實施例中，基底 101 中沒有主動和被動電子組件，並且可以僅用於提供電訊號的連接/重繞線。所有這樣的組合完全包括在本公開的範圍內。

【0022】 在圖 1 的示例中，貫穿通孔 103 從基底 101 的上表面 (例如，102F) 向基底 101 的下表面延伸。請注意貫穿通孔 103 不會

延伸通過基底 101。在後續的減薄製程中，基底 101 將被減薄以暴露下表面的貫穿通孔 103。貫穿通孔 103 可由合適的導電材料形成，例如銅、鎢、鋁、合金、摻雜多晶矽、它們的組合等。可以在貫穿通孔 103 與基底 101 之間形成阻擋層。阻擋層可以包括合適的材料，例如氮化鈦，儘管也可以替代地使用其他材料，例如氮化鉭、鈦等。

【0023】導電凸塊 104 形成在中介件 102 的前側 102F 上，可以是任何合適類型的外部接觸，例如微凸塊、銅柱、銅層、鎳層、無鉛（LF）層、化學鍍鎳化學浸鈑金（ENEPIG）層、Cu/LF 層、Sn/Ag 層、Sn/Pb、這些的組合等。導電凸塊 104 可形成為電耦合至例如貫穿通孔 103 或中介件 102 的前側 102F 上的佈線（如果形成的話）。

【0024】如圖 1 所示，晶粒 105 的導電柱 107 通過例如焊料區 109 接合至中介件 102 的導電凸塊 104。可以執行回流製程以將晶粒 105 結合到中介件 102。

【0025】晶粒 105 與中介件 102 接合後，晶粒 105 與中介件 102 之間形成底部填充劑材料 111。例如，底部填充劑材料 111 可以包括液態環氧樹脂，例如使用點膠針或其他合適的點膠工具將其點膠在晶粒 105 與中介件 102 之間間隙中，然後固化硬化。如圖 1 所示，底部填充劑材料 111 填充了晶粒 105 與中介件 102 之間間隙，也可能填充了相鄰晶粒 105 之間間隙。此外，底部填充劑材料 111 可以沿著例如晶粒 105B 和 105C 的側壁延伸。在其他實施例中，底部填充劑材料 111 被省略。

【0026】接下來，在中介件 102 之上和晶粒 105 周圍形成模封材

料 113。在形成底部填充劑材料 111 的實施例中，模封材料 113 也圍繞底部填充劑材料 111。作為示例，模封材料 113 可包括環氧樹脂、有機聚合物、具有或不具有二氧化矽基填料或玻璃填料的聚合物或其他材料。在一些實施例中，模封材料 113 包括液態模化合物 (liquid molding compound, LMC)，其在施加時為凝膠型液體。模封材料 113 在施加時還可包含液體或固體。或者，模封材料 113 可以包括其他絕緣和/或封裝材料。在一些實施例中，使用晶圓級成型製程來施加模封材料 113。模封材料 113 可以使用例如壓縮成型、傳遞成型、模製底部填充 (molded underfill, MUF) 或其他方法來模製。

【0027】 接下來，在一些實施例中，使用固化製程來固化模封材料 113。固化過程可以包括使用退火過程或其他加熱過程將模封材料 113 加熱到預定溫度達預定時間段。固化製程還可以包括紫外 (UV) 光曝光製程、紅外 (IR) 能量曝光製程、它們的組合或者它們與加熱製程的組合。或者，可以使用其他方法固化模封材料 113。在一些實施例中，不包括固化製程。

【0028】 在形成模封材料 113 之後，可以執行諸如化學和機械平坦化 (CMP) 的平坦化製程以從晶粒 105 上方移除模封材料 113 的多餘部分，使得模封材料 113 和晶粒 105 具有共面的上表面。

【0029】 接下來，在圖 2 中，將圖 1 中形成的結構翻轉並附接到載體 133，例如，通過黏合劑層。載體 133 可由諸如矽、聚合物、聚合物複合材料、金屬箔、陶瓷、玻璃、玻璃環氧樹脂、氧化鈹、膠帶或用於結構支撐的其他合適材料的材料製成。在一些實施例中，黏合劑層 (圖 2 中未示出) 沉積或層壓在載體 133 上。黏合

劑層可以是光敏的並且可以通過在隨後的載體剝離製程中將例如紫外線（UV）光照射在載體 133 上而容易地從載體 133 分離。例如，黏合層可以是光熱轉換（LTHC）塗層。

【0030】 接下來，將中介件 102 從中介件 102 的背面 102B 中薄化。可以執行諸如蝕刻製程、研磨製程、它們的組合等的薄化製程以減小基底 101 的厚度，使得貫穿通孔 103 暴露在背面 102B 處。

【0031】 接下來，在中介件 102 之上形成重佈線結構 114。重佈線結構 114 包括導電特徵，例如在多個介電層 115 中形成的一層或多層導線 117 和通孔 119。在一些實施例中，介電層 115 由聚合物形成，例如聚苯並噁唑（PBO）、聚酰亞胺、苯並環丁烯（BCB）等。在其他實施例中，介電層 115 的材質為氮化物，例如氮化矽；氧化物，例如氧化矽、磷矽酸鹽玻璃（PSG）、硼矽酸鹽玻璃（BSG）、摻硼磷矽酸鹽玻璃（BPSG）等；等等。介電層 115 可通過任何可接受的沉積製程形成，例如旋塗、化學氣相沉積（CVD）、層壓等或其組合。

【0032】 在一些實施例中，重佈線結構 114 的導電特徵包括由諸如銅、鈦、鎢、鋁等合適的導電材料形成的導線 117 和通孔 119。導線 117（及其對應的底層通孔 119）的每一層可以通過例如在介電層 115 中形成開口以暴露底層導電特徵，在介電層 115 上方和開口中形成晶種層，在晶種層上方形成具有設計圖案（例如開口）的圖案化光阻，以設計圖案和晶種層上方電鍍（例如電鍍或化學鍍）導電材料，以及移除光阻和部分晶種層其中未形成導電材料。圖 2 中所示的重佈線結構 114 中的導線 117 和通孔 119 的層數是非限制性示例，其他數目也是可能的並且完全包括在本公開的範

圍內。

【0033】 值得注意的是，在所示實施例中，虛設金屬圖案 121 形成為重佈線結構 114 的導電特徵的一部分。虛設金屬圖案 121 是電隔離的金屬圖案。換句話說，虛設金屬圖案 121 不被配置為電耦合到半導體元件 100 的電訊號（例如，電源訊號或數據/控制訊號）。

【0034】 在一些實施例中，虛設金屬圖案 121 在與形成重佈線結構 114 的其他導電特徵相同的處理步驟中形成。在圖 2 的示例中，虛設金屬圖案 121 使用相同的導電材料（例如，銅）形成在與導線 117 相同的金屬層中，並且在通孔 119 的金屬層中沒有形成虛設金屬圖案 121。在一些實施例中，虛設金屬圖案 121 也形成在與通孔 119 相同的金屬層中。這些和其他變化完全包括在本公開的範圍內。

【0035】 在圖 2 的示例中，具有導線 117 的重佈線結構 114 中的金屬層與具有通孔 119 的重佈線結構 114 中的金屬層交錯（例如，交替）。這裡為了便於討論，將具有導線 117 的金屬層依序編號為金屬層 L1、L2 等等，其中金屬層 L1 為最接近中介件 102 的具有導線 117 金屬層。具有通孔 119 的金屬層依次編號為金屬層 V1、V2 等等，金屬層 V1 是最接近中介件 102 的具有通孔 119 的金屬層。因此，在圖 2 的例子中，在金屬層 L1、L2 等形成虛設金屬圖案 121，在金屬層 V1、V2 等不形成虛設金屬圖案 121。下文將參考圖 4A 至圖 4C 和圖 5 至圖 11 討論虛設金屬圖案 121 的細節。

【0036】 仍然參考圖 2，在重佈線結構 114 形成之後，外部連接件 123（也稱為導電連接件）形成在重佈線結構 114 之上並電耦合到重佈線結構 114。在一實施例中，外部連接件 123 是導電凸塊例如

微凸塊並且可以包括諸如錫的材料或諸如銀或銅的其他合適的材料。在外部連接件 123 是錫焊料凸塊的實施例中，外部連接件 123 可以通過諸如蒸發、電鍍、印刷、焊料轉移、球放置的任何合適的方法初始形成錫層而形成。一旦在該結構上形成了錫層，就執行回流以將材料成形為具有約例如 $20\ \mu\text{m}$ 的直徑的所需凸塊形狀，儘管可以備選地使用任何合適的尺寸。

【0037】 然而，如本領域的普通技術人員將認識到的，雖然上文已將外部連接件 123 描述為微凸塊，但這些僅旨在說明而不旨在限制實施例。相反，任何合適類型的外部連接件，例如受控坍塌晶片連接（controlled collapse chip connection, C4）凸塊、銅柱、銅層、鎳層、無鉛（lead free, LF）層、化學鍍鎳鍍鈀浸金（electroless nickel electroless palladium immersion gold, ENEPIG）層、可以替代地使用 Cu/LF 層、Sn/Ag 層、Sn/Pb、這些的組合等。任何合適的外部連接件和任何合適的用於形成外部連接件的製程都可以用於外部連接件 123，並且所有這樣的外部連接件完全包括在實施例的範圍內。

【0038】 在一些實施例中，重佈線結構 114 的寬度形成為小於中介件 102 的寬度，使得重佈線結構 114 的側壁從中介件 102 的相應側壁凹陷。作為示例，重佈線結構 114 的側壁與中介件 102 的相應側壁之間的偏移 D1（例如，橫向距離）可以在約 $20\ \mu\text{m}$ 與約 $200\ \mu\text{m}$ 之間。偏移 D1 有利地減少或防止重佈線結構 114 在後續切割製程中的分層。

【0039】 在一些實施例中，重佈線結構 114 形成在包含多個中介件 102 的晶圓之上，使得多個半導體元件 100 同時形成在晶圓上。

然後，進行蝕刻製程以移除沿著/靠近晶圓的切割區域設置的部分重佈線結構 114，從而形成偏移 D1。在後續的切割製程中，偏移 D1 可以在切割製程中使用的刀片不接觸重佈線結構 114 的情況下進行切割，從而避免或減少重佈線結構 114 在切割製程中的分層。

【0040】 接下來，在圖 3 中，將圖 2 中的半導體元件 100 翻轉過來，將外部連接件 123 貼在切割膠帶（未顯示）上。接下來，通過剝離過程將載體 133 從半導體元件 100 上分離（剝離）。剝離製程可以使用任何合適的製程移除載體 133，例如蝕刻、研磨和機械剝離。在一些實施例中，通過在載體 133 的表面上照射雷射或 UV 光來使載體 133 剝離。雷射或紫外光會破壞與載體 133 結合的黏合層（例如 LTHC）的化學鍵，然後載體 133 可以很容易地分離。接下來，進行切割製程，沿著圖 3 中線 131 所指示的位置進行切割，其中線 131 與晶圓的切割區域對齊。在切割製程之後，形成多個單獨的半導體元件 100，其中每個半導體元件 100 具有圖 3 所示的結構。

【0041】 隨著越來越多具有不同功能的晶粒附接到中介件 102 以實現半導體封裝（例如半導體元件 100）中的高集成度，中介件 102 的尺寸（例如表面積）增加。對於大尺寸的中介件 102，保持中介件平坦（例如，具有平坦表面）的難度越來越大，並且半導體元件 100 的翹曲控制成為越來越重要的問題。半導體元件的翹曲通常是由半導體元件中使用的不同材料的熱膨脹係數（CTE）的差異引起的。由於不同材料隨著溫度的變化發生不同程度的膨脹或接觸，在半導體元件的各個區域產生應力，該應力可能導致半導體元件翹曲。

【0042】 測試和分析表明，半導體封裝（例如半導體元件 100）中的某些區域的應力可能特別高，例如沿著/靠近晶粒 105 之間的界面區域的區域，這可能是由於晶粒 105A（例如，SOC 晶粒）與晶粒 105B（例如，HBM 晶粒）/105C（例如，小晶片）之間的繁重數據流量（例如，讀寫操作）的界面區域的高溫所引起。此外，沿半導體元件周邊（例如，側壁）的區域也可能經歷高應力或更高的翹曲。本公開在重佈線結構 114 中使用虛設金屬圖案 121 以減少翹曲。虛設金屬圖案 121 可以形成在具有高溫或高應力水平的區域（例如，界面區域、周邊區域）中以減少翹曲。虛設金屬圖案 121 可以具有不同的形狀以實現不同的優點（例如，低感應應力、電磁干擾屏蔽）。虛設金屬圖案 121 可能有助於在高溫區域散熱。此外，虛設金屬圖案 121 可能有助於在重佈線結構 114 中實現更均勻的金屬密度（因此更均勻的 CTE）以減少翹曲。此外，虛設金屬圖案 121 可以增加重佈線結構 114 的結構完整性（例如，更高的剛度）以減少翹曲。下面討論虛設金屬圖案 121 的各種形狀、結構和位置。

【0043】 根據一些實施例，圖 4A 至圖 4C 圖示了虛設金屬圖案 121 的各種上視圖。在圖 4A 中，虛設金屬圖案 121 具有島形，例如以離散的（例如，單獨的）矩形或方形金屬圖案形成。島狀虛設金屬圖案 121 可以形成為行和列。作為示例，矩形或正方形金屬圖案的尺寸 a （例如，寬度或長度）在約 $5\ \mu\text{m}$ 與約 $100\ \mu\text{m}$ 之間。島形虛設金屬圖案 121 的優點是島形虛設金屬圖案 121 在重佈線結構 114 中引起的應力很小（如果有的話）。

【0044】 在圖 4B 中，虛設金屬圖案 121 具有網狀，例如形成為金

屬網。例如，圖 4B 中的虛設金屬圖案 121 與孔 122 形成連續的（例如，連接的）金屬區域。作為示例，孔 122 的尺寸 c （例如，寬度或長度）在約 $3\mu\text{m}$ 與約 $50\mu\text{m}$ 之間。網狀虛設金屬圖案 121 的優點是網狀虛設金屬圖案 121 為半導體元件 100 提供了良好的電磁（EM）干擾屏蔽。

【0045】 在圖 4C 中，虛設金屬圖案 121 具有條形，例如以離散的（例如，分離的）條形金屬圖案形成。條形虛設金屬圖案 121 可以形成為彼此平行延伸。例如，條形虛設金屬圖案的長度 $b1$ 可以在約 $5\mu\text{m}$ 與約 $100\mu\text{m}$ 之間，並且條形虛設金屬圖案的寬度 $b2$ 可以在約 $5\mu\text{m}$ 與約 $100\mu\text{m}$ 之間。長度 $b1$ 和寬度 $b2$ 被選擇以實現大縱橫比，例如 $b1/b2 \geq 5$ 或 $b1/b2 \geq 10$ 。條形虛設金屬圖案 121 實現了島形虛設金屬圖案 121 與網狀虛設金屬圖案 121 之間的性能平衡，因此，在重佈線結構 114 中引起低應力，並達到一定水平的 EM 干擾屏蔽。在一些實施例中，由條形虛設金屬圖案 121 引起的應力沿著金屬條的縱向方向。除了圖 4A 至圖 4C 所示的形狀之外，其他形狀也是可能的，並且完全包括在本公開的範圍內。

【0046】 各種虛設金屬圖案 121 可以不同的組合形成在重佈線結構 114 的任何金屬層（例如，L1、L2 等）中。為便於討論，將金屬層 L1、L2 等統稱為重佈線結構 114 的金屬層 L_n 。在一實施例中，所述金屬層 L_n 分別形成有島狀、網狀、條狀虛設金屬圖案。換句話說，每個金屬層 L_n 有上面提到的三種不同類型的虛設金屬圖案。根據不同的性能考慮，可以形成不同類型的虛設金屬圖案。例如，如果晶粒 105 容易受到 EM 干擾，則可以在與晶粒 105 到遮罩 EM 干擾對應的區域中使用網狀虛設金屬圖案。作為另一例子，島狀虛設

金屬圖案可以用在傾向於具有高應力的區域以減少由虛設金屬圖案引起的任何應力。

【0047】 在另一實施例中，兩個不同的虛設金屬圖案在金屬層 L_n 中交替使用。換句話說，第一類型的虛設金屬圖案（例如，島狀虛設金屬圖案）形成在奇數金屬層 L1、L3、L5 等等中，以及第二類型的虛設金屬圖案（例如，網狀虛設金屬圖案）形成在偶數金屬層 L2、L4、L6 等等中。

【0048】 在又一實施例中，如圖 5 所示，在奇數金屬層 L1、L3、L5 等等中形成具有沿第一方向（例如，圖 5 的水平方向）的縱軸延伸的第一多個條形虛設金屬圖案 121A，並且在偶數金屬層 L2、L4、L6 等等中形成具有沿垂直於第一方向的第二方向（例如，圖 5 的豎直方向）的縱軸延伸的第二多個條形虛設金屬圖案 121B。為了清楚和避免混亂，圖 5 示出了形成在半導體元件 100 的重佈線結構 114 的兩個相鄰金屬層（例如，L1 和 L2）中的虛設金屬圖案 121A 和 121B 的平面圖。回想一下，由條形虛設金屬圖案引起的應力沿著金屬條的縱向方向。因此，通過將相鄰金屬層中的虛設金屬條的縱向沿兩個垂直方向對齊，可以使條狀虛設金屬圖案所引起的應力均勻化，從而使重佈線結構 114 內的應力更加均勻。

【0049】 圖 6 至圖 11 圖示了根據一些實施例的虛設金屬圖案在半導體元件 100 中的各種示例平面圖。注意，圖 4A 至圖 4C 和圖 5 顯示了在重佈線結構 114 中形成的虛設金屬圖案的各種實施方式形狀，圖 6 至圖 11 顯示了虛設金屬圖案在重佈線結構 114 中的各種實施方式位置。半導體元件 100 的重佈線結構 114 中的虛設金屬圖案可以具有任何實施形狀並且可以形成在任何實施位置中。

換句話說，圖 4A 至圖 4C 和圖 5 中所示的虛設金屬圖案的任何示例形狀可以形成在圖 6 至圖 11 中所示的虛設金屬圖案的任何示例位置中。為簡單起見，圖 6 至圖 11 中並未顯示半導體元件 100 的所有組件。

【0050】 在圖 6 的示例中，半導體元件 100 包括中間的晶粒 105A（例如，SOC 晶粒）、在晶粒 105A 的左側排成一行的兩個晶粒 105B（例如，HBM 模塊），以及在晶粒 105A 的右側排成一行的兩個晶粒 105C（例如，小晶片）。圖 6 進一步說明了模封材料 113 的側壁，它定義了圖 6 中半導體元件 100 的周邊。圖 6 中的陰影區域（例如，具有斜線圖案）說明了虛設金屬圖案 121 的位置。

【0051】 如圖 6 所示，虛設金屬圖案 121 沿晶粒 105A 與晶粒 105B 之間的界面區域以及晶粒 105A 與晶粒 105C 之間的界面區域形成。在本文的討論中，短語“界面區域”用於描述兩個或更多個相鄰晶粒 105 之間の間隙區域。在圖 6 的平面圖中，虛設金屬圖案 121 的區域與上面討論的界面區域重疊，並且與靠近界面區域的部分晶粒 105 重疊。虛設金屬圖案 121 從第一側壁（例如，圖 6 中的上側壁）連續延伸到模封材料 113 的第二相對側壁（例如，圖 6 中的下側壁）。值得注意的是，在圖 6 中，晶粒 105A 的中心區域被虛設金屬圖案 121 暴露（例如，沒有虛設金屬圖案 121），並且遠離晶粒 105A 的部分晶粒 105B/105C 也被虛設金屬圖案 121 暴露（例如，沒有虛設金屬圖案 121）。

【0052】 在圖 7 的示例中，半導體元件 100 與圖 6 的半導體元件類似，但包含兩倍數量的晶粒 105。例如，圖 7 中的半導體元件 100 包括兩個晶粒 105A，四個晶粒 105B 在晶粒 105A 的第一側排

成一行，四個晶粒 105C 在晶粒 105A 的第二側排成一行。陰影區域說明了虛設金屬圖案 121 的位置。類似於圖 6，圖 7 中的虛設金屬圖案 121 沿著晶粒 105A 與晶粒 105B 之間的界面區域以及沿著晶粒 105A 與晶粒 105C 之間的界面區域形成。細節與圖 6 相同或相似，在此不再贅述。

【0053】在圖 8 的示例中，半導體元件 100 與圖 6 的半導體元件類似，但是虛設金屬圖案 121 是沿著晶粒 105A 與晶粒 105B 之間的界面區域、沿著晶粒 105A 與晶粒 105C 之間的界面區域、沿著多個晶粒 105B 之間的界面區域，以及沿多個晶粒 105C 之間的界面區域形成。此外，虛設金屬圖案 121 的區域完全覆蓋（例如，重疊）晶粒 105B 和 105C 的區域，而晶粒 105A 的中心區域被虛設金屬圖案 121 暴露。

【0054】在圖 9 的示例中，半導體元件 100 與圖 8 的半導體元件類似，但包含兩倍數量的晶粒 105。例如，圖 9 中的半導體元件 100 包括兩個晶粒 105A，四個晶粒 105B 在晶粒 105A 的第一側排成一行，四個晶粒 105C 在晶粒 105A 的第二側排成一行。陰影區域說明了虛設金屬圖案 121 的位置。細節與圖 8 相同或相似，在此不再贅述。

【0055】在圖 10 的示例中，半導體元件 100 與圖 8 的半導體元件類似，但是除了圖 8 中所示的區域之外，虛設金屬圖案 121 也沿著半導體元件 100 的周邊（例如，側壁）形成。因此，圖 10 中虛設金屬圖案 121 的區域沿著半導體元件 100 的側壁形成完整的圓形（或完整的矩形帶）。晶粒 105A 的中心區域沒有虛設金屬圖案 121。

【0056】 在圖 11 的示例中，半導體元件 100 與圖 10 的半導體元件類似，但包含兩倍數量的晶粒 105。例如，圖 11 中的半導體元件 100 包括兩個晶粒 105A，四個晶粒 105B 排成一行，位於晶粒 105A 的第一側，四個晶粒 105C 排成一行，位於晶粒 105A 的第二側。陰影區域說明了虛設金屬圖案 121 的位置。類似於圖 10，圖 11 中的虛設金屬圖案 121 沿著晶粒 105A 與晶粒 105B 之間的界面區域、沿著晶粒 105A 與晶粒 105C 之間的界面區域以及沿著半導體元件 100 的周邊形成。另外，虛設金屬圖案 121 也形成在多個晶粒 105A 之間的界面區域，如圖 11 的半導體元件 100 在中心的水平延伸的陰影區域所示。

【0057】 圖 12 示出了根據實施例的半導體元件 200 的剖面圖。半導體元件 200 是通過將圖 3 中的半導體元件 100 與基底 142 接合形成疊層半導體結構。

【0058】 參看基底 142，在一些實施例中，基底 142 是多層電路板。例如，基底 142 可以包括由雙馬來酰亞胺三嗪（BT）樹脂、FR-4（一種由編織玻璃纖維布和耐燃的環氧樹脂黏合劑組成的複合材料）、陶瓷、玻璃、塑料、膠帶、膠片或其他輔助材料。基底 142 可以包括形成在基底 142 中/上的導電特徵（例如，導線 143 和通孔 145）。如圖 12 所示，基底 142 具有形成在基底 142 的上表面和下表面上的導電墊 147，其中導電墊 147 電耦合到基底 142 的導電特徵。

【0059】 在一些實施例中，為了形成半導體元件 200，半導體元件 100 的外部連接件 123 與基底 142 的上表面上的相應導電墊 147 對準，並且執行回流製程以將外部連接件 123（例如通過焊料區 125）

結合到導電墊 147。接下來，在重佈線結構 114 與基底 142 之間形成底部填充劑材料 155。底部填充劑材料 155 可以與底部填充劑材料 111 相同或相似，可以採用相同或相似的形成方法形成，在此不再贅述。

【0060】 隨著越來越多的晶粒 105 被集成到堆疊半導體結構（例如，半導體元件 200）中以提供具有增強功能和/或更多存儲容量（例如，記憶體容量）的半導體元件，中介件 102 的尺寸和基底 142 的尺寸可以是增加以容納晶粒 105。隨著基底 142 的尺寸增加，越來越難以保持基底 142 平坦（例如，具有平坦的上表面和/或平坦的下表面）。基底 142 的翹曲可能導致難以將半導體元件 200 接合到另一工件（例如，基底 142 下方的主機板，未示出），因為基底 142 下表面的導電墊 147 由於翹曲而未設置在同一平面內，如果將變形的基底 142 附接到主板，可能會出現冷焊點等問題。類似地，如果基底 142 不平坦，則可能難以將堆疊半導體結構結合到基底 142。

【0061】 為了控制（例如，減少）基底 142 的翹曲，通過黏著材料 153 將環 151 附接到基底 142 的上表面，並用於提高基底 142 的平面度（例如，平坦度）。在一些實施例中，環 151 由剛性材料形成，例如鋼、銅、玻璃等。在一些實施例中，環 151 是矩形環（例如，在上視圖中具有空心矩形形狀），並且附接至基底 142 使得環 151 圍繞半導體元件 100。在一些實施例中，在形成堆疊半導體結構之後，將環 151 附接到基底 142 的上表面。在其他實施例中，先將環 151 附接至基底 142 的上表面，然後將半導體元件 100 附接至環 151 內部的基底 142 的上表面。

【0062】圖 13 示出了根據另一實施例的半導體元件 200A 的剖面圖。半導體元件 200A 類似於圖 12 的半導體元件 200，半導體元件 100A 與基底 142 接合形成堆疊半導體結構。半導體元件 100A 類似於圖 3 的半導體元件 100，但是在中介件 102 的前側和背側上均形成重佈線結構 114。可以修改圖 1 至圖 3 中所示的處理以形成半導體元件 100A。例如，中介件 102 與晶粒 105 之間的重佈線結構 114 可以在晶粒 105 附接到中介件 102 之前形成在中介件 102 的前側 102F 上。在一些實施例中，上面針對半導體元件 100 討論的相同或相似的虛設金屬圖案 121 形成在半導體元件 100A 的兩個重佈線結構 114 中，此處不再贅述。

【0063】圖 14 至圖 16 示出了根據實施例的處於不同製造階段的半導體元件 300 的剖面圖。在圖 14 中，導電柱 205 形成在載體 201 之上，局部矽互連（local silicon interconnect，LSI）晶粒 207 附接到載體 201。載體 201 可以與圖 2 中的載體 133 相同或相似，在此不再贅述。

【0064】導電柱 205 可以通過以下方式形成：在載體 201 之上形成晶種層，在晶種層之上形成圖案化光阻層，其中圖案化光阻層具有暴露晶種層的開口（例如，通孔），填充開口（例如，通過電鍍）導電材料（例如銅），移除圖案化光阻層，以及移除晶種層上未形成導電材料的部分。

【0065】LSI 晶粒 207 在附接到載體 201 之前是預成型的。在一些實施例中，LSI 晶粒 207 包括在基底之上的基底（例如，矽）、介電層（例如，氧化矽），以及包括一個或多個介電層（例如，氧化矽）和形成在一個或多個介電層中的導電特徵（例如，導線和通孔）

的重佈線結構。在一些實施例中，LSI 晶粒 207 使用與在後段(back-end-of-line，BEOL) 處理中形成半導體晶粒的互連結構相同的處理來形成，因此，關鍵的尺寸(例如，線寬度或線間距)的 LSI 晶粒 207 與互連結構相同，可實現高密度佈線。LSI 晶粒 207 可以選擇具有基底穿孔 211。在圖 14 的示例中，LSI 晶粒 207 的背面附接到載體 201，例如，通過諸如 LTHC 塗層的膠層。LTHC 塗層可以在形成導電柱 205 之前和貼附 LSI 晶粒 207 之前在載體 201 上形成，以利於後續製程中移除載體 201。

【0066】 接下來，在導電柱 205 和 LSI 晶粒 207 周圍的載體 201 上形成與模封材料 113 相同或相似的模封材料 203。接下來，執行諸如 CMP 的平坦化製程以移除模封材料 203 的多餘部分並實現導電柱 205、LSI 晶粒 207 和模封材料 203 之間的共面上表面。LSI 晶粒 207 的導電墊 213 暴露在模封材料 203 的上表面。因此，導電柱 205 變成了延伸穿過模封材料 203 的通孔。

【0067】 接下來，在圖 15 中，晶粒 105 (例如，105A、105B 和 105C) 接合到 LSI 晶粒 207 的導電柱 205 和導電墊 213/基底穿孔 211。如圖 15 所示，每個 LSI 晶粒 207 與至少兩個晶粒 105 橫向重疊，並通過其重分佈結構提供至少兩個晶粒 105 之間的電連接。接下來，在晶粒 105 與模封材料 203 之間形成底部填充劑材料 111。在底部填充劑材料 111 形成後，在晶粒 105 和底部填充劑材料 111 周圍的模封材料 203 上形成模封材料 113。在一些實施例中，底部填充劑材料 111 被省略。接下來，執行諸如 CMP 的平坦化製程以暴露晶粒 105 的背面並實現晶粒 105 與模封材料 113 之間的共面上表面。

【0068】 接下來，在圖 16 中，將圖 15 中形成的結構翻轉並附接到載體 221，並使用與圖 2 所示相同或相似的製程在模封材料 203 上方形成重佈線結構 114。重佈線結構 114 具有虛設金屬圖案 121 以控制所形成的半導體結構的翹曲。重佈線結構 114 電耦合到導電柱 205 和 LSI 晶粒 207。接下來，外部連接件 123 形成在重佈線結構 114 之上並電耦合到重佈線結構 114。該處理與圖 2 相同或相似，在此不再贅述。注意，在一些實施例中，在重佈線結構 114 的側壁與模封材料 203 的相應側壁之間形成偏移 D1。

【0069】 圖 16 中的結構，在移除載體 221 並進行切割製程後，形成了多個單獨的半導體元件 300。請注意，在圖 3 中，半導體元件 100 包括中介件 102（例如，矽中介件）。相反，圖 16 的半導體元件 300 將中介件 102 替換為 LSI 晶粒 207（以及導電柱 205 和模封材料 203）。

【0070】 圖 17 示出了根據實施例的半導體元件 400 的剖面圖。半導體元件 400 為堆疊半導體結構，其形成方式為：將圖 16 的半導體元件 300 與基底 142 接合，在半導體元件 300 周圍的基底 142 上形成底部填充劑材料 155，在半導體元件 300 周圍的基底 142 上貼附環 151。與圖 12 的處理過程相同或相似，在此不再贅述。

【0071】 圖 18 示出了根據另一實施例的半導體元件 400A 的剖面圖。半導體元件 400A 為堆疊半導體結構，與圖 17 的半導體元件 400 相似。在圖 18 中，半導體元件 300A 接合到基底 142。半導體元件 300A 類似於圖 16 的半導體元件 300，但是在模封材料 203 的上側和下側均形成重佈線結構 114。重佈線結構 114 中形成有虛設金屬圖案 121。半導體元件 300A 可以通過修改形成半導體元件

300 的製程來形成，本領域技術人員容易理解，因此這裡不再贅述。

【0072】 圖 19 至圖 21 示出了根據實施例的處於不同製造階段的半導體元件 500 的剖面圖。在圖 19 中，具有虛設金屬圖案 121 的重佈線結構 114 形成在載體 223 之上，使用與形成圖 2 中的重佈線結構 114 相同或相似的製程。導電凸塊 118（例如，微凸塊）形成在重佈線結構 114 之上並電耦合到重佈線結構 114。

【0073】 接下來，在圖 20 中，晶粒 105（例如，105A、105B 和 105C）的導電柱 107 例如通過焊料區 109 接合到導電凸塊 118。接下來，在晶粒 105 與重佈線結構 114 之間形成底部填充劑材料 111。底部填充劑材料 111 形成後，在晶粒 105 和底部填充劑材料 111 周圍的重佈線結構 114 上形成模封材料 113。在一些實施例中，底部填充劑材料 111 被省略。接下來，執行諸如 CMP 的平坦化製程以暴露晶粒 105 的背面並實現模封材料 113 與晶粒 105 之間的共面上表面。

【0074】 接下來，在圖 21 中，載體 223 被移除，圖 20 中的結構被翻轉並附接到載體 225。接下來，外部連接件 123 形成在重佈線結構 114 之上並電耦合到重佈線結構 114。

【0075】 如圖 21 所示的結構，在移除載體 225 並進行切割製程後，形成了多個單獨的半導體元件 500。請注意，與圖 3 的半導體結構相反，半導體元件 500 沒有中介件 102，晶粒 105 直接接合到重佈線結構 114。

【0076】 圖 22 示出了根據實施例的半導體元件 600 的剖面圖。半導體元件 600 為堆疊半導體結構，由以下方法形成：將半導體元件 500 與基底 142 接合，在半導體元件 500 周圍的基底 142 上形成底

部填充劑材料 155，在半導體元件 500 周圍的基底 142 上貼附環 151。與圖 12 的處理過程相同或相似，在此不再贅述。

【0077】 實施例可以實現優點。例如，通過在重佈線結構 114 中形成虛設金屬圖案，減少了半導體結構（例如，半導體元件 100）的翹曲。改善的半導體結構平面度使得更容易將半導體結構接合到基底 142 以形成堆疊半導體結構。避免或減少冷焊點等問題，從而提高半導體結構的接合良率。此外，通過形成偏移 D1，避免了切割過程中重佈線結構 114 的分層。

【0078】 圖 23 圖示了在一些實施例中形成半導體元件的方法的流程圖。應當理解，圖 23 所示的實施方式僅僅是多種可能的實施方式中的例子。本領域的普通技術人員會認識到許多變化、替代和修改。例如，可以添加、移除、替換、重新排列和重複如圖 23 所示的各個步驟。

【0079】 參考圖 23，在方塊 1010 處，將多個晶粒附接到中介件的第一側，其中多個晶粒包括第一晶粒和與第一晶粒相鄰的第二晶粒。在方塊 1020 處，在多個晶粒周圍的中介件的第一側上形成模封材料。在方塊 1030 處，在中介件的與第一側相對的第二側上形成重佈線結構，其中形成重佈線結構包括：在中介件的第二側上形成第一介電層；在第一介電層上形成第一金屬層，所述第一金屬層包括第一導電特徵和第一虛設金屬圖案，其中在平面圖中，第一虛設金屬圖案具有第一形狀且形成在第一晶粒和第二晶粒之間的第一區域中；在第一金屬層上形成第二介電層；在第二介電層上形成第二金屬層，所述第二金屬層包括第二導電特徵和第二虛設金屬圖案，其中在平面圖中，第二虛設金屬圖案具有第二形狀且形成在

第一晶粒和第二晶粒之間的第一區域中。

【0080】 根據一實施例，一種半導體元件，包括：基底；多個晶粒，附接在所述基底的第一側；模封材料，位在所述多個晶粒周圍的所述基底的所述第一側上；第一重佈線結構，位在所述基底的與所述第一側相對的第二側上，其中所述第一重佈線結構包括介電層和在所述介電層中的導電特徵，其中所述導電特徵包括導線、通孔以及與所述導線和所述通孔隔離的虛設金屬圖案；以及導電連接件，附接到所述第一重佈線結構的背離所述基底的第一表面。在一實施例中，所述導電特徵包括多個金屬層，其中所述虛設金屬圖案設置在所述多個金屬層中的多個第一金屬層中，其中在平面圖中，所述虛設金屬圖案為島狀、條狀或網狀，其中每個所述第一金屬層具有島狀、條狀、網狀的所述虛設金屬圖案。在一實施例中，所述導電特徵包括多個金屬層，其中所述虛設金屬圖案包括在所述多個金屬層的第一金屬層中的第一虛設金屬圖案，以及在所述多個金屬層的第二金屬層中的第二虛設金屬圖案，其中在平面圖中，所述第一金屬層中的所述第一虛設金屬圖案具有第一形狀，所述第二金屬層中的所述第二虛設金屬圖案具有第二形狀。在一實施例中，所述第一形狀為島狀，所述第二形狀為網狀。在一實施例中，在所述平面圖中，所述第一虛設金屬圖案為具有沿第一方向延伸的第一縱軸的第一金屬條，所述第二虛設金屬圖案為具有沿垂直於所述第一方向的第二方向延伸的第二縱軸的第二金屬條。在一實施例中，所述虛設金屬圖案和所述導線在所述導電特徵的相同的金屬層中，並且沒有虛設金屬圖案在具有所述通孔的所述金屬層中。在一實施例中，所述多個晶粒包括第一晶粒和與所述第一

晶粒相鄰的第二晶粒，其中在所述平面圖中，所述多個晶粒設置在由所述模封材料的側壁限定的區域內，並且所述虛設金屬圖案沿所述第一晶粒與所述第二晶粒之間的界面區域設置。在一實施例中，在所述平面圖中，所述第一晶粒的中心區域沒有所述虛設金屬圖案。在一實施例中，所述多個晶粒更包括與所述第一晶粒相鄰的第三晶粒，其中在所述平面圖中，所述第二晶粒和所述第三晶粒沿同一行對齊，並且所述虛設金屬圖案沿所述第二晶粒與所述第三晶粒之間的第二界面區域設置。在一實施例中，在所述平面圖中，所述虛設金屬圖案沿所述模封材料的所述側壁設置。在一實施例中，所述半導體元件更包括位在所述基底的所述第一側的第二重佈線結構，其中所述第二重佈線結構位在所述基底與所述多個晶粒之間，其中所述第二重佈線結構包括第二虛設金屬圖案。在一實施例中，所述基底為局部矽互連（LSI）晶粒的基底，其中所述半導體元件更包括：另一模封材料，位在所述LSI晶粒周圍，其中所述另一模封材料介於所述模封材料與所述第一重佈線結構之間；以及導電柱，延伸穿過所述另一模封材料，其中所述導電柱耦合到所述多個晶粒和所述的所述第一重佈線結構中的一者。

【0081】 根據一實施例，一種半導體元件，包括：多個晶粒，嵌在模封材料中，其中所述多個晶粒包括第一晶粒和與所述第一晶粒相鄰的第二晶粒；重佈線結構，其中所述多個晶粒接合到所述重佈線結構的第一側，其中所述重佈線結構包括介電層和在所述介電層中的導電特徵，其中所述導電特徵包括導線、通孔和虛設金屬圖案，其中所述虛設金屬圖案是電隔離的，其中在平面圖中，所述多個晶粒設置在所述模封材料的側壁限定的邊界內，所述虛設金

屬圖案設置在所述第一晶粒與所述第二晶粒之間的第一區域中，所述第一晶粒的中心區域沒有所述虛設金屬圖案；以及導電連接件，附接到所述重佈線結構的與所述第一側相對的第二側。在一實施例中，在所述平面圖中，所述虛設金屬圖案沿著由所述模封材料的所述側壁限定的所述邊界設置。在一實施例中，所述導電特徵包括多個金屬層，其中所述虛設金屬圖案包括在所述多個金屬層的第一金屬層中的第一虛設金屬圖案，以及在所述多個金屬層的第二金屬層中的第二虛設金屬圖案，其中所述第一金屬層中的所述第一虛設金屬圖案具有第一形狀，且所述第二金屬層中的所述第二虛設金屬圖案具有不同於所述第一形狀的第二形狀。在一實施例中，所述半導體元件更包括：基底，位在所述重佈線結構的第二側，其中所述導電連接件接合到所述基底的第一表面；以及底部填充劑材料，位在所述導電連接件、所述重佈線結構和所述模封材料周圍的所述基底的所述第一表面上。

【0082】 根據一實施例，一種形成半導體元件的方法，所述方法包括：將多個晶粒接附到中介件的第一側，其中所述多個晶粒包括第一晶粒和與所述第一晶粒相鄰的第二晶粒；在所述多個晶粒周圍的所述中介件的所述第一側上形成模封材料；以及在所述中介件的與所述第一側相對的第二側形成重佈線結構，其中形成所述重佈線結構包括：在所述中介件的所述第二側上形成第一介電層；在所述第一介電層上形成第一金屬層，所述第一金屬層包括第一導電特徵和第一虛設金屬圖案，其中在平面圖中，所述第一虛設金屬圖案具有第一形狀且形成在所述第一晶粒與所述第二晶粒之間的第一區域中；在所述第一金屬層之上形成第二介電層；以及在所

述第二介電層上形成第二金屬層，所述第二金屬層包括第二導電特徵和第二虛設金屬圖案，其中在所述平面圖中，所述第二虛設金屬圖案具有第二形狀且形成在所述第一晶粒與所述第二晶粒之間的所述第一區域中。在一實施例中，在所述平面圖中，所述第一晶粒的中心沒有所述第一虛設金屬圖案和所述第二虛設金屬圖案。在一實施例中，所述第一形狀不同於所述第二形狀。在一實施例中，所述第一形狀與所述第二形狀相同，其中在所述平面圖中，所述第一虛設金屬圖案為沿第一縱向延伸的第一金屬條，所述第二虛設金屬圖案為沿垂直於所述第一縱向的第二縱向延伸的第二金屬條。

【0083】 以上概述了幾個實施例的特徵，以便本領域的技術人員可以更好地理解本公開的方面。本領域的技術人員應該理解，他們可以容易地使用本公開作為設計或修改其他製程和結構的基礎，以實現與本文介紹的實施例相同的目的和/或實現相同的優點。本領域的技術人員也應該認識到，這樣的等同結構並不脫離本公開的精神和範圍，並且他們可以在不脫離本公開的精神和範圍的情況下對其進行各種更改、替換和更改。

【符號說明】

【0084】

100、100A、200、200A、300、300A、400、400A、500、600：
半導體元件

101、142：基底

102：中介件

102B：背面
102F：前側
103、119、145：通孔
104、118：導電凸塊
105、105A、105B、105C、207：晶粒
107、205：導電柱
109、125：焊料區
111、155：底部填充劑材料
113、203：模封材料
114：重佈線結構
115、141：介電層
117、143：導線
121、121A、121B：虛設金屬圖案
122：孔
123：外部連接件
131：線
133、201、221、223、225：載體
147、213：導電墊
151：環
153：黏著材料
211：基底穿孔
1010、1020、1030：方塊
 a 、 c ：尺寸
 $b1$ ：長度

b_2 ：寬度

D1：偏移

【發明申請專利範圍】

【請求項1】一種半導體元件，包括：

基底；

多個晶粒，附接在所述基底的第一側；

模封材料，位在所述多個晶粒周圍的所述基底的所述第一側上；

第一重佈線結構，位在所述基底的與所述第一側相對的第二側上，其中所述第一重佈線結構包括介電層和在所述介電層中的導電特徵，其中所述導電特徵包括導線、通孔以及與所述導線和所述通孔隔離的虛設金屬圖案；以及

導電連接件，附接到所述第一重佈線結構的背離所述基底的第一表面，

其中所述多個晶粒包括第一晶粒和與所述第一晶粒相鄰的第二晶粒，其中在所述平面圖中，所述多個晶粒設置在由所述模封材料的側壁限定的區域內，並且所述虛設金屬圖案沿所述第一晶粒與所述第二晶粒之間的界面區域設置。

【請求項2】如請求項1所述的半導體元件，其中所述導電特徵包括多個金屬層，其中所述虛設金屬圖案設置在所述多個金屬層中的多個第一金屬層中，其中在平面圖中，所述虛設金屬圖案為島狀、條狀或網狀，其中每個所述第一金屬層具有島狀、條狀、網狀的所述虛設金屬圖案。

【請求項3】如請求項1所述的半導體元件，其中所述導電特徵包括多個金屬層，其中所述虛設金屬圖案包括在所述多個金屬層的第一金屬層中的第一虛設金屬圖案，以及在所述多個金屬層的第二

金屬層中的第二虛設金屬圖案，其中在平面圖中，所述第一金屬層中的所述第一虛設金屬圖案具有第一形狀，所述第二金屬層中的所述第二虛設金屬圖案具有第二形狀。

【請求項4】如請求項3所述的半導體元件，其中所述第一形狀為島狀，所述第二形狀為網狀。

【請求項5】如請求項3所述的半導體元件，其中在所述平面圖中，所述第一虛設金屬圖案為具有沿第一方向延伸的第一縱軸的第一金屬條，所述第二虛設金屬圖案為具有沿垂直於所述第一方向的第二方向延伸的第二縱軸的第二金屬條。

【請求項6】如請求項3所述的半導體元件，其中所述虛設金屬圖案和所述導線在所述導電特徵的相同的金屬層中，並且沒有虛設金屬圖案在具有所述通孔的所述金屬層中。

【請求項7】如請求項1所述的半導體元件，其中在所述平面圖中，所述第一晶粒的中心區域沒有所述虛設金屬圖案。

【請求項8】如請求項1所述的半導體元件，更包括位在所述基底的所述第一側的第二重佈線結構，其中所述第二重佈線結構位在所述基底與所述多個晶粒之間，其中所述第二重佈線結構包括第二虛設金屬圖案。

【請求項9】一種半導體元件，包括：

多個晶粒，嵌在模封材料中，其中所述多個晶粒包括第一晶粒和與所述第一晶粒相鄰的第二晶粒；

重佈線結構，其中所述多個晶粒接合到所述重佈線結構的第一側，其中所述重佈線結構包括介電層和在所述介電層中的導電特徵，其中所述導電特徵包括導線、通孔和虛設金屬圖案，其中所述

虛設金屬圖案是電隔離的，其中在平面圖中，所述多個晶粒設置在所述模封材料的側壁限定的邊界內，所述虛設金屬圖案設置在所述第一晶粒與所述第二晶粒之間的第一區域中，所述第一晶粒的中心區域沒有所述虛設金屬圖案；以及

導電連接件，附接到所述重佈線結構的與所述第一側相對的第二側。

【請求項10】一種形成半導體元件的方法，所述方法包括：

將多個晶粒接附到中介件的第一側，其中所述多個晶粒包括第一晶粒和與所述第一晶粒相鄰的第二晶粒；

在所述多個晶粒周圍的所述中介件的所述第一側上形成模封材料；以及

在所述中介件的與所述第一側相對的第二側形成重佈線結構，其中形成所述重佈線結構包括：

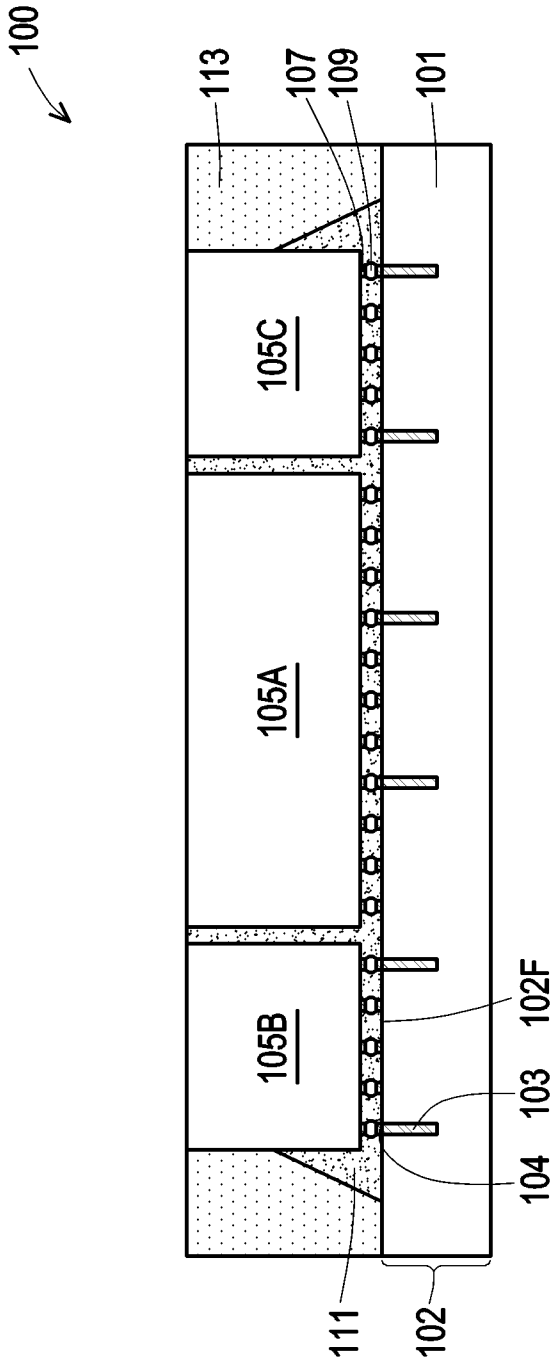
在所述中介件的所述第二側上形成第一介電層；

在所述第一介電層上形成第一金屬層，所述第一金屬層包括第一導電特徵和第一虛設金屬圖案，其中在平面圖中，所述第一虛設金屬圖案具有第一形狀且形成在所述第一晶粒與所述第二晶粒之間的第一區域中；

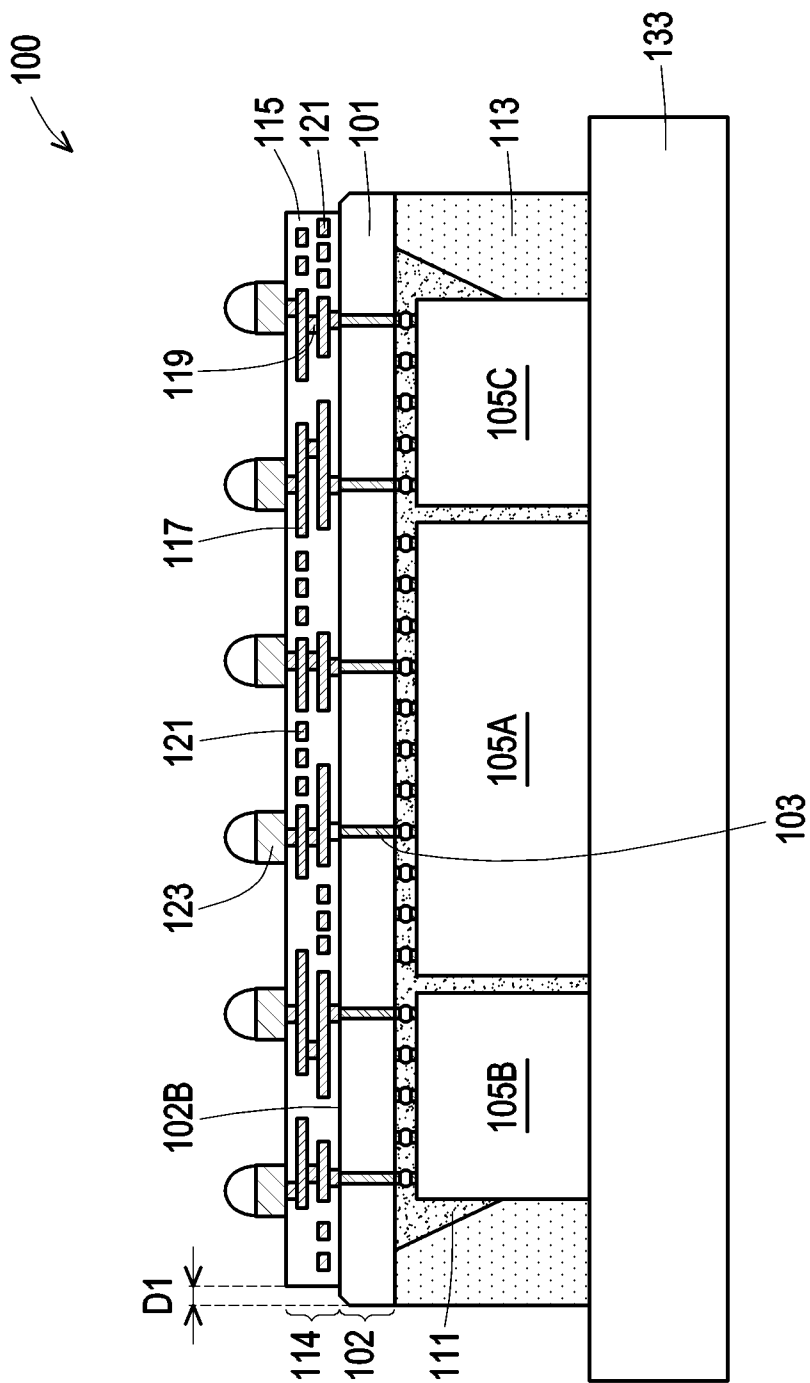
在所述第一金屬層之上形成第二介電層；以及

在所述第二介電層上形成第二金屬層，所述第二金屬層包括第二導電特徵和第二虛設金屬圖案，其中在所述平面圖中，所述第二虛設金屬圖案具有第二形狀且形成在所述第一晶粒與所述第二晶粒之間的所述第一區域中。

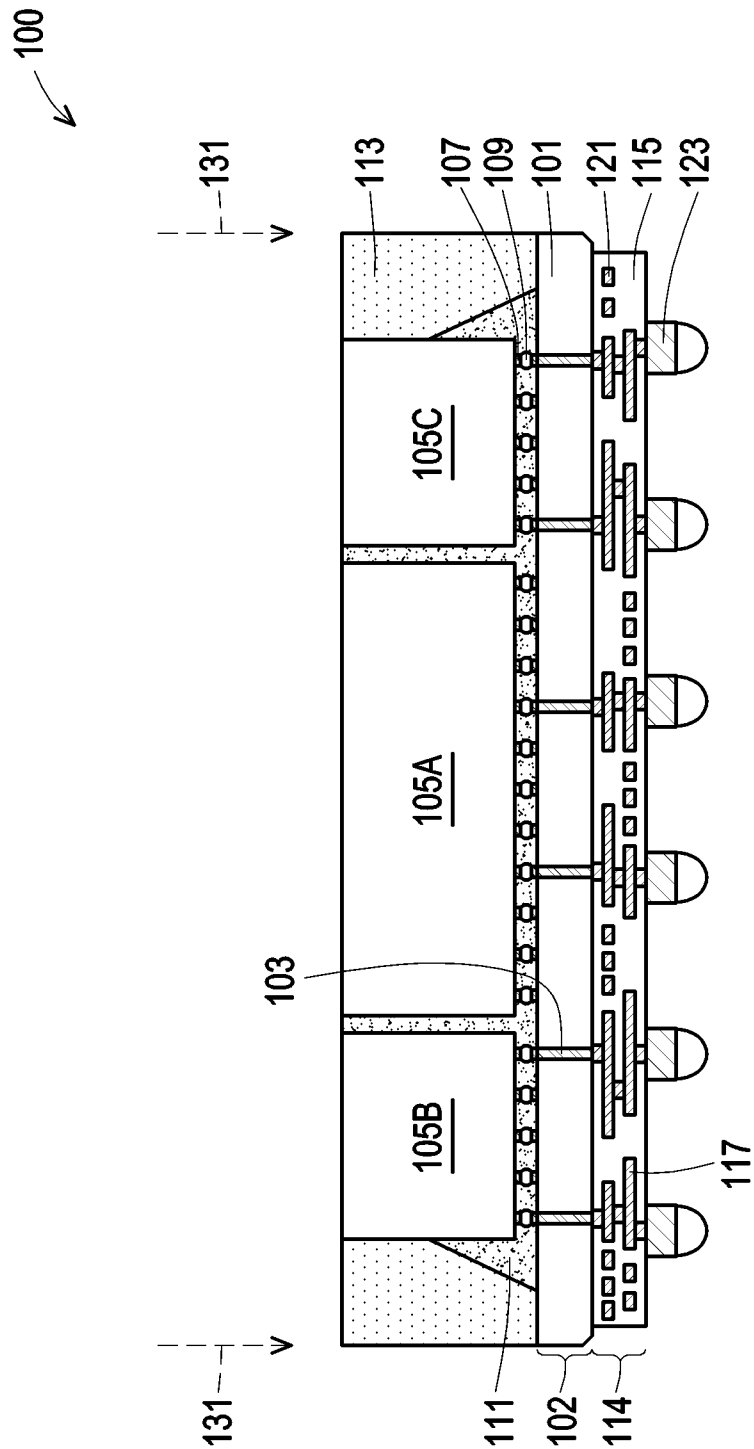
【發明圖式】



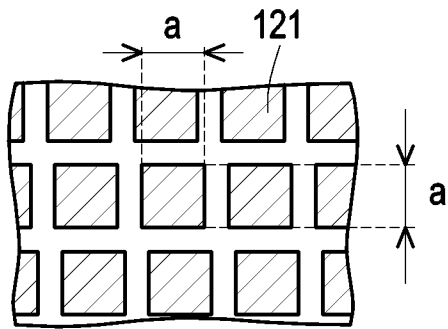
【圖1】



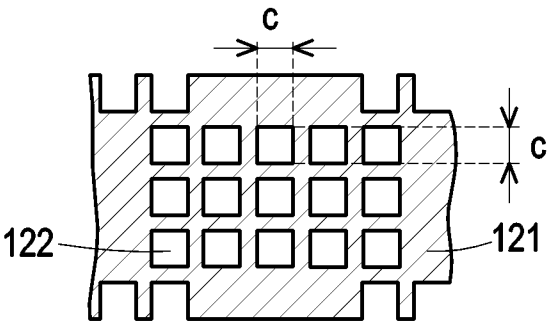
【圖2】



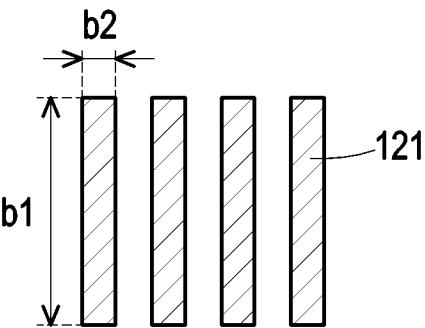
【圖3】



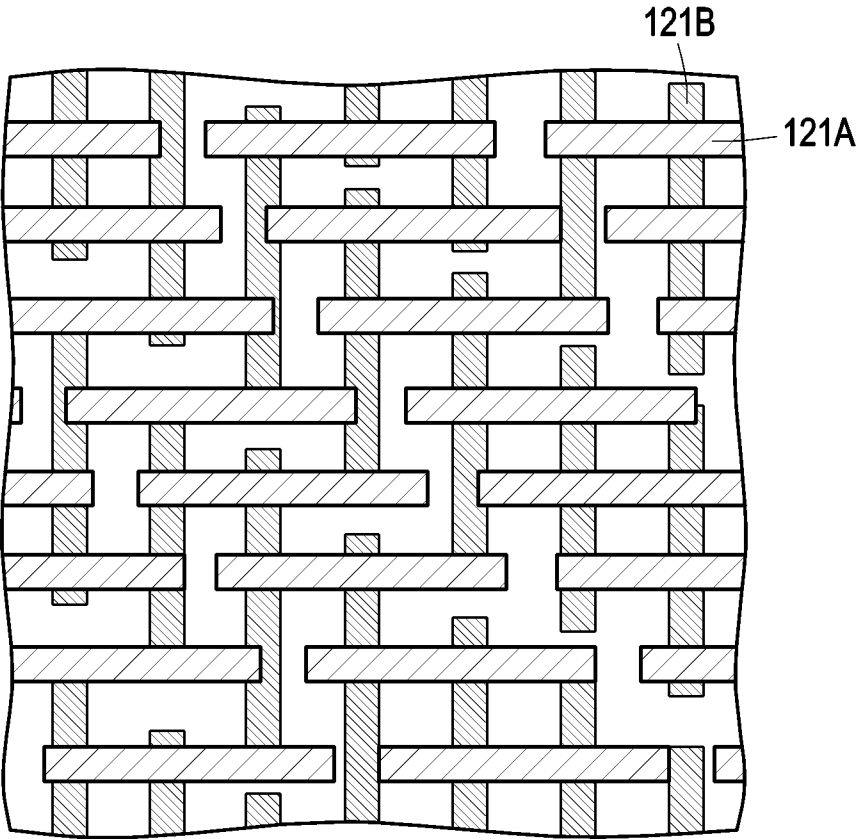
【圖4A】



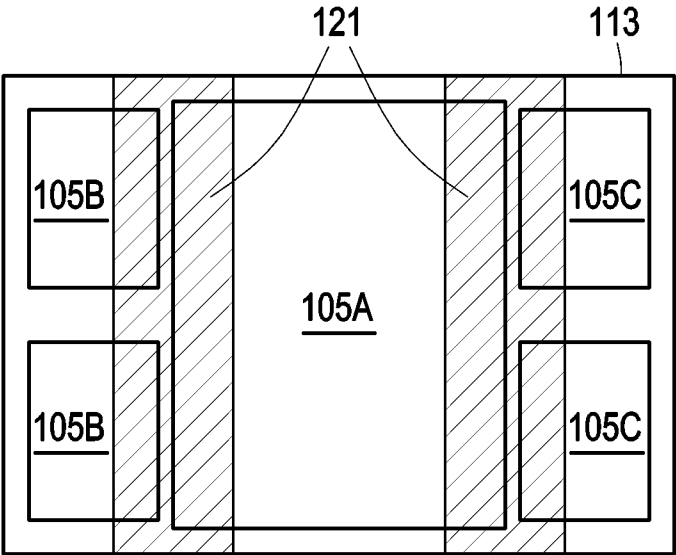
【圖4B】



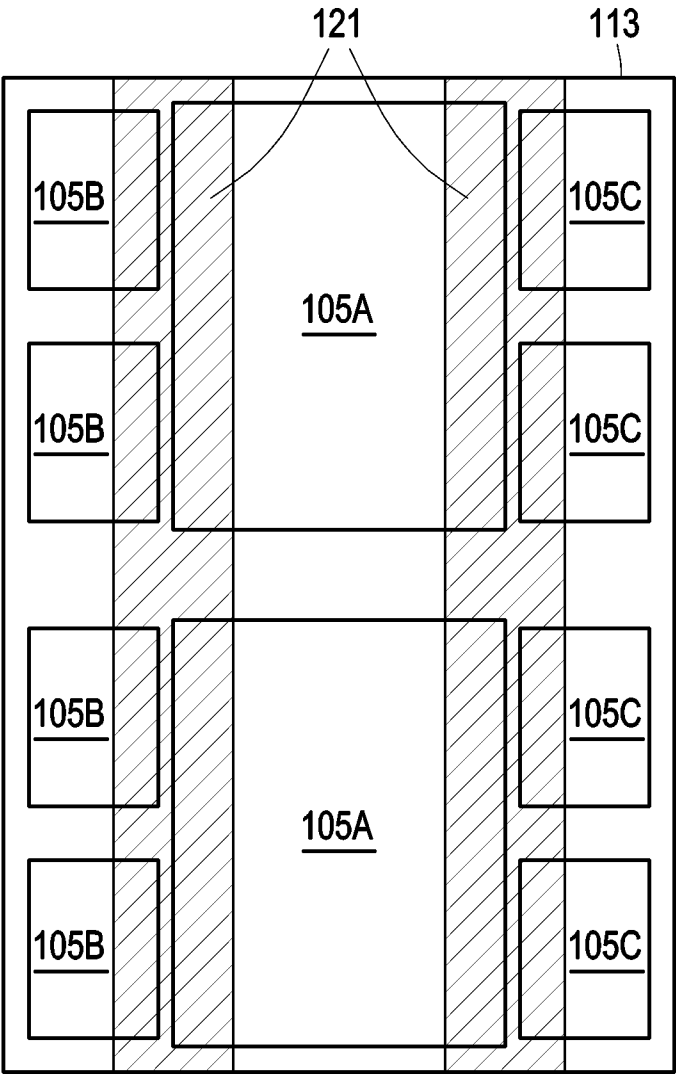
【圖4C】



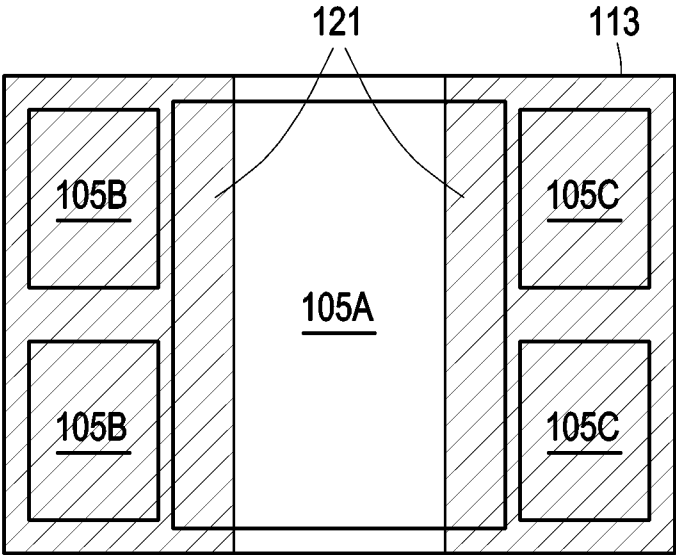
【圖5】



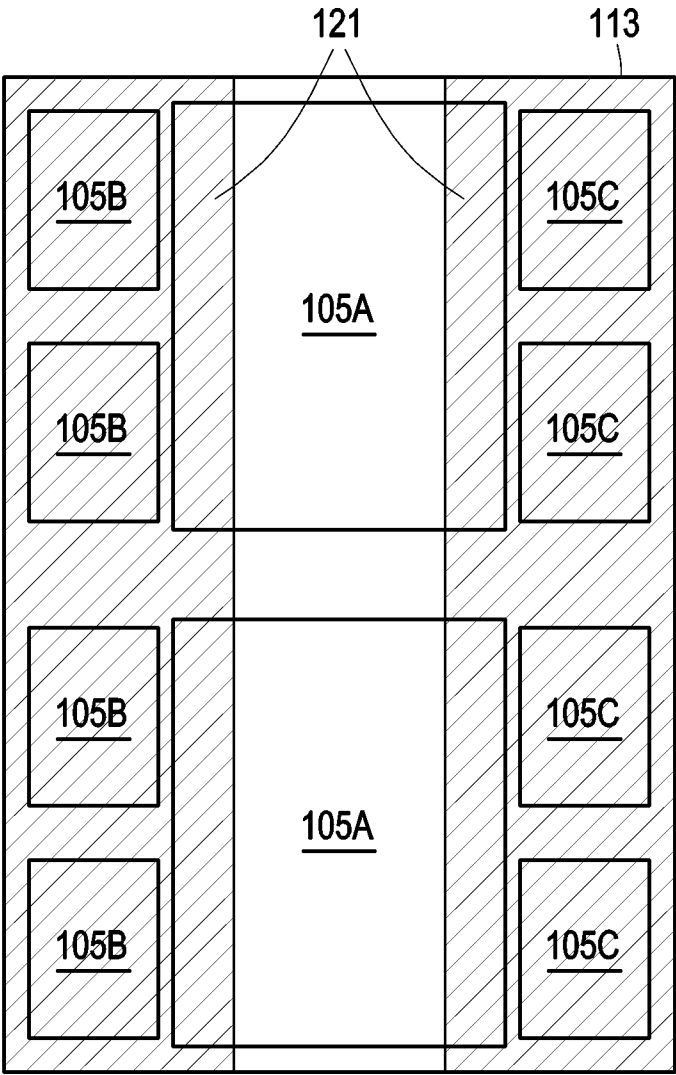
【圖6】



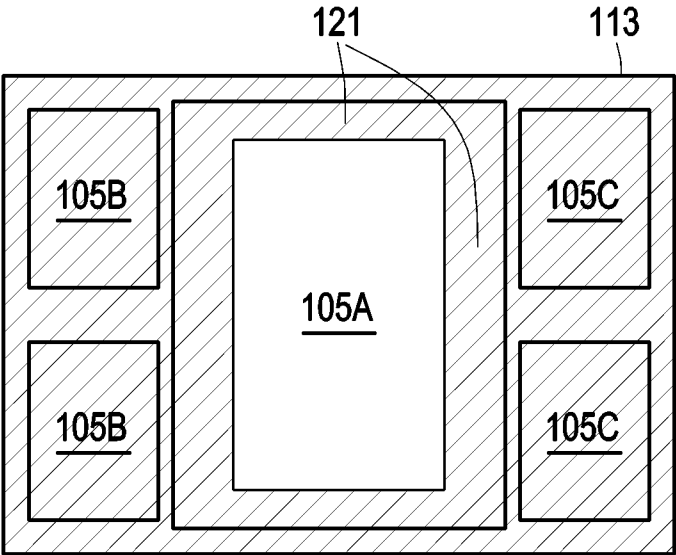
【圖7】



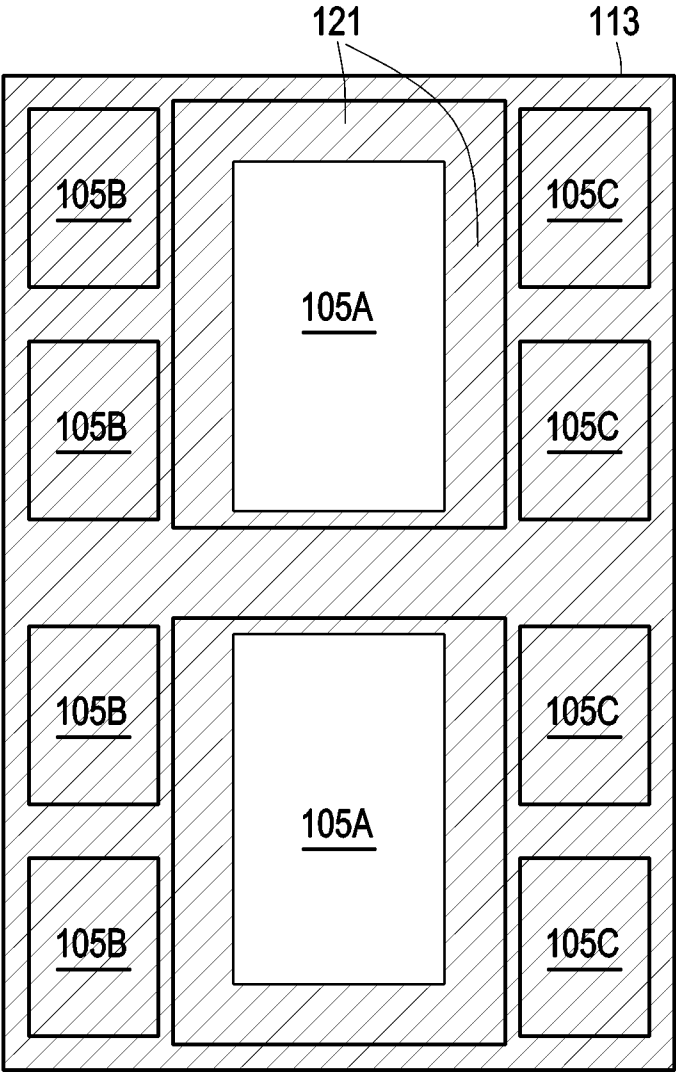
【圖8】



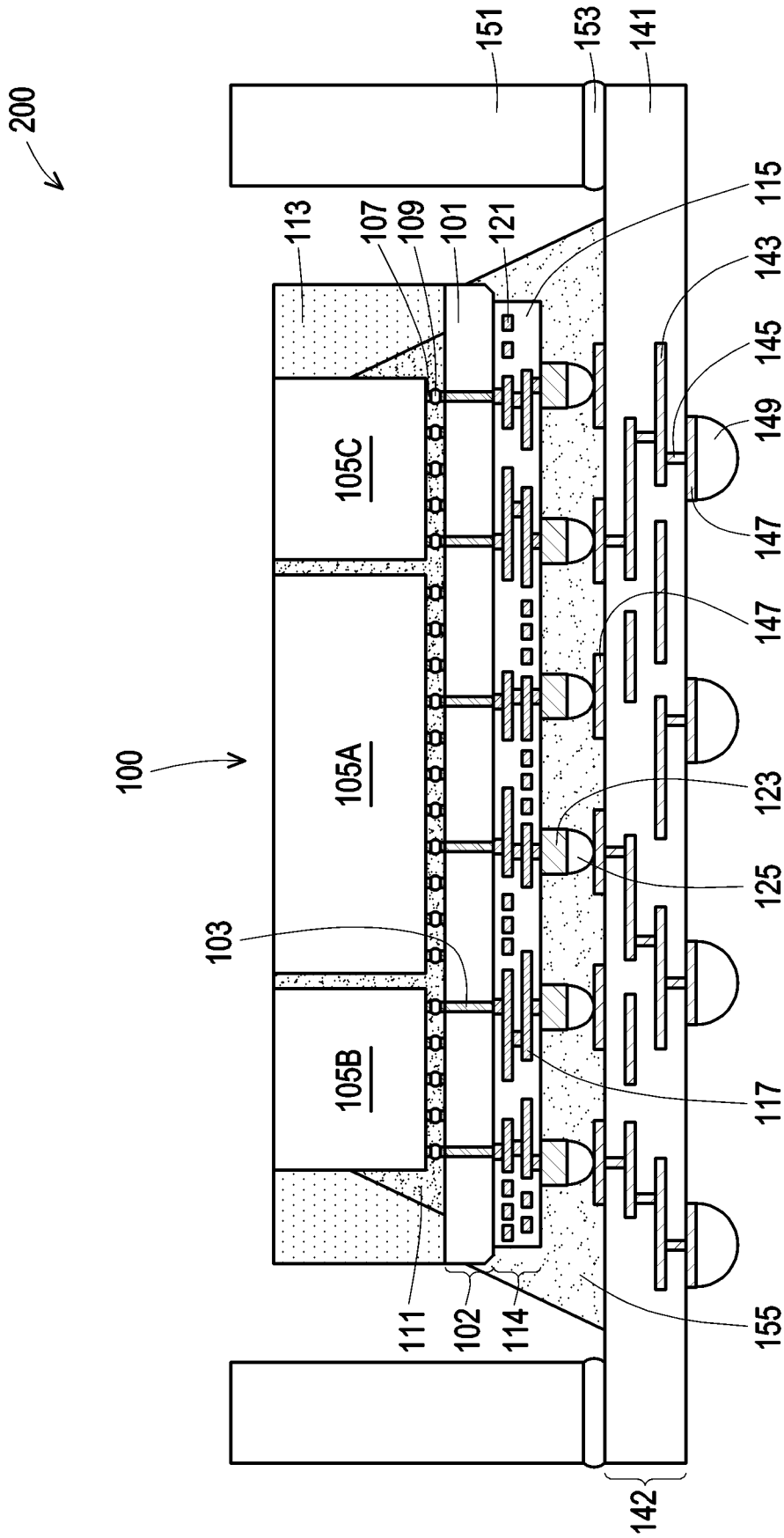
【圖9】



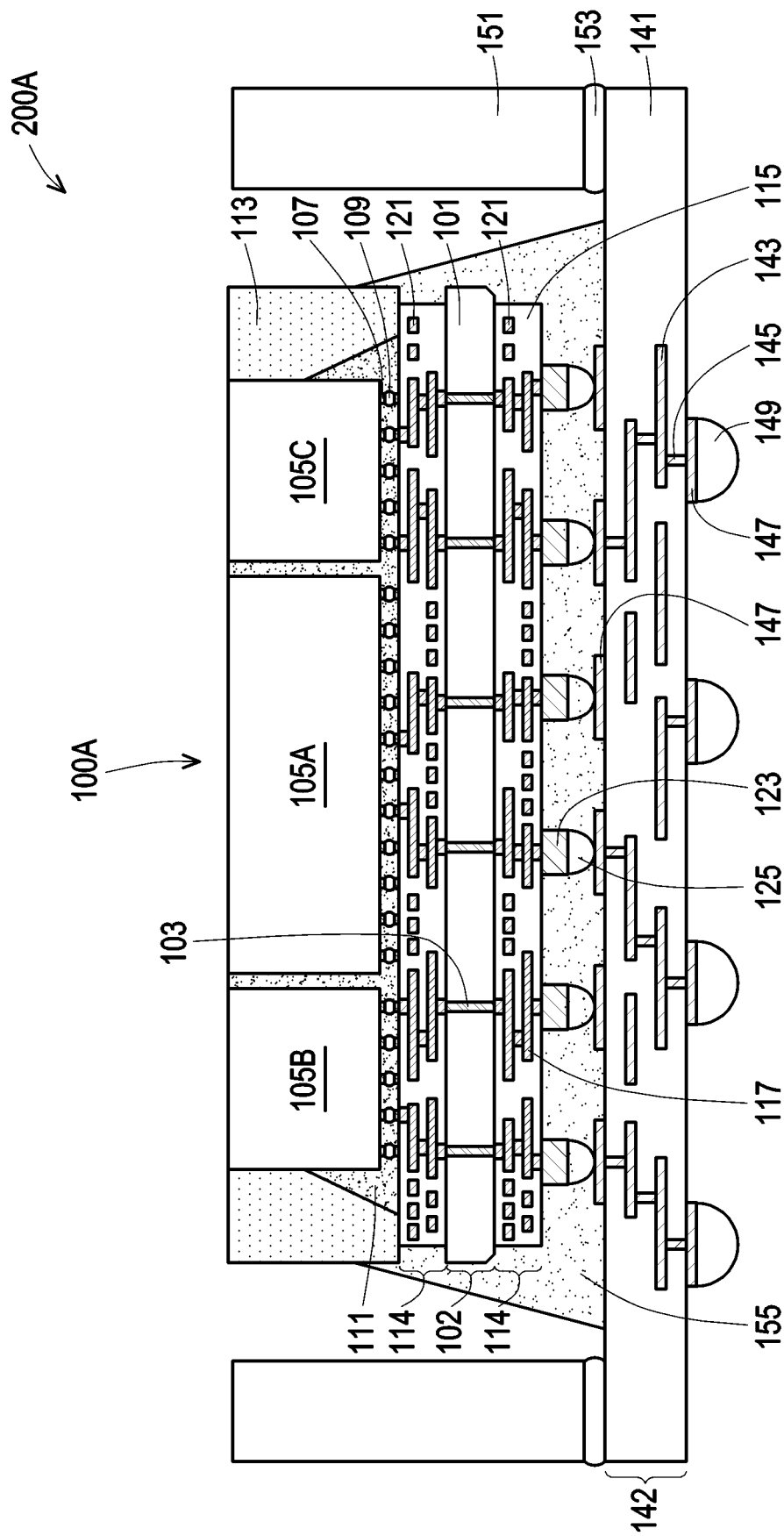
【圖10】



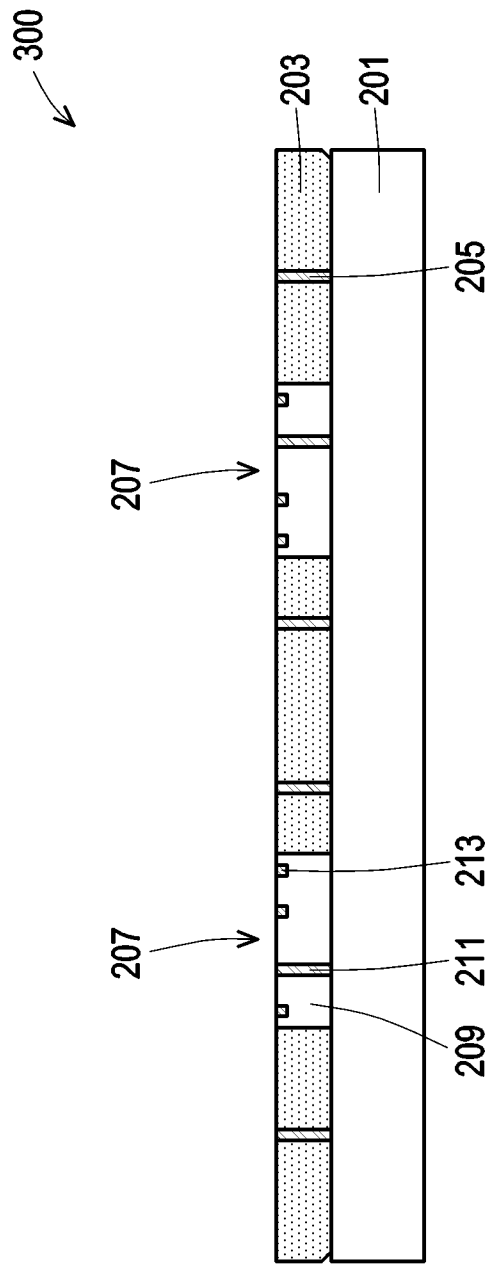
【圖11】



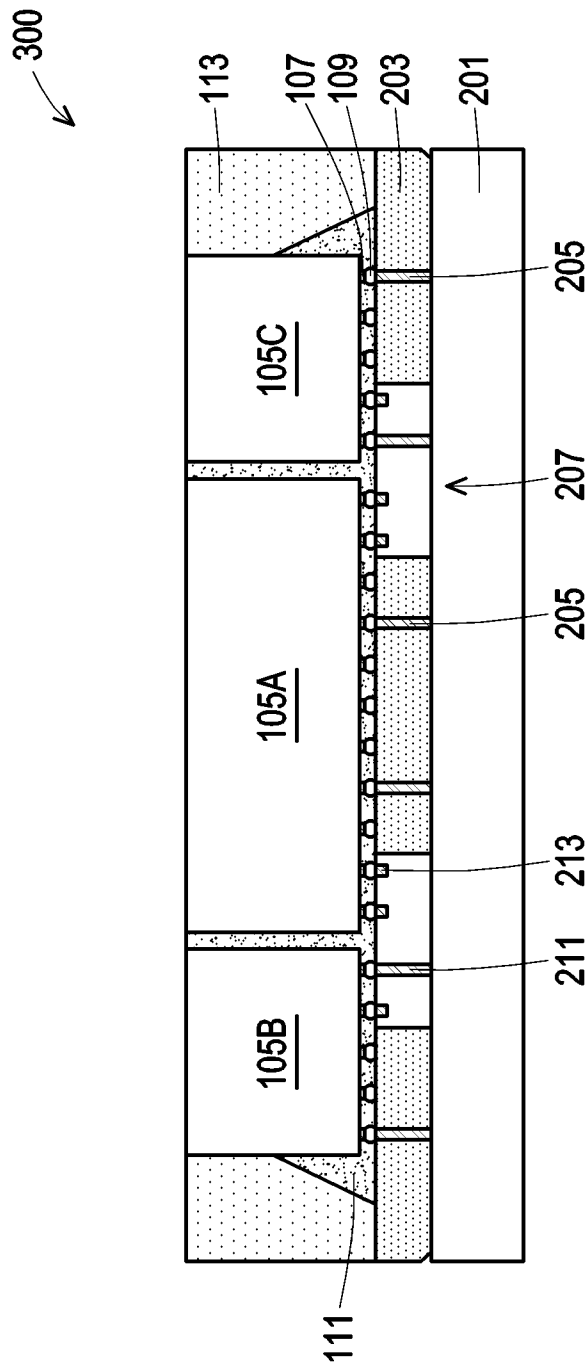
【圖12】



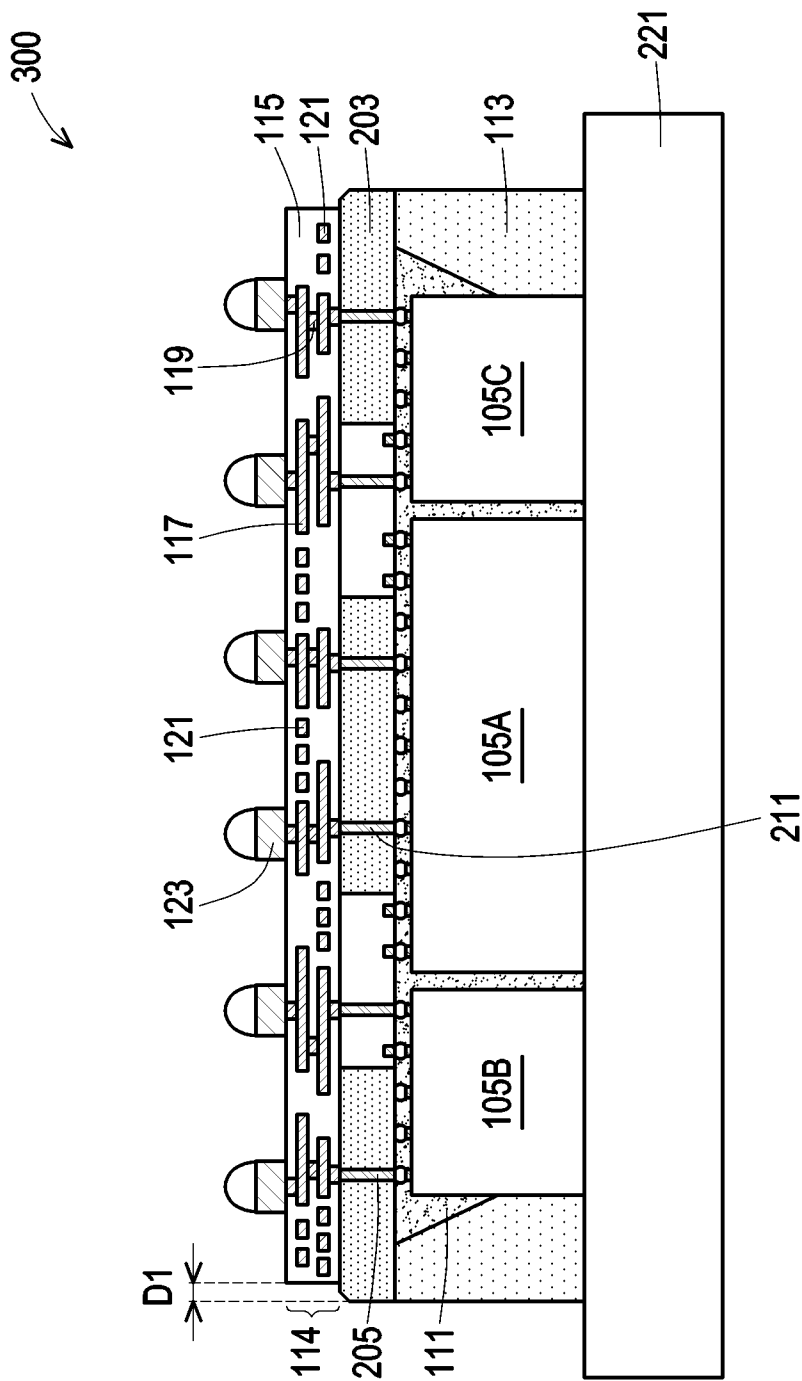
【圖13】



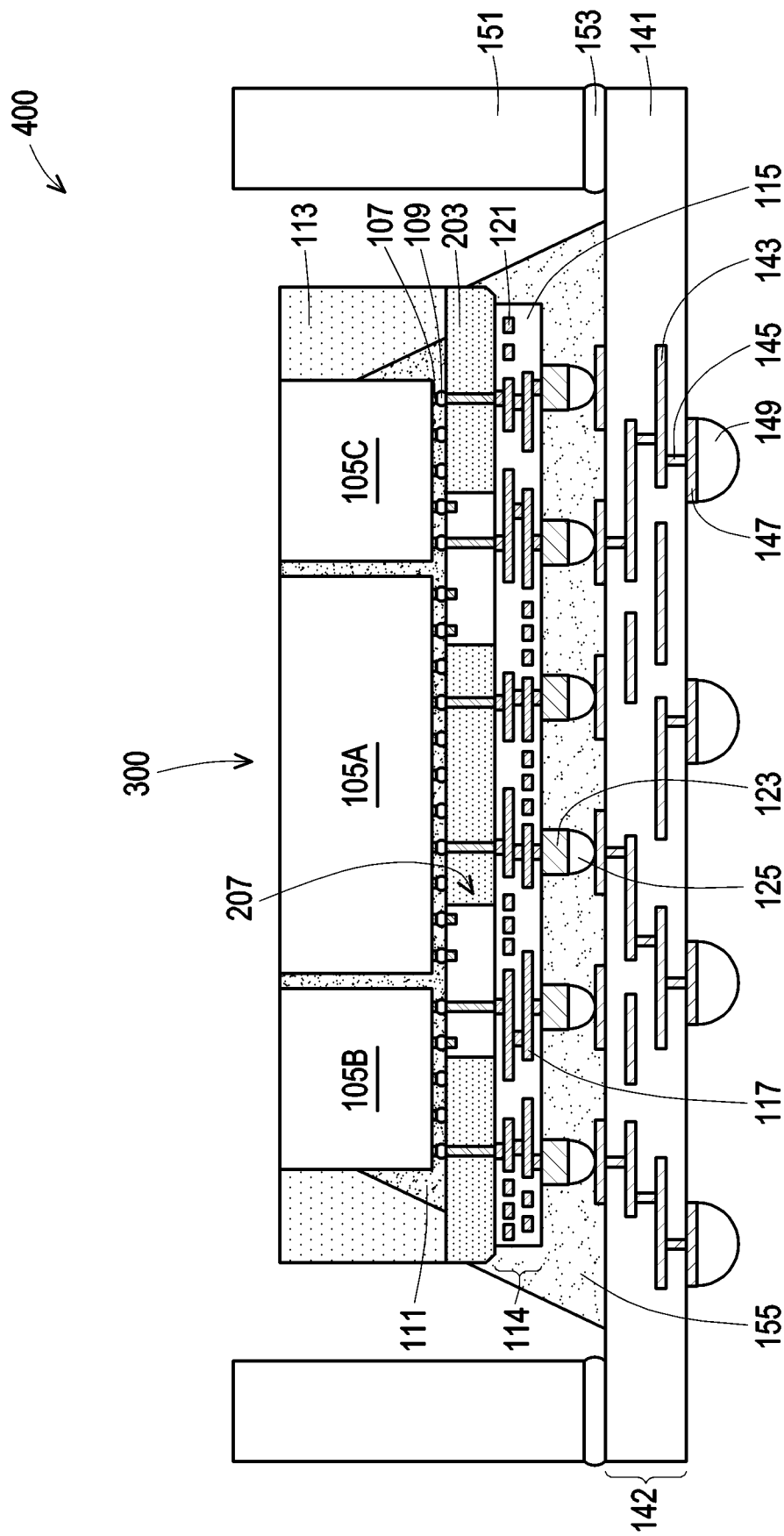
【圖14】



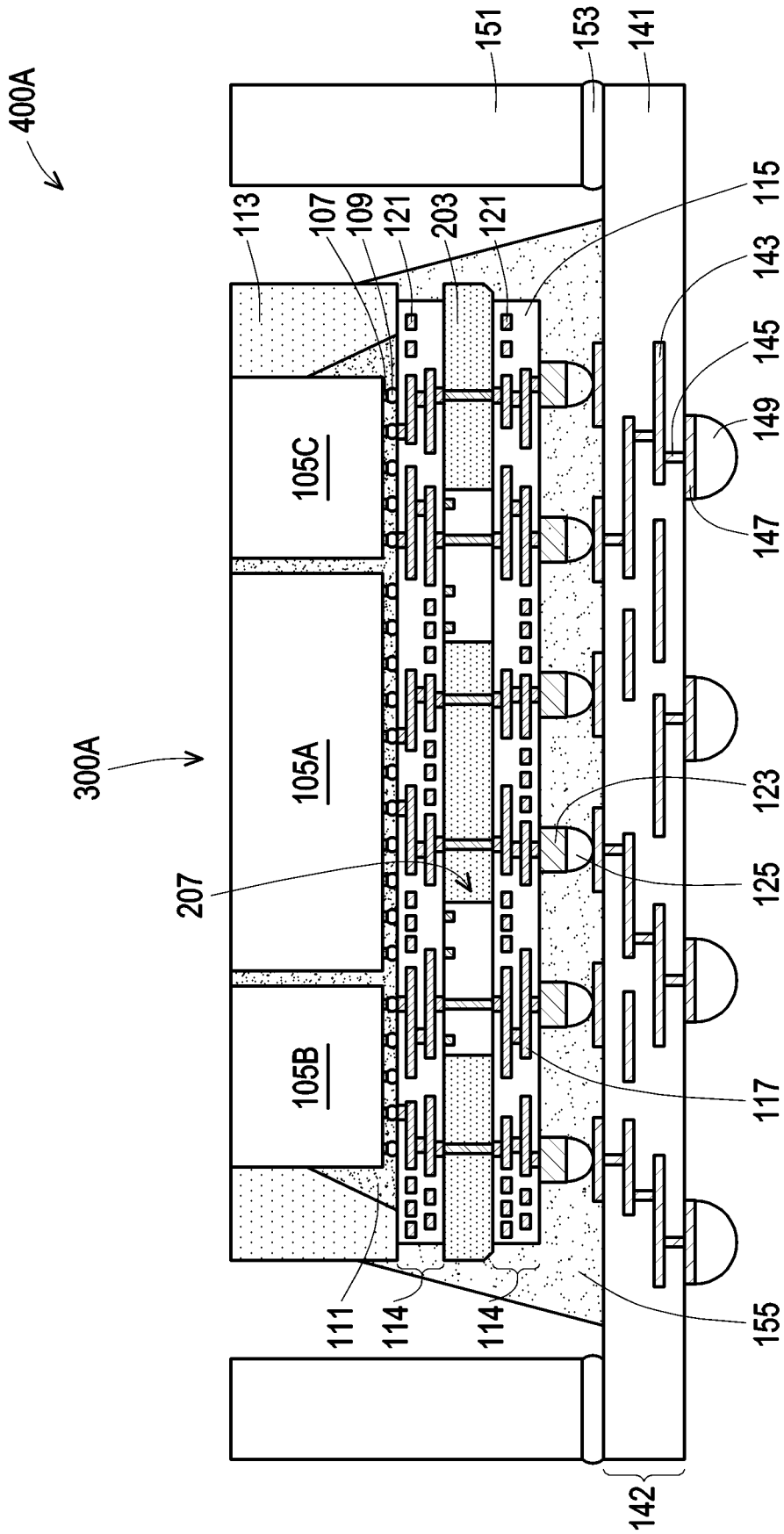
【圖15】



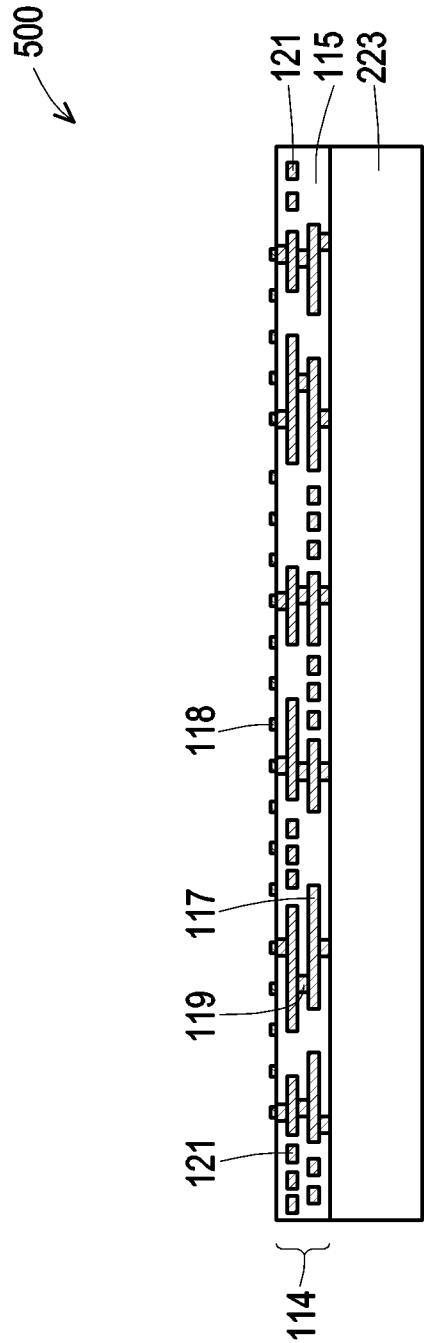
【圖16】



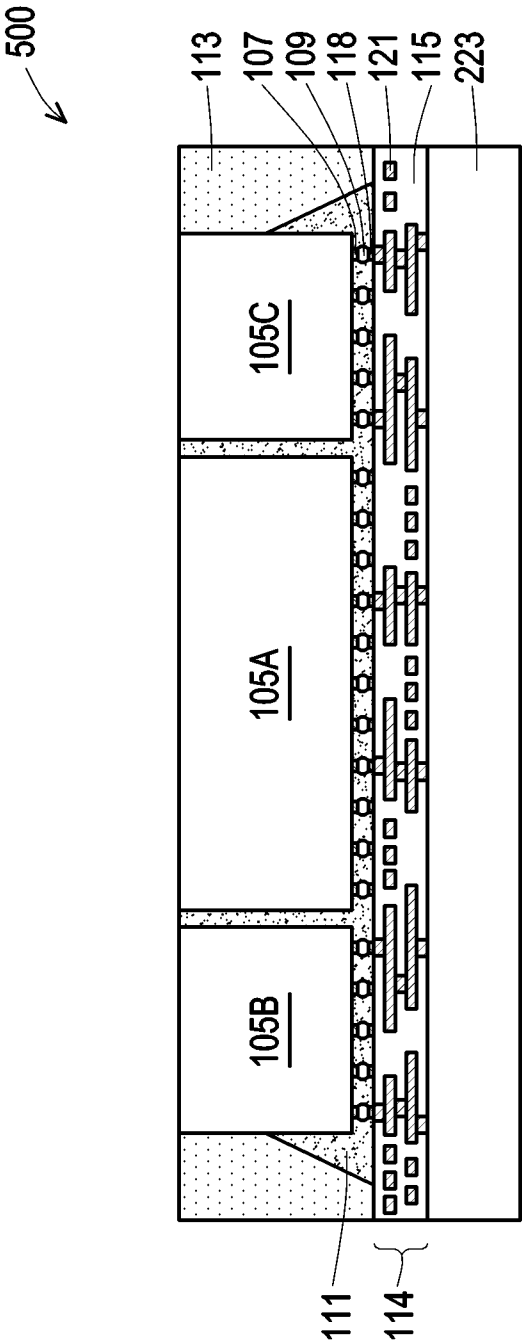
【圖17】



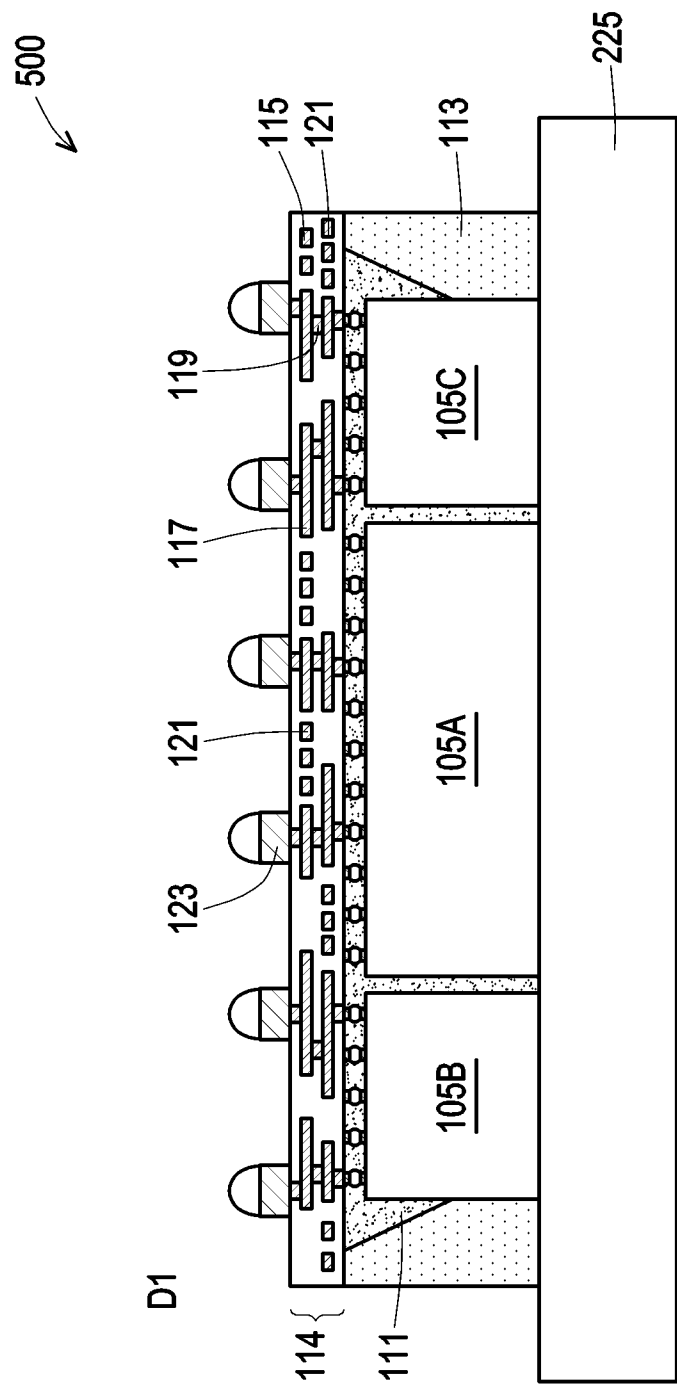
【圖18】



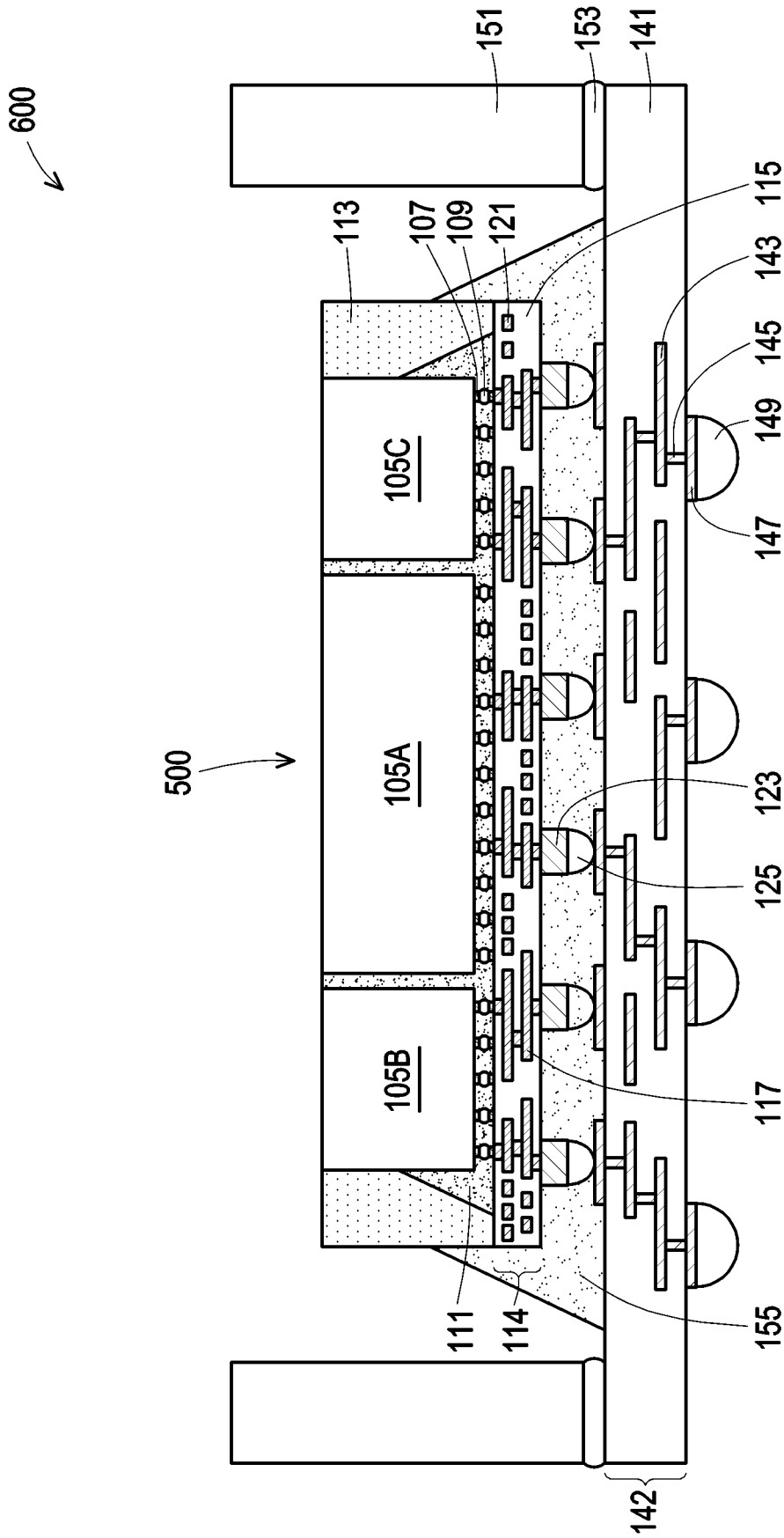
【圖19】



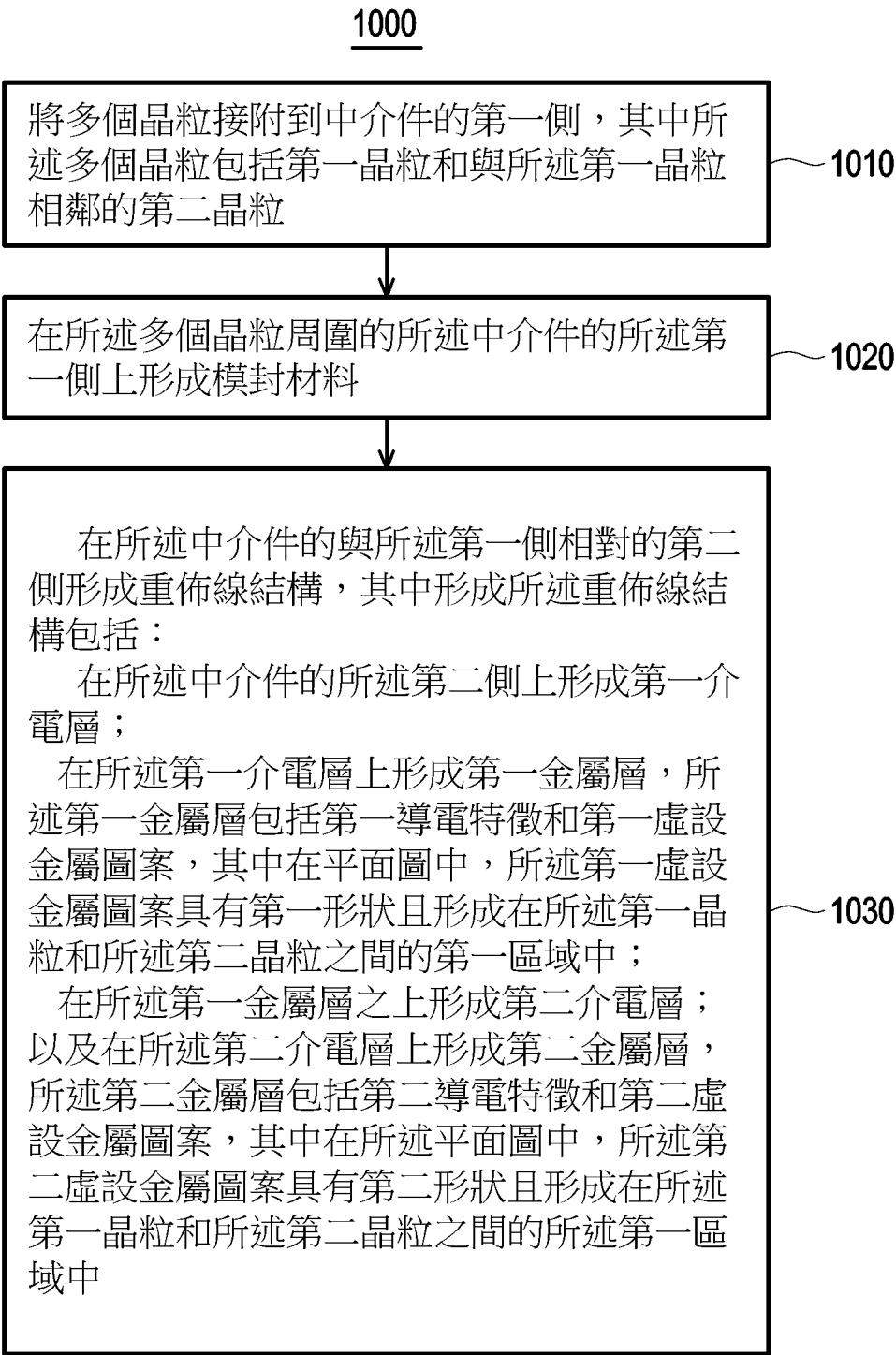
【圖20】



【圖21】



【圖22】



【圖23】