

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7668958号
(P7668958)

(45)発行日 令和7年4月25日(2025.4.25)

(24)登録日 令和7年4月17日(2025.4.17)

(51)国際特許分類	F I
H 0 1 L 21/52 (2006.01)	H 0 1 L 21/52 E
H 0 1 L 25/07 (2006.01)	H 0 1 L 25/08 Z
H 0 1 L 25/065 (2023.01)	
H 0 1 L 25/18 (2023.01)	

請求項の数 11 (全10頁)

(21)出願番号	特願2024-515974(P2024-515974)	(73)特許権者	000006013
(86)(22)出願日	令和4年4月20日(2022.4.20)		三菱電機株式会社
(86)国際出願番号	PCT/JP2022/018307		東京都千代田区丸の内二丁目7番3号
(87)国際公開番号	WO2023/203688	(74)代理人	100088672
(87)国際公開日	令和5年10月26日(2023.10.26)		弁理士 吉竹 英俊
審査請求日	令和6年3月21日(2024.3.21)	(74)代理人	100088845
			弁理士 有田 貴弘
		(72)発明者	山内 宏哉
			東京都千代田区丸の内二丁目7番3号
			三菱電機株式会社内
		(72)発明者	井本 裕児
			東京都千代田区丸の内二丁目7番3号
			三菱電機株式会社内
		(72)発明者	大串 直弘
			東京都千代田区丸の内二丁目7番3号
			最終頁に続く

(54)【発明の名称】 半導体装置および半導体装置の製造方法

(57)【特許請求の範囲】

【請求項1】

上面に導電パターンを有する絶縁基板と、
上面に上面電極および信号パット、下面に下面電極を有し、前記下面電極が前記絶縁基板の前記導電パターンに接合された半導体素子と、
前記半導体素子の前記上面電極に接合された内部配線部材と、
信号端子と、
前記信号パットと前記信号端子との間を接続する信号配線部材と、
を備え、

前記下面電極と前記導電パターンとの接合、前記上面電極と前記内部配線部材との接合、前記信号パットと前記信号配線部材との接合、および、前記信号端子と前記信号配線部材との接合が、A1を主成分とするろう材であるA1ろう材によって成されている、半導体装置。

【請求項2】

前記絶縁基板の前記導電パターン、前記半導体素子の前記上面電極および前記下面電極、ならびに、前記内部配線部材は、A1を主成分とする材料で形成されている、請求項1に記載の半導体装置。

【請求項3】

前記下面電極と前記導電パターンとを接合するA1ろう材の組成と、前記上面電極と前記内部配線部材とを接合するA1ろう材の組成とが同じである、

請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記導電パターンに接合された外部配線部材をさらに備え、
前記導電パターンと前記外部配線部材との接合も、A 1 ろう材によって成されている、
請求項 1 または請求項 2 に記載の半導体装置。

【請求項 5】

前記導電パターンおよび前記内部配線部材の片方または両方は、A 1 ろう材と A 1 合金とのクラッド材によって形成されている、
請求項 1 または請求項 2 に記載の半導体装置。

【請求項 6】

前記下面電極と前記導電パターンとの間の前記ろう材内、および、前記上面電極と前記内部配線部材との間の前記ろう材内に、一定の厚さの芯材が挿入されている、
請求項 1 または請求項 2 に記載の半導体装置。

【請求項 7】

前記半導体素子を複数備える、
請求項 1 または請求項 2 に記載の半導体装置。

【請求項 8】

複数の前記半導体素子に接合される複数の前記内部配線部材のうちの 2 つ以上は同じ形状である、
請求項 7 に記載の半導体装置。

【請求項 9】

絶縁基板に設けられた導電パターン上に第 1 の A 1 ろう材を配置する工程と、
前記第 1 の A 1 ろう材上に半導体素子を配置する工程と、
前記半導体素子上に第 2 の A 1 ろう材を配置する工程と、
前記第 2 の A 1 ろう材上に内部配線部材を配置する工程と、
前記内部配線部材に上から圧力を加えながら熱処理することで、前記半導体素子と前記導電パターンとを前記第 1 の A 1 ろう材により接合するとともに、前記半導体素子と前記内部配線部材とを前記第 2 の A 1 ろう材により接合する工程と、
を備える半導体装置の製造方法。

【請求項 10】

前記半導体素子は、前記絶縁基板上に複数配置され、
前記半導体素子と、前記導電パターンおよび前記内部配線部材とを接合する工程は、複数の前記半導体素子に対して同時に行われる、
請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

複数の前記半導体素子に接合される複数の前記内部配線部材のうちの 2 つ以上は同じ形状である、
請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体装置に関し、特に、基板上に実装される複数の半導体素子に対して同時に配線部材を接続させる技術に関するものである。

【背景技術】

【0002】

基板上に、例えば I G B T (Insulated Gate Bipolar Transistor) や M O S F E T (Metal Oxide Semiconductor Field-Effect Transistor)、ダイオードなどの半導体素子が複数搭載された構成の半導体装置が知られている。半導体素子のおもて面 (以下「上面」という) および裏面 (以下「下面」という) にそれぞれ金属製の上面電極および下面電極が形成されており、上面電極は配線部材に接合され、下面電極は基板に接合され、そ

10

20

30

40

50

これらの接合にははんだ等のろう材が用いられるのが一般的である（例えば、下記の特許文献１）。また、下面電極と基板との接合を、はんだよりも放熱性および耐熱性に優れたアルミニウム（Ａｌ）を主成分とするろう材（以下、「Ａｌろう材」という）を用いて行うことも提案されている（例えば、下記の特許文献２）。

【先行技術文献】

【特許文献】

【０００３】

【文献】特開２０１６－７２５７５号公報

【文献】特開２０１３－７１８７３号公報

【発明の概要】

10

【発明が解決しようとする課題】

【０００４】

半導体素子の上面電極と配線部材との接合、および、下面電極と基板との接合をはんだで行う場合、まず下面電極と基板とを接合し、その後に上面電極と配線部材とを接合する必要がある、タクト時間が長くなる。

【０００５】

また近年、電力制御用の半導体装置の性能向上および動作温度拡大の要求が高まっており、ＳｉＣやＧａＮ等のワイドバンドギャップ半導体で形成された半導体素子の実用化が進んでいる。しかし、上述した構造を持つ半導体装置にＳｉＣからなる半導体素子を適用する場合、以下のような課題がある。

20

【０００６】

まず、ＳｉＣ半導体素子は電流密度を高くできるのでチップサイズを小さくできるが、チップサイズを小さくすると熱抵抗が上昇するため、その周囲の構造の熱抵抗を下げる工夫が必要である。また、ＳｉＣ半導体素子は高温動作が可能であるが、はんだの融点が低く、動作温度ははんだの融点で律速されてしまう。

【０００７】

本開示は以上のような課題を解決するためになされたものであり、製造工程の削減、熱抵抗の低減および動作温度の拡大に寄与できる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【０００８】

30

本開示に係る半導体装置は、上面に導電パターンを有する絶縁基板と、上面に上面電極および信号パット、下面に下面電極を有し、前記下面電極が前記絶縁基板の前記導電パターンに接合された半導体素子と、前記半導体素子の前記上面電極に接合された内部配線部材と、信号端子と、前記信号パットと前記信号端子との間を接続する信号配線部材と、を備え、前記下面電極と前記導電パターンとの接合、前記上面電極と前記内部配線部材との接合、前記信号パットと前記信号配線部材との接合、および、前記信号端子と前記信号配線部材との接合が、Ａｌを主成分とするろう材であるＡｌろう材によって成されている。

【発明の効果】

【０００９】

本開示によれば、半導体装置の製造工程の削減、熱抵抗の低減および動作温度の拡大に寄与できる。

40

【００１０】

本開示の目的、特徴、態様、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

【図面の簡単な説明】

【００１１】

【図１】実施の形態１に係る半導体装置の構成を示す断面図である。

【図２】実施の形態１に係る半導体装置の全体構成の例を示す平面図である。

【図３】スイッチング素子の構成例を示す図である。

【図４】還流ダイオードの構成例を示す図である。

50

【図 5】実施の形態 1 に係る半導体装置の製造方法を説明するためのフローチャートである。

【図 6】実施の形態 1 に係る半導体装置の製造方法を説明するための図である。

【図 7】実施の形態 2 に係る半導体装置の構成を示す平面図である。

【図 8】実施の形態 2 に係る半導体装置の構成を示す断面図である。

【図 9】実施の形態 3 に係る半導体装置の構成を示す断面図である。

【発明を実施するための形態】

【0012】

<実施の形態 1>

図 1 は、実施の形態 1 に係る半導体装置の構成を示す断面図である。図 1 に示すように、実施の形態 1 に係る半導体装置は、ベース板 1 と、ベース板 1 上に搭載され、上面および下面に導電パターン 2 を有する絶縁基板 3 と、絶縁基板 3 の導電パターン 2 上に搭載された半導体素子 4 とを備える。図 1 に示すベース板 1 は平板状であるが、ピンフィン付きのベース板 1 が用いられてもよい。

10

【0013】

半導体素子 4 は、上面に上面電極（不図示）、下面に下面電極（不図示）を有しており、下面電極は、A1 ろう材 81 を用いて絶縁基板 3 の導電パターン 2 に接合されている。また、半導体素子 4 の上面電極には、内部配線部材 5 が A1 ろう材 82 を用いて接合されている。つまり、下面電極と導電パターン 2 との接合、および、上面電極と内部配線部材 5 との接合の両方が、A1 系のろう材によって成されている。

20

【0014】

下面電極と導電パターン 2 とを接合する A1 ろう材 81 の組成と、上面電極と内部配線部材 5 とを接合する A1 ろう材 82 の組成とは、同じでよい。それにより、A1 ろう材 81 と A1 ろう材 82 の融点を揃えることができる。また、絶縁基板 3 の導電パターン 2、半導体素子 4 の上面電極および下面電極、ならびに、内部配線部材 5 は、A1 を主成分とする材料で形成されていることが好ましい。

【0015】

図 1 の例では、内部配線部材 5 の一部が、ろう材 83 を用いて絶縁基板 3 の導電パターン 2 に接続されている。このろう材 83 は、必ずしも A1 ろう材でなくてもよいが、A1 ろう材であることが好ましい。

30

【0016】

ベース板 1 上には、絶縁基板 3、半導体素子 4 および内部配線部材 5 を収容するケース 11 が接着剤 10 を用いて接着されており、絶縁基板 3、半導体素子 4 および内部配線部材 5 は、ケース 11 内に充填された封止材 12 によって封止されている。ケース 11 は、当該ケース 11 と一体的に形成された外部接続端子である外部配線部材 6 を備えており、外部配線部材 6 は、ろう材 84 を用いて絶縁基板 3 の導電パターン 2 に接合されている。このろう材 84 も、必ずしも A1 ろう材でなくてもよいが、A1 ろう材であることが好ましい。

【0017】

また、内部配線部材 5 における半導体素子 4 と接続する部分は、半導体素子 4 の外形と同じか、それ以上の大きさであることが好ましい。つまり、内部配線部材 5 における半導体素子 4 の上面電極との接合部分の幅は、半導体素子 4 の幅と同等以上であることが好ましい。

40

【0018】

また、実施の形態 1 に係る半導体装置では、導電パターン 2 と半導体素子 4 との接合および半導体素子 4 と内部配線部材 5 との接合の両方が、A1 ろう材によって成される。A1 ろう材の熱伝導率（ $170 \text{ W/m} \cdot \text{K}$ ）は、従来のはんだの熱伝導率（ $55 \text{ W/m} \cdot \text{K}$ ）よりも高いため、半導体装置の熱抵抗の低減に寄与できる。また、A1 ろう材の融点（約 600 ）は、従来のはんだの融点（約 220 ）よりも高いため、半導体装置の動作温度の拡大にも寄与できる。よって、実施の形態 1 は、高温下での動作が可能な、SiC

50

やGaNなどのワイドバンドギャップ半導体からなる半導体素子4を備える半導体装置に特に有効である。

【0019】

図2は、実施の形態1に係る半導体装置の全体構成の例を示す平面図である。図1に示した断面図は、図2に示すA-B線に沿った断面に相当する。

【0020】

図2に示す半導体装置は、3相のインバータ回路を構成しており、半導体素子4として、6つのスイッチング素子4a~4fおよび6つの還流ダイオード4g~4lを備えている。また、内部配線部材5として、スイッチング素子4aおよび還流ダイオード4gに接合された内部配線部材5aと、スイッチング素子4bおよび還流ダイオード4hに接合された内部配線部材5bと、スイッチング素子4cおよび還流ダイオード4iに接合された内部配線部材5cと、スイッチング素子4dおよび還流ダイオード4jに接合された内部配線部材5dと、スイッチング素子4eおよび還流ダイオード4kに接合された内部配線部材5eと、スイッチング素子4fおよび還流ダイオード4lに接合された内部配線部材5fとが設けられている。また、外部配線部材6として、インバータの入力端子となる外部配線部材6a, 6bと、インバータの出力端子となる外部配線部材6c, 6d, 6eが設けられている。

10

【0021】

図2の例では、複数の半導体素子4(4a~4l)に接合される6つの内部配線部材5(5a~5f)は全て同じ形状である。それにより、内部配線部材5にかかるコスト(例えば、製造コストや管理コスト)を抑えることができる。複数の内部配線部材5の全てが同じ形状でなくてもよく、複数の内部配線部材5の2つ以上が同じ形状であれば、コスト削減の効果は得られる。

20

【0022】

また、図2の半導体装置は、スイッチング素子4a~4fの制御信号を入力するための複数の信号端子7を備えている。信号端子7のそれぞれは、スイッチング素子4a~4fのいずれかの信号パット(後述する図3の信号パット14)に、ボンディングワイヤ9を介して接続されている。

【0023】

スイッチング素子4a~4fは、例えばIGBTやMOSFETである。図3は、スイッチング素子4a~4fの構成例であり、スイッチング素子4a~4fの上面図および断面図を示している。図3の例において、スイッチング素子4a~4fの無効領域上には絶縁層13が形成されており、上面電極として、Al系材料で形成された電極(以下「Al電極」という)15が、スイッチング素子4a~4fの信号パット14の領域を除く上面全体に形成されており、絶縁層13はAl電極15に覆われる。

30

【0024】

還流ダイオード4g~4lは例えばショットキーバリアダイオードやPN接合ダイオードなどである。図4は、還流ダイオード4g~4lの構成例であり、還流ダイオード4g~4lの上面図および断面図を示している。図4の例において、還流ダイオード4g~4lの無効領域上には絶縁層13が形成されており、上面電極としてのAl電極15が、還流ダイオード4g~4lの上面全体に形成されており、絶縁層13はAl電極15に覆われる。

40

【0025】

図1~図4においては、スイッチング素子である半導体素子4と、還流ダイオードである半導体素子4とを別々の素子とした例を示したが、半導体素子4は、スイッチング素子と還流ダイオードとの両方を内蔵するMOSFETやRC-IGBT(Reverse Conducting IGBT)でもよい。

【0026】

以下、図5のフローチャートを参照しつつ、実施の形態1に係る半導体装置の製造方法、特に、半導体素子4と絶縁基板3および内部配線部材5とを接合する手順について説明

50

する。

【0027】

まず、ベース板 1 に搭載された絶縁基板 3 を用意し、絶縁基板 3 の導電パターン 2 上に第 1 の A 1 ろう材である A 1 ろう材 8 1 を配置する (ステップ S 1)。次に、第 1 の A 1 ろう材 (A 1 ろう材 8 1) 上に半導体素子 4 を配置する (ステップ S 2)。続いて、半導体素子 4 上に第 2 の A 1 ろう材である A 1 ろう材 8 2 を配置する (ステップ S 3)。さらに、第 2 の A 1 ろう材 (A 1 ろう材 8 2) 上に内部配線部材 5 を配置する (ステップ S 4)。その結果、図 6 のように、絶縁基板 3 の導電パターン 2 の上に、A 1 ろう材 8 1、半導体素子 4、A 1 ろう材 8 2、内部配線部材 5 がこの順に積層される。ステップ S 1 ~ S 4 において配置される A 1 ろう材 8 1、半導体素子 4、A 1 ろう材 8 2 および内部配線部材 5 は、位置がずれないように接着剤等で仮止めされてもよい。

10

【0028】

その後、内部配線部材 5 に上から圧力を加えながら熱処理を行う (ステップ S 5)。この熱処理により、半導体素子 4 と導電パターン 2 とが第 1 の A 1 ろう材 (A 1 ろう材 8 1) で接合されるとともに、半導体素子 4 と内部配線部材 5 とが第 2 の A 1 ろう材 (A 1 ろう材 8 2) で接合される。

【0029】

このように、実施の形態 1 に係る半導体装置によれば、導電パターン 2 と半導体素子 4 との接合と、半導体素子 4 と内部配線部材 5 との接合とを同時に行うことができ、製造工程の削減に寄与できる。また、ろう材としてはんだを用いる場合には、半導体素子 4 の上面電極および下面電極の表面にはんだ接合用の層 (例えば、Ni 層) を設ける必要があるが、それが不要になるという点でも、製造工程の削減に寄与できる。

20

【0030】

なお、図 1 のように内部配線部材 5 の一部が絶縁基板 3 の導電パターン 2 に接合される場合、その接合のためのろう材 8 3 も A 1 ろう材であることが好ましい。そうすることにより、内部配線部材 5 と導電パターン 2 との接合もステップ S 5 と同時に行うことができる。また、ろう材 8 3 も A 1 ろう材 8 1 および A 1 ろう材 8 2 と同じ組成であることが好ましい。

【0031】

同様に、外部配線部材 6 と絶縁基板 3 の導電パターン 2 とを接合するろう材 8 4 も A 1 ろう材であることが好ましい。そうすることにより、外部配線部材 6 と導電パターン 2 との接合もステップ S 5 と同時に行うことができるため、製造工程の削減にさらに寄与できる。また、ろう材 8 4 も A 1 ろう材 8 1 および A 1 ろう材 8 2 と同じ組成であることが好ましい。

30

【0032】

また、絶縁基板 3 の導電パターン 2 を、A 1 ろう材と A 1 合金とのクラッド材で形成することで、A 1 ろう材 8 1 を絶縁基板 3 と一体的な部品にしてもよい。「クラッド材」とは 2 種類以上の異なる金属を貼り合わせた材料のことをいう。これにより、上記のステップ S 1 を省略できるため製造工程の削減にさらに寄与できる。また、部品点数が減ることによって部品の管理コストも削減にも寄与できる。

40

【0033】

同様に、内部配線部材 5 を、A 1 ろう材と A 1 合金とのクラッド材で形成することで、A 1 ろう材 8 2 を内部配線部材 5 と一体的な部品にしてもよい。これにより、上記のステップ S 3 を省略できるため製造工程の削減にさらに寄与できる。また、部品点数が減ることによって部品の管理コストも削減にも寄与できる。

【0034】

また、図 3 および図 4 のように半導体素子 4 の上面のほぼ全体に上面電極が形成され、さらに、内部配線部材 5 における半導体素子 4 の上面電極との接合部分の幅は、半導体素子 4 の幅と同等以上であることが好ましい。そうすることにより、上記したステップ S 5 の熱処理において、半導体素子 4 の全体に圧力を加えることができ、半導体素子 4 と導電

50

パターン 2 および内部配線部材 5 との接合を安定して行うことができる。

【 0 0 3 5 】

また、図 2 の例のように、絶縁基板 3 上に複数の半導体素子 4 が配置される場合、複数の半導体素子 4 に対して同時にステップ S 5 の熱処理を行えばよい。そのため、半導体素子 4 の数が増えても、タクト時間の増大は抑制される。

【 0 0 3 6 】

以上のように、実施の形態 1 に係る半導体装置は、製造工程の削減、熱抵抗の低減および動作温度の拡大に寄与できる。

【 0 0 3 7 】

< 実施の形態 2 >

図 7 は、実施の形態 2 に係る半導体装置の構成を示す平面図である。図 7 は、図 2 に示した半導体装置の平面図の一部に相当するが、半導体素子 4 の信号パット 1 4 と信号端子 7 との間が、ボンディングワイヤ 9 ではなく信号配線部材 1 7 によって接続されている。また、図 8 は、実施の形態 2 に係る半導体装置の構成を示す断面図であり、図 7 に示す C - D 線に沿った断面、すなわち信号配線部材 1 7 を含む断面を示している。

【 0 0 3 8 】

図 7 のように、信号配線部材 1 7 と半導体素子 4 とは A 1 ろう材 8 5 によって接合され、信号配線部材 1 7 と信号端子 7 とは A 1 ろう材 8 6 によって接合されている。A 1 ろう材 8 5 および A 1 ろう材 8 6 は、A 1 ろう材 8 1 および A 1 ろう材 8 2 と同じ組成であることが好ましい。また、信号配線部材 1 7 は、内部配線部材 5 と同様に、A 1 を主成分とする材料で形成されることが好ましい。

【 0 0 3 9 】

実施の形態 2 に係る半導体装置によれば、半導体素子 4 と信号端子 7 との間の接続（つまり、半導体素子 4 と信号配線部材 1 7 との接合および信号端子 7 と信号配線部材 1 7 との接合）を、図 5 のステップ S 5 と同時に行うことができるため、製造工程の削減にさらに寄与できる。

【 0 0 4 0 】

< 実施の形態 3 >

図 9 は、実施の形態 3 に係る半導体装置の構成を示す平面図である。実施の形態 3 では、図 9 のように、半導体素子 4 の下面電極と導電パターン 2 との間のろう材 8 1 の内部、および、半導体素子 4 の上面電極と内部配線部材 5 との間のろう材 8 2 の内部に、一定の厚さの芯材 1 9 が挿入されている、芯材 1 9 の材料としては、例えば A 1 や、A 1 ろう材と A 1 合金とのクラッド材を用いることができる。

【 0 0 4 1 】

実施の形態 3 に係る半導体装置によれば、A 1 ろう材 8 1 内および A 1 ろう材 8 2 内に芯材 1 9 が挿入されているため、A 1 ろう材 8 1 および A 1 ろう材 8 2 の厚さを確保できるとともに、A 1 ろう材 8 1 および A 1 ろう材 8 2 の厚さが均一になり、半導体素子 4 が傾くことを防止できる。半導体素子 4 の傾きがなくなることによって、半導体装置の熱抵抗の安定化および製造の安定化に寄与できる。

【 0 0 4 2 】

なお、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

【 0 0 4 3 】

上記した説明は、すべての態様において、例示であって、例示されていない無数の変形例が想定され得るものと解される。

【 符号の説明 】

【 0 0 4 4 】

1 ベース板、2 導電パターン、3 絶縁基板、4 半導体素子、5 内部配線部材、6 外部配線部材、7 信号端子、8 1 , 8 2 A 1 ろう材、8 3 , 9 4 ろう材、8 5 , 8 6 A 1 ろう材、9 ボンディングワイヤ、1 0 接着剤、1 1 ケース、1 2 封止材、1 3

10

20

30

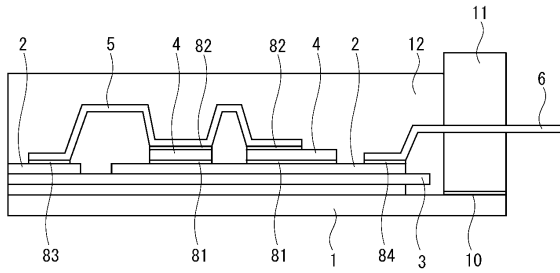
40

50

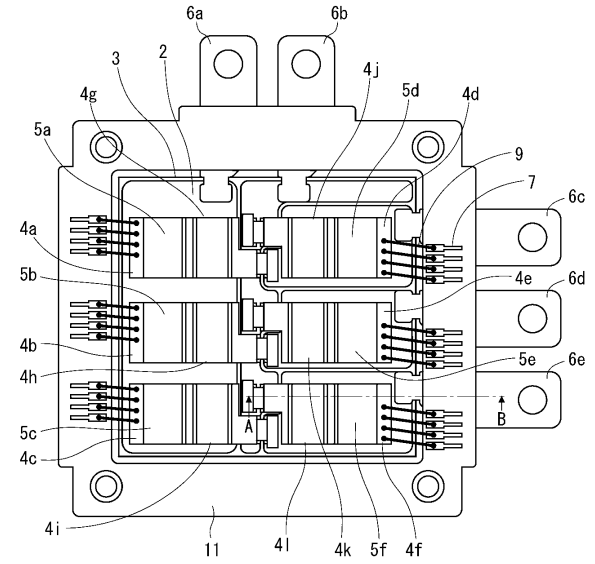
絶縁層、14 信号パット、15 Al 電極、17 信号配線部材、19 芯材。

【図面】

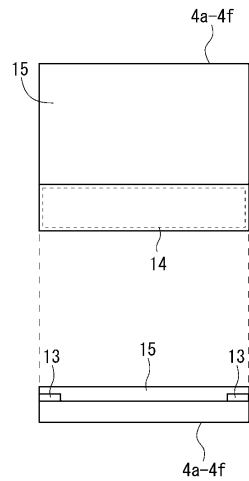
【図 1】



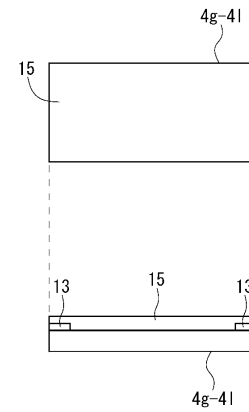
【図 2】



【図 3】



【図 4】



10

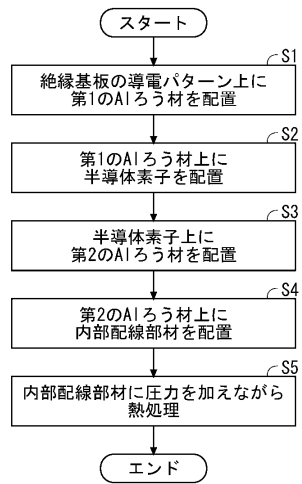
20

30

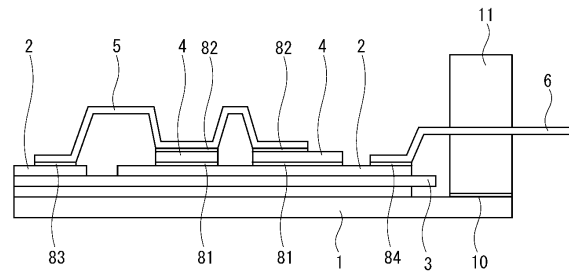
40

50

【 図 5 】

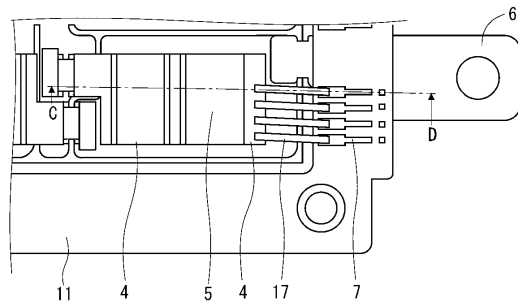


【 図 6 】

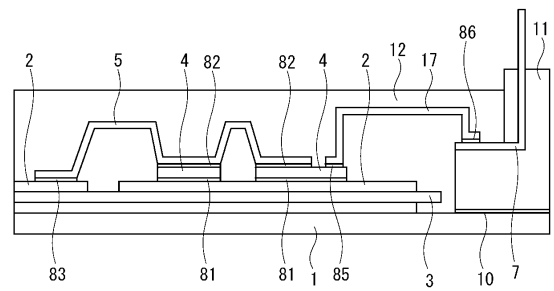


10

【圖 7】

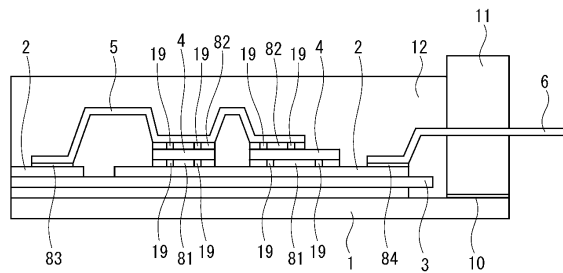


【 図 8 】



20

【 図 9 】



30

40

50

フロントページの続き

三菱電機株式会社内

審査官 小池 英敏

- (56)参考文献 特開 2 0 1 6 - 0 8 2 0 4 8 (J P , A)
特開 2 0 1 6 - 0 7 2 5 7 5 (J P , A)
特開 2 0 1 3 - 0 7 1 8 7 3 (J P , A)
特開 2 0 1 6 - 1 3 9 6 3 5 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 1 L 2 1 / 5 2
H 0 1 L 2 5 / 0 7
H 0 1 L 2 1 / 6 0
H 0 1 L 2 5 / 0 6 5
H 0 1 L 2 5 / 1 8
H 0 1 L 2 3 / 2 8