



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201717587 A

(43) 公開日：中華民國 106 (2017) 年 05 月 16 日

(21) 申請案號：104136425

(22) 申請日：中華民國 104 (2015) 年 11 月 05 日

(51) Int. Cl. :

H04L25/02 (2006.01)

H04L27/26 (2006.01)

(71) 申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路四段 195 號

(72) 發明人：呂明和 LU, MING-HO (TW)；孫際恬 SUN, CHI-TIEN (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

申請實體審查：有 申請專利範圍項數：16 項 圖式數：14 共 32 頁

(54) 名稱

通道估測的裝置與方法

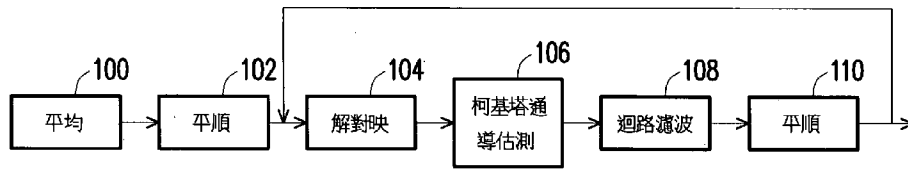
APPARATUS AND METHOD OF CHANNEL ESTIMATION

(57) 摘要

一種通道估測的裝置，包括解對映電路，將多通道的多個訓練符元信號，對映到四相相位移鍵座標的實數部資料(I)與虛數部資料(Q)。柯斯塔(Costas)通道估測電路，分別對應二相相位移鍵架構以及四相相位移鍵架構的其一對該實數部資料與該虛數部資料運算，其中以 Sign(x) 代表取 x 的符號器，做 $(Q-I)*\text{Sign}(I+Q)$ 或 $Q*\text{Sign}(I)-I*\text{Sign}(Q)$ 的運算，而輸出一輸出值。迴路濾波電路在時域下對該輸出值進行濾波。平順電路，接收該迴路濾波電路的輸出，在頻域下進行平順處理，並且回授到該解對映電路繼續下一迴路的通道估測，根據該柯斯塔通道估測電路的該輸出值往零值方向調整該些訓練符元信號的相位。

A channel estimation apparatus includes a de-map circuit to map multiple preambles corresponding to multiple channels into real part (I) and imaginary part (Q) in QPSK coordinate. The costas channel estimation circuit receives the real part (I) and the imaginary part (Q) to operate corresponding to one of the BPSK structure and the QPSK structure to proceed calculation of $(Q-I)*\text{Sign}(I+Q)$ or $Q*\text{Sign}(I)-I*\text{Sign}(Q)$ for outputting an output value, wherein Sign(x) represents a sign circuit taking a sign of the x value. The loop filter circuit filters the output value under time domain. The smooth circuit received the output of the loop filter circuit for smooth process under frequency domain and then feedback to the de-map circuit to continue channel estimation of a next loop, wherein the phase of the preambles are adjusted according to a direction of the output value approaching to zero.

指定代表圖：



【圖1】

符號簡單說明：

100 . . . 平均電路

102 . . . 平順電路

104 . . . 解對映電路

106 . . . 柯斯塔通道
估測電路108 . . . 迴路濾波電
路

110 . . . 平順電路



201717587

申請日:

104. 11. 05

IPC分類:

H04L 25/02 (2006.01)

H04L 27/26 (2006.01)

【發明摘要】

【中文發明名稱】

通道估測的裝置與方法

【英文發明名稱】

APPARATUS AND METHOD OF CHANNEL ESTIMATION

【中文】一種通道估測的裝置，包括解對映電路，將多通道的多個訓練符元信號，對映到四相相位移鍵座標的實數部資料(I)與虛數部資料(Q)。柯斯塔(Costas)通道估測電路，分別對應二相相位移鍵架構以及四相相位移鍵架構的其一對該實數部資料與該虛數部資料運算，其中以Sign(x)代表取x的符號器，做 $(Q-I)*\text{Sign}(I+Q)$ 或 $Q*\text{Sign}(I)-I*\text{Sign}(Q)$ 的運算，而輸出一輸出值。迴路濾波電路在時域下對該輸出值進行濾波。平順電路，接收該迴路濾波電路的輸出，在頻域下進行平順處理，並且回授到該解對映電路繼續下一迴路的通道估測，根據該柯斯塔通道估測電路的該輸出值往零值方向調整該些訓練符元信號的相位。

【英文】A channel estimation apparatus includes a de-map circuit to map multiple preambles corresponding to multiple channels into real part (I) and imaginary part (Q) in QPSK coordinate. The costas channel estimation circuit receives the real part (I) and the imaginary part (Q) to operate corresponding to one of the BPSK structure and

the QPSK structure to proceed calculation of $(Q-I)*\text{Sign}(I+Q)$ or $Q*\text{Sign}(I)-I*\text{Sign}(Q)$ for outputting an output value, wherein $\text{Sign}(x)$ represents a sign circuit taking a sign of the x value. The loop filter circuit filters the output value under time domain. The smooth circuit received the output of the loop filter circuit for smooth process under frequency domain and then feedback to the de-map circuit to continue channel estimation of a next loop, wherein the phase of the preambles are adjusted according to a direction of the output value approaching to zero.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

- 100：平均電路
- 102：平順電路
- 104：解對映電路
- 106：柯斯塔通道估測電路
- 108：迴路濾波電路
- 110：平順電路

【發明說明書】

【中文發明名稱】

通道估測的裝置與方法

【英文發明名稱】

APPARATUS AND METHOD OF CHANNEL ESTIMATION

【技術領域】

【0001】 本揭露是有關於低功率高速移動通道決策後回授的通道估測的裝置與方法。

【先前技術】

【0002】 在現有技術中，正交分頻多工(Orthogonal Frequency Division Multiplexing, OFDM)技術已被頻繁地應用在多種無線通訊協定，例如車載資通訊(WAVE, Wireless Access in the Vehicular Environment)或應用在第三代合作夥伴計畫-長期演進計畫(3rd Generation Partnership Project-Long Term Evolution, 3GPP-LTE)中，來進行實體層資料傳輸。

【0003】 IEEE 802.11P 車載通訊的實體層部分，規格上大部份是延續 WLAN(Wireless Local Area Network)的內容，只有頻寬跟功率部分有做一些小修改，其中不同的部份包括無線移動通道相對變為複雜許多。在接收端的設計，其需要對通道估測技術有更多的考量，才能因應於各種戶外環境。

【0004】 一般採用的最小均方(LMS)演算法(Least-Mean-Square algorithm)，因為每次遞迴追蹤都需要浪費大量的複數乘法運算，相對會增加大量的硬體及增加損耗功率。

【發明內容】

【0005】 本揭露提供通道估測的裝置與方法，提出使用柯斯塔通道估測的機制，可以不需要複數乘法，是簡易且省功耗的方式。

【0006】 本揭露的一種通道估測的裝置，包括解對映電路、柯斯塔通道估測電路、迴路濾波電路以及平順電路。解對映電路接收多個訓練符元信號，而將多通道的多個訓練符元信號依照複數結構，對映到四相相位移鍵座標的實數部資料與虛數部資料，該實數部資料以 I 表示，該虛數部資料以 Q 表示。柯斯塔通道估測電路包括二相頻率通道估測電路以及四相頻率通道估測電路，分別對應二相相位移鍵架構以及四相相位移鍵架構的其一對該實數部資料與該虛數部資料運算，其中以 $\text{Sign}(x)$ 代表取 x 值的正值或負值的符號器，該二相頻率通道估測電路對應做 $(Q-I)*\text{Sign}(I+Q)$ 的運算，該四相頻率通道估測電路對應做 $Q*\text{Sign}(I)-I*\text{Sign}(Q)$ 的運算，而輸出一輸出值。迴路濾波電路，在時域下對該輸出值進行濾波。平順電路接收該迴路濾波電路的輸出，在頻域下進行平順處理，並將經該平順處理後輸出的訓練符元信號輸出給外部，並且也回授到該解對映電路繼續由該解對映電路、該柯斯塔通道估測電路、該迴路濾波電路及該平順電路做下一迴路的通道估

測，其中在該下一迴路，根據該柯斯塔通道估測電路的該輸出值往零值方向調整該些訓練符元信號的相位。

【0007】本揭露的一種通道估測的方法包括：利用解對映電路接收多個訓練符元信號，而將多通道的多個訓練符元信號依照複數結構，對映到四相相位移鍵座標的實數部資料與虛數部資料，該實數部資料以 I 表示，該虛數部資料以 Q 表示；利用柯斯塔通道估測電路所包括的二相頻率通道估測電路以及四相頻率通道估測電路，分別對應二相相位移鍵架構以及四相相位移鍵架構的其一對該實數部資料與該虛數部資料運算，其中以 $\text{Sign}(x)$ 代表取 x 值的正值或負值的符號值，利用該二相頻率通道估測電路對應做 $(Q-I)*\text{Sign}(I+Q)$ 的運算，利用該四相頻率通道估測電路對應做 $Q*\text{Sign}(I)-I*\text{Sign}(Q)$ 的運算，而輸出一輸出值；使用迴路濾波電路，在時域下對該輸出值進行濾波；以及使用平順電路，接收該迴路濾波電路的輸出，在頻域下進行平順處理，並將經該平順處理後輸出的訓練符元信號輸出給外部，並且也回授到該解對映電路繼續由該解對映電路、該柯斯塔通道估測電路、該迴路濾波電路及該平順電路做下一迴路的通道估測，其中在該下一迴路，根據該柯斯塔通道估測電路的該輸出值往零值方向調整該些訓練符元信號的相位。

【0008】為讓本揭露的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0009】

圖 1 是依照本揭露一實施範例，一種通道估測的裝置示意圖。

圖 2 是依照本揭露一實施範例，平均電路的運算示意圖。

圖 3 是依照本揭露一實施範例，平均電路的運算示意圖。

圖 4 是依照本揭露一實施範例，所採用的 BPSK 的架構示意圖。

圖 5 是依照本揭露一實施範例，所採用的 QPSK 的架構示意圖。

圖 6 是依照本揭露一實施範例，16QAM 軟決策架構示意圖。

圖 7 是依照本揭露一實施範例，64QAM 軟決策架構示意圖。

圖 8 是依照本揭露一實施範例，柯斯塔的二相頻率通道估測電路示意圖。

圖 9 是依照本揭露一實施範例，柯斯塔的四相頻率通道估測電路示意圖。

圖 10 是依照本揭露一實施範例，對應 BPSK 的 $(Q-I)*\text{Sign}(I+Q)$ 的收斂機制示意圖。

圖 11 是依照本揭露一實施範例，對應 QPSK 的 $Q*\text{Sign}(I)-I*\text{Sign}(Q)$ 的收斂機制示意圖。

圖 12 是依照本揭露一實施範例，迴路濾波電路的示意圖。

圖 13 是依照本揭露一實施範例，通道估測的裝置示意圖。

圖 14 是依照本揭露一實施範例，通道估測的方法示意圖。

【實施方式】

【0010】 考慮到節省功耗的效果，本揭露採用柯斯塔通道估測方法，在不需複數乘法運算下，每個次載波只有一個可適性調整的濾波器，以簡易省功耗的方式達到系統的需求。

【0011】 傳統的 OFDM 接收器，使用內插等技術及根據嚮導通道 (Pilot tone) 增益進行通道估測。然而在高速移動的應用場合中，都普勒效應會破壞 OFDM 技術中所使用之各個子載波間的正交特性，進而造成載波間干擾 (Inter-carrier Interference, ICI)。此外，在高速移動場合，通道會改變功率延遲分佈 (Power Delay Profile, PDP)，使得經由內插技術得到之通道估測方法變得不再可靠。如此，在高速移動的應用場合中，現有之 OFDM 系統往往可能面臨整體效能下降的情形。

【0012】 本揭露對於高速移動的 OFDM 系統，提出搭配通道追蹤來做通道估測，加上低複雜度低功率判斷來達成較佳的系統效能。其在疊代式 (iteration) 通道估計與載波間干擾消除，可以達到節省硬體面積的效果。本揭露採用柯斯塔追蹤迴路 (costas tracking loop) 取代傳統 LMS 的濾波方式，可以逐步逼近通道參數的收斂值，使得通道估測技術能有好的適應性。本揭露應用在車載的高速移動通訊系統中與 OFDM 相容，提供在多種通道環境下都有好的通道估測。同時也進一步降低硬體成本，以符合實際應用之環境考量。

【0013】 一般來說，OFDM 接收器的通道估測模組在接收端經過

FFT(Fast Fourier Transform)模組的轉換後，利用前後長訓練符元(Long Preamble)的特性在頻域上估測通道的效應，再經由等化器(Equalizer)及軟解對映(Soft-De-Mapping)模組還原接收端的信號，而其通道估測常還使用 Wiener 濾波技術來平順估測的結果，以達到更精確的估測及等化效能。

【0014】 以下本揭露提出多個實施範例來說明，但是不限制於所舉的實施範例。

【0015】 圖 1 是依照本揭露一實施範例，一種通道估測的裝置示意圖。參閱圖 1，本揭露的通道估測的裝置，包括解對映電路 104、柯斯塔通道估測電路 106、迴路濾波電路 108 以及平順電路 110。解對映電路 104 接收多個訓練符元信號。這些訓練符元信號是初始經過 FFT 轉換後，在經由平均電路 100 以及平順電路 102 的處理後由解對映電路 104 接收。

【0016】 圖 2 是依照本揭露一實施範例，平均電路的機制示意圖。參閱圖 1 與圖 2，在經過 FFT 處理後的資料，每一個通道一般會有兩個相同格式的訓練符元 \hat{Y}_0 與 \hat{Y}_1 。因此，將兩個初始的訓練符元 \hat{Y}_0/\hat{X} 與 \hat{Y}_1/\hat{X} 做平均得到對應通道的一組訓練符元 \hat{H} ，以減少雜訊。其平均運算式如下：

$$\hat{H} = \frac{(Y_0 + Y_1)}{2X}。$$

平均電路的具體電路不限於特定電路結構，而能達到上述運算即

可。

【0017】圖 3 是依照本揭露一實施範例，平均電路的運算示意圖。參閱圖 1 與圖 3，經過平均電路 100 後得到的訓練符元 \hat{H} ，再經過平順電路 102 的運算，其運算關係如下：

$$\hat{H} = \frac{\hat{H}_{k-1} + 2\hat{H}_k + \hat{H}_{k+1}}{4}。$$

【0018】經過平順電路 102 運算後的訓練符元 \hat{H} ，以排除一些雜訊，再輸入給解對映電路 104 將訓練符元 \hat{H} 信號依照複數結構，對映到二相相位移鍵(Binary Phase Shift Keying, BPSK)架構或是四相相位移鍵(Quadrature Phase Shift Keying, QPSK)架構的實數部資料與虛數部資料。實數部資料以 I 表示，虛數部資料以 Q 表示。

【0019】圖 4 是依照本揭露一實施範例，所採用的 BPSK 的架構示意圖。參閱圖 1 與圖 4，對於 BPSK 架構的資料是一位元，來標示在 I 軸或是 Q 軸上 -1 與 1 的通道位置。理想的通道位置會在 -1 與 1 的通道位置，但是實際信號的位置會在 -1 與 1 的通道位置震盪變化，其震盪現象會於後面更詳細描述。

【0020】圖 5 是依照本揭露一實施範例，所採用的 QPSK 的架構示意圖。參閱圖 1 與圖 5，對於 QPSK 架構的資料是二位元，來標示在 I-Q 平面上與 I/Q 軸 45 度上的位置。理想的通道位置會在 00、

11、01、10 的通道位置，但是實際信號的位置會通道位置震盪變化，其震盪現象會於後面更詳細描述。

【0021】基於通訊技術的研發，描述次載波的資料已不限制 BPSK 或是 QPSK 的架構，而以更經細更多位元來描述次載波的狀態，其中 QAM (Quadrature Amplitude Modulation)的方式已經很普遍。因此，配合 Costas 通道估測機制，訓練符元經過解對映電路 104 需要做解對映決策，將 16QAM 及 64QAM 的資料對映到 QPSK 的座標來實現簡單的 Costas 通道估測機制。圖 6 是依照本揭露一實施範例，16QAM 軟決策架構示意圖。參閱圖 6，以 QPSK 架構為例，在 16QAM 架構中的 16 點資料需要對映到 QPSK 的架構上的通道位置。類似地，圖 7 是依照本揭露一實施範例，64QAM 軟決策架構示意圖。參閱圖 7，以 QPSK 架構為例，在 64QAM 架構中的 64 點資料需要對映到 QPSK 的架構上的通道位置。經過解對映電路 104 做對映後，得到本次迴路所接收對應通道在 QPSK 架構上的實數部資料 I 以及虛數部資料 Q。

【0022】接著，繼續參閱圖 1，柯斯塔通道估測電路 106 包括二相頻率通道估測電路以及四相頻率通道估測電路，分別對應接收二相相位移鍵(BPSK)架構以及四相相位移鍵(QPSK)架構的其所輸出的實數部資料(I)與虛數部資料(Q)。其中以 $\text{Sign}(x)$ 代表取 x 值的正值或負值的符號器，則二相頻率通道估測電路對應做 $(Q-I)*\text{Sign}(I+Q)$ 的運算。四相頻率通道估測電路對應做 $Q*\text{Sign}(I)-I*\text{Sign}(Q)$ 的運算。柯斯塔通道估測電路 106 輸出一輸出

值。

【0023】圖 8 是依照本揭露一實施範例，柯斯塔的二相頻率通道估測電路示意圖。參閱圖 1 與圖 8，柯斯塔通道估測電路 106 的二相頻率通道估測電路是在 BPSK 架構下做 $(Q-I)*\text{Sign}(I+Q)$ 的運算。二相頻率通道估測電路包括第一加法器 200，接收實數部資料 (I) 與虛數部資料 (Q)，做 $(Q-I)$ 的運算，輸出 $(Q-I)$ 值。第二加法器 202，接收實數部資料 (I) 與虛數部資料 (Q)，做 $(Q+I)$ 的運算，輸出 $(Q+I)$ 值。符號器 204，接收 $(Q+I)$ 值，依照正值或負值輸出 1 或 -1 的符號值。乘法器 206，將該 $(Q-I)$ 值與該符號值相乘，而輸出 $(Q-I)*\text{Sign}(I+Q)$ ，以 ep 表示。

【0024】上述做 $(Q-I)*\text{Sign}(I+Q)$ 的運算電路僅是實施範例，不是唯一的實施方式，其只要能達到上述運算即可。此 $(Q-I)*\text{Sign}(I+Q)$ 的值在會有大於零、小於零以及等於零的三種情形。等於零的情形是理想通道的值，而實際的數值會於零值振盪，而產生大於零與小於零的情形，但是最後經過多次迴遞後，希望收斂於零值。

【0025】圖 9 是依照本揭露一實施範例，柯斯塔的四相頻率通道估測電路示意圖。參閱圖 1 與圖 9，柯斯塔通道估測電路 106 的四相頻率通道估測電路是在 QPSK 架構下做 $Q*\text{Sign}(I)-I*\text{Sign}(Q)$ 的運算。四相頻率通道估測電路包括第一符號器 210、第二符號器 212、第一乘法器 214、第二乘法器 216 以及加法器 218。第一符號器 210 接收實數部資料 (I)，依照正值或負值輸出 1 或 -1 的第一符號值。第二符號器 212 接收虛數部資料 (Q)，依照正值或負值輸

出 1 或 -1 的第二符號值。第一乘法器 214 將第一符號值與虛數部資料(Q)相乘，得到第一乘算值。第二乘法器 216 將第二符號值與實數部資料(I)相乘，得到第二乘算值。加法器 218 計算第一乘算值減去第二乘算值的運算，而輸出一輸出值 ep 。此輸出值 ep 就是 $Q*Sign(I)-I*Sign(Q)$ 的運算值。

【0026】 上述做 $(Q*Sign(I)-I*Sign(Q))$ 的運算電路僅是實施範例，而不是唯一的實施方式，其能達到上述運算即可。此 $(Q*Sign(I)-I*Sign(Q))$ 的值在 會有大於零、小於零以及等於零的三種情形。等於零的情形是理想通道的值，而實際的數值會於零值振盪，而產生大於零與小於零的情形，但是最後經過多次迴遞後，希望收斂於零值。

【0027】 以下描述收斂機制。圖 10 是依照本揭露一實施範例，對應 BPSK 的 $(Q-I)*Sign(I+Q)$ 的收斂機制示意圖。在 BPSK 的架構下，其理想通道位置是在 I 軸與 Q 軸上。參閱圖 10，左邊圖式例如是 I 值的振盪，其是 $(I)*Sign(Q)$ 的運算。大於零的區域以“+”標示，小於零的區域以“-”標示。箭頭是收斂的方向。又，圖 10 的右邊圖式例如是 Q 值的振盪，其是 $(Q)*Sign(I)$ 的運算式。大於零的區域以“+”標示，小於零的區域以“-”標示。箭頭是收斂的方向。

【0028】 圖 11 是依照本揭露一實施範例，對應 QPSK 的 $Q*Sign(I)-I*Sign(Q)$ 的收斂機制示意圖。在 QPSK 的架構下，其理想通道位置是在與 I 軸或 Q 軸夾 45 度的斜線上。參閱圖 11，其是 $Q*Sign(I)-I*Sign(Q)$ 的運算。大於零的區域以“+”標示，小於零的

區域以“-”標示。箭頭是收斂的方向。

接著，描述圖1的迴路濾波電路108，其是在時域下對該輸出值進行濾波。圖12是依照本揭露一實施範例，迴路濾波電路的示意圖。參閱圖1與圖12，迴路濾波電路108例如是做 $F(z)$ 的濾波：

$$F(z) = C1 + \frac{C2}{1-z^{-1}},$$

其中， z 是輸入信號， $C1$ 與 $C2$ 是給予的係數。迴路濾波電路 108 例如包括第一乘法器 220、第二乘法器 222、第一加法器 224、T 電路 226 以及第二加法器 228。第一乘法器 220 做 $C1$ 與 e_p 的乘法運算。第二乘法器 222 做 $C2$ 與 e_p 的乘法運算。而第一加法器 224 接收第二乘法器 222 的輸出，並且加上由 T 電路 226 輸出的回饋值。第二加法器 228 將第一乘法器 220 與 T 電路 226 的輸出相加的到輸出值，以 ef_f 表示。

【0029】 上述做 $F(z)$ 的濾波電路僅是實施範例，不是唯一的實施方式，其能達到上述運算即可。而 $F(z)$ 的形式也可以做變化，在時域下做鎖相濾波。

【0030】 繼續參閱圖 1，經過迴路濾波電路 108 後，平順電 110 接收迴路濾波電路 108 的輸出，在頻域下進行平順處理，並將經平順處理後輸出的訓練符元信號輸出給外部，例如給後需的等化器使用。另外訓練符元信號也回授到解對映電路 104 繼續再由解對映電路 104、柯斯塔通道估測電路 106、迴路濾波電路 108 及平順

電路 110 做下一迴路的通道估測。於此，在下一迴路的通道追蹤，其根據柯斯塔通道估測電路 106 的輸出值而往零值方向調整這些訓練符元信號的相位，而收斂到零值，達到通道追蹤的效果。

【0031】 於此，平順電路 110 所作的內容是與平順電路 102 相同，也是做 $\hat{H} = \frac{\hat{H}_{k-1} + 2\hat{H}_k + \hat{H}_{k+1}}{4}$ 的運算但是包括通道估測的效果，因此回授到解對映電路 104 做調整，如此經過多次的迴路後可以鎖定通道。

【0032】 根據圖 1 的架構，其較完整的應用範例如下。圖 13 是依照本揭露一實施範例，通道估測的裝置示意圖。參閱圖 13，由多個通道所接收到的次載波信號，會先進行 FFT 90 的轉換處理，之後才會進行初始階段的平均電路 100 以及平順電路 102 的處理。於本實施範例，在平順電路 110 後，而在回授到解對映電路 104 之前，例如還會經由相位補償電路 112 做相位補償，之後才回授到解對映電路 104。經由相位補償電路 112 處理後的信號可以輸出給等化器 114 做後續處理。

【0033】 基於前面的描述，本揭露又提出一種通道估測的方法。圖 14 是依照本揭露一實施範例，通道估測的方法示意圖。參閱圖 14，步驟 S90 是初始階段，對接收的信號先做 FFT、平均、以及平順的處理。步驟 S100 利用解對映電路接收多個訓練符元信號，而將多通道的多個訓練符元信號依照複數結構，對映到四相相位移鍵座標的實數部資料與虛數部資料，該實數部資料以 I 表示，

該虛數部資料以 Q 表示。接著，步驟 S102 利用柯斯塔通道估測電路所包括的二相頻率通道估測電路以及四相頻率通道估測電路，分別對應二相相位移鍵架構以及四相相位移鍵架構的其一對該實數部資料與該虛數部資料運算。以 $\text{Sign}(x)$ 代表取 x 值的正值或負值的符號值，利用該二相頻率通道估測電路對應做 $(Q-I)*\text{Sign}(I+Q)$ 的運算，利用該四相頻率通道估測電路對應做 $Q*\text{Sign}(I)-I*\text{Sign}(Q)$ 的運算，而輸出一輸出值。步驟 S104 使用迴路濾波電路，在時域下對該輸出值進行濾波，其中例如是 $F(z) = C1 + \frac{C2}{1-z^{-1}}$ 的濾波。

【0034】 步驟 S106 使用平順電路，接收該迴路濾波電路的輸出，在頻域下進行平順處理，並將經該平順處理後輸出的訓練符元信號輸出給外部，並且也回授到該解對映電路繼續由該解對映電路、該柯斯塔通道估測電路、該迴路濾波電路及該平順電路做下一迴路的通道估測，其中在該下一迴路，根據該柯斯塔通道估測電路的該輸出值往零值方向調整該些訓練符元信號的相位。

【0035】 綜上所述，本揭露利用柯斯塔通道估測電路 106，構成補償的迴路，而能鎖定到通道，如此可以降低電路的複雜性，也可以降低電路的功耗。

【0036】 雖然本揭露已以實施例揭露如上，然其並非用以限定本揭露，任何所屬技術領域中具有通常知識者，在不脫離本揭露的精神和範圍內，當可作些許的更動與潤飾，故本揭露的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0037】

90：FFT

100：平均電路

102：平順電路

104：解對映電路

106：柯斯塔通道估測電路

108：迴路濾波電路

110：平順電路

112：相位補償電路

114：等化器

200、202、218、224、228：加法器

204、210、212：符號器

206、214、216、220、222：乘法器

226：T 電路

S90、S100、S102、S104、S106：步驟

【發明申請專利範圍】

【第1項】一種通道估測的裝置，包括：

解對映電路，接收多個訓練符元信號，而將多通道的多個訓練符元信號依照複數結構，對映到四相相位移鍵座標的實數部資料與虛數部資料；

柯斯塔通道估測電路，包括二相頻率通道估測電路以及四相頻率通道估測電路，分別對應二相相位移鍵架構以及四相相位移鍵架構的其一對該實數部資料與該虛數部資料運算，該二相頻率通道估測電路對應做“實數部資料減去虛數部資料的值”且乘以“實數部資料加上虛數部資料後的符號值” $((Q-I)*\text{Sign}(I+Q))$ 的運算，該四相頻率通道估測電路對應做“實數部資料乘以虛數部資料的符號值”減去“虛數部資料乘以實數部資料的符號值” $(Q*\text{Sign}(I)-I*\text{Sign}(Q))$ 的運算，而輸出一輸出值；

迴路濾波電路，在時域下對該輸出值進行濾波；以及

平順電路，接收該迴路濾波電路的輸出，在頻域下進行平順處理，並將經該平順處理後輸出的訓練符元信號輸出給外部，並且也回授到該解對映電路繼續由該解對映電路、該柯斯塔通道估測電路、該迴路濾波電路及該平順電路做下一迴路的通道估測，

其中在該下一迴路，根據該柯斯塔通道估測電路的該輸出值往零值方向調整該些訓練符元信號的相位。

【第2項】如申請專利範圍第1項所述的通道估測的裝置，其中該解對映電路所接受的該些訓練符元信號，是已經過初始的快速傅立葉變換(FFT)處理、平均處理以及平順處理。

【第3項】如申請專利範圍第1項所述的通道估測的裝置，更包括相位補償，對經過該平順電路後先進行相位補償後才回授到解對映電路，其中該相位補償依據該柯斯塔通道估測電路的該輸出值，往零值方向調整。

【第4項】如申請專利範圍第1項所述的通道估測的裝置，其中該二相頻率通道估測電路包括：

第一加法器，接收該實數部資料與該虛數部資料，做“實數部資料減去虛數部資料(Q-I)”的運算，輸出第一值；

第二加法器，接收該實數部資料與該虛數部資料，做“實數部資料加上虛數部資料(Q+I)”的運算，輸出第二值；

符號器，接收該第二值，依照正值或負值輸出1或-1的符號值；以及

乘法器，將該第一值與該符號值相乘，而輸出該輸出值。

【第5項】如申請專利範圍第1項所述的通道估測的裝置，其中該四相頻率通道估測電路包括：

第一符號器，接收該實數部資料，依照正值或負值輸出1或-1的第一符號值；

第二符號器，接收該虛數部資料，依照正值或負值輸出1或-1的第二符號值；

第一乘法器，將該第一符號值與該虛數部資料相乘，得到第一乘算值；

第二乘法器，將該第二符號值與該實數部資料相乘，得到第二乘算值；以及

加法器，計算該第一乘算值減該第二乘算值，而輸出該輸出值。

【第6項】如申請專利範圍第1項所述的通道估測的裝置，其中該迴路濾波電路是做 $F(z)$ 的運算：

第一常數(C1)加上“第二常數(C2)除以經過1減去輸入信號的倒數(z^{-1})的值”($F(z) = C1 + \frac{C2}{1-z^{-1}}$)。

【第7項】如申請專利範圍第1項所述的通道估測的裝置，其中該平順電路是輸入的n個通道的n組數據 $\hat{H}_1 \dots \hat{H}_k \dots \hat{H}_n$ ，對 \hat{H}_k 做前後相關聯的數學式運算如下：

對兩倍的 \hat{H}_k 加上相鄰的 \hat{H}_{k-1} 與 \hat{H}_{k+1} 後再除以4
 $(\hat{H} = \frac{(\hat{H}_{k-1} + 2 \times \hat{H}_k + \hat{H}_{k+1})}{4})$ 。

【第8項】如申請專利範圍第1項所述的通道估測的裝置，其中該多個訓練符元信號是16QAM架構或是64QAM架構的資料，其中QAM是正交振幅調變。

【第9項】一種通道估測的方法，包括：

利用解對映電路，接收多個訓練符元信號，而將多通道的多個訓練符元信號依照複數結構，對映到四相相位移鍵座標的實數

部資料與虛數部資料，該實數部資料以 I 表示，該虛數部資料以 Q 表示；

利用柯斯塔通道估測電路所包括的二相頻率通道估測電路以及四相頻率通道估測電路，分別對應二相相位移鍵架構以及四相相位移鍵架構的其一對該實數部資料與該虛數部資料運算，利用該二相頻率通道估測電路對應做“實數部資料減去虛數部資料的值”且乘以“實數部資料加上虛數部資料後的符號值” $((Q-I)*\text{Sign}(I+Q))$ 的運算，利用該四相頻率通道估測電路對應做“實數部資料乘以虛數部資料的符號值”減去“虛數部資料乘以實數部資料的符號值” $(Q*\text{Sign}(I)-I*\text{Sign}(Q))$ 的運算，而輸出一輸出值；

使用迴路濾波電路，在時域下對該輸出值進行濾波；以及

使用平順電路，接收該迴路濾波電路的輸出，在頻域下進行平順處理，並將經該平順處理後輸出的訓練符元信號輸出給外部，並且也回授到該解對映電路繼續由該解對映電路、該柯斯塔通道估測電路、該迴路濾波電路及該平順電路做下一迴路的通道估測，

其中在該下一迴路，根據該柯斯塔通道估測電路的該輸出值往零值方向調整該些訓練符元信號的相位。

【第10項】如申請專利範圍第9項所述的通道估測的方法，其中對該解對映電路所接受的該些訓練符元信號，先進行初始的快速傅立葉變換(FFT)處理、平均處理以及平順處理。

【第11項】如申請專利範圍第9項所述的通道估測的方法，其中更對經過該平順電路的處理後，先進行相位補償，之後才回授到解對映電路，其中該相位補償依據該柯斯塔通道估測電路的該輸出值，往零值方向調整。

【第12項】如申請專利範圍第9項所述的通道估測的方法，其中該二相頻率通道估測電路包括：

第一加法器，接收該實數部資料與該虛數部資料，做“實數部資料減去虛數部資料”(Q-I)的運算，輸出第一值；

第二加法器，接收該實數部資料與該虛數部資料，做“實數部資料加上虛數部資料”(Q+I)的運算，輸出第二值；

符號器，接收該第二值，依照正值或負值輸出1或-1的符號值；以及

乘法器，將該第一值與該符號值相乘，而輸出該輸出值。

【第13項】如申請專利範圍第9項所述的通道估測的方法，其中該四相頻率通道估測電路包括：

第一符號器，接收該實數部資料，依照正值或負值輸出1或-1的第一符號值；

第二符號器，接收該虛數部資料，依照正值或負值輸出1或-1的第二符號值；

第一乘法器，將該第一符號值與該虛數部資料相乘，得到第一乘算值；

第二乘法器，將該第二符號值與該實數部資料相乘，得到第二乘算值；以及

加法器，計算該第一乘算值減該第二乘算值，而輸出該輸出值。

【第14項】如申請專利範圍第9項所述的通道估測的方法，其中該迴路濾波電路是做 $F(z)$ 的運算：

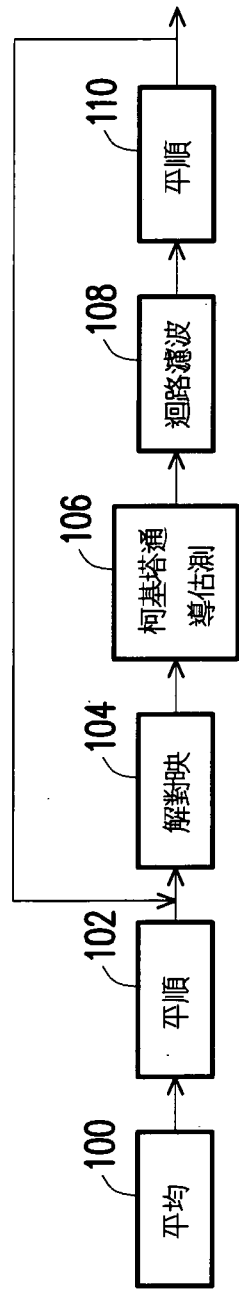
第一常數(C1)加上“第二常數(C2)除以經過1減去輸入信號的倒數(z^{-1})的值”($F(z) = C1 + \frac{C2}{1-z^{-1}}$)。

【第15項】如申請專利範圍第9項所述的通道估測的方法，其中該平順電路是輸入的 n 個通道的 n 組數據 $\hat{H}_1 \dots \hat{H}_k \dots \hat{H}_n$ ，對 \hat{H}_k 做前後相關聯的數學式運算如下：

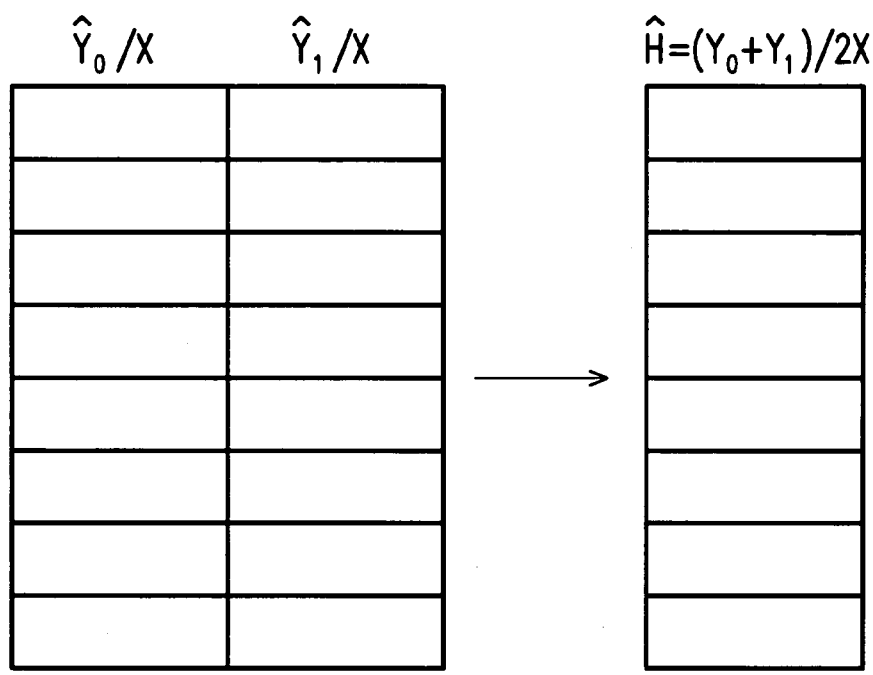
對兩倍的 \hat{H}_k 加上相鄰的 \hat{H}_{k-1} 與 \hat{H}_{k+1} 後再除以 4
 $(\hat{H} = \frac{\hat{H}_{k-1} + 2 \times \hat{H}_k + \hat{H}_{k+1}}{4})$ 。

【第16項】如申請專利範圍第9項所述的通道估測的方法，其中該多個訓練符元信號是16QAM架構或是64QAM架構的資料，其中QAM (Quadrature Amplitude Modulation)是正交振幅調變。

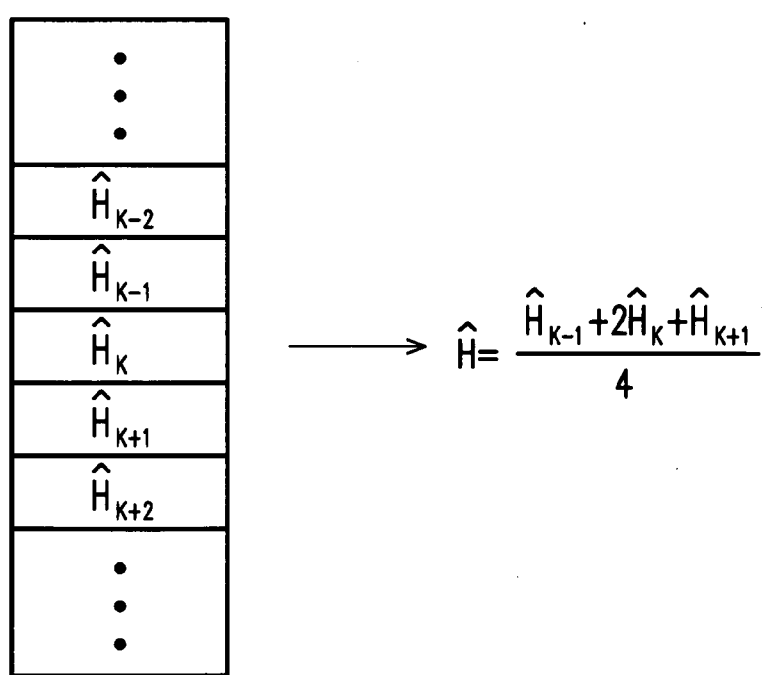
【發明圖式】



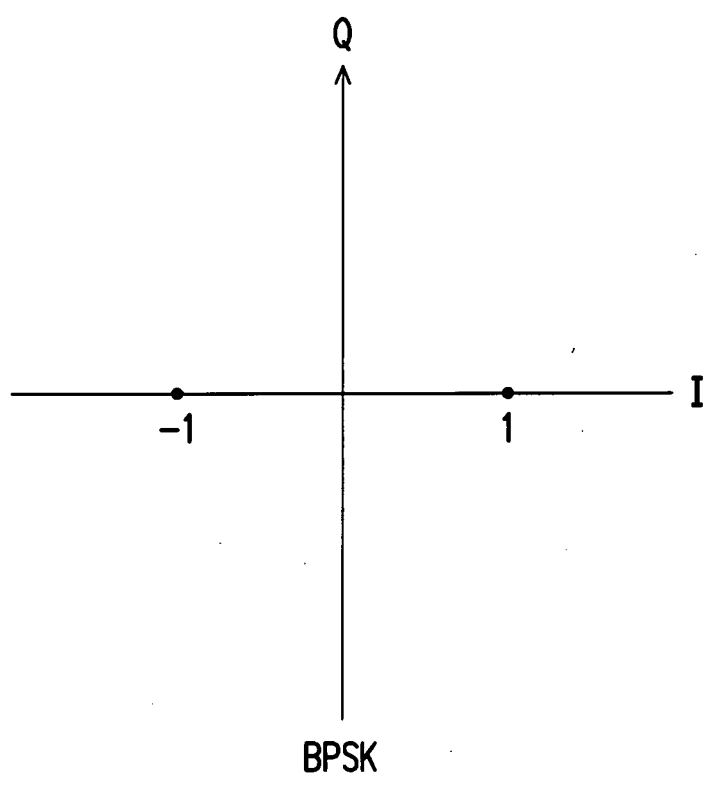
【圖1】



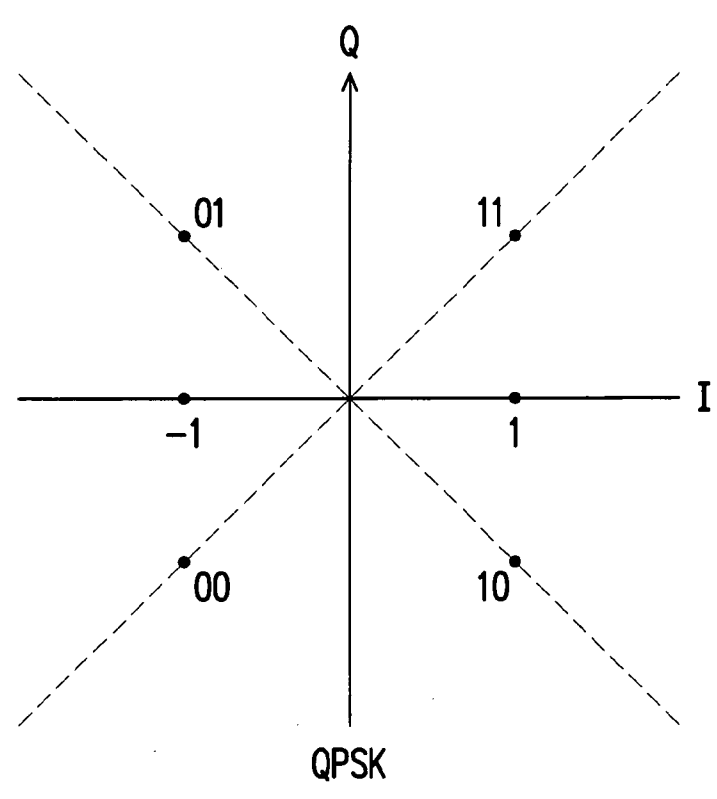
【圖2】



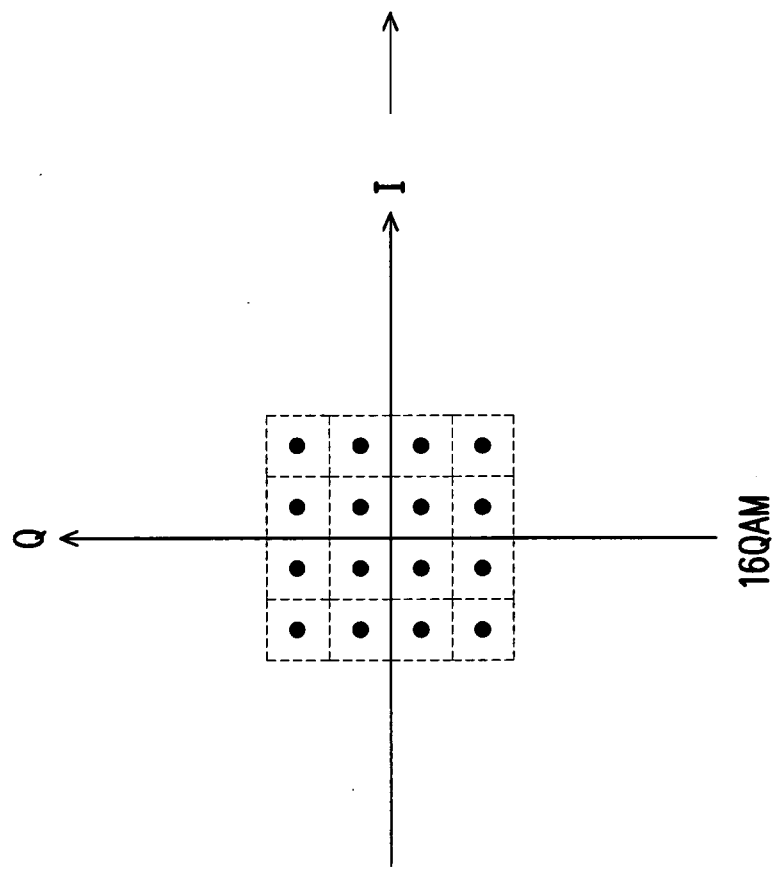
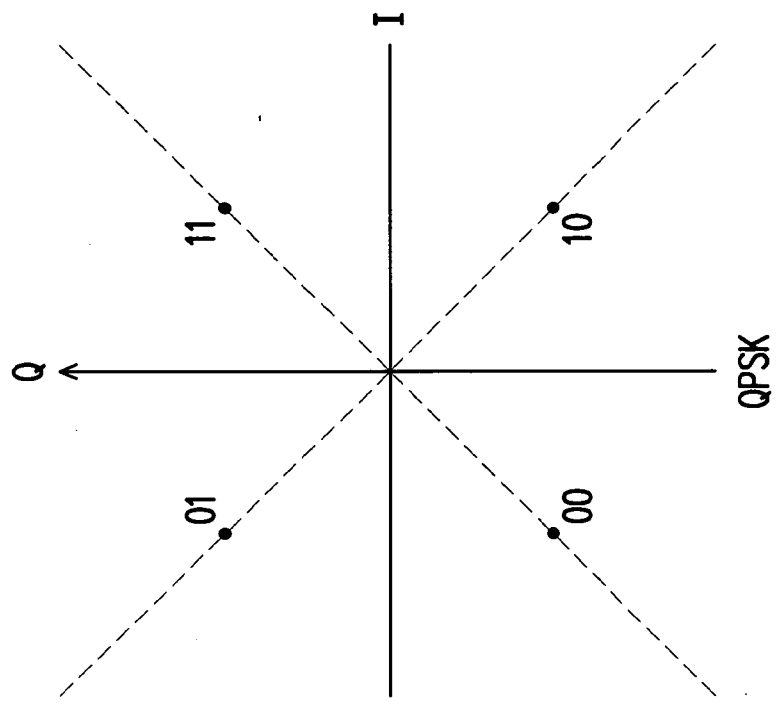
【圖3】



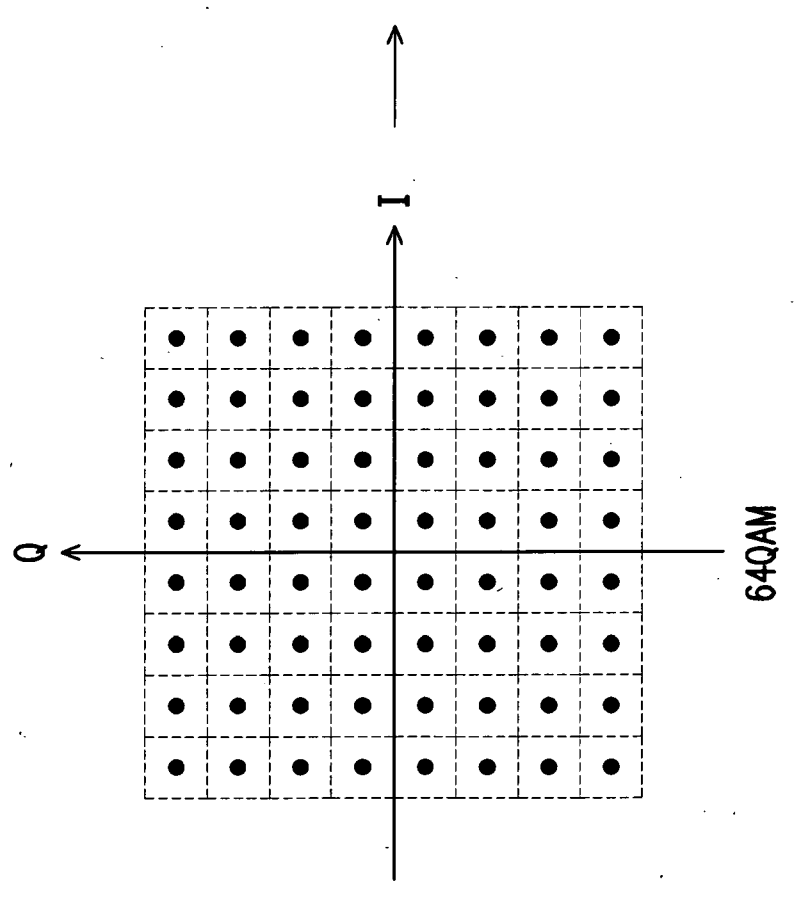
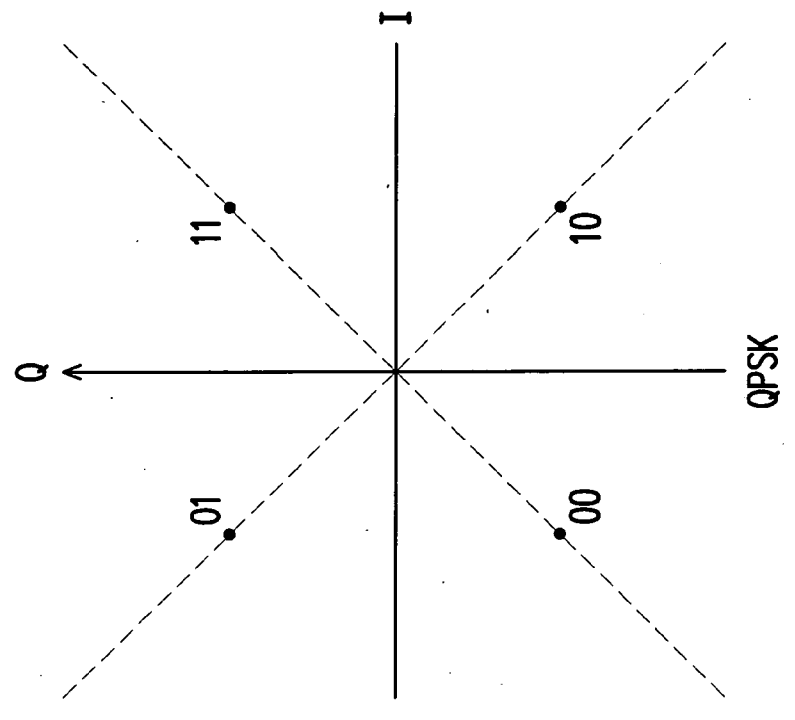
【圖4】



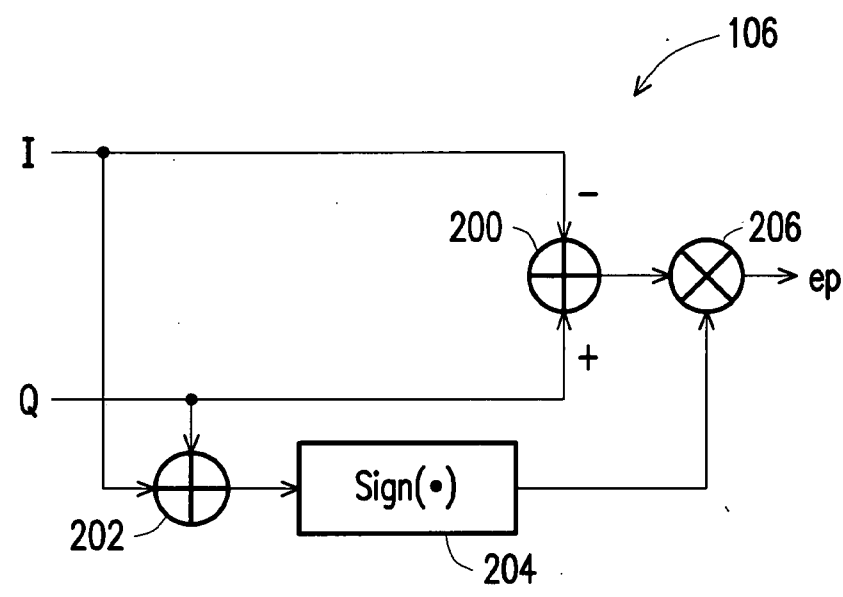
【圖5】



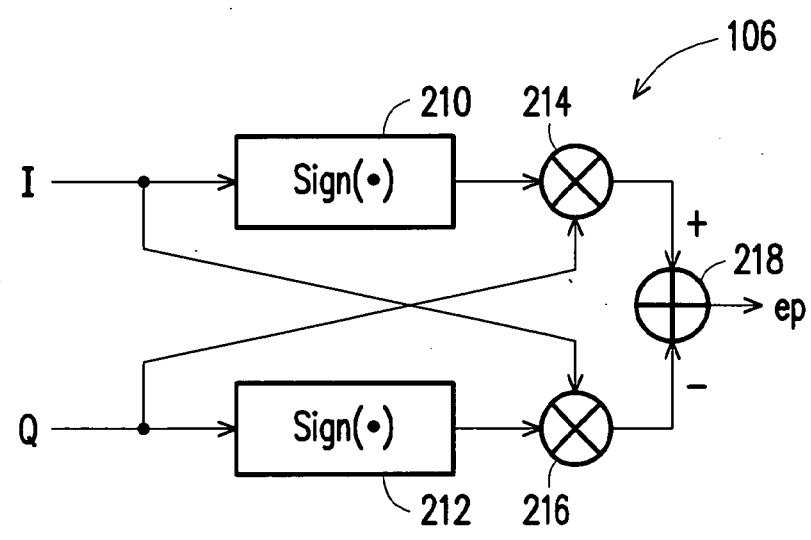
【圖6】



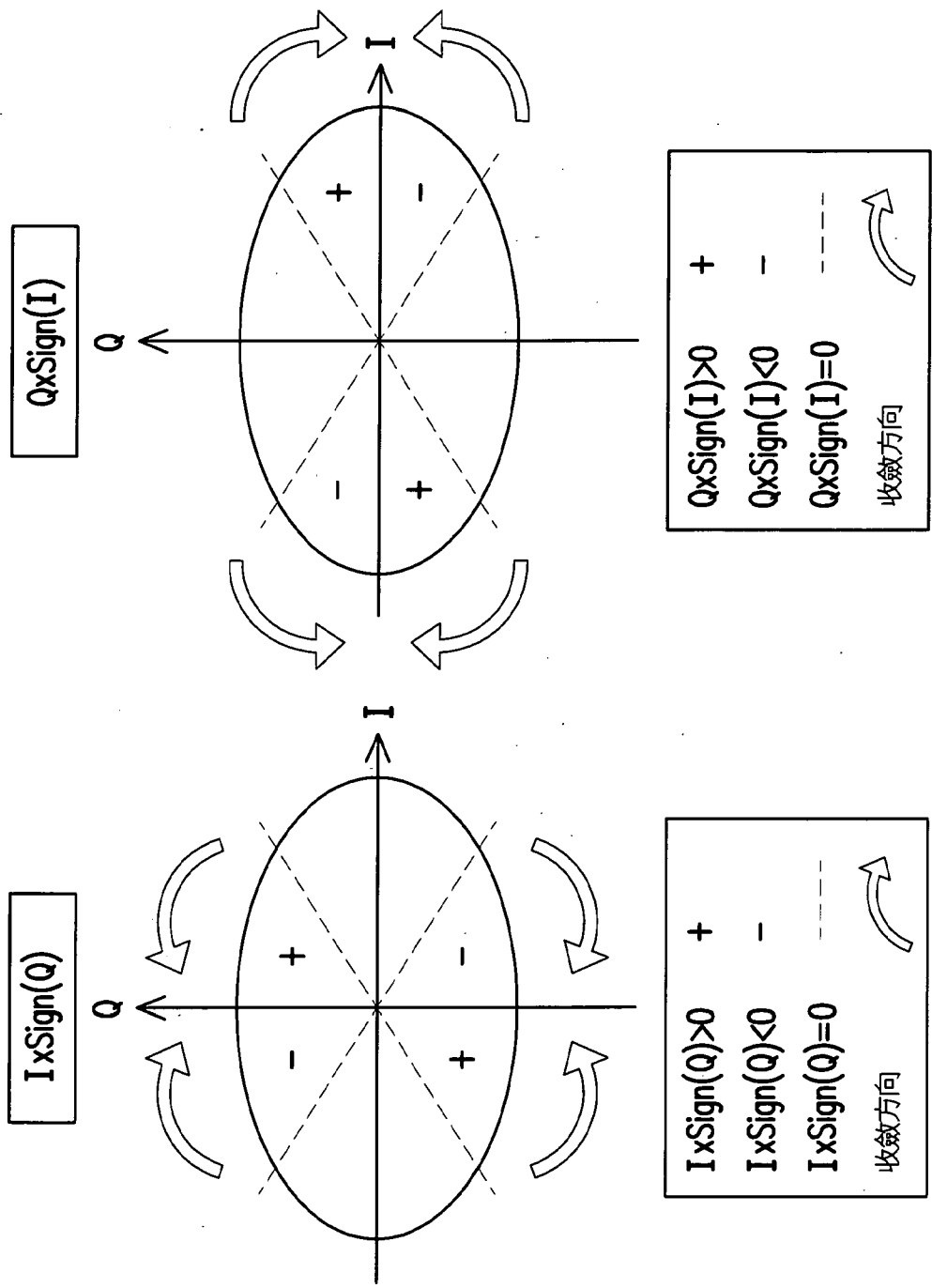
【圖7】



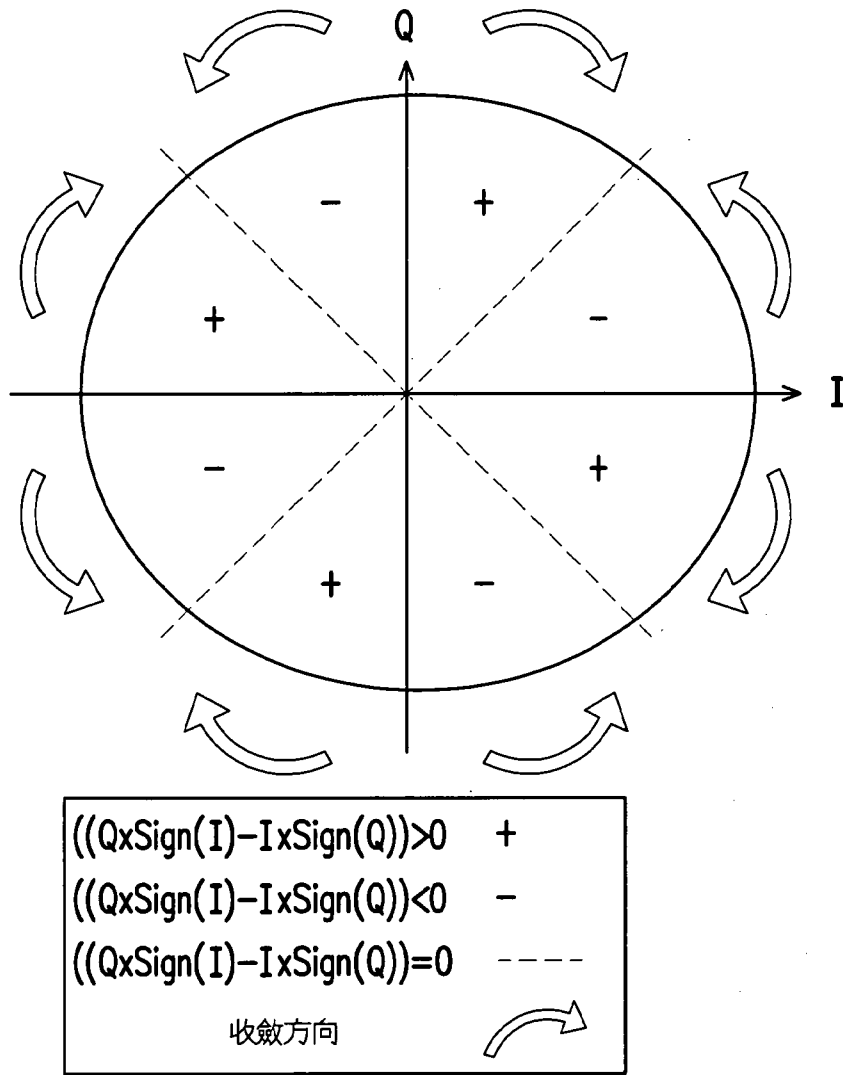
【圖8】



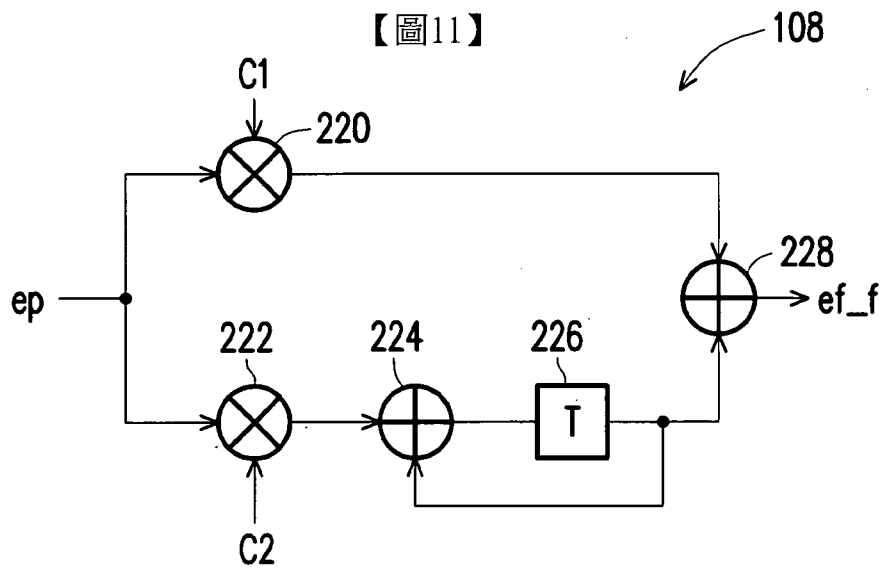
【圖9】



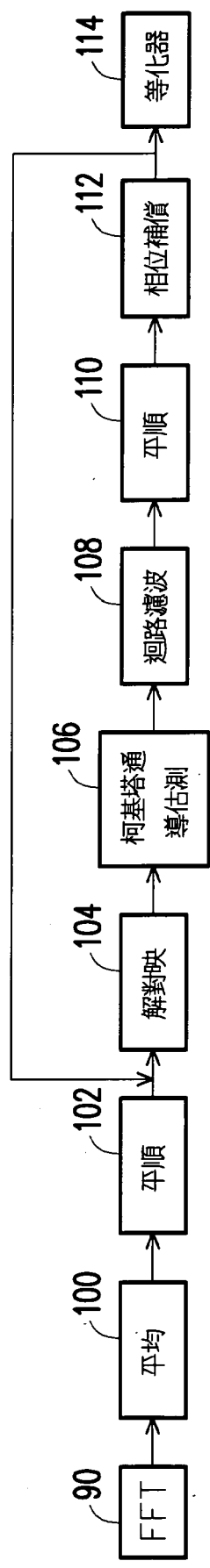
【圖10】



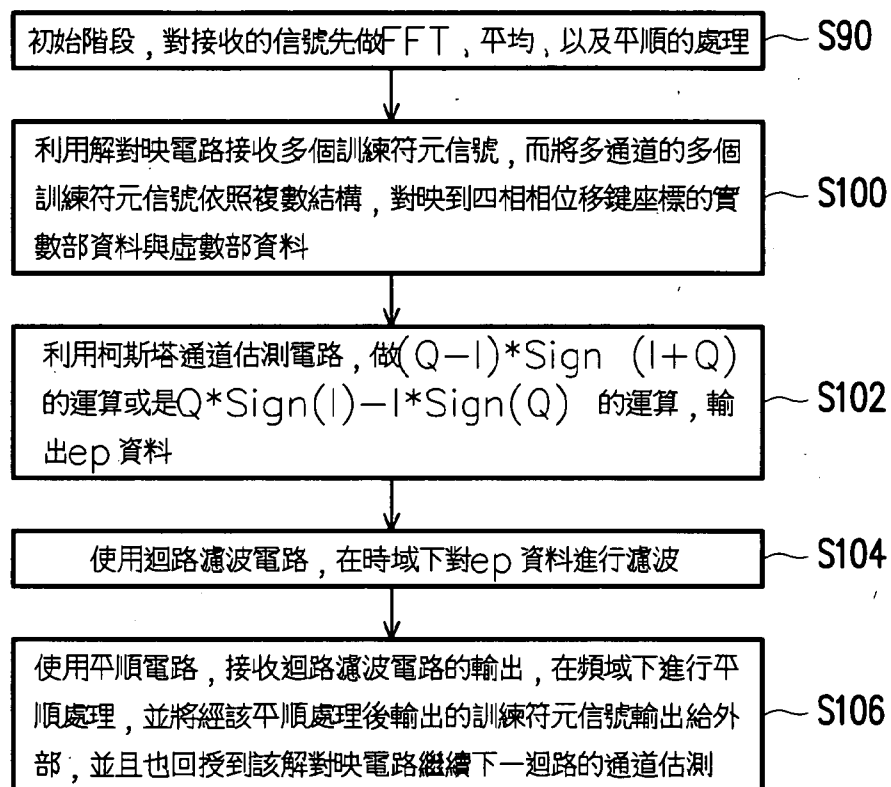
【圖11】



【圖12】



【圖13】



【圖14】