

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7129397号

(P7129397)

(45)発行日 令和4年9月1日(2022.9.1)

(24)登録日 令和4年8月24日(2022.8.24)

(51)国際特許分類

F I

H 0 1 L 29/872 (2006.01)

H 0 1 L 29/86 3 0 1 Z

H 0 1 L 29/06 (2006.01)

H 0 1 L 29/86 3 0 1 D

H 0 1 L 21/329 (2006.01)

H 0 1 L 29/86 3 0 1 E

H 0 1 L 29/868 (2006.01)

H 0 1 L 29/06 3 0 1 G

H 0 1 L 29/861 (2006.01)

H 0 1 L 29/86 3 0 1 P

請求項の数 19 (全85頁) 最終頁に続く

(21)出願番号 特願2019-221436(P2019-221436)

(22)出願日 令和1年12月6日(2019.12.6)

(62)分割の表示 特願2018-151453(P2018-151453)
の分割

原出願日 平成30年8月10日(2018.8.10)

(65)公開番号 特開2020-36048(P2020-36048A)

(43)公開日 令和2年3月5日(2020.3.5)

審査請求日 令和3年8月6日(2021.8.6)

(73)特許権者 000116024

ローム株式会社

京都府京都市右京区西院溝崎町2番地

(74)代理人 110002310

特許業務法人あい特許事務所

(72)発明者 中野 佑紀

京都市右京区西院溝崎町2番地

ローム株式会社内

(72)発明者 上野 真弥

京都市右京区西院溝崎町2番地

ローム株式会社内

(72)発明者 春山 沙和

京都市右京区西院溝崎町2番地

ローム株式会社内

(72)発明者 川上 泰宏

最終頁に続く

(54)【発明の名称】 S i C半導体装置

(57)【特許請求の範囲】

【請求項1】

S i C半導体基板およびS i Cエピタキシャル層を含む積層構造を有し、前記S i Cエピタキシャル層からなり、S i C単結晶のc面に対してオフ方向に傾斜したオフ角が導入された素子形成面、および、前記オフ方向の直交方向に延び、前記素子形成面の法線を0°とした時、当該法線に対して前記オフ角未満の角度で傾斜した側面を有するS i C半導体層と、

前記側面において前記S i Cエピタキシャル層を露出させるように前記S i C半導体基板からなる部分に厚さ方向に間隔を空けて形成され、前記S i C半導体基板とは異なる性質に改質された複数の改質層と、を含む、S i C半導体装置。

【請求項2】

複数の前記改質層は、断面視において前記オフ方向に互いにずれて形成されている、請求項1に記載のS i C半導体装置。

【請求項3】

前記S i C半導体層の前記側面は、複数の前記改質層を頂部または基部とする隆起部を有している、請求項1または2に記載のS i C半導体装置。

【請求項4】

前記S i C半導体基板は、第1導電型不純物を含み、

前記S i Cエピタキシャル層は、第1導電型不純物を含み、前記S i C半導体基板の不純物濃度未満の不純物濃度を有している、請求項1～3のいずれか一項に記載のS i C半

導体装置。

【請求項 5】

前記 S i C エピタキシャル層は、前記 S i C 半導体基板の厚さ未満の厚さを有している、請求項 1 ～ 4 のいずれか一項に記載の S i C 半導体装置。

【請求項 6】

前記 S i C 半導体層の前記側面は、劈開面からなる、請求項 1 ～ 5 のいずれか一項に記載の S i C 半導体装置。

【請求項 7】

複数の前記改質層は、前記 S i C 半導体基板および前記 S i C エピタキシャル層の境界に沿って帯状に延びている、請求項 1 ～ 6 のいずれか一項に記載の S i C 半導体装置。

10

【請求項 8】

前記オフ方向は、S i C 単結晶のシリコン面を c 軸から見た平面視において最近接する S i 原子の配列方向に設定されている、請求項 1 ～ 7 のいずれか一項に記載の S i C 半導体装置。

【請求項 9】

前記 S i C 半導体層は、前記オフ方向に延びる第 2 側面を含む、請求項 1 ～ 8 のいずれか一項に記載の S i C 半導体装置。

【請求項 10】

前記第 2 側面において前記 S i C エピタキシャル層から間隔を空けて前記 S i C 半導体基板からなる部分に厚さ方向に形成され、前記 S i C 半導体基板とは異なる性質に改質された第 2 改質層をさらに含む、請求項 9 に記載の S i C 半導体装置。

20

【請求項 11】

前記第 2 側面は、劈開面からなる、請求項 9 または 10 に記載の S i C 半導体装置。

【請求項 12】

前記 S i C エピタキシャル層を被覆する絶縁層と、

前記絶縁層の上に形成され、前記 S i C エピタキシャル層に電氣的に接続された第 1 電極と、をさらに含む、請求項 1 ～ 11 のいずれか一項に記載の S i C 半導体装置。

【請求項 13】

前記絶縁層は、前記 S i C 半導体層の前記側面に連なる絶縁側面を有している、請求項 12 に記載の S i C 半導体装置。

30

【請求項 14】

前記絶縁側面は、劈開面からなる、請求項 13 に記載の S i C 半導体装置。

【請求項 15】

前記第 1 電極は、前記 S i C 半導体層の前記側面から間隔を空けて前記絶縁層の上に形成されている、請求項 12 ～ 14 のいずれか一項に記載の S i C 半導体装置。

【請求項 16】

前記絶縁層の上において前記第 1 電極を部分的に被覆するパッシベーション層と、

前記パッシベーション層を被覆する樹脂層と、をさらに含む、請求項 12 ～ 15 のいずれか一項に記載の S i C 半導体装置。

【請求項 17】

前記 S i C エピタキシャル層とは反対側において前記 S i C 半導体基板を被覆し、前記 S i C 半導体基板に電氣的に接続された第 2 電極さらに含む、請求項 1 ～ 16 のいずれか一項に記載の S i C 半導体装置。

40

【請求項 18】

前記 S i C 半導体層は、2 H (Hexagonal) - S i C 単結晶、4 H - S i C 単結晶または 6 H - S i C 単結晶からなる、請求項 1 ～ 17 のいずれか一項に記載の S i C 半導体装置。

【請求項 19】

前記素子形成面に形成されたダイオードまたは電界効果トランジスタをさらに含む、請求項 1 ～ 18 のいずれか一項に記載の S i C 半導体装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、S i C半導体装置に関する。

【背景技術】

【0002】

近年、ステルスダイシング法と称されるS i C半導体ウエハの加工方法が注目されている。ステルスダイシング法では、S i C半導体ウエハにレーザ光が選択的に照射された後、レーザ光が照射された部分に沿ってS i C半導体ウエハが切断される。この方法によれば、ダイシングブレード等の切断部材を用いずに、比較的高い硬度を有するS i C半導体ウエハを切断できるので、製造時間を短縮できる。

10

【0003】

特許文献1は、ステルスダイシング法を利用したS i C半導体装置の製造方法を開示している。特許文献1の製造方法では、所定のオフ角を有するS i C半導体ウエハから複数のS i C半導体層が切り出される。S i C半導体層においてS i C単結晶のa面に面する2つ側面は、S i C単結晶のc軸に沿う傾斜面となる。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2016-207908号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

S i C半導体装置は、半導体組立装置を用いてリードフレームや実装基板などの接続対象物に実装される。半導体組立装置におけるS i C半導体装置の搬送工程は、たとえば、S i C半導体層の主面を吸着して保持するピックアップノズルによって行われる。

特許文献1に係るS i C半導体装置が半導体組立装置に搬入された場合、ピックアップノズルによる吸着がS i C半導体層の傾斜面によって妨げられる虞がある。この場合、ピックアップノズルはS i C半導体装置を適切に保持できないため、ピックアップエラーが発生する。

30

【0006】

本発明の一実施形態は、半導体組立装置におけるピックアップエラーを抑制できるS i C半導体装置を提供する。

【課題を解決するための手段】

【0007】

本発明の一実施形態は、六方晶からなるS i C単結晶を含み、前記S i C単結晶のc面に面し、前記c面に対して傾斜したオフ角を有する素子形成面としての第1主面、前記第1主面の反対側の第2主面、および、前記S i C単結晶のa面に面し、前記第1主面の法線を0°とした時、前記法線に対して前記オフ角未満の角度を有する側面を有するS i C半導体層を含む、S i C半導体装置を提供する。

40

【0008】

このS i C半導体装置によれば、半導体組立装置におけるピックアップエラーを抑制できる。

本発明の一実施形態は、六方晶からなるS i C単結晶を含み、前記S i C単結晶のc面に面し、前記c面に対して傾斜したオフ角を有する素子形成面としての第1主面、前記第1主面の反対側の第2主面、および、前記S i C単結晶のa面に面し、前記第1主面の法線から前記S i C単結晶のc軸とは反対側の方向に向けて傾斜した傾斜部を有する側面を有するS i C半導体層を含む、S i C半導体装置を提供する。

【0009】

このS i C半導体装置によれば、S i C半導体層の側面において、c軸とは反対側の方

50

向に向けて傾斜した傾斜部によってc軸に沿って延びる傾斜面の形成領域を削減できる。これにより、半導体組立装置におけるピックアップエラーを抑制できる。

本発明の一実施形態は、SiC半導体基板およびSiCエピタキシャル層を含む積層構造を有し、前記SiCエピタキシャル層からなり、SiC単結晶のc面に対してオフ方向に傾斜したオフ角が導入された素子形成面、および、前記オフ方向の直交方向に延び、前記素子形成面の法線を0°とした時、当該法線に対して前記オフ角未満の角度で傾斜した側面を有するSiC半導体層と、前記側面において前記SiCエピタキシャル層を露出させるように前記SiC半導体基板からなる部分に厚さ方向に間隔を空けて形成され、前記SiC半導体基板とは異なる性質に改質された複数の改質層と、を含む、SiC半導体装置を提供する。

10

【0010】

このSiC半導体装置によれば、半導体組立装置におけるピックアップエラーを抑制できる。

【図面の簡単な説明】

【0011】

【図1】図1は、本発明の実施形態に適用される4H-SiC単結晶の単位セルを示す図である。

【図2】図2は、図1に示す4H-SiC単結晶の単位セルのシリコン面を示す平面図である。

【図3】図3は、本発明の第1実施形態に係るSiC半導体装置を1つの角度から見た斜視図であって、改質ラインの第1形態例を示す斜視図である。

20

【図4】図4は、図3に示すSiC半導体装置を別の角度から見た斜視図である。

【図5】図5は、図3に示す領域Vの拡大図である。

【図6】図6は、図3に示す領域VIの拡大図である。

【図7】図7は、図3に示すSiC半導体装置の平面図である。

【図8】図8は、図7に示すVIII-VIII線に沿う断面図である。

【図9】図9は、図3に示すSiC半導体装置の製造に使用されるSiC半導体ウエハを示す斜視図である。

【図10A】図10Aは、図3に示すSiC半導体装置の製造方法の一例を示す断面図である。

30

【図10B】図10Bは、図10Aの後の工程を示す図である。

【図10C】図10Cは、図10Bの後の工程を示す図である。

【図10D】図10Dは、図10Cの後の工程を示す図である。

【図10E】図10Eは、図10Dの後の工程を示す図である。

【図10F】図10Fは、図10Eの後の工程を示す図である。

【図10G】図10Gは、図10Fの後の工程を示す図である。

【図10H】図10Hは、図10Gの後の工程を示す図である。

【図10I】図10Iは、図10Hの後の工程を示す図である。

【図10J】図10Jは、図10Iの後の工程を示す図である。

【図10K】図10Kは、図10Jの後の工程を示す図である。

40

【図10L】図10Lは、図10Kの後の工程を示す図である。

【図10M】図10Mは、図10Lの後の工程を示す図である。

【図11】図11は、図3に示すSiC半導体装置が組み込まれた半導体パッケージを、封止樹脂を透過して示す斜視図である。

【図12】図12は、図3に示すSiC半導体装置の搬送状態を示す斜視図である。

【図13】図13は、参考例に係るSiC半導体装置の構造を説明するための図である。

【図14A】図14Aは、図3に示すSiC半導体装置を示す斜視図であって、改質ラインの第2形態例を示す斜視図である。

【図14B】図14Bは、図3に示すSiC半導体装置を示す斜視図であって、改質ラインの第3形態例を示す斜視図である。

50

【図14C】図14Cは、図3に示すSiC半導体装置を示す斜視図であって、改質ラインの第4形態例を示す斜視図である。

【図14D】図14Dは、図3に示すSiC半導体装置を示す斜視図であって、改質ラインの第5形態例を示す斜視図である。

【図15】図15は、本発明の第2実施形態に係るSiC半導体装置を示す斜視図であって、第1形態例に係る改質ラインが適用された構造を示す斜視図である。

【図16】図16は、本発明の第3実施形態に係るSiC半導体装置を1つの角度から見た斜視図であって、第1形態例に係る改質ラインが適用された構造を示す斜視図である。

【図17】図17は、図16に示すSiC半導体装置を別の角度から見た斜視図である。

【図18】図18は、図16に示すSiC半導体装置を示す平面図である。

【図19】図19は、図18から樹脂層を取り除いた平面図である。

【図20】図20は、図19に示す領域XXの拡大図であって、SiC半導体層の第1主面の構造を説明するための図である。

【図21】図21は、図20に示すXXI-XXI線に沿う断面図である。

【図22】図22は、図20に示すXXII-XXII線に沿う断面図である。

【図23】図23は、図21に示す領域XXIIIの拡大図である。

【図24】図24は、図19に示すXXIV-XXIV線に沿う断面図である。

【図25】図25は、図24に示す領域XXVの拡大図である。

【図26】図26は、シート抵抗を説明するためのグラフである。

【図27】図27は、図20に対応する領域の拡大図であって、本発明の第4実施形態に係るSiC半導体装置を示す拡大図である。

【図28】図28は、図27に示すXXVIII-XXVIII線に沿う断面図である。

【図29】図29は、図23に対応する領域の拡大図であって、本発明の第5実施形態に係るSiC半導体装置を示す拡大図である。

【図30】図30は、図20に対応する領域の拡大図であって、本発明の第6実施形態に係るSiC半導体装置を示す拡大図である。

【発明を実施するための形態】

【0012】

以下では、本発明の実施形態を、添付図面を参照して詳細に説明する。

本発明の実施形態では、六方晶からなるSiC（炭化シリコン）単結晶が適用される。六方晶からなるSiC単結晶は、原子配列の周期に応じて、2H（Hexagonal）-SiC単結晶、4H-SiC単結晶および6H-SiC単結晶を含む複数種のポリタイプを有している。本発明の実施形態では、4H-SiC単結晶が適用された例について説明するが、他のポリタイプを本発明から除外するものではない。

【0013】

以下、4H-SiC単結晶の結晶構造について説明する。図1は、本発明の実施形態に適用される4H-SiC単結晶の単位セル（以下、単に「単位セル」という。）を示す図である。図2は、図1に示す単位セルのシリコン面を示す平面図である。

図1および図2を参照して、単位セルは、1つのSi原子に対して4つのC原子が四面体配列（正四面体配列）の関係で結合された四面体構造を含む。単位セルは、四面体構造が4周期積層された原子配列を有している。単位セルは、正六角形のシリコン面、正六角形のカーボン面、ならびに、シリコン面およびカーボン面を接続する6つの側面を有する六角柱構造を有している。

【0014】

シリコン面は、Si原子によって終端された終端面である。シリコン面では、正六角形の6つの頂点に1つのSi原子がそれぞれ位置し、正六角形の中心に1つのSi原子が位置している。

カーボン面は、C原子によって終端された終端面である。カーボン面では、正六角形の6つの頂点に1つのC原子がそれぞれ位置し、正六角形の中心に1つのC原子が位置している。

10

20

30

40

50

【0015】

単位セルの結晶面は、 a_1 軸、 a_2 軸、 a_3 軸および c 軸を含む 4 つの座標軸 (a_1 , a_2 , a_3 , c) によって定義される。4 つの座標軸のうちの a_3 の値は、 $-(a_1 + a_2)$ の値をとる。以下、六方晶の終端面の一例としてのシリコン面を基準にして、4H-SiC 単結晶の結晶面について説明する。

a_1 軸、 a_2 軸および a_3 軸は、シリコン面を c 軸から見た平面視において、中心に位置する Si 原子を基準に、最近接する Si 原子の配列方向（以下、単に「最近接原子方向」という。）に沿ってそれぞれ設定されている。 a_1 軸、 a_2 軸および a_3 軸は、それぞれ、Si 原子の配列に倣って 120° ずつ角度をずらして設定されている。

【0016】

c 軸は、中心に位置する Si 原子を基準に、シリコン面の法線方向に設定されている。シリコン面は、 (0001) 面である。カーボン面は、 $(000-1)$ 面である。

六角柱の側面は、シリコン面を c 軸から見た平面視において、最近接原子方向に沿う 6 つの結晶面を含む。六角柱の側面は、より具体的には、シリコン面を c 軸から見た平面視において、最近接する 2 つの Si 原子をそれぞれ含む 6 つの結晶面を含む。

【0017】

六角柱の側面は、シリコン面を c 軸から見た平面視において、 a_1 軸の先端から時計回りに $(1-100)$ 面、 $(0-110)$ 面、 (-1010) 面、 (-1100) 面、 $(01-10)$ 面および $(10-10)$ 面を含む。

六角柱の対角線に沿う対角面は、シリコン面を c 軸から見た平面視において、最近接原子方向に交差する交差方向に沿う 6 つの結晶面を含む。六角柱の対角面は、より具体的には、シリコン面を c 軸から見た平面視において、最近接しない 2 つの Si 原子をそれぞれ含む 6 つの結晶面を含む。中心に位置する Si 原子を基準に見たとき、最近接原子方向の交差方向は、最近接原子方向に直交する直交方向となる。

【0018】

六角柱の対角面は、シリコン面を c 軸から見た平面視において、 $(11-20)$ 面、 $(1-210)$ 面、 (-2110) 面、 $(-1-120)$ 面、 $(-12-10)$ 面および $(2-1-10)$ 面を含む。

単位セルの結晶方向は、結晶面の法線方向によって定義される。 $(1-100)$ 面の法線方向は $[1-100]$ 方向である。 $(0-110)$ 面の法線方向は $[0-110]$ 方向である。 (-1010) 面の法線方向は $[-1010]$ 方向である。 (-1100) 面の法線方向は $[-1100]$ 方向である。 $(01-10)$ 面の法線方向は $[01-10]$ 方向である。 $(10-10)$ 面の法線方向は $[10-10]$ 方向である。

【0019】

$(11-20)$ 面の法線方向は $[11-20]$ 方向である。 $(1-210)$ 面の法線方向は $[1-210]$ 方向である。 (-2110) 面の法線方向は $[-2110]$ 方向である。 $(-1-120)$ 面の法線方向は $[-1-120]$ 方向である。 $(-12-10)$ 面の法線方向は $[-12-10]$ 方向である。 $(2-1-10)$ 面の法線方向は $[2-1-10]$ 方向である。

【0020】

六方晶は 6 回対称であり、 60° 毎に等価な結晶面および等価な結晶方向が存在している。たとえば、 $(1-100)$ 面、 $(0-110)$ 面、 (-1010) 面、 (-1100) 面、 $(01-10)$ 面および $(10-10)$ 面は、等価な結晶面を形成している。

また、 $[1-100]$ 方向、 $[0-110]$ 方向、 $[-1010]$ 方向、 $[-1100]$ 方向、 $[01-10]$ 方向および $[10-10]$ 方向は、等価な結晶方向を形成している。また、 $[11-20]$ 方向、 $[1-210]$ 方向、 $[-2110]$ 方向、 $[-1-120]$ 方向、 $[-12-10]$ 方向および $[2-1-10]$ 方向は、等価な結晶方向を形成している。

【0021】

c 軸は、 $[0001]$ 方向 ($[000-1]$ 方向) である。 a_1 軸は、 $[2-1-10]$

10

20

30

40

50

〕方向（ $[-2\ 1\ 1\ 0]$ 方向）である。 $a\ 2$ 軸は、 $[-1\ 2\ -1\ 0]$ 方向（ $[1\ -2\ 1\ 0]$ 方向）である。 $a\ 3$ 軸は、 $[-1\ -1\ 2\ 0]$ 方向（ $[1\ 1\ -2\ 0]$ 方向）である。

（ $0\ 0\ 0\ 1$ ）面および（ $0\ 0\ 0\ -1$ ）面は、 c 面と総称される。 $[0\ 0\ 0\ 1]$ 方向および $[0\ 0\ 0\ -1]$ 方向は、 c 軸方向と総称される。（ $1\ 1\ -2\ 0$ ）面および（ $-1\ -1\ 2\ 0$ ）面は、 a 面と総称される。 $[1\ 1\ -2\ 0]$ 方向および $[-1\ -1\ 2\ 0]$ 方向は、 a 軸方向と総称される。（ $1\ -1\ 0\ 0$ ）面および（ $-1\ 1\ 0\ 0$ ）面は、 m 面と総称される。 $[1\ -1\ 0\ 0]$ 方向および $[-1\ 1\ 0\ 0]$ 方向は、 m 軸方向と総称される。

【0022】

図3は、本発明の第1実施形態に係るSiC半導体装置1を1つの角度から見た斜視図であって、改質ライン22A～22Dの第1形態例を示す斜視図である。図4は、図3に示すSiC半導体装置1を別の角度から見た斜視図である。

10

図5は、図3に示す領域Vの拡大図である。図6は、図3に示す領域VIの拡大図である。図7は、図3に示すSiC半導体装置1の平面図である。図8は、図7に示すVIII-VIII線に沿う断面図である。

【0023】

図3～図8を参照して、SiC半導体装置1は、SiC半導体層2を含む。SiC半導体層2は、六方晶からなるSiC単結晶の一例としての4H-SiC単結晶を含む。SiC半導体層2は、直方体形状のチップ状に形成されている。

SiC半導体層2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する側面5A、5B、5C、5Dを有している。第1主面3および第2主面4は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状（この形態では正形状）に形成されている。

20

【0024】

第1主面3は、半導体素子が形成された素子形成面である。SiC半導体層2の第2主面4は、研削痕を有する研削面からなる。側面5A～5Dは、それぞれSiC単結晶の結晶面に面する平滑な劈開面からなる。側面5A～5Dは、研削痕を有していない。

SiC半導体層2の厚さTLは、 $40\ \mu\text{m}$ 以上 $200\ \mu\text{m}$ 以下であってもよい。厚さTLは、 $40\ \mu\text{m}$ 以上 $60\ \mu\text{m}$ 以下、 $60\ \mu\text{m}$ 以上 $80\ \mu\text{m}$ 以下、 $80\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下、 $100\ \mu\text{m}$ 以上 $120\ \mu\text{m}$ 以下、 $120\ \mu\text{m}$ 以上 $140\ \mu\text{m}$ 以下、 $140\ \mu\text{m}$ 以上 $160\ \mu\text{m}$ 以下、 $160\ \mu\text{m}$ 以上 $180\ \mu\text{m}$ 以下または $180\ \mu\text{m}$ 以上 $200\ \mu\text{m}$ 以下であってもよい。厚さTLは、 $60\ \mu\text{m}$ 以上 $150\ \mu\text{m}$ 以下であることが好ましい。

30

【0025】

第1主面3および第2主面4は、この形態では、SiC単結晶の c 面に面している。第1主面3は、（ $0\ 0\ 0\ 1$ ）面（シリコン面）に面している。第2主面4は、SiC単結晶の（ $0\ 0\ 0\ -1$ ）面（カーボン面）に面している。

第1主面3および第2主面4は、SiC単結晶の c 面に対して $[1\ 1\ -2\ 0]$ 方向（オフ方向）に 10° 以下の角度で傾斜したオフ角 θ を有している。法線方向Zは、SiC単結晶の c 軸（ $[0\ 0\ 0\ 1]$ 方向）に対してオフ角 θ 分だけ傾斜している。

【0026】

オフ角 θ は、 0° 以上 5.0° 以下であってもよい。オフ角 θ は、 0° 以上 1.0° 以下、 1.0° 以上 1.5° 以下、 1.5° 以上 2.0° 以下、 2.0° 以上 2.5° 以下、 2.5° 以上 3.0° 以下、 3.0° 以上 3.5° 以下、 3.5° 以上 4.0° 以下、 4.0° 以上 4.5° 以下または 4.5° 以上 5.0° 以下の角度の範囲に設定されてもよい。オフ角 θ は、 0° を超えていることが好ましい。オフ角 θ は、 4.0° 未満であってもよい。

40

【0027】

オフ角 θ は、 3.0° 以上 4.5° 以下の角度の範囲に設定されていてもよい。この場合、オフ角 θ は、 3.0° 以上 3.5° 以下または 3.5° 以上 4.0° 以下の角度の範囲に設定されていることが好ましい。

オフ角 θ は、 1.5° 以上 3.0° 以下の角度の範囲に設定されていてもよい。この場

50

合、オフ角 θ は、 1.5° 以上 2.0° 以下または 2.0° 以上 2.5° 以下の角度の範囲に設定されていることが好ましい。

【0028】

側面5A～5Dの長さは、それぞれ、 0.5 mm 以上 10 mm 以下であってもよい。側面5A～5Dの表面積は、この形態では、互いに等しい。第1主面3および第2主面4が平面視において長方形に形成されている場合、側面5A、5Cの表面積は、側面5B、5Dの表面積未満であってもよいし、側面5B、5Dの表面積を超えていてもよい。

側面5Aおよび側面5Cは、この形態では、第1方向Xに沿って延び、第1方向Xに交差する第2方向Yに互に対向している。側面5Bおよび側面5Dは、この形態では、第2方向Yに沿って延び、第1方向Xに互に対向している。第2方向Yは、より具体的には第1方向Xに直交する方向である。

10

【0029】

第1方向Xは、この形態では、SiC単結晶のm軸方向（ $[1-100]$ 方向）に設定されている。第2方向Yは、SiC単結晶のa軸方向（ $[11-20]$ 方向）に設定されている。

側面5Aおよび側面5Cは、SiC単結晶のa面によって形成され、a軸方向に互に対向している。側面5Aは、SiC単結晶の $(-1-120)$ 面によって形成されている。側面5Cは、SiC単結晶の $(11-20)$ 面によって形成されている。

【0030】

側面5Bおよび側面5Dは、SiC単結晶のm面によって形成され、m軸方向に互に対向している。側面5Bは、SiC単結晶の (-1100) 面によって形成されている。側面5Dは、SiC単結晶の $(1-100)$ 面によって形成されている。

20

側面5Aおよび側面5Cは、SiC半導体層2の第1主面3の法線を 0° としたとき、SiC半導体層2の第1主面3の法線に対してオフ角 θ 未満の角度 θ_a （ $\theta_a < \theta$ ）を有している。

【0031】

角度 θ_a は、より具体的には、 0° 以上かつオフ角 θ 未満（ $0^\circ \leq \theta_a < \theta$ ）である。角度 θ_a は、断面視において第1主面3の周縁点および第2主面4の周縁点を結ぶラインが、第1主面3の法線との間で成す角度によって定義されてもよい。

一方、側面5Bおよび側面5Dは、SiC半導体層2の第1主面3の法線に沿って平面的に延びている。側面5Bおよび側面5Dは、より具体的には、第1主面3および第2主面4に対して略垂直に形成されている。

30

【0032】

SiC半導体層2は、この形態では、 n^+ 型のSiC半導体基板6およびn型のSiCエピタキシャル層7を含む積層構造を有している。SiC半導体基板6によって、SiC半導体層2の第2主面4が形成されている。

SiCエピタキシャル層7によって、SiC半導体層2の第1主面3が形成されている。SiC半導体基板6およびSiCエピタキシャル層7によって、SiC半導体層2の側面5A～5Dが形成されている。

【0033】

SiCエピタキシャル層7のn型不純物濃度は、SiC半導体基板6のn型不純物濃度以下である。SiCエピタキシャル層7のn型不純物濃度は、より具体的には、SiC半導体基板6のn型不純物濃度未満である。SiC半導体基板6のn型不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。SiCエピタキシャル層7のn型不純物濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。

40

【0034】

SiC半導体基板6の厚さTSは、 $40\text{ }\mu\text{m}$ 以上 $150\text{ }\mu\text{m}$ 以下であってもよい。厚さTSは、 $40\text{ }\mu\text{m}$ 以上 $50\text{ }\mu\text{m}$ 以下、 $50\text{ }\mu\text{m}$ 以上 $60\text{ }\mu\text{m}$ 以下、 $60\text{ }\mu\text{m}$ 以上 $70\text{ }\mu\text{m}$ 以下、 $70\text{ }\mu\text{m}$ 以上 $80\text{ }\mu\text{m}$ 以下、 $80\text{ }\mu\text{m}$ 以上 $90\text{ }\mu\text{m}$ 以下、 $90\text{ }\mu\text{m}$ 以上 $100\text{ }\mu\text{m}$

50

以下、 $100\text{ }\mu\text{m}$ 以上 $110\text{ }\mu\text{m}$ 以下、 $110\text{ }\mu\text{m}$ 以上 $120\text{ }\mu\text{m}$ 以下、 $120\text{ }\mu\text{m}$ 以上 $130\text{ }\mu\text{m}$ 以下、 $130\text{ }\mu\text{m}$ 以上 $140\text{ }\mu\text{m}$ 以下または $140\text{ }\mu\text{m}$ 以上 $150\text{ }\mu\text{m}$ 以下であってもよい。厚さ T_S は、 $40\text{ }\mu\text{m}$ 以上 $130\text{ }\mu\text{m}$ 以下であることが好ましい。 SiC 半導体基板6の薄化によって、電流経路の短縮による抵抗値の低減を図ることができる。

【0035】

SiC エピタキシャル層7の厚さ T_E は、 $1\text{ }\mu\text{m}$ 以上 $50\text{ }\mu\text{m}$ 以下であってもよい。厚さ T_E は、 $1\text{ }\mu\text{m}$ 以上 $5\text{ }\mu\text{m}$ 以下、 $5\text{ }\mu\text{m}$ 以上 $10\text{ }\mu\text{m}$ 以下、 $10\text{ }\mu\text{m}$ 以上 $15\text{ }\mu\text{m}$ 以下、 $15\text{ }\mu\text{m}$ 以上 $20\text{ }\mu\text{m}$ 以下、 $20\text{ }\mu\text{m}$ 以上 $25\text{ }\mu\text{m}$ 以下、 $25\text{ }\mu\text{m}$ 以上 $30\text{ }\mu\text{m}$ 以下、 $30\text{ }\mu\text{m}$ 以上 $35\text{ }\mu\text{m}$ 以下、 $35\text{ }\mu\text{m}$ 以上 $40\text{ }\mu\text{m}$ 以下、 $40\text{ }\mu\text{m}$ 以上 $45\text{ }\mu\text{m}$ 以下または $45\text{ }\mu\text{m}$ 以上 $50\text{ }\mu\text{m}$ 以下であってもよい。厚さ T_E は、 $5\text{ }\mu\text{m}$ 以上 $15\text{ }\mu\text{m}$ 以下であることが好ましい。

10

【0036】

SiC 半導体層2には、アクティブ領域8および外側領域9が設定されている。アクティブ領域8は、半導体素子の一例としてのショットキーバリアダイオードDが形成された領域である。外側領域9は、アクティブ領域8の外側の領域である。

アクティブ領域8は、平面視において SiC 半導体層2の側面5A～5Dから内方領域に間隔を空けて SiC 半導体層2の中央部に設定されている。アクティブ領域8は、平面視において SiC 半導体層2の側面5A～5Dに平行な4辺を有する四角形状に設定されている。

【0037】

20

外側領域9は、 SiC 半導体層2の側面5A～5Dおよびアクティブ領域8の周縁の間の領域に設定されている。外側領域9は、平面視においてアクティブ領域8を取り囲む無端状（この形態では四角環状）に設定されている。

SiC 半導体層2の第1主面3の上には、主面絶縁層10が形成されている。主面絶縁層10は、アクティブ領域8および外側領域9を選択的に被覆している。主面絶縁層10は、酸化シリコン（ SiO_2 ）層または窒化シリコン（ SiN ）層からなる単層構造を有していてもよい。

【0038】

主面絶縁層10は、酸化シリコン層および窒化シリコン層を含む積層構造を有していてもよい。酸化シリコン層は、窒化シリコン層の上に形成されていてもよい。窒化シリコン層は、酸化シリコン層の上に形成されていてもよい。主面絶縁層10は、この形態では、酸化シリコン層からなる単層構造を有している。

30

主面絶縁層10は、 SiC 半導体層2の側面5A～5Dから露出する絶縁側面11A，11B，11C，11Dを有している。絶縁側面11A～11Dは、側面5A～5Dに連なっている。絶縁側面11A～11Dは、側面5A～5Dに対して面一に形成されている。絶縁側面11A～11Dは、劈開面からなる。

【0039】

主面絶縁層10の厚さは、 $1\text{ }\mu\text{m}$ 以上 $50\text{ }\mu\text{m}$ 以下であってもよい。主面絶縁層10の厚さは、 $1\text{ }\mu\text{m}$ 以上 $10\text{ }\mu\text{m}$ 以下、 $10\text{ }\mu\text{m}$ 以上 $20\text{ }\mu\text{m}$ 以下、 $20\text{ }\mu\text{m}$ 以上 $30\text{ }\mu\text{m}$ 以下、 $30\text{ }\mu\text{m}$ 以上 $40\text{ }\mu\text{m}$ 以下または $40\text{ }\mu\text{m}$ 以上 $50\text{ }\mu\text{m}$ 以下であってもよい。

40

主面絶縁層10の上には、第1主面電極層12が形成されている。第1主面電極層12は、平面視において SiC 半導体層2の側面5A～5Dから内方領域に間隔を空けて SiC 半導体層2の中央部に形成されている。

【0040】

主面絶縁層10の上には、パッシベーション層13（絶縁層）が形成されている。パッシベーション層13は、酸化シリコン層または窒化シリコン層からなる単層構造を有していてもよい。

パッシベーション層13は、酸化シリコン層および窒化シリコン層を含む積層構造を有していてもよい。酸化シリコン層は、窒化シリコン層の上に形成されていてもよい。窒化シリコン層は、酸化シリコン層の上に形成されていてもよい。パッシベーション層13は

50

、この形態では、窒化シリコン層からなる単層構造を有している。

【0041】

パッシベーション層13の側面14A, 14B, 14C, 14Dは、平面視においてSiC半導体層2の側面5A~5Dから内方領域に間隔を空けて形成されている。パッシベーション層13は、平面視においてSiC半導体層2の第1主面3の周縁部を露出させている。パッシベーション層13は、主面絶縁層10を露出させている。

パッシベーション層13には、第1主面電極層12の一部をパッド領域として露出させるサブパッド開口15が形成されている。サブパッド開口15は、平面視においてSiC半導体層2の側面5A~5Dに平行な4辺を有する四角形状に形成されている。

【0042】

パッシベーション層13の厚さは、1 μ m以上50 μ m以下であってもよい。パッシベーション層13の厚さは、1 μ m以上10 μ m以下、10 μ m以上20 μ m以下、20 μ m以上30 μ m以下、30 μ m以上40 μ m以下または40 μ m以上50 μ m以下であってもよい。

パッシベーション層13の上には、樹脂層16（絶縁層）が形成されている。パッシベーション層13および樹脂層16は、1つの絶縁積層構造（絶縁層）を形成している。図7では、樹脂層16がハッチングによって示されている。

【0043】

樹脂層16は、ネガティブタイプまたはポジティブタイプの感光性樹脂を含んでいてもよい。樹脂層16は、この形態では、ポジティブタイプの感光性樹脂の一例としてのポリベンゾオキサゾールを含む。樹脂層16は、ネガティブタイプの感光性樹脂の一例としてのポリイミドを含んでいてもよい。

樹脂層16の樹脂側面17A, 17B, 17C, 17Dは、平面視においてSiC半導体層2の側面5A~5Dから内方領域に間隔を空けて形成されている。樹脂層16は、平面視においてSiC半導体層2の第1主面3の周縁部を露出させている。樹脂層16は、パッシベーション層13と共に主面絶縁層10を露出させている。樹脂層16の樹脂側面17A~17Dは、この形態では、パッシベーション層13の側面14A~14Dに面一に形成されている。

【0044】

樹脂層16の樹脂側面17A~17Dは、一枚のSiC半導体ウエハからSiC半導体装置1を切り出す際にダイシングストリートを区画していた部分である。この形態では、パッシベーション層13の側面14A~14Dもダイシングストリートを区画していた部分である。また、SiC半導体層2の側面5A~5Dからの絶縁距離を増加させることができる。

【0045】

樹脂層16やパッシベーション層13からSiC半導体層2の第1主面3の周縁部を露出させることにより、樹脂層16やパッシベーション層13を物理的に切断する必要がなくなる。これにより、一枚のSiC半導体ウエハからSiC半導体装置1を円滑に切り出すことができる。

側面5A~5Dおよび樹脂側面17A~17D（側面14A~14D）の間の距離は、1 μ m以上25 μ m以下であってもよい。側面5A~5Dおよび樹脂側面17A~17D（側面14A~14D）の間の距離は、1 μ m以上5 μ m以下、5 μ m以上10 μ m以下、10 μ m以上15 μ m以下、15 μ m以上20 μ m以下または20 μ m以上25 μ m以下であってもよい。むろん、パッシベーション層13の側面14A~14Dは、SiC半導体層2の側面5A~5Dに対して面一に形成されていてもよい。

【0046】

樹脂層16には、第1主面電極層12の一部をパッド領域として露出させるパッド開口18が形成されている。パッド開口18は、平面視においてSiC半導体層2の側面5A~5Dに平行な4辺を有する四角形状に形成されている。

パッド開口18は、サブパッド開口15に連通している。パッド開口18の内壁は、サ

10

20

30

40

50

ブパッド開口15の内壁に面一に形成されている。パッド開口18の内壁は、サブパッド開口15の内壁に対してSiC半導体層2の側面5A~5D側に位置していてもよい。パッド開口18の内壁は、サブパッド開口15の内壁に対してSiC半導体層2の内方領域に位置していてもよい。樹脂層16は、サブパッド開口15の内壁を被覆していてもよい。
【0047】

樹脂層16の厚さは、1 μ m以上50 μ m以下であってもよい。樹脂層16の厚さは、1 μ m以上10 μ m以下、10 μ m以上20 μ m以下、20 μ m以上30 μ m以下、30 μ m以上40 μ m以下または40 μ m以上50 μ m以下であってもよい。

SiC半導体層2の第2主面4の上には、第2主面電極層19が形成されている。第2主面電極層19は、SiC半導体層2の第2主面4（SiC半導体基板6）との間でオーミック接触を形成している。

【0048】

SiC半導体層2の側面5A~5Dには、複数の改質ライン22A~22D（改質層）が形成されている。改質ライン22A~22Dは、主面絶縁層10、パッシベーション層13および樹脂層16に形成されていない。改質ライン22A~22Dは、側面5Aに形成された改質ライン22A、側面5Bに形成された改質ライン22B、側面5Cに形成された改質ライン22C、および、側面5Dに形成された改質ライン22Dを含む。

【0049】

改質ライン22A、22CはSiC単結晶のa面にそれぞれ形成され、改質ライン22B、22DはSiC単結晶のm面にそれぞれ形成されている。改質ライン22Aは、側面5Aに複数（2個以上。この形態では3個）形成されている。改質ライン22Cは、側面5Cに複数（2個以上。この形態では3個）形成されている。改質ライン22A、22Cの個数は、2個以上6個以下であることが好ましい。

【0050】

改質ライン22Bは、側面5Bに1個または複数（2個以上。この形態では1個）形成されている。改質ライン22Dは、側面5Dに1個または複数（2個以上。この形態では1個）形成されている。改質ライン22B、22Dの個数は、改質ライン22A、22Cの個数以下であることが好ましい。改質ライン22B、22Dの個数は、改質ライン22A、22Cの個数未満であることがさらに好ましい。

【0051】

改質ライン22A~22Dは、側面5A~5Dを形成するSiC単結晶の一部がSiC単結晶とは異なる性質に改質された層状の領域を含む。改質ライン22A~22Dは、密度、屈折率または機械的強度（結晶強度）、もしくは、その他の物理的特性がSiC単結晶とは異なる性質に改質された領域を含む。

改質ライン22A~22Dは、熔融再硬化層、欠陥層、絶縁破壊層または屈折率変化層のうちの少なくとも1つの層を含んでいてもよい。熔融再硬化層は、SiC半導体層2の一部が熔融した後再度硬化した層である。欠陥層は、SiC半導体層2に形成された空孔や亀裂等を含む層である。絶縁破壊層は、SiC半導体層2の一部が絶縁破壊した層である。屈折率変化層は、SiC半導体層2の一部がSiC単結晶とは異なる屈折率に変化した層である。

【0052】

改質ライン22A~22Dは、SiC半導体層2の第1主面3の接線方向に沿って帯状に延びている。第1主面3の接線方向は、法線方向Zに直交する方向である。接線方向は、第1方向X（SiC単結晶のm軸方向）および第2方向Y（SiC単結晶のa軸方向）を含む。

図3を参照して、複数の改質ライン22Aは、側面5Aにおいてm軸方向に沿って直線状に延びる帯状にそれぞれ形成されている。複数の改質ライン22Aは、法線方向Zに互いにずれて形成されている。

【0053】

複数の改質ライン22Aは、法線方向Zに間隔を空けて形成されていることが好ましい

10

20

30

40

50

。複数の改質ライン 2 2 A は、法線方向 Z に互いに重なっていてもよい。複数の改質ライン 2 2 A は、法線方向 Z に関して厚さ T R をそれぞれ有している。複数の改質ライン 2 2 A の厚さ T R は、互いに等しくてもよいし、互いに異なってもよい。

複数の改質ライン 2 2 A のうち第 1 主面 3 側の改質ライン 2 2 A は、S i C 半導体層 2 の第 1 主面 3 から第 2 主面 4 に間隔を空けて形成されている。第 1 主面 3 側の改質ライン 2 2 A は、側面 5 A から S i C 半導体層 2 の第 1 主面 3 の表層部を露出させている。

【0054】

複数の改質ライン 2 2 A のうち第 2 主面 4 側の改質ライン 2 2 A は、S i C 半導体層 2 の第 2 主面 4 から第 1 主面 3 に間隔を空けて形成されている。第 2 主面 4 側の改質ライン 2 2 A は、側面 5 A から S i C 半導体層 2 の第 2 主面 4 の表層部を露出させている。

10

複数の改質ライン 2 2 A は、S i C 半導体基板 6 に形成されている。複数の改質ライン 2 2 A は、S i C 半導体基板 6 および S i C エピタキシャル層 7 の間の境界から第 2 主面 4 に間隔を空けて形成されている。複数の改質ライン 2 2 A は、S i C 半導体層 2 の第 1 主面 3 の表層部において S i C エピタキシャル層 7 を露出させている。

【0055】

S i C 単結晶の a 面に面する側面 5 A は、S i C 単結晶の c 軸を劈開方向として劈開する物性を有している。したがって、第 1 主面 3 の法線方向 Z や S i C 単結晶の c 軸に沿って複数の改質ライン 2 2 A を形成した場合には、側面 5 A は S i C 単結晶の c 軸に沿う傾斜面となる。

そこで、この形態では、図 8 を参照して、a 軸方向に関して第 1 主面 3 の法線から S i C 単結晶の c 軸とは反対方向に向けて傾斜した 1 つまたは複数（この形態では 1 つ）の傾斜部を側面 5 A に導入している。c 軸の反対方向は、より具体的には、法線方向 Z および S i C 単結晶の a 軸方向（ $[11-20]$ 方向）の間の方向である。

20

【0056】

この形態では、断面視において S i C 単結晶の a 軸方向に互いにずれて形成された複数の改質ライン 2 2 A によって、S i C 単結晶の c 軸とは反対側（側面 5 C 側）に向かう傾斜部が側面 5 A に導入されている。

側面 5 A には、S i C 単結晶の c 軸に沿う 1 つまたは複数の傾斜部も形成されている。S i C 単結晶の c 軸とは反対側に向かう傾斜部によって c 軸に向かう傾斜部の形成領域の削減が図られている。

30

【0057】

複数の改質ライン 2 2 A は、より具体的には、断面視において法線方向 Z に関して a 軸方向の一方側（ $[11-20]$ 方向側）および他方側（ $[-1-120]$ 方向側）に交互にずれて形成されている。

4 個以上の改質ライン 2 2 A が側面 5 A に形成されている場合、全ての改質ライン 2 2 A が a 軸方向の一方側および他方側に交互にずれて形成されている必要はない。複数の改質ライン 2 2 A は、a 軸方向の一方側および他方側に交互にずれて形成された部分を含んでいてもよい。

【0058】

複数の改質ライン 2 2 A は、任意の 2 個の改質ライン 2 2 A を結ぶ直線が少なくとも第 1 主面 3 の法線に交差する態様で形成されていることが好ましい。任意の 2 個の改質ライン 2 2 A を結ぶ直線は、S i C 単結晶の c 軸に交差することが好ましい。任意の 2 個の改質ライン 2 2 A を結ぶ直線は、第 1 主面 3 の法線および S i C 単結晶の c 軸に交差することが好ましい。

40

【0059】

複数の改質ライン 2 2 A は、a 軸方向に関して第 2 主面 4 側の改質ライン 2 2 A に対して S i C 半導体層 2 の内方（ $[11-20]$ 方向側）にずれて形成された 1 個または複数の改質ライン 2 2 A を含むことが好ましい。

この形態では、中間の改質ライン 2 2 A が第 2 主面 4 側の改質ライン 2 2 A に対して S i C 半導体層 2 の内方にずれて形成された例が示されている。S i C 単結晶の c 軸とは反

50

対側に向かう傾斜部は、第2主面4側の改質ライン22Aおよび中間の改質ライン22Aの間の領域に形成されている。第2主面4側の改質ライン22Aおよび中間の改質ライン22Aを結ぶ直線は、第1主面3の法線およびSiC単結晶のc軸に交差している。

【0060】

複数の改質ライン22Aは、a軸方向に関して第1主面3側の改質ライン22Aに対してSiC半導体層2の内方（ $[11-20]$ 方向側）にずれて形成された1個または複数の改質ライン22Aを含むことが好ましい。

この形態では、中間の改質ライン22Aが第1主面3側の改質ライン22Aに対してSiC半導体層2の内方にずれて形成された例が示されている。SiC単結晶のc軸に向かう傾斜部は、第1主面3側の改質ライン22Aおよび中間の改質ライン22Aの間の領域に形成されている。

10

【0061】

第1主面3側の改質ライン22Aおよび中間の改質ライン22Aを結ぶ直線は、第1主面3の法線に交差している。第1主面3側の改質ライン22Aおよび中間の改質ライン22Aを結ぶ直線は、SiC単結晶のc軸に沿って延びていてもよいし、SiC単結晶のc軸に交差していてもよい。

3個以上の改質ライン22Aが形成されている場合、複数の改質ライン22Aは、任意の2個の改質ライン22Aを結ぶ直線に対してSiC半導体層2の内方（ $[11-20]$ 方向側）にずれて形成された1個または複数の改質ライン22Aを含むことが好ましい。

【0062】

20

この形態では、中間の改質ライン22Aが、第1主面3側の改質ライン22Aおよび第2主面4側の改質ライン22Aを結ぶ直線に対してSiC半導体層2の内方にずれて形成された例が示されている。

SiC単結晶のa軸方向に関して互いに隣り合う2つの改質ライン22Aの間の距離DRは、 $0\mu\text{m}$ を超えて $20\mu\text{m}$ 以下であってもよい。距離DRは、 $0\mu\text{m}$ を超えて $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下、 $10\mu\text{m}$ 以上 $15\mu\text{m}$ 以下または $15\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。

【0063】

a軸方向に関して最も外方に位置する改質ライン22Aおよび最も内方に位置する改質ライン22Aの間の最遠距離DDは、 $0\mu\text{m}$ を超えて $40\mu\text{m}$ 以下であってもよい。最遠距離DDは、 $0\mu\text{m}$ を超えて $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下、 $10\mu\text{m}$ 以上 $15\mu\text{m}$ 以下、 $15\mu\text{m}$ 以上 $20\mu\text{m}$ 以下、 $20\mu\text{m}$ 以上 $25\mu\text{m}$ 以下、 $25\mu\text{m}$ 以上 $30\mu\text{m}$ 以下、 $30\mu\text{m}$ 以上 $35\mu\text{m}$ 以下、 $35\mu\text{m}$ 以上 $40\mu\text{m}$ 以下、 $40\mu\text{m}$ 以上 $45\mu\text{m}$ 以下、 $45\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であってもよい。最遠距離DDは、距離DRと一致していてもよい。

30

【0064】

距離DRは、オフ角 θ およびSiC半導体層2の厚さTLを用いて、 $TL \times \tan \theta$ 未満の値（ $0 < DR < TL \times \tan \theta$ ）であることが好ましい。また、最遠距離DDは、 $TL \times \tan \theta$ 未満の値（ $0 < DD < TL \times \tan \theta$ ）であることが好ましい。この場合、3個以上の改質ライン22Aが形成されていることが好ましい。

40

SiC半導体層2の側面5Aは、複数の改質ライン22Aを頂部または基部とする隆起部を有している。この形態では、第1主面3側の改質ライン22Aおよび第2主面4側の改質ライン22Aが隆起部の頂部を形成し、中間の改質ライン22Aが隆起部の基部を形成している例を示している。

【0065】

改質ライン22Bは、側面5Bにおいてa軸方向に沿って直線状に延びる帯状に形成されている。改質ライン22Bは、法線方向Zに関して厚さTRを有している。改質ライン22Bは、SiC半導体層2の第1主面3から第2主面4に間隔を空けて形成されている。改質ライン22Bは、側面5BからSiC半導体層2の第1主面3の表層部を露出させている。

50

【0066】

改質ライン22Bは、SiC半導体層2の第2主面4から第1主面3に間隔を空けて形成されている。改質ライン22Bは、側面5BからSiC半導体層2の第2主面4の表層部を露出させている。

改質ライン22Bは、SiC半導体基板6に形成されている。改質ライン22Bは、SiC半導体基板6およびSiCエピタキシャル層7の間の境界から第2主面4に間隔を空けて形成されている。改質ライン22Bは、SiC半導体層2の第1主面3の表層部においてSiCエピタキシャル層7を露出させている。

【0067】

むろん、改質ライン22Bは、側面5Bに複数形成されていてもよい。この場合、複数の改質ライン22Bは、法線方向Zに互いにずれて形成される。複数の改質ライン22Bは、法線方向Zに間隔を空けて形成されていることが好ましい。複数の改質ライン22Bは、法線方向Zに互いに重なっていてもよい。複数の改質ライン22Bの厚さTRは、互いに等しくてもよいし、互いに異なってもよい。

【0068】

図4を参照して、複数の改質ライン22Cは、側面5Cにおいてm軸方向に沿って直線状に延びる帯状にそれぞれ形成されている。複数の改質ライン22Cは、法線方向Zに互いにずれて形成されている。

複数の改質ライン22Cは、法線方向Zに間隔を空けて形成されていることが好ましい。複数の改質ライン22Cは、法線方向Zに互いに重なっていてもよい。複数の改質ライン22Cは、法線方向Zに関して厚さTRをそれぞれ有している。複数の改質ライン22Cの厚さTRは、互いに等しくてもよいし、互いに異なってもよい。

【0069】

複数の改質ライン22Cのうち第1主面3側の改質ライン22Cは、SiC半導体層2の第1主面3から第2主面4に間隔を空けて形成されている。第1主面3側の改質ライン22Cは、側面5CからSiC半導体層2の第1主面3の表層部を露出させている。

複数の改質ライン22Cのうち第2主面4側の改質ライン22Cは、SiC半導体層2の第2主面4から第1主面3に間隔を空けて形成されている。第2主面4側の改質ライン22Cは、側面5CからSiC半導体層2の第2主面4の表層部を露出させている。

【0070】

複数の改質ライン22Cは、SiC半導体基板6に形成されている。複数の改質ライン22Cは、SiC半導体基板6およびSiCエピタキシャル層7の間の境界から第2主面4に間隔を空けて形成されている。複数の改質ライン22Cは、SiC半導体層2の第1主面3の表層部においてSiCエピタキシャル層7を露出させている。

SiC単結晶のa面に面する側面5Cは、SiC単結晶のc軸を劈開方向として劈開する物性を有している。したがって、第1主面3の法線方向ZやSiC単結晶のc軸に沿って複数の改質ライン22Cを形成した場合には、側面5CはSiC単結晶のc軸に沿う傾斜面となる。

【0071】

そこで、この形態では、図8を参照して、第1主面3の法線からSiC単結晶のc軸とは反対側（側面5Aとは反対側）の方向に向けて傾斜した1つまたは複数（この形態では1つ）の傾斜部を側面5Cに導入している。c軸の反対方向は、より具体的には、法線方向ZおよびSiC単結晶のa軸方向（[11-20]方向）の間の方向である。

この形態では、断面視においてSiC単結晶のa軸方向に互いにずれて形成された複数の改質ライン22Cによって、SiC単結晶のc軸とは反対側（側面5Aとは反対側）に向かう傾斜部が側面5Cに導入されている。

【0072】

側面5Cには、SiC単結晶のc軸に沿う1つまたは複数の傾斜部も形成されている。SiC単結晶のc軸とは反対側に向かう傾斜部によってc軸に向かう傾斜部の形成領域の削減が図られている。

10

20

30

40

50

複数の改質ライン 2 2 C は、より具体的には、断面視において法線方向 Z に関して a 軸方向の一方側（[1 1 - 2 0] 方向側）および他方側（[- 1 - 1 2 0] 方向側）に交互にずれて形成されている。

【0 0 7 3】

4 個以上の改質ライン 2 2 C が側面 5 C に形成されている場合、全ての改質ライン 2 2 C が a 軸方向の一方側および他方側に交互にずれて形成されている必要はない。複数の改質ライン 2 2 C は、a 軸方向の一方側および他方側に交互にずれて形成された部分を含んでいてもよい。

複数の改質ライン 2 2 C は、任意の 2 個の改質ライン 2 2 C を結ぶ直線が少なくとも第 1 主面 3 の法線に交差する態様で形成されていることが好ましい。任意の 2 個の改質ライン 2 2 C を結ぶ直線は、S i C 単結晶の c 軸に交差することが好ましい。任意の 2 個の改質ライン 2 2 C を結ぶ直線は、第 1 主面 3 の法線および S i C 単結晶の c 軸に交差することが好ましい。

【0 0 7 4】

複数の改質ライン 2 2 C は、a 軸方向に関して第 2 主面 4 側の改質ライン 2 2 C に対して S i C 半導体層 2 の外方（[1 1 - 2 0] 方向側）にずれて形成された 1 個または複数の改質ライン 2 2 C を含むことが好ましい。

この形態では、中間の改質ライン 2 2 C が第 2 主面 4 側の改質ライン 2 2 C に対して S i C 半導体層 2 の外方にずれて形成された例が示されている。S i C 単結晶の c 軸とは反対側に向かう傾斜部は、第 2 主面 4 側の改質ライン 2 2 C および中間の改質ライン 2 2 C の間の領域に形成されている。第 2 主面 4 側の改質ライン 2 2 C および中間の改質ライン 2 2 C を結ぶ直線は、第 1 主面 3 の法線および S i C 単結晶の c 軸に交差している。

【0 0 7 5】

複数の改質ライン 2 2 C は、a 軸方向に関して第 1 主面 3 側の改質ライン 2 2 C に対して S i C 半導体層 2 の外方（[1 1 - 2 0] 方向側）にずれて形成された 1 個または複数の改質ライン 2 2 C を含むことが好ましい。

この形態では、中間の改質ライン 2 2 C が第 1 主面 3 側の改質ライン 2 2 C に対して S i C 半導体層 2 の外方にずれて形成された例が示されている。S i C 単結晶の c 軸に向かう傾斜部は、第 1 主面 3 側の改質ライン 2 2 C および中間の改質ライン 2 2 C の間の領域に形成されている。

【0 0 7 6】

第 1 主面 3 側の改質ライン 2 2 C および中間の改質ライン 2 2 C を結ぶ直線は、第 1 主面 3 の法線に交差している。第 1 主面 3 側の改質ライン 2 2 C および中間の改質ライン 2 2 C を結ぶ直線は、S i C 単結晶の c 軸に沿って延びていてもよいし、S i C 単結晶の c 軸に交差していてもよい。

3 個以上の改質ライン 2 2 C が形成されている場合、複数の改質ライン 2 2 C は、任意の 2 個の改質ライン 2 2 A を結ぶ直線に対して S i C 半導体層 2 の外方（[1 1 - 2 0] 方向側）にずれて形成された 1 個または複数の改質ライン 2 2 C を含むことが好ましい。

【0 0 7 7】

この形態では、中間の改質ライン 2 2 C が、第 1 主面 3 側の改質ライン 2 2 C および第 2 主面 4 側の改質ライン 2 2 C を結ぶ直線に対して S i C 半導体層 2 の外方にずれて形成された例が示されている。

S i C 単結晶の a 軸方向に関して互いに隣り合う 2 つの改質ライン 2 2 C の間の距離 D R は、0 μ m を超えて 2 0 μ m 以下であってもよい。距離 D R は、0 μ m を超えて 5 μ m 以下、5 μ m 以上 1 0 μ m 以下、1 0 μ m 以上 1 5 μ m 以下または 1 5 μ m 以上 2 0 μ m 以下であってもよい。

【0 0 7 8】

a 軸方向に関して最も外方に位置する改質ライン 2 2 C および最も内方に位置する改質ライン 2 2 C の間の最遠距離 D D は、0 μ m を超えて 4 0 μ m 以下であってもよい。最遠距離 D D は、0 μ m を超えて 5 μ m 以下、5 μ m 以上 1 0 μ m 以下、1 0 μ m 以上 1 5 μ m

10

20

30

40

50

m以下、 $15\mu\text{m}$ 以上 $20\mu\text{m}$ 以下、 $20\mu\text{m}$ 以上 $25\mu\text{m}$ 以下、 $25\mu\text{m}$ 以上 $30\mu\text{m}$ 以下、 $30\mu\text{m}$ 以上 $35\mu\text{m}$ 以下、 $35\mu\text{m}$ 以上 $40\mu\text{m}$ 以下、 $40\mu\text{m}$ 以上 $45\mu\text{m}$ 以下、 $45\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であってもよい。最遠距離DDは、距離DRと一致していてもよい。

【0079】

距離DRは、オフ角 θ およびSiC半導体層2の厚さTLを用いて、 $TL \times \tan \theta$ 未満の値($0 < DR < TL \times \tan \theta$)であることが好ましい。また、最遠距離DDは、 $TL \times \tan \theta$ 未満の値($0 < DD < TL \times \tan \theta$)であることが好ましい。この場合、3個以上の改質ライン22Cが形成されていることが好ましい。

SiC半導体層2の側面5Cは、複数の改質ライン22Cを頂部または基部とする隆起部を有している。この形態では、第1主面3側の改質ライン22Cおよび第2主面4側の改質ライン22Cが隆起部の基部を形成し、中間の改質ライン22Cが隆起部の頂部を形成している例を示している。

【0080】

改質ライン22Dは、側面5Dにおいてa軸方向に沿って直線状に延びる帯状に形成されている。改質ライン22Dは、法線方向Zに関して厚さTRを有している。改質ライン22Dは、SiC半導体層2の第1主面3から第2主面4に間隔を空けて形成されている。改質ライン22Dは、側面5DからSiC半導体層2の第1主面3の表層部を露出させている。

【0081】

改質ライン22Dは、SiC半導体層2の第2主面4から第1主面3に間隔を空けて形成されている。改質ライン22Dは、側面5DからSiC半導体層2の第2主面4の表層部を露出させている。

改質ライン22Dは、SiC半導体基板6に形成されている。改質ライン22Dは、SiC半導体基板6およびSiCエピタキシャル層7の間の境界から第2主面4に間隔を空けて形成されている。改質ライン22Dは、SiC半導体層2の第1主面3の表層部においてSiCエピタキシャル層7を露出させている。

【0082】

むろん、改質ライン22Dは、側面5Dに複数形成されていてもよい。この場合、複数の改質ライン22Dは、法線方向Zに互いにずれて形成される。複数の改質ライン22Dは、法線方向Zに間隔を空けて形成されていることが好ましい。複数の改質ライン22Dは、法線方向Zに互いに重なっていてもよい。複数の改質ライン22Dの厚さTRは、互いに等しくてもよいし、互いに異なってもよい。

【0083】

改質ライン22Aおよび改質ライン22Bは、SiC半導体層2における側面5Aおよび側面5Bを接続する角部において互いに連なってもよい。改質ライン22Bおよび改質ライン22Cは、SiC半導体層2における側面5Bおよび側面5Cを接続する角部において互いに連なってもよい。

改質ライン22Cおよび改質ライン22Dは、SiC半導体層2における側面5Cおよび側面5Dを接続する角部において互いに連なってもよい。改質ライン22Dおよび改質ライン22Aは、SiC半導体層2における側面5Dおよび側面5Aを接続する角部において互いに連なってもよい。

【0084】

改質ライン22A～22Dは、SiC半導体層2を取り囲むように一体的に形成されていてもよい。つまり、改質ライン22A～22Dは、SiC半導体層2の側面5A～5DにおいてSiC半導体層2を取り囲む1つの無端状（環状）の改質ラインを形成していてもよい。

改質ライン22A～22Dは、SiC半導体層2の側面5A～5Dにおいて異なる専有割合RA, RB, RC, RDで形成されている。専有割合RAは、改質ライン22Aが側面5Aに占める割合である。専有割合RBは、改質ライン22Bが側面5Bに占める割合

10

20

30

40

50

である。専有割合 R_C は、改質ライン 22C が側面 5C に占める割合である。専有割合 R_D は、改質ライン 22D が側面 5D に占める割合である。

【0085】

専有割合 $R_A \sim R_D$ は、より具体的には、SiC 単結晶の結晶面に応じて異なっている。SiC 単結晶の m 面に形成された改質ライン 22B, 22D の専有割合 R_B, R_D は、SiC 単結晶の a 面に形成された改質ライン 22A, 22C の専有割合 R_A, R_C 以下 ($R_B, R_D \leq R_A, R_C$) である。専有割合 R_B, R_D は、より具体的には、専有割合 R_A, R_C 未満 ($R_B, R_D < R_A, R_C$) である。

【0086】

改質ライン 22A, 22C の専有割合 R_A, R_C は、互いに等しくてもよいし、互いに異なってもよい。また、改質ライン 22B, 22D の専有割合 R_B, R_D は、互いに等しくてもよいし、互いに異なってもよい。

専有割合 $R_A \sim R_D$ は、改質ライン 22A ~ 22D の個数、厚さ T_R 、総表面積等によって調整される。この形態では、一例として、改質ライン 22A ~ 22D の個数および厚さ T_R を調節することによって、改質ライン 22A ~ 22D の専有割合 $R_A \sim R_D$ を調整している。

【0087】

改質ライン 22B, 22D の個数は、それぞれ改質ライン 22A, 22C の個数未満である。また、改質ライン 22B, 22D の厚さ T_R の合計値は、それぞれ改質ライン 22A, 22C の厚さ T_R の合計値未満である。また、改質ライン 22B, 22D の表面積の合計値は、それぞれ改質ライン 22A, 22C の表面積の合計値未満である。

法線方向 Z に関して改質ライン 22A ~ 22D の厚さ T_R は、SiC 半導体層 2 の厚さ T_L 以下 ($T_R \leq T_L$) であることが好ましい。改質ライン 22A ~ 22D の厚さ T_R は、SiC 半導体基板 6 の厚さ T_S 未満 ($T_R < T_S$) であることがさらに好ましい。

【0088】

改質ライン 22A ~ 22D の厚さ T_R は、SiC エピタキシャル層 7 の厚さ T_E 以上 ($T_R \geq T_E$) であってもよい。改質ライン 22A の厚さ T_R 、改質ライン 22B の厚さ T_R 、改質ライン 22C の厚さ T_R および改質ライン 22D の厚さ T_R の厚さは、互いに等しくてもよいし、互いに異なってもよい。

SiC 半導体層 2 の厚さ T_L に対する改質ライン 22A ~ 22D の厚さ T_R の比 T_R / T_L は、0.1 以上 1.0 未満であることが好ましい。比 T_R / T_L は、0.1 以上 0.2 以下、0.2 以上 0.4 以下、0.4 以上 0.6 以下、0.6 以上 0.8 以下または 0.8 以上 1.0 未満であってもよい。

【0089】

比 T_R / T_L は、0.1 以上 0.2 以下、0.2 以上 0.3 以下、0.3 以上 0.4 以下、0.4 以上 0.5 以下、0.5 以上 0.6 以下、0.6 以上 0.7 以下、0.7 以上 0.8 以下、0.8 以上 0.9 以下または 0.9 以上 1.0 未満であってもよい。比 T_R / T_L は、0.2 以上 0.5 以下であることが好ましい。

SiC 半導体基板 6 の厚さ T_S に対する改質ライン 22A ~ 22D の厚さ T_R の比 T_R / T_S は、0.1 以上 1.0 未満であることがさらに好ましい。比 T_R / T_S は、0.1 以上 0.2 以下、0.2 以上 0.4 以下、0.4 以上 0.6 以下、0.6 以上 0.8 以下または 0.8 以上 1.0 未満であってもよい。

【0090】

比 T_R / T_S は、0.1 以上 0.2 以下、0.2 以上 0.3 以下、0.3 以上 0.4 以下、0.4 以上 0.5 以下、0.5 以上 0.6 以下、0.6 以上 0.7 以下、0.7 以上 0.8 以下、0.8 以上 0.9 以下または 0.9 以上 1.0 未満であってもよい。比 T_R / T_S は、0.2 以上 0.5 以下であることが好ましい。

図 5 を参照して、改質ライン 22A は、複数の a 面改質部 28 (改質部) を含む。換言すると、改質ライン 22A は、複数の a 面改質部 28 の集合体によって形成されている。複数の a 面改質部 28 は、側面 5A から露出する SiC 単結晶が SiC 単結晶とは異なる

10

20

30

40

50

性質に改質された部分である。側面 5 A において各 a 面改質部 2 8 の周囲の領域は、S i C 単結晶とは異なる性質に改質されていてもよい。

【0091】

複数の a 面改質部 2 8 は、第 1 主面 3 側に位置する一端部 2 8 a、第 2 主面 4 側に位置する他端部 2 8 b、ならびに、一端部 2 8 a および他端部 2 8 b を接続する接続部 2 8 c をそれぞれ含む。

複数の a 面改質部 2 8 は、法線方向 Z に延びる線状にそれぞれ形成されている。これにより、複数の a 面改質部 2 8 は、全体として縞状に形成されている。複数の a 面改質部 2 8 は、m 軸方向幅が一端部 2 8 a 側から他端部 2 8 b 側に向けて狭まる先細り形状に形成された複数の a 面改質部 2 8 を含んでいてもよい。

10

【0092】

複数の a 面改質部 2 8 は、m 軸方向に互いに対向するように m 軸方向に間隔を空けて形成されている。複数の a 面改質部 2 8 は、m 軸方向に互いに重なり合ってもよい。m 軸方向に延びる帯状の領域が、複数の a 面改質部 2 8 の一端部 2 8 a を結ぶラインおよび複数の a 面改質部 2 8 の他端部 2 8 b を結ぶラインによって形成されている。改質ライン 2 2 A は、この帯状の領域によって形成されている。

【0093】

複数の a 面改質部 2 8 は、側面 5 A を切り欠いた切欠部をそれぞれ形成していてもよい。複数の a 面改質部 2 8 は、側面 5 A から a 軸方向に向けて窪んだりセスをそれぞれ形成していてもよい。複数の a 面改質部 2 8 は、法線方向 Z の長さや m 軸方向幅に応じて点状（ドット状）に形成されていてもよい。

20

m 軸方向に関して、互いに隣り合う複数の a 面改質部 2 8 の中央部間のピッチ P R は、 $0\ \mu\text{m}$ を超えて $20\ \mu\text{m}$ 以下であってもよい。ピッチ P R は、 $0\ \mu\text{m}$ を超えて $5\ \mu\text{m}$ 以下、 $5\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下、 $10\ \mu\text{m}$ 以上 $15\ \mu\text{m}$ 以下または $15\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であってもよい。

【0094】

m 軸方向に関して、各 a 面改質部 2 8 の幅 W R は、 $0\ \mu\text{m}$ を超えて $20\ \mu\text{m}$ 以下であってもよい。幅 W R は、 $0\ \mu\text{m}$ を超えて $5\ \mu\text{m}$ 以下、 $5\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下、 $10\ \mu\text{m}$ 以上 $15\ \mu\text{m}$ 以下または $15\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であってもよい。

改質ライン 2 2 C は、側面 5 C に形成されている点を除いて、改質ライン 2 2 A と同様の構造を有している。改質ライン 2 2 A の説明は、「側面 5 A」を「側面 5 C」と読み替えて改質ライン 2 2 C の説明に準用される。

30

【0095】

図 6 を参照して、改質ライン 2 2 D は、複数の m 面改質部 2 9（改質部）を含む。換言すると、改質ライン 2 2 D は、複数の m 面改質部 2 9 の集合体によって形成されている。複数の m 面改質部 2 9 は、側面 5 D から露出する S i C 単結晶が S i C 単結晶とは異なる性質に改質された部分である。側面 5 D において各 m 面改質部 2 9 の周囲の領域は、S i C 単結晶とは異なる性質に改質されていてもよい。

【0096】

複数の m 面改質部 2 9 は、第 1 主面 3 側に位置する一端部 2 9 a、第 2 主面 4 側に位置する他端部 2 9 b、ならびに、一端部 2 9 a および他端部 2 9 b を接続する接続部 2 9 c をそれぞれ含む。

40

複数の m 面改質部 2 9 は、法線方向 Z に延びる線状にそれぞれ形成されている。これにより、複数の m 面改質部 2 9 は、全体として縞状に形成されている。複数の m 面改質部 2 9 は、a 軸方向幅が一端部 2 9 a 側から他端部 2 9 b 側に向けて狭まる先細り形状に形成された複数の m 面改質部 2 9 を含んでいてもよい。

【0097】

複数の m 面改質部 2 9 は、a 軸方向に互いに対向するように a 軸方向に間隔を空けて形成されている。複数の m 面改質部 2 9 は、a 軸方向に互いに重なり合ってもよい。a 軸方向に延びる帯状の領域が、複数の m 面改質部 2 9 の一端部 2 9 a を結ぶラインおよび

50

複数のm面改質部29の他端部29bを結ぶラインによって形成されている。改質ライン22Dは、この帯状の領域によって形成されている。

【0098】

複数のm面改質部29は、側面5Dを切り欠いた切欠部をそれぞれ形成していてもよい。複数のm面改質部29は、側面5Dからm軸方向に向けて窪んだりセスをそれぞれ形成していてもよい。複数のm面改質部29は、法線方向Zの長さやa軸方向幅に応じて点状（ドット状）に形成されていてもよい。

a軸方向に関して、互いに隣り合う複数のm面改質部29の中央部間のピッチPRは、0μm以上20μm以下であってもよい。ピッチPRは、0μm以上5μm以下、5μm以上10μm以下、10μm以上15μm以下または15μm以上20μm以下であってもよい。

10

【0099】

a軸方向に関して、各m面改質部29の幅WRは、0μmを超えて20μm以下であってもよい。幅WRは、0μmを超えて5μm以下、5μm以上10μm以下、10μm以上15μm以下または15μm以上20μm以下であってもよい。

改質ライン22Bは、側面5Bに形成されている点を除いて、改質ライン22Dと同様の構造を有している。改質ライン22Dの説明は、「側面5D」を「側面5B」と読み替えて改質ライン22Bの説明に準用される。

【0100】

図8を参照して、アクティブ領域8においてSiC半導体層2の第1主面3の表層部には、n型のダイオード領域35が形成されている。ダイオード領域35は、この形態では、SiC半導体層2の第1主面3の中央部に形成されている。ダイオード領域35は、この形態では、平面視においてSiC半導体層2の側面5A～5Dに平行な4辺を有する四角形状に設定されている。

20

【0101】

ダイオード領域35のn型不純物濃度は、SiCエピタキシャル層7のn型不純物濃度以上であってもよい。ダイオード領域35は、この形態では、SiCエピタキシャル層7の一部を利用して形成されている。ダイオード領域35のn型不純物濃度は、SiCエピタキシャル層7のn型不純物濃度と等しい。ダイオード領域35は、SiCエピタキシャル層7の表層部に対するn型不純物の導入によって形成されていてもよい。

30

【0102】

外側領域9においてSiC半導体層2の第1主面3の表層部には、p⁺型のガード領域36が形成されている。ガード領域36は、平面視においてダイオード領域35に沿って延びる帯状に形成されている。

ガード領域36は、より具体的には、平面視においてダイオード領域35を取り囲む無端状（たとえば四角環状、角を面取りした四角環状または円環状）に形成されている。これにより、ガード領域36は、ガードリング領域として形成されている。ダイオード領域35は、この形態では、ガード領域36によって画定されている。また、アクティブ領域8は、ガード領域36によって画定されている。

【0103】

40

ガード領域36のp型不純物は、活性化されていなくてもよい。この場合、ガード領域36は、非半導体領域として形成される。ガード領域36のp型不純物は、活性化されていてもよい。この場合、ガード領域36は、p型半導体領域として形成される。

SiC半導体層2の第1主面3の上には、前述の主面絶縁層10が形成されている。主面絶縁層10には、ダイオード領域35を露出させるダイオード開口37が形成されている。ダイオード開口37は、ダイオード領域35に加えてガード領域36の内周縁も露出させている。ダイオード開口37は、平面視においてSiC半導体層2の側面5A～5Dに平行な4辺を有する四角形状に形成されている。

【0104】

主面絶縁層10の上には、前述の第1主面電極層12が形成されている。第1主面電極

50

層 12 は、絶縁層の上からダイオード開口 37 に入り込んでいる。第 1 主面電極層 12 は、ダイオード開口 37 内においてダイオード領域 35 に電氣的に接続されている。

第 1 主面電極層 12 は、より具体的には、ダイオード領域 35 との間でショットキー接合を形成している。これにより、第 1 主面電極層 12 をアノードとし、ダイオード領域 35 をカソードとするショットキーバリアダイオード D が形成されている。主面絶縁層 10 の上には、前述のパッシベーション層 13 および樹脂層 16 が形成されている。

【0105】

図 9 は、図 3 に示す SiC 半導体装置 1 の製造に使用される SiC 半導体ウエハ 41 を示す斜視図である。

SiC 半導体ウエハ 41 は、SiC 半導体基板 6 のベースとなる部材である。SiC 半導体ウエハ 41 は、六方晶からなる SiC 単結晶の一例としての 4H-SiC 単結晶を含む。SiC 半導体ウエハ 41 は、この形態では、SiC 半導体基板 6 の n 型不純物濃度に対応した n 型不純物濃度を有している。

【0106】

SiC 半導体ウエハ 41 は板状または盤状に形成されている。SiC 半導体ウエハ 41 は、円盤状に形成されていてもよい。SiC 半導体ウエハ 41 は、一方側の第 1 ウエハ主面 42、他方側の第 2 ウエハ主面 43、ならびに、第 1 ウエハ主面 42 および第 2 ウエハ主面 43 を接続するウエハ側面 44 を有している。

SiC 半導体ウエハ 41 の厚さ TW は、SiC 半導体基板 6 の厚さ TS を超えている ($TS < TW$)。SiC 半導体ウエハ 41 の厚さ TW は、研削によって SiC 半導体基板 6 の厚さ TS に合わせ込まれる。

【0107】

厚さ TW は、 $150\ \mu\text{m}$ を超えて $750\ \mu\text{m}$ 以下であってもよい。厚さ TW は、 $150\ \mu\text{m}$ を超えて $300\ \mu\text{m}$ 以下、 $300\ \mu\text{m}$ 以上 $450\ \mu\text{m}$ 以下、 $450\ \mu\text{m}$ 以上 $600\ \mu\text{m}$ 以下または $600\ \mu\text{m}$ 以上 $750\ \mu\text{m}$ 以下であってもよい。SiC 半導体ウエハ 41 の研削時間を鑑みると、厚さ TW は、 $150\ \mu\text{m}$ を超えて $500\ \mu\text{m}$ 以下であることが好ましい。厚さ TW は、典型的には、 $300\ \mu\text{m}$ 以上 $450\ \mu\text{m}$ 以下である。

【0108】

第 1 ウエハ主面 42 および第 2 ウエハ主面 43 は、この形態では、SiC 単結晶の c 面に面している。第 1 ウエハ主面 42 は、(0001) 面 (シリコン面) に面している。第 2 ウエハ主面 43 は、SiC 単結晶の (000-1) 面 (カーボン面) に面している。

第 1 ウエハ主面 42 および第 2 ウエハ主面 43 は、SiC 単結晶の c 面に対して [11-20] 方向に 10° 以下の角度で傾斜したオフ角 θ を有している。第 1 ウエハ主面 42 の法線方向 Z は、SiC 単結晶の c 軸 ([0001] 方向) に対してオフ角 θ 分だけ傾斜している。

【0109】

オフ角 θ は、 0° 以上 5.0° 以下であってもよい。オフ角 θ は、 0° 以上 1.0° 以下、 1.0° 以上 1.5° 以下、 1.5° 以上 2.0° 以下、 2.0° 以上 2.5° 以下、 2.5° 以上 3.0° 以下、 3.0° 以上 3.5° 以下、 3.5° 以上 4.0° 以下、 4.0° 以上 4.5° 以下または 4.5° 以上 5.0° 以下の角度の範囲に設定されてもよい。オフ角 θ は、 0° を超えていることが好ましい。オフ角 θ は、 4.0° 未満であってもよい。

【0110】

オフ角 θ は、 3.0° 以上 4.5° 以下の角度の範囲に設定されていてもよい。この場合、オフ角 θ は、 3.0° 以上 3.5° 以下または 3.5° 以上 4.0° 以下の角度の範囲に設定されていることが好ましい。

オフ角 θ は、 1.5° 以上 3.0° 以下の角度の範囲に設定されていてもよい。この場合、オフ角 θ は、 1.5° 以上 2.0° 以下または 2.0° 以上 2.5° 以下の角度の範囲に設定されていることが好ましい。

【0111】

S i C半導体ウエハ41は、第1ウエハ主面42およびウエハ側面44を接続する第1ウエハ角部45、ならびに、第2ウエハ主面43およびウエハ側面44を接続する第2ウエハ角部46を含む。第1ウエハ角部45は、第1ウエハ主面42からウエハ側面44に向かって下り傾斜した第1面取り部47を有している。第2ウエハ角部46は、第2ウエハ主面43からウエハ側面44に向かって下り傾斜した第2面取り部48を有している。

【0112】

第1面取り部47は、凸湾曲状に形成されていてもよい。第2面取り部48は、凸湾曲状に形成されていてもよい。第1面取り部47および第2面取り部48は、S i C半導体ウエハ41のクラックを抑制する。

S i C半導体ウエハ41のウエハ側面44には、S i C単結晶の結晶方位を示す目印の一例として1つのオリエンテーションフラット49が形成されている。オリエンテーションフラット49は、S i C半導体ウエハ41のウエハ側面44に形成された切欠部である。オリエンテーションフラット49は、この形態では、S i C単結晶のa軸方向（[11-20]方向）に沿って直線状に延びている。

【0113】

S i C半導体ウエハ41のウエハ側面44には、結晶方位を示す複数（たとえば2つ）のオリエンテーションフラット49が形成されていてもよい。複数（たとえば2つ）のオリエンテーションフラット49は、第1オリエンテーションフラットおよび第2オリエンテーションフラットを含んでいてもよい。

第1オリエンテーションフラットは、S i C単結晶のa軸方向（[11-20]方向）に沿って直線状に延びる切欠部であってもよい。第2オリエンテーションフラットは、S i C単結晶のm軸方向（[1-100]方向）に沿って直線状に延びる切欠部であってもよい。

【0114】

S i C半導体ウエハ41の第1ウエハ主面42には、S i C半導体装置1にそれぞれ対応した複数の装置形成領域51が設定される。複数の装置形成領域51は、m軸方向（[1-100]方向）およびa軸方向（[11-20]方向）に間隔を空けて行列状の配列で設定される。

各装置形成領域51は、S i C単結晶の結晶方位に沿った4つの辺52A、52B、52C、52Dを有している。4つの辺52A～52Dは、S i C半導体層2の4つの側面5A～5Dにそれぞれ対応している。つまり、4つの辺52A～52Dは、m軸方向（[1-100]方向）に沿う2つの辺52A、52Cおよびa軸方向（[11-20]方向）に沿う2つの辺52B、52Dを含む。

【0115】

複数の装置形成領域51は、m軸方向（[1-100]方向）およびa軸方向（[11-20]方向）に沿って延びる格子状の切断予定ライン53によってそれぞれ区画されている。切断予定ライン53は、複数の第1切断予定ライン54および複数の第2切断予定ライン55を含む。

複数の第1切断予定ライン54は、m軸方向（[1-100]方向）に沿ってそれぞれ延びている。複数の第2切断予定ライン55は、a軸方向（[11-20]方向）に沿ってそれぞれ延びている。複数の装置形成領域51に所定の構造が作り込まれた後、切断予定ライン53に沿ってS i C半導体ウエハ41を切断することによって、複数のS i C半導体装置1が切り出される。

【0116】

図10A～図10Mは、図3に示すS i C半導体装置1の製造方法の一例を示す断面図である。図10A～図10Mでは、説明の便宜上、3つのS i C半導体装置1が形成される領域だけを示し、他の領域についての図示を省略している。

図10Aを参照して、S i C半導体装置1を製造するにあたり、まず、S i C半導体ウエハ41が用意される（図9も併せて参照）。次に、S i C半導体ウエハ41の第1ウエハ主面42にn型のS i Cエピタキシャル層7が形成される。

10

20

30

40

50

【0117】

S i Cエピタキシャル層7の形成工程では、S i C半導体ウエハ41の第1ウエハ主面42からS i Cがエピタキシャル成長される。S i Cエピタキシャル層7の厚さT Eは、1 μ m以上50 μ m以下であってもよい。

これにより、S i C半導体ウエハ41およびS i Cエピタキシャル層7を含むS i C半導体ウエハ構造61が形成される。S i C半導体ウエハ構造61は、第1主面62および第2主面63を含む。

【0118】

S i C半導体ウエハ構造61の第1主面62および第2主面63は、S i C半導体層2の第1主面3および第2主面4にそれぞれ対応している。S i C半導体ウエハ構造61の厚さT W Sは、150 μ mを超えて800 μ m以下であってもよい。厚さT W Sは、150 μ mを超えて550 μ m以下であることが好ましい。

次に、図10Bを参照して、S i C半導体ウエハ構造61の第1主面62にp⁺型のガード領域36が形成される。ガード領域36の形成工程は、イオン注入マスク（図示せず）を介してS i C半導体ウエハ構造61の第1主面62の表層部にp型不純物を選択的に導入する工程を含む。ガード領域36は、より具体的には、S i Cエピタキシャル層7の表層部に形成される。

【0119】

ガード領域36は、S i C半導体ウエハ構造61においてアクティブ領域8および外側領域9を区画する。ガード領域36によって取り囲まれた領域（アクティブ領域8）には、n型のダイオード領域35が区画される。

ダイオード領域35は、イオン注入マスク（図示せず）を介してS i C半導体ウエハ構造61の第1主面62の表層部にn型不純物を選択的に導入することによって形成されてもよい。

【0120】

次に、図10Cを参照して、S i C半導体ウエハ構造61の第1主面62の上に主面絶縁層10が形成される。主面絶縁層10は、酸化シリコン（S i O₂）を含む。主面絶縁層10は、C V D（Chemical Vapor Deposition）法または酸化処理法（たとえば熱酸化処理法）によって形成されてもよい。

次に、図10Dを参照して、所定パターンを有するマスク64が、主面絶縁層10の上に形成される。マスク64は、複数の開口65を有している。複数の開口65は、主面絶縁層10においてダイオード開口37を形成すべき領域をそれぞれ露出させている。

【0121】

次に、マスク64を介するエッチング法によって、主面絶縁層10の不要な部分が除去される。これにより、主面絶縁層10にダイオード開口37が形成される。ダイオード開口37の形成後、マスク64は除去される。

次に、図10Eを参照して、S i C半導体ウエハ構造61の第1主面62の上に第1主面電極層12のベースとなるベース電極層66が形成される。ベース電極層66は、S i C半導体ウエハ構造61の第1主面62の全域に形成され、主面絶縁層10を被覆する。第1主面電極層12は、蒸着法、スパッタ法またはめっき法によって形成されてもよい。

【0122】

次に、図10Fを参照して、所定パターンを有するマスク67が、ベース電極層66の上に形成される。マスク67は、ベース電極層66において第1主面電極層12を形成すべき領域以外の領域を露出させる開口68を有している。

次に、マスク67を介するエッチング法によって、ベース電極層66の不要な部分が除去される。これにより、ベース電極層66が複数の第1主面電極層12に分割される。第1主面電極層12の形成後、マスク67は除去される。

【0123】

次に、図10Gを参照して、S i C半導体ウエハ構造61の第1主面62の上にパッシベーション層13が形成される。パッシベーション層13は、窒化シリコン（S i N）を

10

20

30

40

50

含む。パッシベーション層 13 は、CVD 法によって形成されてもよい。

次に、図 10 H を参照して、パッシベーション層 13 の上に、樹脂層 16 が塗布される。樹脂層 16 は、アクティブ領域 8 および外側領域 9 を一括して被覆する。樹脂層 16 は、ポジティブタイプの感光性樹脂の一例としてのポリベンゾオキサゾールを含んでいてもよい。

【0124】

次に、図 10 I を参照して、樹脂層 16 が選択的に露光された後、現像される。これにより、パッド開口 18 が樹脂層 16 に形成される。また、切断予定ライン 53（各装置形成領域 51 の辺 52 A ~ 52 D）に沿うダイシングストリート 69 が樹脂層 16 に区画される。

次に、パッシベーション層 13 の不要な部分が除去される。パッシベーション層 13 の不要な部分は、樹脂層 16 を介するエッチング法によって除去されてもよい。これにより、サブパッド開口 15 がパッシベーション層 13 に形成される。また、切断予定ライン 53 に沿うダイシングストリート 69 がパッシベーション層 13 に区画される。

【0125】

この形態では、樹脂層 16 を利用してパッシベーション層 13 の不要な部分を除去する工程について説明した。しかし、サブパッド開口 15 をパッシベーション層 13 に形成した後、樹脂層 16 およびパッド開口 18 を形成してもよい。

この場合、樹脂層 16 の形成工程に先立って、マスクを介するエッチング法によってパッシベーション層 13 の不要な部分が除去され、サブパッド開口 15 が形成される。この工程によれば、パッシベーション層 13 を任意の形状に形成できる。

【0126】

次に、図 10 J を参照して、SiC 半導体ウエハ構造 61 の第 2 主面 63（SiC 半導体ウエハ 41 の第 2 ウエハ主面 43）が研削される。これにより、SiC 半導体ウエハ構造 61（SiC 半導体ウエハ 41）が薄化される。また、SiC 半導体ウエハ構造 61 の第 2 主面 63 に研削痕が形成される。

SiC 半導体ウエハ構造 61 は、SiC 半導体層 2 の厚さ TL に対応する厚さ TWS になるまで研削される。SiC 半導体ウエハ構造 61 は、40 μm 以上 200 μm 以下の厚さ TWS になるまで研削されてもよい。

【0127】

つまり、SiC 半導体ウエハ 41 は、SiC 半導体基板 6 の厚さ TS に対応する厚さ TW になるまで研削される。SiC 半導体ウエハ 41 は、40 μm 以上 150 μm 以下の厚さ TW になるまで研削されてもよい。

次に、図 10 K を参照して、改質ライン 22 A ~ 22 D のベースとなる複数の改質ライン 70（改質層）が形成される。改質ライン 70 の形成工程では、レーザ照射装置 71 から SiC 半導体ウエハ構造 61 に向けてパルス状のレーザ光が照射される。

【0128】

レーザ光は、この形態では、SiC 半導体ウエハ構造 61 の第 1 主面 62 側から主面絶縁層 10 を介して SiC 半導体ウエハ構造 61 に照射される。レーザ光は、SiC 半導体ウエハ構造 61 の第 2 主面 63 側から SiC 半導体ウエハ構造 61 に直接照射されてもよい。

レーザ光の集光部（焦点）は、SiC 半導体ウエハ構造 61 の厚さ方向途中部に設定される。SiC 半導体ウエハ構造 61 に対するレーザ光の照射位置は、切断予定ライン 53（各装置形成領域 51 の 4 つの辺 52 A ~ 52 D）に沿って移動される。

【0129】

より具体的には、SiC 半導体ウエハ構造 61 に対するレーザ光の照射位置は、第 1 切断予定ライン 54 に沿って移動される。また、SiC 半導体ウエハ構造 61 に対するレーザ光の照射位置は、第 2 切断予定ライン 55 に沿って移動される。

これにより、SiC 半導体ウエハ構造 61 の厚さ方向途中部に、切断予定ライン 53（各装置形成領域 51 の 4 つの辺 52 A ~ 52 D）に沿って延び、SiC 単結晶の結晶状態

10

20

30

40

50

が他の領域とは異なる性質に改質した複数の改質ライン 70 が形成される。

【0130】

複数の改質ライン 70 は、各装置形成領域 51 の 4 つの辺 52 A ~ 52 D に対して 1 対 1 対応の関係で 1 層または複数層ずつ形成される。この形態では、第 1 切断予定ライン 54 に複数（この形態では 3 個）の改質ライン 70 がそれぞれ形成され、第 2 切断予定ライン 55 に 1 個の改質ライン 70 がそれぞれ形成される。

第 1 切断予定ライン 54 に形成された複数の改質ライン 70 は、改質ライン 22 A（改質ライン 22 C）に対応している。第 2 切断予定ライン 55 に形成された 1 層の改質ライン 70 は、改質ライン 22 B（改質ライン 22 D）に対応している。

【0131】

第 1 切断予定ライン 54 に形成された複数の改質ライン 70 は、断面視において法線方向 Z に関して a 軸方向の一方側および他方側に交互にずれて形成される。第 1 切断予定ライン 54 に形成された複数の改質ライン 70 は、第 2 主面 63 側の改質ライン 70 および／または第 1 主面 62 側の改質ライン 70 を基準にしたとき、a 軸方向に関して SiC 単結晶の c 軸方向とは反対側（[11-20] 方向側）にずれて形成された 1 個または複数の改質ライン 70 を含む。

【0132】

装置形成領域 51 の辺 52 A，52 C に沿う 2 つの改質ライン 70 は、a 面改質部 28 をそれぞれ含む。装置形成領域 51 の辺 52 B，52 D に沿う 2 つの改質ライン 70 は、m 面改質部 29 をそれぞれ含む。

複数の改質ライン 70 は、SiC 半導体ウエハ構造 61 の厚さ方向途中部に形成されたレーザ加工痕でもある。より具体的には、改質ライン 70 の a 面改質部 28 および m 面改質部 29 がレーザ加工痕である。

【0133】

レーザ光の集光部（焦点）、レーザエネルギー、パルスデューティ比、照射速度等は、形成すべき改質ライン 70（改質ライン 22 A ~ 22 D）の位置、大きさ、形状、厚さ等によって任意の値に定められる。

次に、図 10 L を参照して、SiC 半導体ウエハ構造 61 の第 2 主面 63 に第 2 主面電極層 19 が形成される。第 2 主面電極層 19 は、蒸着法、スパッタ法またはめっき法によって形成されてもよい。

【0134】

第 2 主面電極層 19 の形成工程に先立って、SiC 半導体ウエハ構造 61 の第 2 主面 63（研削面）に対してアニール処理を実施してもよい。アニール処理は、レーザ光を用いたレーザアニール処理法によって実施されてもよい。

レーザアニール処理法によれば、SiC 半導体ウエハ構造 61 の第 2 主面 63 の表層部の SiC 単結晶が改質されて Si アモルファス層が形成される。この場合、SiC 半導体層 2 の第 2 主面 4 の表層部に Si アモルファス層を有する SiC 半導体装置 1 が製造される。SiC 半導体層 2 の第 2 主面 4 では、研削痕および Si アモルファス層が併存する。レーザアニール処理法によれば、SiC 半導体層 2 の第 2 主面 4 に対する第 2 主面電極層 19 のオーミック性を高めることができる。

【0135】

次に、図 10 M を参照して、SiC 半導体ウエハ構造 61 から複数の SiC 半導体装置 1 が切り出される。この工程では、SiC 半導体ウエハ構造 61 の第 2 主面 63 側にテープ状の支持部材 73 が貼着される。

次に、SiC 半導体ウエハ構造 61 の第 2 主面 63 側から支持部材 73 を介して切断予定ライン 53 に外力が加えられる。切断予定ライン 53 に対する外力は、ブレード等の押圧部材によって加えられてもよい。

【0136】

他の形態において、SiC 半導体ウエハ構造 61 の第 1 主面 62 側に支持部材 73 が貼着されてもよい。この場合、SiC 半導体ウエハ構造 61 の第 1 主面 62 側から支持部材

10

20

30

40

50

7 3を介して切断予定ライン5 3に外力が加えられてもよい。外力は、ブレード等の押圧部材によって加えられてもよい。

さらに他の形態において、S i C半導体ウエハ構造6 1の第1主面6 2側または第2主面6 3側に伸縮性の支持部材7 3が貼着されてもよい。この場合、S i C半導体ウエハ構造6 1は、伸縮性の支持部材7 3をm軸方向およびa軸方向に引き伸ばすことによって劈開されてもよい。

【0 1 3 7】

支持部材7 3を用いてS i C半導体ウエハ構造6 1を劈開する場合は、障害物の少ないS i C半導体ウエハ構造6 1の第2主面6 3側に支持部材7 3が貼着されることが好ましい。

このようにして、S i C半導体ウエハ構造6 1が改質ライン7 0（改質ライン2 2 A～2 2 D）を起点に切断予定ライン5 3に沿って劈開され、複数のS i C半導体装置1が1枚のS i C半導体ウエハ構造6 1（S i C半導体ウエハ4 1）から切り出される。

【0 1 3 8】

第1切断予定ライン5 4に形成された複数の改質ライン7 0は、断面視において法線方向Zに関してa軸方向の一方側および他方側に交互にずれて形成されている。第1切断予定ライン5 4に形成された複数の改質ライン7 0のうちの少なくとも2つの改質ライン7 0を結ぶ直線は、第1主面6 2の法線からS i C単結晶のc軸とは反対側の方向に向けて傾斜している。

【0 1 3 9】

S i C半導体ウエハ構造6 1は、第1切断予定ライン5 4に関しては、S i C単結晶のc軸方向に加えて、互いに隣り合う2つの改質ライン7 0を結ぶ直線に沿って劈開される。これにより、S i C半導体ウエハ構造6 1から切り出された複数のS i C半導体層2の側面5 A，5 CにおいてS i C単結晶のc軸方向に沿う傾斜面が形成されるのが抑制される。

【0 1 4 0】

改質ライン7 0のうち各装置形成領域5 1の辺5 2 Aに沿う部分は、改質ライン2 2 Aとなる。改質ライン7 0のうち各装置形成領域5 1の辺5 2 Bに沿う部分は、改質ライン2 2 Bとなる。改質ライン7 0のうち各装置形成領域5 1の辺5 2 Cに沿う部分は、改質ライン2 2 Cとなる。改質ライン7 0のうち各装置形成領域5 1の辺5 2 Dに沿う部分は、改質ライン2 2 Dとなる。以上を含む工程を経てS i C半導体装置1が製造される。

【0 1 4 1】

この形態では、S i C半導体ウエハ構造6 1の研削工程（図1 0 J）が、改質ライン7 0（改質ライン2 2 A～2 2 D）の形成工程（図1 0 K）に先立って実施された。しかし、S i C半導体ウエハ構造6 1の研削工程（図1 0 J）は、S i C半導体ウエハ4 1の用意工程（図1 0 A）の後、第2主面電極層1 9の形成工程（図1 0 L）の前の任意のタイミングで実施され得る。

【0 1 4 2】

たとえば、S i C半導体ウエハ構造6 1の研削工程（図1 0 J）は、S i Cエピタキシャル層7の形成工程（図1 0 A）に先立って実施されてもよい。また、S i C半導体ウエハ構造6 1の研削工程（図1 0 J）は、改質ライン7 0（改質ライン2 2 A～2 2 D）の形成工程（図1 0 K）の後に実施されてもよい。

また、S i C半導体ウエハ構造6 1の研削工程（図1 0 J）は、S i C半導体ウエハ4 1の用意工程（図1 0 A）の後、改質ライン7 0（改質ライン2 2 A～2 2 D）の形成工程（図1 0 K）の前の任意のタイミングで複数回に分けて実施されてもよい。また、S i C半導体ウエハ構造6 1の研削工程（図1 0 J）は、S i C半導体ウエハ4 1の用意工程（図1 0 A）の後、第2主面電極層1 9の形成工程（図1 0 L）の前の任意のタイミングで複数回に分けて実施されてもよい。

【0 1 4 3】

図1 1は、図3に示すS i C半導体装置1が組み込まれた半導体パッケージ7 4を、封

10

20

30

40

50

止樹脂 79 を透過して示す斜視図である。

図 11 を参照して、半導体パッケージ 74 は、この形態では、所謂 T O - 2 2 0 タイプである。半導体パッケージ 74 は、S i C 半導体装置 1、パッド部 75、ヒートシンク 76、複数（この形態では 2 本）の端子 77、複数（この形態では 2 本）の導線 78 および封止樹脂 79 を含む。パッド部 75、ヒートシンク 76 および複数の端子 77 は、接続対象物の一例としてのリードフレームを形成している。

【0144】

パッド部 75 は、金属板を含む。パッド部 75 は、鉄、金、銀、銅、アルミニウム等を含んでいてもよい。パッド部 75 は、平面視において四角形状に形成されている。パッド部 75 は、S i C 半導体装置 1 の平面面積以上の平面面積を有している。S i C 半導体装置 1 は、パッド部 75 の上に配置されている。

S i C 半導体装置 1 の第 2 主面電極層 19 は、導電接合材 80 を介してパッド部 75 に電氣的に接続されている。導電接合材 80 は、第 2 主面電極層 19 およびパッド部 75 の間の領域に介在されている。

【0145】

導電接合材 80 は、金属製ペーストまたは半田であってもよい。金属製ペーストは、A u（金）、A g（銀）または C u（銅）を含む導電性ペーストであってもよい。導電接合材 80 は、半田からなることが好ましい。半田は、鉛フリー型の半田であってもよい。半田は、S n A g C u、S n Z n B i、S n C u、S n C u N i または S n S b N i のうちの少なくとも 1 つを含んでいてもよい。

【0146】

ヒートシンク 76 は、パッド部 75 の一辺に接続されている。この形態では、パッド部 75 およびヒートシンク 76 が、一枚の金属板によって形成されている。ヒートシンク 76 には、貫通孔 76 a が形成されている。貫通孔 76 a は、円形状に形成されている。

複数の端子 77 は、パッド部 75 に対してヒートシンク 76 とは反対側の辺に沿って配列されている。複数の端子 77 は、それぞれ金属板を含む。端子 77 は、鉄、金、銀、銅、アルミニウム等を含んでいてもよい。

【0147】

複数の端子 77 は、第 1 端子 77 A および第 2 端子 77 B を含む。第 1 端子 77 A および第 2 端子 77 B は、パッド部 75 においてヒートシンク 76 とは反対側の辺に沿って間隔を空けて配列されている。第 1 端子 77 A および第 2 端子 77 B は、それらの配列方向に直交する方向に沿って帯状に延びている。

複数の導線 78 は、ボンディングワイヤ等であってもよい。複数の導線 78 は、導線 78 A および導線 78 B を含む。導線 78 A は、第 1 端子 77 A および S i C 半導体装置 1 の第 1 主面電極層 12 に電氣的に接続されている。これにより、第 1 端子 77 A は、導線 78 A を介して S i C 半導体装置 1 の第 1 主面電極層 12 に電氣的に接続されている。

【0148】

導線 78 B は、第 2 端子 77 B およびパッド部 75 に電氣的に接続されている。これにより、第 2 端子 77 B は、導線 78 B を介して S i C 半導体装置 1 の第 2 主面電極層 19 に電氣的に接続されている。第 2 端子 77 B は、パッド部 75 と一体的に形成されていてもよい。

封止樹脂 79 は、ヒートシンク 76 および複数の端子 77 の一部を露出させるように、S i C 半導体装置 1、パッド部 75 および複数の導線 78 を封止している。封止樹脂 79 は、直方体形状に形成されている。

【0149】

半導体パッケージ 74 の形態は、T O - 2 2 0 に制限されない。半導体パッケージ 74 としては、S O P（Small Outline Package）、Q F N（Quad Flat Pack Package）、D F P（Dual Flat Pack Package）、D I P（Dual In-line Package）、Q F P（Quad Flat Pack Package）、S I P（Single In-line Package）または S O J（Small Outline J-leaded Package）、もしくは、これらに類する種々の形態が適用されてもよい。

【0150】

図12は、図3に示すSiC半導体装置1の搬送状態を示す斜視図である。

SiC半導体装置1は、半導体組立装置を用いて半導体パッケージ74のパッド部75に実装される。半導体組立装置におけるSiC半導体装置1の搬送工程は、SiC半導体層2の第1主面3を吸着して保持するピックアップノズルPNによって行われる。

図13は、参考例に係るSiC半導体装置99の構造を説明するための図である。

【0151】

SiC半導体装置99は、SiC半導体層2の側面5A、5Cがc軸に沿う傾斜面を有している点を除いて、SiC半導体装置1と同様の構造を有している。図13においてSiC半導体装置1に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

SiC単結晶のa面に面する側面5A、5Cは、SiC単結晶のc軸を劈開方向として劈開する物性を有している。したがって、第1主面3の法線方向ZやSiC単結晶のc軸に沿って複数の改質ライン70（改質ライン22A、22C）を形成した場合には、側面5A、5CはSiC単結晶のc軸に沿う傾斜面となる。

【0152】

この場合、SiC半導体層2の見かけ上の平面面積Sは、傾斜面に応じた平面面積分だけ増加する。SiC半導体層2の見かけ上の平面面積Sは、より具体的には、下記(1)式および(2)式で表される。

$$S = S_M + S_I \cdots (1)$$

$$S_I = W \times T_L \times \tan \theta \cdots (2)$$

上記(1)、(2)式において、「 S_M 」は第1主面3の平面面積であり、「 S_I 」は傾斜面によって増加した平面面積であり、「 W 」はSiC半導体層2の側面5A、5Cの長さであり、「 θ 」はオフ角である。

【0153】

参考例に係るSiC半導体装置99が半導体組立装置に搬入された場合、ピックアップノズルPNによる吸着がSiC半導体層2の側面5A、5C（傾斜面）によって妨げられる虞がある。この場合、ピックアップノズルPNはSiC半導体装置99を適切に保持できないため、半導体組立装置においてピックアップエラーが発生する。

これに対して、SiC半導体装置1によれば、SiC半導体層2においてSiC単結晶のa面に面する側面5A、5Cは、第1主面3の法線を 0° とした時、当該法線に対してオフ角 θ 未満の角度 θ_a を有している。

【0154】

角度 θ_a は、より具体的には 0° 以上オフ角 θ 未満($0^\circ \leq \theta_a < \theta$)である。これにより、上記(1)式において「 S_I 」を低減させることができるから、半導体組立装置におけるピックアップエラーを抑制できるSiC半導体装置1を提供できる。

また、SiC半導体装置1によれば、第1主面3の法線からSiC単結晶のc軸とは反対側の方向に向けて傾斜した1つまたは複数（この形態では1つ）の傾斜部が側面5A、5Cに導入されている。

【0155】

これにより、c軸に沿って延びる傾斜面の形成領域が削減されるから、上記(1)式において「 S_I 」を低減させることができる。その結果、半導体組立装置におけるピックアップエラーを抑制できるSiC半導体装置1を提供できる。

また、SiC半導体装置1によれば、側面5A、5Cに形成された複数の改質ライン22A、22Cは、断面視においてSiC単結晶のa軸方向に互いにずれている。複数の改質ライン22A、22Cは、より具体的には、断面視において法線方向Zに関してa軸方向の一方側および他方側に交互にずれて形成されている。

【0156】

SiC単結晶のa軸方向に関して互いに隣り合う2つの改質ライン22A、22Cの間の距離DRは、オフ角 θ およびSiC半導体層2の厚さ T_L を用いて、 $T_L \times \tan \theta$ 未

10

20

30

40

50

満の値 ($0 < DR < TL \times \tan \theta$) である。

また、複数の改質ライン 22A, 22C のうち a 軸方向に関してもっとも離れた 2 つの改質ライン 22A, 22C の間の距離 DD は、 $TL \times \tan \theta$ 未満の値 ($0 < DD < TL \times \tan \theta$) である。これにより、側面 5A, 5C の傾斜幅 ($TL \times \tan \theta$) を適切に低減できる。よって、上記 (1) 式において「SI」を適切に低減させることができる。

【0157】

また、SiC 半導体装置 1 によれば、角度 θa を有する側面 5A, 5C を 6 個以下の改質ライン 22A, 22C で実現できる。これにより、改質ライン 22A, 22C のベースとなる改質ライン 70 の形成工程の時短を図ることができる。

SiC 単結晶は、c 面 (シリコン面) を c 軸から見た平面視において最近接原子方向 (図 1 および図 2 も併せて参照) に沿って割れ易く、最近接原子方向の交差方向に沿って割れ難いという物性を有している。最近接原子方向は、a 軸方向およびその等価方向である。最近接原子方向の交差方向は、m 軸方向およびその等価方向である。

【0158】

したがって、改質ライン 70 の形成工程では、SiC 単結晶の最近接原子方向に沿う結晶面に対しては、比較的割れ易い性質を有しているから、比較的大きい専有割合を有する改質ライン 70 を形成しなくても SiC 単結晶を適切に切断 (劈開) できる (図 10L も併せて参照)。

つまり、改質ライン 70 の形成工程において、a 軸方向に延びる第 2 切断予定ライン 55 に沿う改質ライン 70 の専有割合 (個数) を、m 軸方向に延びる第 1 切断予定ライン 54 に沿う改質ライン 70 の専有割合 (個数) よりも小さくできる。最近接原子方向に沿う結晶面は、m 面およびその等価面である。

【0159】

その一方で、SiC 単結晶の最近接原子方向の交差方向に沿う結晶面には、比較的大きい専有割合 (比較的多い個数) を有する改質ライン 70 が形成されている。これにより、SiC 半導体ウエハ構造 61 の不適切な切断 (劈開) を抑制できるから、SiC 単結晶の物性に起因したクラックの発生を適切に抑制できる。最近接原子方向の交差方向に沿う結晶面は、a 面およびその等価面である。

【0160】

このように、SiC 半導体装置 1 によれば、SiC 単結晶の物性を利用して側面 5A ~ 5D に対する改質ライン 22A ~ 22D の専有割合や個数を調整できる。これにより、側面 5A ~ 5D に対する改質ライン 22A ~ 22D の形成領域の低減を適切に図ることができる。よって、改質ライン 22A ~ 22D に起因する SiC 半導体層 2 への影響も低減できる。また、改質ライン 70 の形成工程の時短を図ることができる。

【0161】

改質ラインに起因する SiC 半導体層 2 への影響としては、改質ラインに起因する SiC 半導体層 2 の電気的特性の変動や、改質ラインを起点とする SiC 半導体層 2 のクラックの発生等が例示される。

漏れ電流特性の変動が、改質ラインに起因する SiC 半導体層 2 の電気的特性の変動として例示される。SiC 半導体装置は、図 11 に示されたように、封止樹脂 79 によって封止されることがある。

【0162】

この場合、封止樹脂 79 中の可動イオンが改質ラインを介して SiC 半導体層 2 に進入することが考えられる。複数の改質ラインが各側面 5A ~ 5D の全域に法線方向 Z に沿って間隔を空けて形成された構造では、このような外部構造に起因する電流経路形成のリスクが高まる。

また、SiC 半導体層 2 の各側面 5A ~ 5D の全域に複数の改質ラインが法線方向 Z に沿って形成された構造では、SiC 半導体層 2 のクラックの発生リスクも高まる。したがって、SiC 半導体装置 1 のように、改質ライン 22A ~ 22D の形成領域を制限することによって SiC 半導体層 2 の電気的特性の変動やクラックの発生を抑制できる。

10

20

30

40

50

【0163】

また、SiC半導体装置1によれば、SiC半導体ウエハ構造61（SiC半導体ウエハ41）の薄化工程を実施しているから、少ない個数（たとえば6個以下。好ましくは3個以下）の改質ライン70（改質ライン22A～22D）によってSiC半導体ウエハ構造61を適切に劈開できる。

換言すれば、薄化されたSiC半導体ウエハ構造61（SiC半導体ウエハ41）によれば、SiC半導体ウエハ構造61の厚さ方向全域に改質ライン70（改質ライン22A～22D）を法線方向Zに間隔を空けて形成せずに、SiC半導体ウエハ構造61（SiC半導体ウエハ41）を適切に劈開できる。

【0164】

この場合、SiC半導体層2の第2主面4は、研削面からなる。SiC半導体装置1は、40 μ m以上200 μ m以下の厚さTLを有するSiC半導体層2を含むことが好ましい。このような厚さTLを有するSiC半導体層2は、SiC半導体ウエハ構造61（SiC半導体ウエハ41）から適切に切り出されることができる。

SiC半導体層2においてSiC半導体基板6の厚さTSは、40 μ m以上150 μ m以下であってもよい。SiC半導体層2においてSiCエピタキシャル層7の厚さTEは、1 μ m以上50 μ m以下であってもよい。SiC半導体層2の薄化は、抵抗値を低減する上でも有効である。

【0165】

また、SiC半導体装置1によれば、改質ライン22A～22Dが、SiC半導体層2の第1主面3から第2主面4に間隔を空けて形成されている。SiC半導体層2の第1主面3および側面5A～5Dを接続する角部では応力が集中しやすい。

したがって、SiC半導体層2の第1主面3および側面5A～5Dを接続する角部から間隔を空けて改質ライン22A～22Dを形成することにより、SiC半導体層2の角部におけるクラックの発生を適切に抑制できる。

【0166】

特に、SiC半導体装置1によれば、改質ライン22A～22Dは、SiCエピタキシャル層7を避けてSiC半導体基板6に形成されている。つまり、改質ライン22A～22Dは、半導体素子（この形態ではショットキーバリアダイオードD）の主要部が形成されるSiCエピタキシャル層7を露出させている。これにより、改質ライン22A～22Dに起因する半導体素子への影響も適切に低減できる。

【0167】

また、SiC半導体装置1によれば、改質ライン22A～22Dが、SiC半導体層2の第2主面4から第1主面3に間隔を空けて形成されている。SiC半導体層2の第2主面4および側面5A～5Dを接続する角部では応力が集中しやすい。

したがって、SiC半導体層2の第2主面4および側面5A～5Dを接続する角部から間隔を空けて改質ライン22A～22Dを形成することにより、SiC半導体層2の角部におけるクラックの発生を適切に抑制できる。

【0168】

また、SiC半導体装置1によれば、SiC半導体層2の第1主面3の上に形成された主面絶縁層10および第1主面電極層12を含む。主面絶縁層10は、SiC半導体層2の側面5A～5Dに連なる絶縁側面11A～11Dを有している。

主面絶縁層10は、改質ライン22A～22Dが形成された構造において、SiC半導体層2の側面5A～5Dおよび第1主面電極層12の間の絶縁性を高める。これにより、SiC半導体層2の側面5A～5Dに改質ライン22A～22Dが形成された構造において、SiC半導体層2の電気的特性の安定性を高めることができる。

【0169】

図14Aは、図3に示すSiC半導体装置1を示す斜視図であって、改質ライン22A～22Dの第2形態例を示す斜視図である。以下では、SiC半導体装置1に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

10

20

30

40

50

第1形態例に係る改質ライン22B, 22Dは、SiC半導体層2の第1主面3の接線方向に沿って直線状に延びる帯状に形成されている。これに対して、第2形態例に係る改質ライン22B, 22Dは、SiC半導体層2の第1主面3から第2主面4に向けて下り傾斜した傾斜状に延びる帯状に形成されている。第2形態例に係る改質ライン22B, 22Dは、より具体的には、第1端部領域81、第2端部領域82および傾斜領域83をそれぞれ含む。

【0170】

第1端部領域81は、SiC半導体層2の角部近傍においてSiC半導体層2の第1主面3側に位置している。第2端部領域82は、SiC半導体層2の角部近傍において第1端部領域81に対してSiC半導体層2の第2主面4側に位置している。

10

傾斜領域83は、第1端部領域81および第2端部領域82の間の領域を第1主面3から第2主面4に向けて下り傾斜している。改質ライン22B, 22Dの傾斜方向および傾斜角度は任意であり、図14Aの形態に限定されない。

【0171】

第2形態例に係る改質ライン22B, 22Dは、改質ライン70（改質ライン22B, 22D）の形成工程において、レーザ光の集光部（焦点）等を調節することによって形成される（図10Kも併せて参照）。第2形態例に係る改質ライン22B, 22Dが形成される場合であっても、第1形態例に係る改質ライン22A～22Dが形成された場合と同様の効果を奏することができる。

【0172】

20

特に第2形態例に係る改質ライン22B, 22Dによれば、SiC半導体ウエハ構造61（SiC半導体ウエハ41）の厚さ方向の異なる領域において劈開起点を形成できる。これにより、1層からなる改質ライン22B, 22Dを形成する場合であっても、SiC半導体ウエハ構造61を適切に劈開できる。

むろん、改質ライン22A, 22Cも改質ライン22B, 22Dと同様に、第1主面3から第2主面4に向けて下り傾斜した傾斜状に延びる帯状に形成されていてもよい。つまり、改質ライン22A, 22Cは、第1端部領域81、第2端部領域82および傾斜領域83をそれぞれ含んでいてもよい。

【0173】

ただし、改質ライン22A, 22Cは、側面5A, 5Cに複数形成されることを前提とするため、レーザ光照射時において、改質ライン70を敢えて傾斜させる制御を実施する必要性は乏しい。

30

図14Bは、図3に示すSiC半導体装置1を示す斜視図であって、改質ライン22A～22Dの第3形態例を示す斜視図である。以下では、SiC半導体装置1に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

【0174】

第1形態例に係る改質ライン22B, 22Dは、SiC半導体層2の第1主面3の接線方向に沿って直線状に延びる帯状に形成されている。これに対して、第3形態例に係る改質ライン22B, 22Dは、SiC半導体層2の第1主面3から第2主面4に向けて下り傾斜し、曲線状（湾曲状）に延びる帯状に形成されている。第3形態例に係る改質ライン22B, 22Dは、より具体的には、第1端部領域84、第2端部領域85および湾曲領域86をそれぞれ含む。

40

【0175】

第1端部領域84は、SiC半導体層2の角部近傍においてSiC半導体層2の第1主面3側に位置している。第2端部領域85は、SiC半導体層2の角部近傍において第1端部領域84に対してSiC半導体層2の第2主面4側に位置している。

湾曲領域86は、第1主面3から第2主面4に向かう凹湾曲状に下り傾斜し、第1端部領域84および第2端部領域85を接続している。改質ライン22B, 22Dの傾斜方向および傾斜角度は任意であり、図14Bの形態に限定されない。

【0176】

50

第3形態例に係る改質ライン22B, 22Dは、改質ライン70（改質ライン22B, 22D）の形成工程において、レーザ光の集光部（焦点）等を調節することによって形成される（図10Kも併せて参照）。第3形態例に係る改質ライン22B, 22Dが形成される場合であっても、第1形態例に係る改質ライン22A～22Dが形成された場合と同様の効果を奏することができる。

【0177】

特に第3形態例に係る改質ライン22B, 22Dによれば、SiC半導体ウエハ構造61（SiC半導体ウエハ41）の厚さ方向の異なる領域において劈開起点を形成できる。これにより、1層からなる改質ライン22B, 22Dを形成する場合であっても、SiC半導体ウエハ構造61を適切に劈開できる。

むろん、改質ライン22A, 22Cも改質ライン22B, 22Dと同様に、第1主面3から第2主面4に向かう凹湾曲状に下り傾斜していてもよい。つまり、改質ライン22A, 22Cは、第1端部領域84、第2端部領域85および湾曲領域86をそれぞれ含んでいてもよい。

【0178】

ただし、改質ライン22A, 22Cは、側面5A, 5Cに複数形成されることを前提とするため、レーザ光照射時において改質ライン70を敢えて傾斜させる制御を実施する必要性は乏しい。

図14Cは、図3に示すSiC半導体装置1を示す斜視図であって、改質ライン22A～22Dの第4形態例を示す斜視図である。以下では、SiC半導体装置1に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

【0179】

第1形態例に係る改質ライン22B, 22Dは、SiC半導体層2の第1主面3の接線方向に沿って直線状に延びる帯状に形成されている。これに対して、第4形態例に係る改質ライン22B, 22Dは、SiC半導体層2の第1主面3から第2主面4に向けて下り傾斜し、曲線状（湾曲状）に延びる帯状に形成されている。第3形態例に係る改質ライン22B, 22Dは、より具体的には、第1端部領域84、第2端部領域85および湾曲領域86をそれぞれ含む。

【0180】

第1端部領域84は、SiC半導体層2の角部近傍においてSiC半導体層2の第1主面3側に位置している。第2端部領域85は、SiC半導体層2の角部近傍において第1端部領域84に対してSiC半導体層2の第2主面4側に位置している。

湾曲領域86は、第2主面4から第1主面3に向かう凸湾曲状に下り傾斜し、第1端部領域84および第2端部領域85を接続している。改質ライン22B, 22Dの傾斜方向および傾斜角度は任意であり、図14Cの形態に限定されない。

【0181】

第4形態例に係る改質ライン22B, 22Dは、改質ライン70（改質ライン22B, 22D）の形成工程において、レーザ光の集光部（焦点）等を調節することによって形成される（図10Kも併せて参照）。第4形態例に係る改質ライン22B, 22Dが形成される場合であっても、第1形態例に係る改質ライン22A～22Dが形成された場合と同様の効果を奏することができる。

【0182】

特に第4形態例に係る改質ライン22B, 22Dによれば、SiC半導体ウエハ構造61（SiC半導体ウエハ41）の厚さ方向の異なる領域において劈開起点を形成できる。これにより、1層からなる改質ライン22B, 22Dを形成する場合であっても、SiC半導体ウエハ構造61を適切に劈開できる。

むろん、改質ライン22A, 22Cも改質ライン22B, 22Dと同様に、第2主面4から第1主面3に向かう凸湾曲状に下り傾斜していてもよい。つまり、改質ライン22A, 22Cは、第1端部領域84、第2端部領域85および湾曲領域86をそれぞれ含んでいてもよい。

【0183】

ただし、改質ライン22A, 22Cは、側面5A, 5Cに複数形成されることを前提とするため、レーザ光照射時において改質ライン70を敢えて傾斜させる制御を実施する必要性は乏しい。

図14Dは、図3に示すSiC半導体装置1を示す斜視図であって、改質ライン22A～22Dの第5形態例を示す斜視図である。以下では、SiC半導体装置1に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

【0184】

第1形態例に係る改質ライン22B, 22Dは、SiC半導体層2の第1主面3の接線方向に沿って直線状に延びる帯状に形成されている。これに対して、第5形態例に係る改質ライン22B, 22Dは、SiC半導体層2の第1主面3および第2主面4に向けて蛇行した曲線状（湾曲状）に延びる帯状に形成されている。第5形態例に係る改質ライン22B, 22Dは、より具体的には、複数の第1領域87、複数の第2領域88および複数の接続領域89をそれぞれ含む。

【0185】

複数の第1領域87は、SiC半導体層2の第1主面3側の領域に位置している。複数の第2領域88は、複数の第1領域87に対してSiC半導体層2の第2主面4側の領域に位置している。複数の湾曲領域86は、対応する第1領域87および第2領域88をそれぞれ接続している。

改質ライン22B, 22Dの蛇行周期は、任意である。改質ライン22B, 22Dは、第1主面3から第2主面4に向けて凹湾曲状に延びる1つの帯状にそれぞれ形成されていてもよい。この場合、改質ライン22B, 22Dは、2つの第1領域87、1つの第2領域88および2つの接続領域89をそれぞれ含んでいてもよい。

【0186】

また、改質ライン22B, 22Dは、第2主面4から第1主面3に向けて凸湾曲状に延びる1つの帯状にそれぞれ形成されていてもよい。この場合、改質ライン22B, 22Dは、1つの第1領域87、2つの第2領域88および2つの接続領域89をそれぞれ含んでいてもよい。

第5形態例に係る改質ライン22B, 22Dは、改質ライン70（改質ライン22B, 22D）の形成工程において、レーザ光の集光部（焦点）等を調節することによって形成される（図10Kも併せて参照）。第5形態例に係る改質ライン22B, 22Dが形成される場合であっても、第1形態例に係る改質ライン22A～22Dが形成された場合と同様の効果を奏することができる。

【0187】

特に第5形態例に係る改質ライン22B, 22Dによれば、SiC半導体ウエハ構造61（SiC半導体ウエハ41）の厚さ方向の異なる領域において劈開起点を形成できる。これにより、1層からなる改質ライン22B, 22Dを形成する場合であっても、SiC半導体ウエハ構造61を適切に劈開できる。

むろん、改質ライン22A, 22Cも改質ライン22B, 22Dと同様に、SiC半導体層2の第1主面3および第2主面4に向けて蛇行した曲線状（湾曲状）に延びる帯状に形成されていてもよい。つまり、改質ライン22A, 22Cは、第1領域87、第2領域88および接続領域89をそれぞれ含んでいてもよい。

【0188】

ただし、改質ライン22A, 22Cは、側面5A, 5Cに複数形成されることを前提とするため、レーザ光照射時において改質ライン70を敢えて蛇行させる制御を実施する必要性は乏しい。

第1形態例、第2形態例、第3形態例、第4形態例および第5形態例（以下、単に「第1～第5形態例」という。）に係る改質ライン22A～22Dのうちの少なくとも2種を同時に含むSiC半導体装置1が形成されてもよい。

【0189】

また、第1～第5形態例に係る改質ライン22A～22Dの特徴は、それらの間で任意の態様および任意の形態で組み合わせることができる。つまり、第1～第5形態例に係る改質ライン22A～22Dの特徴のうちの少なくとも2つの特徴が組み合わされた形態を有する改質ライン22A～22Dが採用されてもよい。

図15は、本発明の第2実施形態に係るSiC半導体装置91を示す斜視図であって、第1形態例に係る改質ライン22A～22Dが適用された構造を示す斜視図である。以下では、SiC半導体装置1に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

【0190】

この形態では、第1形態例に係る改質ライン22A～22Dが適用されている。しかし、第1形態例に係る改質ライン22A～22Dに代えてまたはこれに加えて第2形態例、第3形態例、第4形態例または第5形態例に係る改質ライン22A～22Dが採用されてもよい。また、第1～第5形態例に係る改質ライン22A～22Dの特徴のうちの少なくとも2つの特徴が組み合わされた形態を有する改質ライン22A～22Dが採用されてもよい。

【0191】

図15を参照して、この形態では、主面絶縁層10の絶縁側面11A～11Dが、平面視においてSiC半導体層2の側面5A～5Dから内方領域に間隔を空けて形成されている。主面絶縁層10は、平面視においてSiC半導体層2の第1主面3の周縁部を露出させている。

主面絶縁層10は、樹脂層16およびパッシベーション層13と共にSiC半導体層2の第1主面3の周縁部を露出させている。主面絶縁層10の絶縁側面11A～11Dは、この形態では、樹脂層16の樹脂側面17A～17Dおよびパッシベーション層13の側面14A～14Dに面一に形成されている。この形態では、主面絶縁層10の絶縁側面11A～11Dもダイシングストリートを区画していた部分となる。

【0192】

この主面絶縁層10は、前述の図10Iの工程において、パッシベーション層13の除去工程の後、主面絶縁層10をエッチング法によって除去する工程を実施することによって形成される。

この場合、前述の図10Kの工程において、SiC半導体ウエハ構造61の第1主面62側から主面絶縁層10を介さずにSiC半導体ウエハ構造61の内部にレーザ光が直接照射されてもよい。

【0193】

以上、SiC半導体装置91によっても、SiC半導体装置1に対して述べた効果と同様の効果を奏することできる。ただし、SiC半導体層2の側面5A～5Dおよび第1主面電極層12の間の絶縁性を高める上では、第1実施形態に係るSiC半導体装置1の構造が好ましい。

図16は、本発明の第3実施形態に係るSiC半導体装置101を1つの角度から見た斜視図であって、第1形態例に係る改質ライン22A～22Dが適用された構造を示す斜視図である。図17は、図16に示すSiC半導体装置101を別の角度から見た斜視図である。図18は、図16に示すSiC半導体装置101を示す平面図である。図19は、図18から樹脂層129を取り除いた平面図である。

【0194】

この形態では、第1形態例に係る改質ライン22A～22Dが適用されている。つまり、SiC半導体装置101の製造工程では、前述の図10A～図10Mの工程と同様の工程が適用されている。

SiC半導体装置101において、第1形態例に係る改質ライン22A～22Dに代えてまたはこれに加えて第2形態例、第3形態例、第4形態例または第5形態例に係る改質ライン22A～22Dが採用されてもよい。また、第1～第5形態例に係る改質ライン22A～22Dの特徴のうちの少なくとも2つの特徴が組み合わされた形態を有する改質ラ

10

20

30

40

50

イン 2 2 A ~ 2 2 D が採用されてもよい。

【0195】

図 1 6 ~ 図 1 9 を参照して、S i C 半導体装置 1 0 1 は、S i C 半導体層 1 0 2 を含む。S i C 半導体層 1 0 2 は、六方晶からなる S i C 単結晶の一例としての 4 H - S i C 単結晶を含む。S i C 半導体層 1 0 2 は、直方体形状のチップ状に形成されている。

S i C 半導体層 1 0 2 は、一方側の第 1 主面 1 0 3、他方側の第 2 主面 1 0 4、ならびに、第 1 主面 1 0 3 および第 2 主面 1 0 4 を接続する側面 1 0 5 A、1 0 5 B、1 0 5 C、1 0 5 D を有している。第 1 主面 1 0 3 および第 2 主面 1 0 4 は、それらの法線方向 Z から見た平面視（以下、単に「平面視」という。）において四角形状（この形態では長方形形状）に形成されている。

【0196】

第 1 主面 1 0 3 は、半導体素子が形成された素子形成面である。S i C 半導体層 1 0 2 の第 2 主面 1 0 4 は、研削痕を有する研削面からなる。側面 1 0 5 A ~ 1 0 5 D は、それぞれ S i C 単結晶の結晶面に面する平滑な劈開面からなる。側面 1 0 5 A ~ 1 0 5 D は、研削痕を有していない。

S i C 半導体層 1 0 2 の厚さ T L は、4 0 μ m 以上 2 0 0 μ m 以下であってもよい。厚さ T L は、4 0 μ m 以上 6 0 μ m 以下、6 0 μ m 以上 8 0 μ m 以下、8 0 μ m 以上 1 0 0 μ m 以下、1 0 0 μ m 以上 1 2 0 μ m 以下、1 2 0 μ m 以上 1 4 0 μ m 以下、1 4 0 μ m 以上 1 6 0 μ m 以下、1 6 0 μ m 以上 1 8 0 μ m 以下または 1 8 0 μ m 以上 2 0 0 μ m 以下であってもよい。厚さ T L は、6 0 μ m 以上 1 5 0 μ m 以下であることが好ましい。

【0197】

第 1 主面 1 0 3 および第 2 主面 1 0 4 は、この形態では、S i C 単結晶の c 面に面している。第 1 主面 1 0 3 は、(0 0 0 1) 面（シリコン面）に面している。第 2 主面 1 0 4 は、S i C 単結晶の (0 0 0 - 1) 面（カーボン面）に面している。

第 1 主面 1 0 3 および第 2 主面 1 0 4 は、S i C 単結晶の c 面に対して [1 1 - 2 0] 方向に 1 0 ° 以下の角度で傾斜したオフ角 θ を有している。法線方向 Z は、S i C 単結晶の c 軸 ([0 0 0 1] 方向) に対してオフ角 θ 分だけ傾斜している。

【0198】

オフ角 θ は、0 ° 以上 5 . 0 ° 以下であってもよい。オフ角 θ は、0 ° 以上 1 . 0 ° 以下、1 . 0 ° 以上 1 . 5 ° 以下、1 . 5 ° 以上 2 . 0 ° 以下、2 . 0 ° 以上 2 . 5 ° 以下、2 . 5 ° 以上 3 . 0 ° 以下、3 . 0 ° 以上 3 . 5 ° 以下、3 . 5 ° 以上 4 . 0 ° 以下、4 . 0 ° 以上 4 . 5 ° 以下または 4 . 5 ° 以上 5 . 0 ° 以下の角度の範囲に設定されてもよい。オフ角 θ は、0 ° を超えていることが好ましい。オフ角 θ は、4 . 0 ° 未満であってもよい。

【0199】

オフ角 θ は、3 . 0 ° 以上 4 . 5 ° 以下の角度の範囲に設定されていてもよい。この場合、オフ角 θ は、3 . 0 ° 以上 3 . 5 ° 以下または 3 . 5 ° 以上 4 . 0 ° 以下の角度の範囲に設定されていることが好ましい。

オフ角 θ は、1 . 5 ° 以上 3 . 0 ° 以下の角度の範囲に設定されていてもよい。この場合、オフ角 θ は、1 . 5 ° 以上 2 . 0 ° 以下または 2 . 0 ° 以上 2 . 5 ° 以下の角度の範囲に設定されていることが好ましい。

【0200】

側面 1 0 5 A ~ 1 0 5 D の長さは、それぞれ、1 mm 以上 1 0 mm 以下（たとえば 2 mm 以上 5 mm 以下）であってもよい。側面 1 0 5 B、1 0 5 D の表面積は、この形態では、側面 1 0 5 A、1 0 5 C の表面積を超えている。第 1 主面 1 0 3 および第 2 主面 1 0 4 は、平面視において正形状に形成されていてもよい。この場合、側面 1 0 5 A、1 0 5 C の表面積は、側面 1 0 5 B、1 0 5 D と等しくなる。

【0201】

側面 1 0 5 A および側面 1 0 5 C は、この形態では、第 1 方向 X に沿って延び、第 1 方向 X に交差する第 2 方向 Y に互いに対向している。側面 1 0 5 B および側面 1 0 5 D は、

10

20

30

40

50

この形態では、第2方向Yに沿って延び、第1方向Xに互いに対向している。第2方向Yは、より具体的には第1方向Xに直交する方向である。

第1方向Xは、この形態では、SiC単結晶のm軸方向（ $[1-100]$ 方向）に設定されている。第2方向Yは、SiC単結晶のa軸方向（ $[11-20]$ 方向）に設定されている。

【0202】

側面105Aおよび側面105Cは、平面視においてSiC半導体層102の短辺を形成している。側面105Aおよび側面105Cは、SiC単結晶のa面によって形成され、a軸方向に互いに対向している。側面105Aは、SiC単結晶の $(-1-120)$ 面によって形成されている。側面105Cは、SiC単結晶の $(11-20)$ 面によって形成されている。

10

【0203】

側面105Bおよび側面105Dは、平面視においてSiC半導体層102の長辺を形成している。側面105Bおよび側面105Dは、SiC単結晶のm面によって形成され、m軸方向に互いに対向している。側面105Bは、SiC単結晶の (-1100) 面によって形成されている。側面105Dは、SiC単結晶の $(1-100)$ 面によって形成されている。

【0204】

側面105Aおよび側面105Cは、SiC半導体層102の第1主面103の法線を基準にしたとき、法線に対してSiC単結晶のc軸方向（ $[0001]$ 方向）に向けて傾斜した傾斜面を形成していてもよい。

20

この場合、側面105Aおよび側面105Cは、SiC半導体層102の第1主面103の法線を 0° としたとき、SiC半導体層102の第1主面103の法線に対してオフ角 θ に応じた角度で傾斜していてもよい。オフ角 θ に応じた角度は、オフ角 θ と等しくてもよいし、 0° を超えてオフ角 θ 未満の角度であってもよい。

【0205】

SiC半導体層102は、この形態では、 n^+ 型のSiC半導体基板106およびn型のSiCエピタキシャル層107を含む積層構造を有している。SiC半導体基板106およびSiCエピタキシャル層107は、第1実施形態に係るSiC半導体基板6およびSiCエピタキシャル層7にそれぞれ対応している。SiC半導体基板106によって、SiC半導体層102の第2主面104が形成されている。

30

【0206】

SiCエピタキシャル層107によって、SiC半導体層102の第1主面103が形成されている。SiC半導体基板106およびSiCエピタキシャル層107によって、SiC半導体層102の側面105A～105Dが形成されている。

SiC半導体基板106の厚さTSは、 $40\mu\text{m}$ 以上 $150\mu\text{m}$ 以下であってもよい。厚さTSは、 $40\mu\text{m}$ 以上 $50\mu\text{m}$ 以下、 $50\mu\text{m}$ 以上 $60\mu\text{m}$ 以下、 $60\mu\text{m}$ 以上 $70\mu\text{m}$ 以下、 $70\mu\text{m}$ 以上 $80\mu\text{m}$ 以下、 $80\mu\text{m}$ 以上 $90\mu\text{m}$ 以下、 $90\mu\text{m}$ 以上 $100\mu\text{m}$ 以下、 $100\mu\text{m}$ 以上 $110\mu\text{m}$ 以下、 $110\mu\text{m}$ 以上 $120\mu\text{m}$ 以下、 $120\mu\text{m}$ 以上 $130\mu\text{m}$ 以下、 $130\mu\text{m}$ 以上 $140\mu\text{m}$ 以下または $140\mu\text{m}$ 以上 $150\mu\text{m}$ 以下であってもよい。厚さTSは、 $40\mu\text{m}$ 以上 $130\mu\text{m}$ 以下であることが好ましい。SiC半導体基板106の薄化によって、電流経路の短縮による抵抗値の低減を図ることができる。

40

【0207】

SiCエピタキシャル層107の厚さTEは、 $1\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であってもよい。厚さTEは、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下、 $10\mu\text{m}$ 以上 $15\mu\text{m}$ 以下、 $15\mu\text{m}$ 以上 $20\mu\text{m}$ 以下、 $20\mu\text{m}$ 以上 $25\mu\text{m}$ 以下、 $25\mu\text{m}$ 以上 $30\mu\text{m}$ 以下、 $30\mu\text{m}$ 以上 $35\mu\text{m}$ 以下、 $35\mu\text{m}$ 以上 $40\mu\text{m}$ 以下、 $40\mu\text{m}$ 以上 $45\mu\text{m}$ 以下または $45\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であってもよい。厚さTEは、 $5\mu\text{m}$ 以上 $15\mu\text{m}$ 以下であることが好ましい。

50

【0208】

S i Cエピタキシャル層107のn型不純物濃度は、S i C半導体基板106のn型不純物濃度以下である。S i Cエピタキシャル層107のn型不純物濃度は、より具体的には、S i C半導体基板106のn型不純物濃度未満である。S i C半導体基板106のn型不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。S i Cエピタキシャル層107のn型不純物濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。

【0209】

S i Cエピタキシャル層107は、この形態では、法線方向Zに沿って異なるn型不純物濃度を有する複数の領域を有している。S i Cエピタキシャル層107は、より具体的には、n型不純物濃度が比較的高い高濃度領域108、および、高濃度領域108に対してn型不純物濃度が低い低濃度領域109を含む。

10

高濃度領域108は、S i C半導体層102の第1主面103側の領域に形成されている。低濃度領域109は、高濃度領域108に対してS i C半導体層102の第2主面104側の領域に形成されている。

【0210】

高濃度領域108のn型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。低濃度領域109のn型不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{16} \text{ cm}^{-3}$ 以下であってもよい。

高濃度領域108の厚さは、低濃度領域109の厚さ以下である。高濃度領域108の厚さは、より具体的には、低濃度領域109の厚さ未満である。高濃度領域108の厚さは、S i Cエピタキシャル層107の総厚さの2分の1未満である。

20

【0211】

S i C半導体層102には、アクティブ領域111および外側領域112が設定されている。アクティブ領域111は、半導体素子の一例としての縦型のM I S F E T (Metal Insulator Field Effect Transistor) が形成された領域である。外側領域112は、アクティブ領域111の外側の領域である。

アクティブ領域111は、平面視において、S i C半導体層102の側面105A~105Dから内方領域に間隔を空けてS i C半導体層102の中央部に設定されている。アクティブ領域111は、平面視においてS i C半導体層102の側面105A~105Dに平行な4辺を有する四角形状（この形態では長方形形状）に設定されている。

30

【0212】

外側領域112は、S i C半導体層102の側面105A~105Dおよびアクティブ領域111の周縁の間の領域に設定されている。外側領域112は、平面視においてアクティブ領域111を取り囲む無端状（この形態では四角環状）に設定されている。

S i C半導体層102の第1主面103の上には、主面絶縁層113が形成されている。主面絶縁層113は、アクティブ領域111および外側領域112を選択的に被覆している。主面絶縁層113は、酸化シリコン (S i O₂) を含んでいてもよい。

【0213】

主面絶縁層113は、S i C半導体層102の側面105A~105Dから露出する絶縁側面114A, 114B, 114C, 114Dを有している。絶縁側面114A~114Dは、側面105A~105Dに連なっている。絶縁側面114A~114Dは、側面105A~105Dに対してそれぞれ面一に形成されている。絶縁側面114A~114Dは、劈開面からなる。

40

【0214】

主面絶縁層113の厚さは、1 μm以上50 μm以下であってもよい。主面絶縁層113の厚さは、1 μm以上10 μm以下、10 μm以上20 μm以下、20 μm以上30 μm以下、30 μm以上40 μm以下または40 μm以上50 μm以下であってもよい。

主面絶縁層113の上には、第1主面電極層の1つとしての主面ゲート電極層115が形成されている。主面ゲート電極層115は、主面絶縁層113を貫通して、S i C半導

50

体層 102 の任意の領域に電氣的に接続されている。

【0215】

主面ゲート電極層 115 は、ゲートパッド 116 およびゲートフィンガー 117, 118 を含む。ゲートパッド 116 およびゲートフィンガー 117, 118 は、アクティブ領域 111 に配置されている。

ゲートパッド 116 は、平面視において SiC 半導体層 102 の側面 105A に沿って形成されている。ゲートパッド 116 は、平面視において SiC 半導体層 102 の側面 105A の中央領域に沿って形成されている。

【0216】

ゲートパッド 116 は、平面視において SiC 半導体層 102 の側面 105A ~ 105D のうちの任意の 2 つを接続する角部に沿って形成されていてもよい。ゲートパッド 116 は、平面視において四角形状に形成されていてもよい。

ゲートフィンガー 117, 118 は、外側ゲートフィンガー 117 および内側ゲートフィンガー 118 を含む。外側ゲートフィンガー 117 は、ゲートパッド 116 から引き出されており、アクティブ領域 111 の周縁に沿って帯状に延びている。

【0217】

外側ゲートフィンガー 117 は、この形態では、アクティブ領域 111 の内方領域を 3 方向から区画するように、SiC 半導体層 102 の 3 つの側面 105A, 105B, 105D に沿って形成されている。

外側ゲートフィンガー 117 は、一対の開放端部 119, 120 を有している。一対の開放端部 119, 120 は、アクティブ領域 111 の内方領域を挟んでゲートパッド 116 と対向する領域に形成されている。一対の開放端部 119, 120 は、この形態では、SiC 半導体層 102 の側面 105C に沿って形成されている。

【0218】

内側ゲートフィンガー 118 は、ゲートパッド 116 からアクティブ領域 111 の内方領域に引き出されている。内側ゲートフィンガー 118 は、アクティブ領域 111 の内方領域を帯状に延びている。内側ゲートフィンガー 118 は、ゲートパッド 116 から側面 105C に向けて延びている。

主面絶縁層 113 の上には、第 1 主面電極層の 1 つとしての主面ソース電極層 121 がさらに形成されている。主面ソース電極層 121 は、主面絶縁層 113 を貫通して、SiC 半導体層 102 の任意の領域に電氣的に接続されている。主面ソース電極層 121 は、この形態では、ソースパッド 122、ソース引き回し配線 123 およびソース接続部 124 を含む。

【0219】

ソースパッド 122 は、ゲートパッド 116 およびゲートフィンガー 117, 118 から間隔を空けてアクティブ領域 111 に形成されている。ソースパッド 122 は、ゲートパッド 116 およびゲートフィンガー 117, 118 によって区画された C 字形状 (図 18 および図 19 では逆 C 字形状) の領域を被覆するように、平面視において C 字形状 (図 18 および図 19 では逆 C 字形状) に形成されている。

【0220】

ソース引き回し配線 123 は、外側領域 112 に形成されている。ソース引き回し配線 123 は、アクティブ領域 111 に沿って帯状に延びている。ソース引き回し配線 123 は、この形態では、平面視においてアクティブ領域 111 を取り囲む無端状 (この形態では四角環状) に形成されている。ソース引き回し配線 123 は、外側領域 112 において SiC 半導体層 102 に電氣的に接続されている。

【0221】

ソース接続部 124 は、ソースパッド 122 およびソース引き回し配線 123 を接続している。ソース接続部 124 は、外側ゲートフィンガー 117 の一対の開放端部 119, 120 の間の領域に設けられている。ソース接続部 124 は、ソースパッド 122 からアクティブ領域 111 および外側領域 112 の間の境界領域を横切り、ソース引き回し配線

10

20

30

40

50

1 2 3 に接続されている。

【0 2 2 2】

アクティブ領域 1 1 1 に形成された M I S F E T は、その構造上、n p n 型の寄生バイポーラトランジスタを含む。外側領域 1 1 2 で生じたアバランシェ電流がアクティブ領域 1 1 1 に流れ込むと、寄生バイポーラトランジスタがオン状態となる。この場合、たとえばラッチアップにより、M I S F E T の制御が不安定になる可能性がある。

そこで、S i C 半導体装置 1 0 1 では、主面ソース電極層 1 2 1 の構造を利用して、外側領域 1 1 2 で生じたアバランシェ電流を吸収するアバランシェ電流吸収構造を形成している。

【0 2 2 3】

より具体的には、外側領域 1 1 2 で生じたアバランシェ電流は、ソース引き回し配線 1 2 3 によって吸収され、ソース接続部 1 2 4 を介してソースパッド 1 2 2 に至る。ソースパッド 1 2 2 に外部接続用の導線（たとえばボンディングワイヤ）が接続されている場合には、アバランシェ電流は、この導線によって取り出される。

これにより、外側領域 1 1 2 で生じた不所望な電流によって寄生バイポーラトランジスタがオン状態になるのを抑制できる。よって、ラッチアップを抑制できるから、M I S F E T の制御の安定性を高めることができる。

【0 2 2 4】

主面ゲート電極層 1 1 5 には、ゲート電圧が印加される。ゲート電圧は、1 0 V 以上 5 0 V 以下（たとえば 3 0 V 程度）であってもよい。主面ソース電極層 1 2 1 には、ソース電圧が印加される。ソース電圧は、基準電圧（たとえば G N D 電圧）であってもよい。

主面絶縁層 1 1 3 の上には、パッシベーション層 1 2 5（絶縁層）が形成されている。パッシベーション層 1 2 5 は、酸化シリコン層または窒化シリコン層からなる単層構造を有していてもよい。

【0 2 2 5】

パッシベーション層 1 2 5 は、酸化シリコン層および窒化シリコン層を含む積層構造を有していてもよい。酸化シリコン層は、窒化シリコン層の上に形成されていてもよい。窒化シリコン層は、酸化シリコン層の上に形成されていてもよい。パッシベーション層 1 2 5 は、この形態では、窒化シリコン層からなる単層構造を有している。

パッシベーション層 1 2 5 の側面 1 2 6 A, 1 2 6 B, 1 2 6 C, 1 2 6 D は、平面視において S i C 半導体層 1 0 2 の側面 1 0 5 A ~ 1 0 5 D から内方領域に間隔を空けて形成されている。パッシベーション層 1 2 5 は、平面視において S i C 半導体層 1 0 2 の周縁部を露出させている。パッシベーション層 1 2 5 は、主面絶縁層 1 1 3 を露出させている。

【0 2 2 6】

パッシベーション層 1 2 5 は、主面ゲート電極層 1 1 5 および主面ソース電極層 1 2 1 を選択的に被覆している。パッシベーション層 1 2 5 には、ゲートサブパッド開口 1 2 7 およびソースサブパッド開口 1 2 8 が形成されている。ゲートサブパッド開口 1 2 7 は、ゲートパッド 1 1 6 を露出させている。ソースサブパッド開口 1 2 8 は、ソースパッド 1 2 2 を露出させている。

【0 2 2 7】

パッシベーション層 1 2 5 の厚さは、1 μ m 以上 5 0 μ m 以下であってもよい。パッシベーション層 1 2 5 の厚さは、1 μ m 以上 1 0 μ m 以下、1 0 μ m 以上 2 0 μ m 以下、2 0 μ m 以上 3 0 μ m 以下、3 0 μ m 以上 4 0 μ m 以下または 4 0 μ m 以上 5 0 μ m 以下であってもよい。

パッシベーション層 1 2 5 の上には、樹脂層 1 2 9（絶縁層）が形成されている。パッシベーション層 1 2 5 および樹脂層 1 2 9 は、1 つの絶縁積層構造（絶縁層）を形成している。図 1 8 では、樹脂層 1 2 9 がハッチングによって示されている。

【0 2 2 8】

樹脂層 1 2 9 は、ネガティブタイプまたはポジティブタイプの感光性樹脂を含んでいて

10

20

30

40

50

もよい。樹脂層 129 は、この形態では、ポジティブタイプの感光性樹脂の一例としてのポリベンゾオキサゾールを含む。樹脂層 129 は、ネガティブタイプの感光性樹脂の一例としてのポリイミドを含んでいてもよい。

樹脂層 129 は、主面ゲート電極層 115 および主面ソース電極層 121 を選択的に被覆している。樹脂層 129 の樹脂側面 130A, 130B, 130C, 130D は、SiC 半導体層 102 の側面 105A~105D から内方領域に間隔を空けて形成されている。樹脂層 129 は、パッシベーション層 125 と共に主面絶縁層 113 を露出させている。樹脂層 129 の樹脂側面 130A~130D は、この形態では、パッシベーション層 125 の側面 126A~126D に面一に形成されている。

【0229】

樹脂層 129 の樹脂側面 130A~130D は、一枚の SiC 半導体ウエハから SiC 半導体装置 101 を切り出す際にダイシングストリートを区画していた部分である。この形態では、パッシベーション層 125 の側面 126A~126D もダイシングストリートを区画していた部分である。

樹脂層 129 やパッシベーション層 125 から SiC 半導体層 102 の周縁部を露出させることにより、樹脂層 129 やパッシベーション層 125 を物理的に切断する必要がなくなる。これにより、一枚の SiC 半導体ウエハから SiC 半導体装置 101 を円滑に切り出すことができる。また、SiC 半導体層 102 の側面 105A~105D からの絶縁距離を増加させることができる。

【0230】

側面 105A~105D および樹脂側面 130A~130D (側面 126A~126D) の間の距離は、1 μm 以上 25 μm 以下であってもよい。側面 105A~105D および樹脂側面 130A~130D (側面 126A~126D) の間の距離は、1 μm 以上 5 μm 以下、5 μm 以上 10 μm 以下、10 μm 以上 15 μm 以下、15 μm 以上 20 μm 以下または 20 μm 以上 25 μm 以下であってもよい。むろん、パッシベーション層 125 の側面 126A~126D は、SiC 半導体層 102 の側面 105A~105D に対して面一に形成されていてもよい。

【0231】

樹脂層 129 には、ゲートパッド開口 131 およびソースパッド開口 132 が形成されている。ゲートパッド開口 131 は、ゲートパッド 116 を露出させている。ソースパッド開口 132 は、ソースパッド 122 を露出させている。

樹脂層 129 のゲートパッド開口 131 は、パッシベーション層 125 のゲートサブパッド開口 127 に連通している。ゲートパッド開口 131 の内壁は、ゲートサブパッド開口 127 の内壁の外側に位置していてもよい。ゲートパッド開口 131 の内壁は、ゲートサブパッド開口 127 の内壁の内側に位置していてもよい。樹脂層 129 は、ゲートサブパッド開口 127 の内壁を被覆していてもよい。

【0232】

樹脂層 129 のソースパッド開口 132 は、パッシベーション層 125 のソースサブパッド開口 128 に連通している。ゲートパッド開口 131 の内壁は、ソースサブパッド開口 128 の内壁の外側に位置していてもよい。ソースパッド開口 132 の内壁は、ソースサブパッド開口 128 の内壁の内側に位置していてもよい。樹脂層 129 は、ソースサブパッド開口 128 の内壁を被覆していてもよい。

【0233】

樹脂層 129 の厚さは、1 μm 以上 50 μm 以下であってもよい。樹脂層 129 の厚さは、1 μm 以上 10 μm 以下、10 μm 以上 20 μm 以下、20 μm 以上 30 μm 以下、30 μm 以上 40 μm 以下または 40 μm 以上 50 μm 以下であってもよい。

SiC 半導体層 102 の第 2 主面 104 には、第 2 主面電極層としてのドレイン電極層 133 が接続されている。オフ時において主面ソース電極層 121 およびドレイン電極層 133 の間に印加可能な最大電圧は、1000V 以上 10000V 以下であってもよい。

【0234】

ドレイン電極層133は、Ti層、Ni層、Au層、Ag層またはAl層のうちの少なくとも1つを含んでいてもよい。ドレイン電極層133は、Ti層、Ni層、Au層、Ag層またはAl層を含む単層構造を有していてもよい。

ドレイン電極層133は、Ti層、Ni層、Au層、Ag層およびAl層のうちの少なくとも2つを任意の態様で積層させた積層構造を有していてもよい。ドレイン電極層133は、SiC半導体層102の第2主面104からこの順に積層されたTi層、Ni層、Au層およびAg層を含む4層構造を有していてもよい。

【0235】

SiC半導体基板106は、MISFETのドレイン領域134として形成されている。SiCエピタキシャル層107は、MISFETのドリフト領域135として形成されている。

10

SiC半導体層102の側面105A~105Dには、第1形態例に係る複数の改質ライン22A~22Dが形成されている。第3実施形態に係る改質ライン22A~22Dの構造は、SiC半導体層2に代えてSiC半導体層102に形成されている点を除いて、第1実施形態に係る改質ライン22A~22Dの構造と同様である。

【0236】

第1実施形態に係る改質ライン22A~22Dの説明は、それぞれ、第3実施形態に係る改質ライン22A~22Dの説明に準用されるものとし、第3実施形態に係る改質ライン22A~22Dについての具体的な説明は省略される。

図20は、図19に示す領域XXの拡大図であって、SiC半導体層102の第1主面103の構造を説明するための図である。図21は、図20に示すXXI-XXI線に沿う断面図である。図22は、図20に示すXXII-XXII線に沿う断面図である。図23は、図21に示す領域XXIIIの拡大図である。図24は、図19に示すXXIV-XXIV線に沿う断面図である。図25は、図24に示す領域XXVの拡大図である。

20

【0237】

図20~図24を参照して、アクティブ領域111においてSiC半導体層102の第1主面103の表層部には、p型のボディ領域141が形成されている。ボディ領域141は、アクティブ領域111を画定している。

ボディ領域141は、この形態では、SiC半導体層102の第1主面103においてアクティブ領域111を形成する領域の全域に形成されている。ボディ領域141のp型不純物濃度は、 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以下であってもよい。

30

【0238】

アクティブ領域111においてSiC半導体層102の第1主面103の表層部には、複数のゲートトレンチ142が形成されている。複数のゲートトレンチ142は、平面視において第1方向X（SiC単結晶のm軸方向）に沿って延びる帯状にそれぞれ形成され、第2方向Y（SiC単結晶のa軸方向）に沿って間隔を空けて形成されている。

各ゲートトレンチ142は、この形態では、アクティブ領域111において一方側（側面105B側）の周縁部から他方側（側面105D側）の周縁部に向けて延びている。複数のゲートトレンチ142は、平面視において全体としてストライプ状に形成されている。

40

【0239】

各ゲートトレンチ142は、アクティブ領域111において一方側の周縁部および他方側の周縁部の間の中間部を横切っている。各ゲートトレンチ142の一端部は、アクティブ領域111において一方側の周縁部に位置している。各ゲートトレンチ142の他端部は、アクティブ領域111において他方側の周縁部に位置している。

各ゲートトレンチ142の長さは、0.5mm以上であってもよい。各ゲートトレンチ142の長さは、図22に示す断面において、各ゲートトレンチ142および外側ゲートフィンガー117の接続部分側の端部から、反対側の端部までの長さである。

【0240】

各ゲートトレンチ142の長さは、この形態では、1mm以上10mm以下（たとえば

50

2 mm以上5 mm以下)である。単位面積当たりの1つまたは複数のゲートトレンチ142の総延長は、 $0.5\ \mu\text{m}/\mu\text{m}^2$ 以上 $0.75\ \mu\text{m}/\mu\text{m}^2$ 以下であってもよい。

各ゲートトレンチ142は、アクティブトレンチ部143およびコンタクトトレンチ部144を一体的に含む。アクティブトレンチ部143は、アクティブ領域111においてMISFETのチャンネルに沿う部分である。

【0241】

コンタクトトレンチ部144は、主としてゲートトレンチ142において外側ゲートフィンガー117とのコンタクトを目的とした部分である。コンタクトトレンチ部144は、アクティブトレンチ部143からアクティブ領域111の周縁部に引き出されている。コンタクトトレンチ部144は、外側ゲートフィンガー117の直下の領域に形成されている。コンタクトトレンチ部144の引き出し量は任意である。

【0242】

各ゲートトレンチ142は、ボディ領域141を貫通し、SiCエピタキシャル層107に至っている。各ゲートトレンチ142は、側壁および底壁を含む。各ゲートトレンチ142の長辺を形成する側壁は、SiC単結晶のa面によって形成されている。各ゲートトレンチ142の短辺を形成する側壁は、SiC単結晶のm面によって形成されている。

各ゲートトレンチ142の側壁は、法線方向Zに沿って延びていてもよい。各ゲートトレンチ142の側壁は、SiC半導体層102の第1主面103に対してほぼ垂直に形成されていてもよい。

【0243】

SiC半導体層102内において各ゲートトレンチ142の側壁がSiC半導体層102の第1主面103に対して成す角度は、 90° 以上 95° 以下(たとえば 91° 以上 93° 以下)であってもよい。各ゲートトレンチ142は、断面視において底壁側の開口面積が開口側の開口面積よりも小さいテーパ形状に形成されていてもよい。

各ゲートトレンチ142の底壁は、SiCエピタキシャル層107に位置している。各ゲートトレンチ142の底壁は、より具体的には、SiCエピタキシャル層107の高濃度領域108に位置している。

【0244】

各ゲートトレンチ142の底壁は、SiC単結晶のc面に面している。各ゲートトレンチ142の底壁は、SiC単結晶のc面に対して $[11-20]$ 方向に傾斜したオフ角 θ を有している。

各ゲートトレンチ142の底壁は、SiC半導体層102の第1主面103に対して平行に形成されていてもよい。むしろ、各ゲートトレンチ142の底壁は、SiC半導体層102の第2主面104に向かう凸湾曲状に形成されていてもよい。

【0245】

法線方向Zに関して、各ゲートトレンチ142の深さは、 $0.5\ \mu\text{m}$ 以上 $3.0\ \mu\text{m}$ 以下であってもよい。各ゲートトレンチ142の深さは、 $0.5\ \mu\text{m}$ 以上 $1.0\ \mu\text{m}$ 以下、 $1.0\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下、 $1.5\ \mu\text{m}$ 以上 $2.0\ \mu\text{m}$ 以下、 $2.0\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下または $2.5\ \mu\text{m}$ 以上 $3.0\ \mu\text{m}$ 以下であってもよい。

各ゲートトレンチ142の第2方向Yに沿う幅は、 $0.1\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下であってもよい。各ゲートトレンチ142の幅は、 $0.1\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下、 $0.5\ \mu\text{m}$ 以上 $1.0\ \mu\text{m}$ 以下、 $1.0\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下または $1.5\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下であってもよい。

【0246】

図23を参照して、各ゲートトレンチ142の開口エッジ部146は、SiC半導体層102の第1主面103から各ゲートトレンチ142の内方に向かって下り傾斜した傾斜部147を含む。各ゲートトレンチ142の開口エッジ部146は、SiC半導体層102の第1主面103および各ゲートトレンチ142の側壁を接続する角部である。

傾斜部147は、この形態では、SiC半導体層102の内方に向かう凹湾曲状に形成されている。傾斜部147は、各ゲートトレンチ142の内方に向かう凸湾曲状に形成さ

10

20

30

40

50

れていてもよい。傾斜部 147 は、各ゲートトレンチ 142 の開口エッジ部 146 に対する電界集中を緩和する。

【0247】

各ゲートトレンチ 142 内には、ゲート絶縁層 148 およびゲート電極層 149 が形成されている。図 20 では、ゲート絶縁層 148 およびゲート電極層 149 は、ハッチングによって示されている。

ゲート絶縁層 148 は、酸化シリコン (SiO_2)、窒化シリコン (SiN)、酸化アルミニウム (Al_2O_3)、酸化ジルコニウム (ZrO_2) または酸化タンタル (Ta_2O_3) のうちの少なくとも 1 種を含む。

【0248】

ゲート絶縁層 148 は、 SiC 半導体層 102 の第 1 主面 103 側からこの順に積層された SiN 層および SiO_2 層を含む積層構造を有していてもよい。ゲート絶縁層 148 は、 SiC 半導体層 102 の第 1 主面 103 側からこの順に積層された SiO_2 層および SiN 層を含む積層構造を有していてもよい。ゲート絶縁層 148 は、 SiO_2 層または SiN 層からなる単層構造を有していてもよい。ゲート絶縁層 148 は、この形態では、 SiO_2 層からなる単層構造を有している。

【0249】

ゲート絶縁層 148 は、ゲートトレンチ 142 内に凹状の空間が区画されるようにゲートトレンチ 142 の内壁面に沿って膜状に形成されている。ゲート絶縁層 148 は、第 1 領域 148a、第 2 領域 148b および第 3 領域 148c を含む。

第 1 領域 148a は、ゲートトレンチ 142 の側壁に沿って形成されている。第 2 領域 148b は、ゲートトレンチ 142 の底壁に沿って形成されている。第 3 領域 148c は、 SiC 半導体層 102 の第 1 主面 103 に沿って形成されている。ゲート絶縁層 148 の第 3 領域 148c は、主面絶縁層 113 の一部を形成している。

【0250】

第 1 領域 148a の厚さ T_a は、第 2 領域 148b の厚さ T_b および第 3 領域 148c の厚さ T_c よりも小さい。第 1 領域 148a の厚さ T_a に対する第 2 領域 148b の厚さ T_b の比 T_b/T_a は、2 以上 5 以下であってもよい。第 1 領域 148a の厚さ T_a に対する第 3 領域 148c の厚さ T_c の比 T_c/T_a は、2 以上 5 以下であってもよい。

第 1 領域 148a の厚さ T_a は、 $0.01\mu\text{m}$ 以上 $0.2\mu\text{m}$ 以下であってもよい。第 2 領域 148b の厚さ T_b は、 $0.05\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下であってもよい。第 3 領域 148c の厚さ T_c は、 $0.05\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下であってもよい。

【0251】

ゲート絶縁層 148 の第 1 領域 148a を薄くすることによって、ボディ領域 141 において各ゲートトレンチ 142 の側壁近傍の領域に誘起されるキャリアの増加を抑制できる。これにより、チャネル抵抗の増加を抑制できる。ゲート絶縁層 148 の第 2 領域 148b を厚くすることにより、各ゲートトレンチ 142 の底壁に対する電界集中を緩和できる。

【0252】

ゲート絶縁層 148 の第 3 領域 148c を厚くすることにより、各ゲートトレンチ 142 の開口エッジ部 146 近傍におけるゲート絶縁層 148 の耐圧を向上できる。また、第 3 領域 148c を厚くすることにより、第 3 領域 148c がエッチング法によって消失することを抑制できる。

これにより、第 3 領域 148c の消失に起因して、第 1 領域 148a がエッチング法によって除去されることを抑制できる。その結果、ゲート電極層 149 を、ゲート絶縁層 148 を挟んで SiC 半導体層 102 (ボディ領域 141) に適切に対向させることができる。

【0253】

ゲート絶縁層 148 は、さらに、各ゲートトレンチ 142 の開口エッジ部 146 において各ゲートトレンチ 142 内に向けて膨出した膨出部 148d を含む。膨出部 148d は

10

20

30

40

50

、ゲート絶縁層 148 の第 1 領域 148 a および第 3 領域 148 c を接続する角部に形成されている。

膨出部 148 d は、各ゲートトレンチ 142 の内方に向かって凸湾曲状に張り出している。膨出部 148 d は、各ゲートトレンチ 142 の開口エッジ部 146 において各ゲートトレンチ 142 の開口を狭めている。

【0254】

膨出部 148 d により、開口エッジ部 146 におけるゲート絶縁層 148 の絶縁耐圧の向上が図られている。むしろ、膨出部 148 d を有さないゲート絶縁層 148 が形成されていてもよい。また、一様な厚さを有するゲート絶縁層 148 が形成されていてもよい。

ゲート電極層 149 は、ゲート絶縁層 148 を挟んで各ゲートトレンチ 142 に埋め込まれている。ゲート電極層 149 は、より具体的には、各ゲートトレンチ 142 においてゲート絶縁層 148 によって区画された凹状の空間に埋め込まれている。ゲート電極層 149 は、ゲート電圧によって制御される。

【0255】

ゲート電極層 149 は、各ゲートトレンチ 142 の開口側に位置する上端部を有している。ゲート電極層 149 の上端部は、各ゲートトレンチ 142 の底壁に向かって窪んだ凹湾曲状に形成されている。ゲート電極層 149 の上端部は、ゲート絶縁層 148 の膨出部 148 d に沿って括れた括れ部を有している。

ゲート電極層 149 の断面積（各ゲートトレンチ 142 が延びる方向と直交する断面積）は、 $0.05 \mu\text{m}^2$ 以上 $0.5 \mu\text{m}^2$ 以下であってもよい。ゲート電極層 149 の断面積は、ゲート電極層 149 の深さおよびゲート電極層 149 の幅の積で定義される。

【0256】

ゲート電極層 149 の深さは、ゲート電極層 149 の上端部から下端部までの距離である。ゲート電極層 149 の幅は、ゲート電極層 149 の上端部および下端部の間の中間位置におけるゲートトレンチ 142 の幅である。上端部が曲面（この形態では凹湾曲状）である場合、ゲート電極層 149 の上端部の位置は、ゲート電極層 149 の上面における深さ方向の中間位置とする。

【0257】

ゲート電極層 149 は、p 型不純物が添加された p 型ポリシリコンを含む。ゲート電極層 149 の p 型不純物は、ホウ素（B）、アルミニウム（Al）、インジウム（In）またはガリウム（Ga）のうちの少なくとも 1 種を含んでいてもよい。

ゲート電極層 149 の p 型不純物濃度は、ボディ領域 141 の p 型不純物濃度以上である。ゲート電極層 149 の p 型不純物濃度は、より具体的には、ボディ領域 141 の p 型不純物濃度よりも大きい。

【0258】

ゲート電極層 149 の p 型不純物濃度は、 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{22} \text{cm}^{-3}$ 以下であってもよい。ゲート電極層 149 のシート抵抗は、 $10 \Omega/\square$ 以上 $500 \Omega/\square$ 以下（この形態では $200 \Omega/\square$ 程度）であってもよい。

図 20 および図 22 を参照して、アクティブ領域 111 には、ゲート配線層 150 が形成されている。ゲート配線層 150 は、ゲートパッド 116 およびゲートフィンガー 117, 118 に電氣的に接続される。図 22 では、ゲート配線層 150 がハッチングによって示されている。

【0259】

ゲート配線層 150 は、SiC 半導体層 102 の第 1 主面 103 の上に形成されている。ゲート配線層 150 は、より具体的には、ゲート絶縁層 148 の第 3 領域 148 c の上に形成されている。

ゲート配線層 150 は、この形態では、外側ゲートフィンガー 117 に沿って形成されている。ゲート配線層 150 は、より具体的には、アクティブ領域 111 の内方領域を 3 方向から区画するように、SiC 半導体層 102 の 3 つの側面 105 A, 105 B, 105 D に沿って形成されている。

10

20

30

40

50

【0260】

ゲート配線層150は、各ゲートトレンチ142のコンタクトトレンチ部144から露出するゲート電極層149に接続されている。ゲート配線層150は、この形態では、各ゲートトレンチ142からSiC半導体層102の第1主面103の上に引き出されたゲート電極層149の引き出し部によって形成されている。ゲート配線層150の上端部は、ゲート電極層149の上端部に接続されている。

【0261】

図20、図21および図23を参照して、アクティブ領域111においてSiC半導体層102の第1主面103には、複数のソーストレンチ155が形成されている。各ソーストレンチ155は、互いに隣り合う2つのゲートトレンチ142の間の領域に形成されている。

10

複数のソーストレンチ155は、第1方向X（SiC単結晶のm軸方向）に沿って延びる帯状にそれぞれ形成されている。複数のソーストレンチ155は、平面視において全体としてストライプ状に形成されている。第2方向Yに関して、互いに隣り合うソーストレンチ155の中央部間のピッチは、 $1.5\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であってもよい。

【0262】

各ソーストレンチ155は、ボディ領域141を貫通し、SiCエピタキシャル層107に至っている。各ソーストレンチ155は、側壁および底壁を含む。各ソーストレンチ155の長辺を形成する側壁は、SiC単結晶のa面によって形成されている。各ソーストレンチ155の短辺を形成する側壁は、SiC単結晶のm面によって形成されている。

20

各ソーストレンチ155の側壁は、法線方向Zに沿って延びていてもよい。各ソーストレンチ155の側壁は、SiC半導体層102の第1主面103に対してほぼ垂直に形成されていてもよい。

【0263】

SiC半導体層102内において各ソーストレンチ155の側壁がSiC半導体層102の第1主面103に対して成す角度は、 90° 以上 95° 以下（たとえば 91° 以上 93° 以下）であってもよい。各ソーストレンチ155は、断面視において底壁側の開口面積が開口側の開口面積よりも小さいテーパ形状に形成されていてもよい。

各ソーストレンチ155の底壁は、SiCエピタキシャル層107に位置している。各ソーストレンチ155の底壁は、より具体的には、SiCエピタキシャル層107の高濃度領域108に位置している。各ソーストレンチ155の底壁は、さらに具体的には、各ゲートトレンチ142の底壁および低濃度領域109の間の領域に位置している。

30

【0264】

各ソーストレンチ155の底壁は、SiC単結晶のc面に面している。各ソーストレンチ155の底壁は、SiC単結晶のc面に対して $[11-20]$ 方向に傾斜したオフ角 θ を有している。

各ソーストレンチ155の底壁は、SiC半導体層102の第1主面103に対して平行に形成されていてもよい。むろん、各ソーストレンチ155の底壁は、SiC半導体層102の第2主面104に向かう凸湾曲状に形成されていてもよい。

【0265】

40

各ソーストレンチ155の深さは、この形態では、各ゲートトレンチ142の深さ以上である。各ソーストレンチ155の深さは、より具体的には、各ゲートトレンチ142の深さよりも大きい。

各ソーストレンチ155の底壁は、各ゲートトレンチ142の底壁に対してSiC半導体層102の第2主面104側に位置している。むろん、各ソーストレンチ155の深さは、各ゲートトレンチ142の深さと等しくてもよい。

【0266】

法線方向Zに関して、各ソーストレンチ155の深さは、 $0.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下（たとえば $2\mu\text{m}$ 程度）であってもよい。各ゲートトレンチ142の深さに対する各ソーストレンチ155の深さの比は、 1.5 以上であってもよい。各ゲートトレンチ142の

50

深さに対する各ソーストレンチ 155 の深さの比は、2 以上であることが好ましい。

各ソーストレンチ 155 の第 1 方向幅は、各ゲートトレンチ 142 の第 1 方向幅とほぼ等しくてもよい。各ソーストレンチ 155 の第 1 方向幅は、各ゲートトレンチ 142 の第 1 方向幅以上であってもよい。各ソーストレンチ 155 の第 1 方向幅は、 $0.1\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下（たとえば $0.5\ \mu\text{m}$ 程度）であってもよい。

【0267】

各ソーストレンチ 155 内には、ソース絶縁層 156 およびソース電極層 157 が形成されている。図 20 においてソース絶縁層 156 およびソース電極層 157 は、ハッチングによって示されている。

ソース絶縁層 156 は、酸化シリコン (SiO_2)、窒化シリコン (SiN)、酸化アルミニウム (Al_2O_3)、酸化ジルコニウム (ZrO_2) または酸化タンタル (Ta_2O_3) のうちの少なくとも 1 種を含む。

【0268】

ソース絶縁層 156 は、 SiC 半導体層 102 の第 1 主面 103 側からこの順に積層された SiN 層および SiO_2 層を含む積層構造を有していてもよい。ソース絶縁層 156 は、 SiC 半導体層 102 の第 1 主面 103 側からこの順に積層された SiO_2 層および SiN 層を含む積層構造を有していてもよい。ソース絶縁層 156 は、 SiO_2 層または SiN 層からなる単層構造を有していてもよい。ソース絶縁層 156 は、この形態では、 SiO_2 層からなる単層構造を有している。

【0269】

ソース絶縁層 156 は、各ソーストレンチ 155 内に凹状の空間が区画されるように各ソーストレンチ 155 の内壁面に沿って膜状に形成されている。ソース絶縁層 156 は、第 1 領域 156a および第 2 領域 156b を含む。

第 1 領域 156a は、各ソーストレンチ 155 の側壁に沿って形成されている。第 2 領域 156b は、各ソーストレンチ 155 の底壁に沿って形成されている。第 1 領域 156a の厚さ T_{sa} は、第 2 領域 156b の厚さ T_{sb} よりも小さい。

【0270】

第 1 領域 156a の厚さ T_{sa} に対する第 2 領域 156b の厚さ T_{sb} の比 T_{sb}/T_{sa} は、2 以上 5 以下であってもよい。第 1 領域 156a の厚さ T_{sa} は、 $0.01\ \mu\text{m}$ 以上 $0.2\ \mu\text{m}$ 以下であってもよい。第 2 領域 156b の厚さ T_{sb} は、 $0.05\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下であってもよい。

第 1 領域 156a の厚さ T_{sa} は、ゲート絶縁層 148 の第 1 領域 156a の厚さ T_a とほぼ等しくてもよい。第 2 領域 156b の厚さ T_{sb} は、ゲート絶縁層 148 の第 2 領域 156b の厚さ T_b とほぼ等しくてもよい。むろん、一様な厚さを有するソース絶縁層 156 が形成されていてもよい。

【0271】

ソース電極層 157 は、ソース絶縁層 156 を挟んで各ソーストレンチ 155 に埋め込まれている。ソース電極層 157 は、より具体的には、各ソーストレンチ 155 においてソース絶縁層 156 によって区画された凹状の空間に埋め込まれている。ソース電極層 157 は、ソース電圧によって制御される。

ソース電極層 157 は、各ソーストレンチ 155 の開口側に位置する上端部を有している。ソース電極層 157 の上端部は、 SiC 半導体層 102 の第 1 主面 103 よりも下方に形成されている。ソース電極層 157 の上端部は、 SiC 半導体層 102 の第 1 主面 103 よりも上方に位置していてもよい。

【0272】

ソース電極層 157 の上端部は、各ソーストレンチ 155 の底壁に向かって窪んだ凹湾曲状に形成されている。ソース電極層 157 の上端部は、 SiC 半導体層 102 の第 1 主面 103 に対して平行に形成されていてもよい。

ソース電極層 157 の上端部は、ソース絶縁層 156 の上端部よりも上方に突出していてもよい。ソース電極層 157 の上端部は、ソース絶縁層 156 の上端部よりも下方に位

10

20

30

40

50

置していてもよい。ソース電極層 157 の厚さは、 $0.5\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下（たとえば $1\ \mu\text{m}$ 程度）であってもよい。

【0273】

ソース電極層 157 は、材質的に SiC に近い性質を有するポリシリコンを含むことが好ましい。これにより、SiC 半導体層 102 内において生じる応力を低減できる。ソース電極層 157 は、この形態では、p 型不純物が添加された p 型ポリシリコンを含む。この場合、ゲート電極層 149 と同時にソース電極層 157 を形成できる。

ソース電極層 157 の p 型不純物濃度は、ボディ領域 141 の p 型不純物濃度以上である。ソース電極層 157 の p 型不純物濃度は、より具体的には、ボディ領域 141 の p 型不純物濃度よりも大きい。ソース電極層 157 の p 型不純物は、ホウ素（B）、アルミニウム（Al）、インジウム（In）またはガリウム（Ga）のうちの少なくとも 1 種を含んでいてもよい。

【0274】

ソース電極層 157 の p 型不純物濃度は、 $1 \times 10^{18}\ \text{cm}^{-3}$ 以上 $1 \times 10^{22}\ \text{cm}^{-3}$ 以下であってもよい。ソース電極層 157 のシート抵抗は、 $10\ \Omega/\square$ 以上 $500\ \Omega/\square$ 以下（この形態では $200\ \Omega/\square$ 程度）であってもよい。

ソース電極層 157 の p 型不純物濃度は、ゲート電極層 149 の p 型不純物濃度とほぼ等しくてもよい。ソース電極層 157 のシート抵抗は、ゲート電極層 149 のシート抵抗とほぼ等しくてもよい。

【0275】

ソース電極層 157 は、p 型ポリシリコンに代えてまたはこれに加えて、n 型ポリシリコンを含んでいてもよい。ソース電極層 157 は、p 型ポリシリコンに代えてまたはこれに加えて、タングステン、アルミニウム、銅、アルミニウム合金または銅合金のうちの少なくとも 1 種を含んでいてもよい。

このように、SiC 半導体装置 101 は、複数のトレンチゲート構造 161 および複数のトレンチソース構造 162 を有している。各トレンチゲート構造 161 は、ゲートトレンチ 142、ゲート絶縁層 148、ゲート電極層 149 を含む。各トレンチソース構造 162 は、ソーストレンチ 155、ソース絶縁層 156 およびソース電極層 157 を含む。

【0276】

ボディ領域 141 の表層部において、各ゲートトレンチ 142 の側壁に沿う領域には、 n^+ 型のソース領域 163 が形成されている。ソース領域 163 の n 型不純物濃度は、 $1.0 \times 10^{18}\ \text{cm}^{-3}$ 以上 $1.0 \times 10^{21}\ \text{cm}^{-3}$ 以下であってもよい。ソース領域 163 の n 型不純物は、磷（P）であってもよい。

ソース領域 163 は、各ゲートトレンチ 142 の一方側の側壁および他方側の側壁に沿って複数形成されている。複数のソース領域 163 は、第 1 方向 X に沿って延びる帯状にそれぞれ形成されている。

【0277】

複数のソース領域 163 は、平面視において全体としてストライプ状に形成されている。各ソース領域 163 は、各ゲートトレンチ 142 の側壁および各ソーストレンチ 155 の側壁から露出している。

このように、SiC 半導体層 102 の第 1 主面 103 の表層部においてゲートトレンチ 142 の側壁に沿う領域には、SiC 半導体層 102 の第 1 主面 103 から第 2 主面 104 に向けてソース領域 163、ボディ領域 141 およびドリフト領域 135 がこの順に形成されている。

【0278】

ボディ領域 141 においてゲートトレンチ 142 の側壁に沿う領域に、MISFET のチャネルが形成される。チャネルは、ゲートトレンチ 142 において SiC 単結晶の a 面に面する側壁に沿う領域に形成される。チャネルの ON/OFF は、ゲート電極層 149 によって制御される。

アクティブ領域 111 において SiC 半導体層 102 の第 1 主面 103 の表層部には、

10

20

30

40

50

複数の p^+ 型のコンタクト領域164が形成されている。各コンタクト領域164は、平面視において互いに隣り合う2つのゲートトレンチ142の間の領域に形成されている。各コンタクト領域164は、各ソース領域163に対してゲートトレンチ142とは反対側の領域に形成されている。

【0279】

各コンタクト領域164は、各ソーストレンチ155の内壁に沿って形成されている。この形態では、複数のコンタクト領域164が、各ソーストレンチ155の内壁に沿って間隔を空けて形成されている。各コンタクト領域164は、各ゲートトレンチ142から間隔を空けて形成されている。

各コンタクト領域164の p 型不純物濃度は、ボディ領域141の p 型不純物濃度よりも大きい。各コンタクト領域164の p 型不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。各コンタクト領域164の p 型不純物は、アルミニウム(Al)であってもよい。

【0280】

各コンタクト領域164は、各ソーストレンチ155の側壁および底壁を被覆している。各コンタクト領域164の底部は、各ソーストレンチ155の底壁に対して平行に形成されていてもよい。各コンタクト領域164は、より具体的には、第1表層領域164a、第2表層領域164bおよび内壁領域164cを一体的に含む。

第1表層領域164aは、ボディ領域141の表層部において、ソーストレンチ155の一方側の側壁を被覆している。第1表層領域164aは、ボディ領域141およびソース領域163に電氣的に接続されている。

【0281】

第1表層領域164aは、ソース領域163の底部に対してSiC半導体層102の第1主面103側の領域に位置している。第1表層領域164aは、この形態では、SiC半導体層102の第1主面103に対して平行に延びる底部を有している。

第1表層領域164aの底部は、この形態では、ボディ領域141の底部およびソース領域163の底部の間の領域に位置している。第1表層領域164aの底部は、SiC半導体層102の第1主面103およびボディ領域141の底部の間の領域に位置していてもよい。

【0282】

第1表層領域164aは、この形態では、ソーストレンチ155から隣り合うゲートトレンチ142に向けて引き出されている。第1表層領域164aは、ゲートトレンチ142およびソーストレンチ155の間の中間領域まで延びていてもよい。第1表層領域164aは、ゲートトレンチ142からソーストレンチ155側に間隔を空けて形成されている。

【0283】

第2表層領域164bは、ボディ領域141の表層部において、ソーストレンチ155の他方側の側壁を被覆している。第2表層領域164bは、ボディ領域141およびソース領域163に電氣的に接続されている。

第2表層領域164bは、ソース領域163の底部に対してSiC半導体層102の第1主面103側の領域に位置している。第2表層領域164bは、この形態では、SiC半導体層102の第1主面103に対して平行に延びる底部を有している。

【0284】

第2表層領域164bの底部は、この形態では、ボディ領域141の底部およびソース領域163の底部の間の領域に位置している。第2表層領域164bの底部は、SiC半導体層102の第1主面103およびボディ領域141の底部の間の領域に位置していてもよい。

第2表層領域164bは、この形態では、ソーストレンチ155の他方側の側壁から隣り合うゲートトレンチ142に向けて引き出されている。第2表層領域164bは、ソーストレンチ155およびゲートトレンチ142の間の中間領域まで延びていてもよい。第

10

20

30

40

50

2 表層領域 1 6 4 b は、ゲートトレンチ 1 4 2 からソーストレンチ 1 5 5 側に間隔を空けて形成されている。

【0 2 8 5】

内壁領域 1 6 4 c は、第 1 表層領域 1 6 4 a および第 2 表層領域 1 6 4 b（ソース領域 1 6 3 の底部）に対して S i C 半導体層 1 0 2 の第 2 主面 1 0 4 側の領域に位置している。内壁領域 1 6 4 c は、S i C 半導体層 1 0 2 においてソーストレンチ 1 5 5 の内壁に沿う領域に形成されている。内壁領域 1 6 4 c は、ソーストレンチ 1 5 5 の側壁を被覆している。

【0 2 8 6】

内壁領域 1 6 4 c は、ソーストレンチ 1 5 5 の側壁および底壁を接続する角部を被覆している。内壁領域 1 6 4 c は、ソーストレンチ 1 5 5 の側壁から角部を介してソーストレンチ 1 5 5 の底壁を被覆している。コンタクト領域 1 6 4 の底部は、内壁領域 1 6 4 c によって形成されている。

S i C 半導体層 1 0 2 の第 1 主面 1 0 3 の表層部には、複数のディープウェル領域 1 6 5 が形成されている。各ディープウェル領域 1 6 5 は、アクティブ領域 1 1 1 において S i C 半導体層 1 0 2 の耐圧を調整する耐圧調整領域（耐圧保持領域）とも称される。

【0 2 8 7】

各ディープウェル領域 1 6 5 は、S i C エピタキシャル層 1 0 7 に形成されている。各ディープウェル領域 1 6 5 は、より具体的には、S i C エピタキシャル層 1 0 7 の高濃度領域 1 0 8 に形成されている。

各ディープウェル領域 1 6 5 は、各コンタクト領域 1 6 4 を被覆するように、各ソーストレンチ 1 5 5 の内壁に沿って形成されている。各ディープウェル領域 1 6 5 は、各コンタクト領域 1 6 4 に電氣的に接続されている。

【0 2 8 8】

各ディープウェル領域 1 6 5 は、平面視において各ソーストレンチ 1 5 5 に沿って延びる帯状に形成されている。各ディープウェル領域 1 6 5 は、各ソーストレンチ 1 5 5 の側壁を被覆している。

各ディープウェル領域 1 6 5 は、各ソーストレンチ 1 5 5 の側壁および底壁を接続する角部を被覆している。各ディープウェル領域 1 6 5 は、各ソーストレンチ 1 5 5 の側壁から角部を介して各ソーストレンチ 1 5 5 の底壁を被覆している。各ディープウェル領域 1 6 5 は、各ソーストレンチ 1 5 5 の側壁においてボディ領域 1 4 1 に連なっている。

【0 2 8 9】

各ディープウェル領域 1 6 5 は、各ゲートトレンチ 1 4 2 の底壁に対して S i C 半導体層 1 0 2 の第 2 主面 1 0 4 側に位置する底部を有している。各ディープウェル領域 1 6 5 の底部は、各ソーストレンチ 1 5 5 の底壁に対して平行に形成されていてもよい。

各ディープウェル領域 1 6 5 の p 型不純物濃度は、ボディ領域 1 4 1 の p 型不純物濃度とほぼ等しくてもよい。各ディープウェル領域 1 6 5 の p 型不純物濃度は、ボディ領域 1 4 1 の p 型不純物濃度を超えていてもよい。各ディープウェル領域 1 6 5 の p 型不純物濃度は、ボディ領域 1 4 1 の p 型不純物濃度未満であってもよい。

【0 2 9 0】

各ディープウェル領域 1 6 5 の p 型不純物濃度は、コンタクト領域 1 6 4 の p 型不純物濃度以下であってもよい。各ディープウェル領域 1 6 5 の p 型不純物濃度は、コンタクト領域 1 6 4 の p 型不純物濃度未満であってもよい。各ディープウェル領域 1 6 5 の p 型不純物濃度は、 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以下であってもよい。

【0 2 9 1】

各ディープウェル領域 1 6 5 は、S i C 半導体層 1 0 2（S i C エピタキシャル層 1 0 7 の高濃度領域 1 0 8）との間で p n 接合部を形成している。この p n 接合部からは、互いに隣り合う複数のゲートトレンチ 1 4 2 の間の領域に向けて空乏層が広がる。この空乏層は、各ゲートトレンチ 1 4 2 の底壁に対して S i C 半導体層 1 0 2 の第 2 主面 1 0 4 側の領域に向けて広がる。

10

20

30

40

50

【0292】

各ディープウェル領域165から拡がる空乏層は、各ゲートトレンチ142の底壁にオーバーラップしてもよい。各ディープウェル領域165の底部から拡がる空乏層が、各ゲートトレンチ142の底壁にオーバーラップしてもよい。

図20および図22を参照して、アクティブ領域111の周縁部には、p型の周縁ディープウェル領域166が形成されている。周縁ディープウェル領域166は、SiCエピタキシャル層107に形成されている。周縁ディープウェル領域166は、より具体的には、SiCエピタキシャル層107の高濃度領域108に形成されている。

【0293】

周縁ディープウェル領域166は、各ディープウェル領域165に電氣的に接続されている。周縁ディープウェル領域166は、各ディープウェル領域165と同電位を成している。周縁ディープウェル領域166は、この形態では、各ディープウェル領域165と一体的に形成されている。

周縁ディープウェル領域166は、より具体的には、アクティブ領域111の周縁部において、各ゲートトレンチ142のコンタクトトレンチ部144の内壁に沿う領域に形成されている。

【0294】

周縁ディープウェル領域166は、各ゲートトレンチ142のコンタクトトレンチ部144の側壁を被覆している。周縁ディープウェル領域166は、各コンタクトトレンチ部144の側壁および底壁を接続する角部を被覆している。

周縁ディープウェル領域166は、各コンタクトトレンチ部144の側壁から角部を介して各コンタクトトレンチ部144の底壁を被覆している。各ディープウェル領域165は、各コンタクトトレンチ部144の側壁においてボディ領域141に連なっている。周縁ディープウェル領域166の底部は、各コンタクトトレンチ部144の底壁に対してSiC半導体層102の第2主面104側に位置している。

【0295】

周縁ディープウェル領域166は、平面視においてゲート配線層150に重なっている。周縁ディープウェル領域166は、ゲート絶縁層148（第3領域148c）を挟んでゲート配線層150に対向している。

周縁ディープウェル領域166は、各コンタクトトレンチ部144から各アクティブトレンチ部143に引き出された引き出し部166aを含む。引き出し部166aは、SiCエピタキシャル層107の高濃度領域108に形成されている。引き出し部166aは、各アクティブトレンチ部143の側壁に沿って延び、角部を通してアクティブトレンチ部143の底壁を被覆している。

【0296】

引き出し部166aは、各ゲートトレンチ142のアクティブトレンチ部143の側壁を被覆している。引き出し部166aは、各アクティブトレンチ部143の側壁および底壁を接続する角部を被覆している。

引き出し部166aは、各アクティブトレンチ部143の側壁から角部を介して各アクティブトレンチ部143の底壁を被覆している。引き出し部166aは、各アクティブトレンチ部143の側壁においてボディ領域141に連なっている。引き出し部166aの底部は、各アクティブトレンチ部143の底壁に対してSiC半導体層102の第2主面104側に位置している。

【0297】

周縁ディープウェル領域166のp型不純物濃度は、ボディ領域141のp型不純物濃度とほぼ等しくてもよい。周縁ディープウェル領域166のp型不純物濃度は、ボディ領域141のp型不純物濃度を超えていてもよい。周縁ディープウェル領域166のp型不純物濃度は、ボディ領域141のp型不純物濃度未満であってもよい。

周縁ディープウェル領域166のp型不純物濃度は、各ディープウェル領域165のp型不純物濃度とほぼ等しくてもよい。周縁ディープウェル領域166のp型不純物濃度は

10

20

30

40

50

、各ディープウェル領域 165 の p 型不純物濃度を超えていてもよい。周縁ディープウェル領域 166 の p 型不純物濃度は、各ディープウェル領域 165 の p 型不純物濃度未満であってもよい。

【0298】

周縁ディープウェル領域 166 の p 型不純物濃度は、コンタクト領域 164 の p 型不純物濃度以下であってもよい。周縁ディープウェル領域 166 の p 型不純物濃度は、コンタクト領域 164 の p 型不純物濃度未満であってもよい。周縁ディープウェル領域 166 の p 型不純物濃度は、 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以下であってもよい。

【0299】

p n 接合ダイオードだけを備える SiC 半導体装置では、トレンチを備えていないという構造上、SiC 半導体層 102 内における電界集中の問題は少ない。各ディープウェル領域 165（周縁ディープウェル領域 166）は、トレンチゲート型の MISFET を p n 接合ダイオードの構造に近づける。

これにより、トレンチゲート型の MISFET において、SiC 半導体層 102 内における電界を緩和できる。したがって、互いに隣り合う複数のディープウェル領域 165 の間のピッチを狭めることは、電界集中を緩和する上で有効である。

【0300】

また、各ゲートトレンチ 142 の底壁に対して SiC 半導体層 102 の第 2 主面 104 側に底部を有する各ディープウェル領域 165 によれば、空乏層によって、各ゲートトレンチ 142 に対する電界集中を適切に緩和できる。

各ディープウェル領域 165 の底部および SiC 半導体層 102 の第 2 主面 104 の間の距離は、ほぼ一定であることが好ましい。これにより、各ディープウェル領域 165 の底部および SiC 半導体層 102 の第 2 主面 104 の間の距離にバラツキが生じるのを抑制できる。

【0301】

よって、SiC 半導体層 102 の耐圧（たとえば破壊耐量）が、各ディープウェル領域 165 の形態によって制限を受けることを抑制できるから、耐圧の向上を適切に図ることができる。

この形態では、互いに隣り合う複数のディープウェル領域 165 の間の領域に、SiC エピタキシャル層 107 の高濃度領域 108 が介在している。これにより、互いに隣り合う複数のディープウェル領域 165 の間の領域において、JFET（Junction Field Effect Transistor）抵抗を低減できる。

【0302】

さらに、この形態では、各ディープウェル領域 165 の底部が SiC エピタキシャル層 107 の高濃度領域 108 内に位置している。これにより、各ディープウェル領域 165 の底部から SiC 半導体層 102 の第 1 主面 103 に対して平行な横方向に電流経路を拡張できる。これにより、電流拡がり抵抗を低減できる。SiC エピタキシャル層 107 の低濃度領域 109 は、このような構造において、SiC 半導体層 102 の耐圧を高める。

【0303】

ソーストレンチ 155 を形成することにより、ソーストレンチ 155 の内壁に対して p 型不純物を導入できる。これにより、ソーストレンチ 155 に対して各ディープウェル領域 165 をコンフォーマルに形成できるから、各ディープウェル領域 165 の深さにバラツキが生じるのを適切に抑制できる。また、各ソーストレンチ 155 を利用することにより、SiC 半導体層 102 の比較的深い領域に、各ディープウェル領域 165 を適切に形成できる。

【0304】

図 23 を参照して、ゲート電極層 149 の上には、低抵抗電極層 167 が形成されている。低抵抗電極層 167 は、各ゲートトレンチ 142 内において、ゲート電極層 149 の上端部を被覆している。

10

20

30

40

50

低抵抗電極層 167 は、ゲート電極層 149 のシート抵抗未満のシート抵抗を有する導電材料を含む。低抵抗電極層 167 のシート抵抗は、 $0.01\ \Omega/\square$ 以上 $10\ \Omega/\square$ 以下であってもよい。

【0305】

低抵抗電極層 167 は、膜状に形成されている。低抵抗電極層 167 は、ゲート電極層 149 の上端部に接する接続部 167a およびその反対の非接続部 167b を有している。低抵抗電極層 167 の接続部 167a および非接続部 167b は、ゲート電極層 149 の上端部に倣って凹湾曲状に形成されていてもよい。低抵抗電極層 167 の接続部 167a および非接続部 167b は、種々の形態を採り得る。

【0306】

低抵抗電極層 167 の接続部 167a の全体が SiC 半導体層 102 の第 1 主面 103 よりも上方に位置していてもよい。低抵抗電極層 167 の接続部 167a の全体が SiC 半導体層 102 の第 1 主面 103 よりも下方に位置していてもよい。

低抵抗電極層 167 の接続部 167a は、SiC 半導体層 102 の第 1 主面 103 よりも上方に位置する部分を含んでいてもよい。低抵抗電極層 167 の接続部 167a は、SiC 半導体層 102 の第 1 主面 103 よりも下方に位置する部分を含んでいてもよい。

【0307】

たとえば、低抵抗電極層 167 の接続部 167a の中央部が SiC 半導体層 102 の第 1 主面 103 よりも下方に位置し、低抵抗電極層 167 の接続部 167a の周縁部が SiC 半導体層 102 の第 1 主面 103 よりも上方に位置していてもよい。

低抵抗電極層 167 の非接続部 167b の全体が SiC 半導体層 102 の第 1 主面 103 よりも上方に位置していてもよい。低抵抗電極層 167 の非接続部 167b の全体が SiC 半導体層 102 の第 1 主面 103 よりも下方に位置していてもよい。

【0308】

低抵抗電極層 167 の非接続部 167b は、SiC 半導体層 102 の第 1 主面 103 よりも上方に位置する部分を含んでいてもよい。低抵抗電極層 167 の非接続部 167b は、SiC 半導体層 102 の第 1 主面 103 よりも下方に位置する部分を含んでいてもよい。

たとえば、低抵抗電極層 167 の非接続部 167b の中央部が SiC 半導体層 102 の第 1 主面 103 よりも下方に位置し、低抵抗電極層 167 の非接続部 167b の周縁部が SiC 半導体層 102 の第 1 主面 103 よりも上方に位置していてもよい。

【0309】

低抵抗電極層 167 は、ゲート絶縁層 148 に接する縁部 167c を有している。低抵抗電極層 167 の縁部 167c は、ゲート絶縁層 148 において第 1 領域 148a および第 2 領域 148b を接続する角部に接している。

低抵抗電極層 167 の縁部 167c は、ゲート絶縁層 148 の第 3 領域 148c に接している。低抵抗電極層 167 の縁部 167c は、より具体的には、ゲート絶縁層 148 の膨出部 148d に接している。

【0310】

低抵抗電極層 167 の縁部 167c は、ソース領域 163 の底部に対して SiC 半導体層 102 の第 1 主面 103 側の領域に形成されている。低抵抗電極層 167 の縁部 167c は、ボディ領域 141 およびソース領域 163 の間の境界領域よりも SiC 半導体層 102 の第 1 主面 103 側の領域に形成されている。

したがって、低抵抗電極層 167 の縁部 167c は、ゲート絶縁層 148 を挟んでソース領域 163 に対向している。低抵抗電極層 167 の縁部 167c は、ゲート絶縁層 148 を挟んでボディ領域 141 とは対向していない。

【0311】

これにより、ゲート絶縁層 148 における低抵抗電極層 167 およびボディ領域 141 の間の領域において電流パスが形成されることを抑制できる。電流パスは、ゲート絶縁層 148 に対する低抵抗電極層 167 の電極材料の不所望な拡散によって形成され得る。

特に、低抵抗電極層 167 の縁部 167c を、比較的厚いゲート絶縁層 148 の第 3 領

10

20

30

40

50

域 148c (ゲート絶縁層 148 の角部) に接続させる設計は、電流パスが形成されるリスクを低減する上で有効である。

【0312】

法線方向 Z に関して、低抵抗電極層 167 の厚さ T_r は、ゲート電極層 149 の厚さ T_G 以下 ($T_r \leq T_G$) である。低抵抗電極層 167 の厚さ T_r は、ゲート電極層 149 の厚さ T_G 未満 ($T_r < T_G$) であることが好ましい。低抵抗電極層 167 の厚さ T_r は、より具体的には、ゲート電極層 149 の厚さ T_G の半分以上以下 ($T_r \leq T_G / 2$) であることが好ましい。

【0313】

ゲート電極層 149 の厚さ T_G に対する低抵抗電極層 167 の厚さ T_r の比 T_r / T_G は、0.01 以上 1 以下である。ゲート電極層 149 の厚さ T_G は、0.5 μm 以上 3 μm 以下であってもよい。低抵抗電極層 167 の厚さ T_r は、0.01 μm 以上 3 μm 以下であってもよい。

各ゲートトレンチ 142 内に供給された電流は、比較的低いシート抵抗を有する低抵抗電極層 167 を流れ、ゲート電極層 149 の全体に伝達される。これにより、ゲート電極層 149 の全体 (アクティブ領域 111 の全域) を速やかにオフ状態からオン状態に移行させることができるから、スイッチング応答の遅延を抑制できる。

【0314】

特に、ミリメートルオーダーの長さ (1 mm 以上の長さ) を有するゲートトレンチ 142 の場合には、電流の伝達に時間を要するが、低抵抗電極層 167 によればスイッチング応答の遅延を適切に抑制できる。つまり、低抵抗電極層 167 は、各ゲートトレンチ 142 内に電流を拡散する電流拡散電極層として形成されている。

また、セル構造の微細化が進むと、ゲート電極層 149 の幅、深さ、断面積等が小さくなるため、各ゲートトレンチ 142 内における電気抵抗の増加に起因するスイッチング応答の遅延が懸念される。

【0315】

しかし、低抵抗電極層 167 によれば、ゲート電極層 149 の全体を速やかにオフ状態からオン状態に移行させることができるから、微細化に起因するスイッチング応答の遅延を適切に抑制できる。

図 22 を参照して、低抵抗電極層 167 は、この形態では、ゲート配線層 150 の上端部も被覆している。低抵抗電極層 167 においてゲート配線層 150 の上端部を被覆する部分は、低抵抗電極層 167 においてゲート電極層 149 の上端部を被覆する部分と一体的に形成されている。これにより、低抵抗電極層 167 は、ゲート電極層 149 の全域およびゲート配線層 150 の全域を被覆している。

【0316】

したがって、ゲートパッド 116 およびゲートフィンガー 117, 118 からゲート配線層 150 に供給される電流は、比較的低いシート抵抗を有する低抵抗電極層 167 を介してゲート電極層 149 およびゲート配線層 150 の全体に伝達される。

これにより、ゲート配線層 150 を介してゲート電極層 149 の全体 (アクティブ領域 111 の全域) を速やかにオフ状態からオン状態に移行させることができるから、スイッチング応答の遅延を抑制できる。

【0317】

特に、ミリメートルオーダーの長さを有するゲートトレンチ 142 の場合には、ゲート配線層 150 の上端部を被覆する低抵抗電極層 167 によってスイッチング応答の遅延を適切に抑制できる。

低抵抗電極層 167 は、ポリサイド層を含む。ポリサイド層は、ゲート電極層 149 の表層部を形成する部分が金属材料によってシリサイド化されることによって形成されている。ポリサイド層は、より具体的には、ゲート電極層 149 (p 型ポリシリコン) に添加された p 型不純物を含む p 型ポリサイド層からなる。ポリサイド層は、10 $\mu\Omega \cdot \text{cm}$ 以上 110 $\mu\Omega \cdot \text{cm}$ 以下の比抵抗を有していることが好ましい。

10

20

30

40

50

【0318】

ゲート電極層149および低抵抗電極層167が埋め込まれたゲートトレンチ142内のシート抵抗は、ゲート電極層149単体のシート抵抗以下である。ゲートトレンチ142内のシート抵抗は、n型不純物が添加されたn型ポリシリコンのシート抵抗以下であることが好ましい。

ゲートトレンチ142内のシート抵抗は、低抵抗電極層167のシート抵抗に近似される。つまり、ゲートトレンチ142内のシート抵抗は、 $0.01\Omega/\square$ 以上 $10\Omega/\square$ 以下であってもよい。ゲートトレンチ142内のシート抵抗は、 $10\Omega/\square$ 未満であることが好ましい。

【0319】

低抵抗電極層167は、 $TiSi$ 、 $TiSi_2$ 、 $NiSi$ 、 $CoSi$ 、 $CoSi_2$ 、 $MoSi_2$ または WSi_2 のうちの少なくとも1種を含んでもよい。とりわけ、これらの種のうちの $NiSi$ 、 $CoSi_2$ および $TiSi_2$ は、比抵抗の値および温度依存性が比較的小さいことから、低抵抗電極層167を形成するポリサイド層として適している。

SiC 半導体層102の第1主面103において、ソース電極層157の上端部に沿う領域には、各ソーストレンチ155に連通するソースサブトレンチ168が形成されている。ソースサブトレンチ168は、各ソーストレンチ155の側壁の一部を形成している。

【0320】

ソースサブトレンチ168は、この形態では、平面視においてソース電極層157の上端部を取り囲む無端状（この形態では四角環状）に形成されている。ソースサブトレンチ168は、ソース電極層157の上端部を縁取っている。

ソースサブトレンチ168は、ソース絶縁層156の一部を掘り下げることによって形成されている。ソースサブトレンチ168は、より具体的には、 SiC 半導体層102の第1主面103からソース絶縁層156の上端部およびソース電極層157の上端部を掘り下げることによって形成されている。

【0321】

ソース電極層157の上端部は、ソース電極層157の下端部に対して内側に括れた形状を有している。ソース電極層157の下端部は、ソース電極層157において各ソーストレンチ155の底壁側に位置する部分である。ソース電極層157の上端部の第1方向幅は、ソース電極層157の下端部の第1方向幅未満であってもよい。

ソースサブトレンチ168は、断面視において底面積が開口面積よりも小さい先細り形状に形成されている。ソースサブトレンチ168の底壁は、 SiC 半導体層102の第2主面104に向かう凸湾曲状に形成されていてもよい。

【0322】

ソースサブトレンチ168の内壁からは、ソース領域163、コンタクト領域164、ソース絶縁層156およびソース電極層157が露出している。ソースサブトレンチ168の内壁からは、コンタクト領域164の第1表層領域164aおよび第2表層領域164bが露出している。

ソースサブトレンチ168の底壁からは、少なくともソース絶縁層156の第1領域156aが露出している。ソース絶縁層156において第1領域156aの上端部は、 SiC 半導体層102の第1主面103よりも下方に位置している。

【0323】

各ソーストレンチ155の開口エッジ部169は、 SiC 半導体層102の第1主面103から各ソーストレンチ155の内方に向かって下り傾斜した傾斜部170を含む。各ソーストレンチ155の開口エッジ部169は、 SiC 半導体層102の第1主面103および各ソーストレンチ155の側壁を接続する角部である。各ソーストレンチ155の傾斜部170は、ソースサブトレンチ168によって形成されている。

【0324】

傾斜部170は、この形態では、 SiC 半導体層102の内方に向かう凹湾曲状に形成されている。傾斜部170は、ソースサブトレンチ168の内方に向かう凸湾曲状に形成

10

20

30

40

50

されていてもよい。傾斜部 170 は、各ソーストレンチ 155 の開口エッジ部 169 に対する電界集中を緩和する。

図 24 および図 25 を参照して、アクティブ領域 111 は、SiC 半導体層 102 の第 1 主面 103 の一部を形成するアクティブ主面 171 を有している。外側領域 112 は、SiC 半導体層 102 の第 1 主面 103 の一部を形成する外側主面 172 を有している。外側主面 172 は、この形態では、SiC 半導体層 102 の側面 105A~105D に接続されている。

【0325】

アクティブ主面 171 および外側主面 172 は、SiC 単結晶の c 面にそれぞれ面している。また、アクティブ主面 171 および外側主面 172 は、SiC 単結晶の c 面に対して [11-20] 方向に傾斜したオフ角 θ をそれぞれ有している。

外側主面 172 は、アクティブ主面 171 に対して SiC 半導体層 102 の第 2 主面 104 側に位置している。外側領域 112 は、この形態では、SiC 半導体層 102 の第 1 主面 103 を第 2 主面 104 側に掘り下げることによって形成されている。したがって、外側主面 172 は、アクティブ主面 171 に対して SiC 半導体層 102 の第 2 主面 104 側に窪んだ領域に形成されている。

【0326】

外側主面 172 は、各ゲートトレンチ 142 の底壁に対して SiC 半導体層 102 の第 2 主面 104 側に位置していてもよい。外側主面 172 は、各ソーストレンチ 155 の底壁とほぼ等しい深さ位置に形成されていてもよい。外側主面 172 は、各ソーストレンチ 155 の底壁とほぼ同一平面上に位置していてもよい。

外側主面 172 および SiC 半導体層 102 の第 2 主面 104 の間の距離は、各ソーストレンチ 155 の底壁および SiC 半導体層 102 の第 2 主面 104 の間の距離とほぼ等しくてもよい。

【0327】

外側主面 172 は、各ソーストレンチ 155 の底壁に対して SiC 半導体層 102 の第 2 主面 104 側に位置していてもよい。外側主面 172 は、各ソーストレンチ 155 の底壁に対して、0 μ m 以上 1 μ m 以下の範囲で、SiC 半導体層 102 の第 2 主面 104 側に位置していてもよい。

SiC エピタキシャル層 107 は、外側主面 172 から露出している。より具体的には、SiC エピタキシャル層 107 の高濃度領域 108 が、外側領域 112 の外側主面 172 から露出している。外側主面 172 は、SiC エピタキシャル層 107 の高濃度領域 108 を挟んで SiC エピタキシャル層 107 の低濃度領域 109 と対向している。

【0328】

アクティブ領域 111 は、この形態では、外側領域 112 によって台地状に区画されている。アクティブ領域 111 は、外側領域 112 よりも上方に向かって突出した台地状のアクティブ台地 173 として形成されている。

アクティブ台地 173 は、アクティブ主面 171 および外側主面 172 を接続するアクティブ側壁 174 を含む。アクティブ側壁 174 は、アクティブ領域 111 および外側領域 112 の間の境界領域を区画している。SiC 半導体層 102 の第 1 主面 103 は、アクティブ主面 171、外側主面 172 およびアクティブ側壁 174 によって形成されている。

【0329】

アクティブ側壁 174 は、この形態では、アクティブ主面 171 (外側主面 172) の法線方向 Z に沿って延びている。アクティブ側壁 174 は、SiC 単結晶の m 面および a 面によって形成されている。

アクティブ側壁 174 は、アクティブ主面 171 から外側主面 172 に向かって下り傾斜した傾斜面を有していてもよい。アクティブ側壁 174 の傾斜角度は、SiC 半導体層 102 内においてアクティブ側壁 174 がアクティブ主面 171 との間で形成する角度である。

10

20

30

40

50

【0330】

この場合、アクティブ側壁174の傾斜角度は、 90° を超えて 135° 以下であってもよい。アクティブ側壁174の傾斜角度は、 90° を超えて 95° 以下、 95° 以上 100° 以下、 100° 以上 110° 以下、 110° 以上 120° 以下または 120° 以上 135° 以下であってもよい。アクティブ側壁174の傾斜角度は、 90° を超えて 95° 以下であることが好ましい。

【0331】

アクティブ側壁174からは、SiCエピタキシャル層107が露出している。より具体的には、SiCエピタキシャル層107の高濃度領域108が、アクティブ側壁174から露出している。

アクティブ側壁174においてアクティブ主面171側の領域からは、少なくともボディ領域141が露出している。図24および図25では、アクティブ側壁174からボディ領域141およびソース領域163が露出している形態例が示されている。

【0332】

外側領域112において、SiC半導体層102の第1主面103（外側主面172）の表層部には、 p^+ 型のダイオード領域181（不純物領域）、 p 型の外側ディープウェル領域182および p 型のフィールドリミット構造183が形成されている。

ダイオード領域181は、外側領域112においてアクティブ側壁174およびSiC半導体層102の側面105A～105Dの間の領域に形成されている。ダイオード領域181は、アクティブ側壁174および側面105A～105Dから間隔を空けて形成されている。

【0333】

ダイオード領域181は、平面視においてアクティブ領域111に沿って帯状に延びている。ダイオード領域181は、この形態では、平面視においてアクティブ領域111を取り囲む無端状（この形態では四角環状）に形成されている。

ダイオード領域181は、平面視においてソース引き回し配線123と重なっている。ダイオード領域181は、ソース引き回し配線123に電氣的に接続されている。ダイオード領域181は、アバランシェ電流吸収構造の一部を形成している。

【0334】

ダイオード領域181は、SiC半導体層102との間で pn 接合部を形成する。ダイオード領域181は、より具体的には、SiCエピタキシャル層107内に位置している。したがって、ダイオード領域181は、SiCエピタキシャル層107との間で pn 接合部を形成する。

ダイオード領域181は、さらに具体的には、SiCエピタキシャル層107の高濃度領域108内に位置している。したがって、ダイオード領域181は、高濃度領域108との間で pn 接合部を形成する。これにより、ダイオード領域181をアノードとし、SiC半導体層102をカソードとする pn 接合ダイオードDpnが形成されている。

【0335】

ダイオード領域181の全体は、各ゲートトレンチ142の底壁に対してSiC半導体層102の第2主面104側に位置している。ダイオード領域181の底部は、各ソーストレンチ155の底壁に対してSiC半導体層102の第2主面104側に位置している。

ダイオード領域181の底部は、コンタクト領域164の底部とほぼ等しい深さ位置に形成されていてもよい。ダイオード領域181の底部は、コンタクト領域164の底部とほぼ同一平面上に位置してもよい。

【0336】

ダイオード領域181の p 型不純物濃度は、コンタクト領域164の p 型不純物濃度とほぼ等しい。ダイオード領域181の p 型不純物濃度は、ボディ領域141の p 型不純物濃度よりも大きい。ダイオード領域181の p 型不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。

外側ディープウェル領域182は、平面視においてアクティブ側壁174およびダイオ

10

20

30

40

50

ード領域 181 の間の領域に形成されている。外側ディープウェル領域 182 は、この形態では、アクティブ側壁 174 からダイオード領域 181 側に向けて間隔を空けて形成されている。外側ディープウェル領域 182 は、外側領域 112 において SiC 半導体層 102 の耐圧を調整する耐圧調整領域（耐圧保持領域）とも称される。

【0337】

外側ディープウェル領域 182 は、平面視においてアクティブ領域 111 に沿って帯状に延びている。外側ディープウェル領域 182 は、この形態では、平面視においてアクティブ領域 111 を取り囲む無端状（この形態では四角環状）に形成されている。

外側ディープウェル領域 182 は、ダイオード領域 181 を介してソース引き回し配線 123 に電氣的に接続されている。外側ディープウェル領域 182 は、pn 接合ダイオード Dpn の一部を形成していてもよい。外側ディープウェル領域 182 は、アバランシェ電流吸収構造の一部を形成していてもよい。

【0338】

外側ディープウェル領域 182 の全体は、各ゲートトレンチ 142 の底壁に対して SiC 半導体層 102 の第 2 主面 104 側に位置している。外側ディープウェル領域 182 の底部は、各ソーストレンチ 155 の底壁に対して SiC 半導体層 102 の第 2 主面 104 側に位置している。

外側ディープウェル領域 182 の底部は、ダイオード領域 181 の底部に対して SiC 半導体層 102 の第 2 主面 104 側に位置している。外側ディープウェル領域 182 の底部は、各ディープウェル領域 165 の底部とほぼ等しい深さ位置に形成されていてよい。外側ディープウェル領域 182 の底部は、各ディープウェル領域 165 の底部とほぼ同一平面上に位置していてもよい。

【0339】

外側ディープウェル領域 182 の底部および外側主面 172 の間の距離は、各ディープウェル領域 165 の底部および各ソーストレンチ 155 の底壁の間の距離とほぼ等しくてもよい。

外側ディープウェル領域 182 の底部および SiC 半導体層 102 の第 2 主面 104 の間の距離は、各ディープウェル領域 165 の底部および SiC 半導体層 102 の第 2 主面 104 の間の距離とほぼ等しくてもよい。

【0340】

これにより、外側ディープウェル領域 182 の底部および SiC 半導体層 102 の第 2 主面 104 の間の距離と、各ディープウェル領域 165 の底部および SiC 半導体層 102 の第 2 主面 104 の間の距離との間で、バラツキが生じるのを抑制できる。

よって、SiC 半導体層 102 の耐圧（たとえば破壊耐量）が、外側ディープウェル領域 182 の形態および各ディープウェル領域 165 の形態によって制限を受けることを抑制できるから、耐圧の向上を適切に図ることができる。

【0341】

外側ディープウェル領域 182 の底部は、各ディープウェル領域 165 の底部に対して SiC 半導体層 102 の第 2 主面 104 側に位置していてもよい。外側ディープウェル領域 182 の底部は、各ディープウェル領域 165 の底部に対して、0 μm 以上 1 μm 以下の範囲で、SiC 半導体層 102 の第 2 主面 104 側に位置していてもよい。

外側ディープウェル領域 182 の内周縁は、アクティブ領域 111 および外側領域 112 の境界領域近傍まで延びていてもよい。外側ディープウェル領域 182 は、アクティブ領域 111 および外側領域 112 の境界領域を横切っていてもよい。

【0342】

外側ディープウェル領域 182 の内周縁は、アクティブ側壁 174 および外側主面 172 を接続する角部を被覆していてもよい。外側ディープウェル領域 182 の内周縁は、さらに、アクティブ側壁 174 に沿って延び、ボディ領域 141 に接続されていてもよい。

外側ディープウェル領域 182 の外周縁は、この形態では、SiC 半導体層 102 の第 2 主面 104 側からダイオード領域 181 を被覆している。外側ディープウェル領域 18

10

20

30

40

50

2は、平面視においてソース引き回し配線123と重なっていてもよい。外側ディープウェル領域182の外周縁は、ダイオード領域181からアクティブ側壁174側に間隔を空けて形成されていてもよい。

【0343】

外側ディープウェル領域182のp型不純物濃度は、ダイオード領域181のp型不純物濃度以下であってもよい。外側ディープウェル領域182のp型不純物濃度は、ダイオード領域181のp型不純物濃度未満であってもよい。

外側ディープウェル領域182のp型不純物濃度は、各ディープウェル領域165のp型不純物濃度とほぼ等しくてもよい。外側ディープウェル領域182のp型不純物濃度は、ボディ領域141のp型不純物濃度とほぼ等しくてもよい。

10

【0344】

外側ディープウェル領域182のp型不純物濃度は、ボディ領域141のp型不純物濃度を超えていてもよい。外側ディープウェル領域182のp型不純物濃度は、ボディ領域141のp型不純物濃度未満であってもよい。

外側ディープウェル領域182のp型不純物濃度は、コンタクト領域164のp型不純物濃度以下であってもよい。外側ディープウェル領域182のp型不純物濃度は、コンタクト領域164のp型不純物濃度未満であってもよい。外側ディープウェル領域182のp型不純物濃度は、 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以下であってもよい。

【0345】

20

フィールドリミット構造183は、平面視においてダイオード領域181およびSiC半導体層102の側面105A～105Dの間の領域に形成されている。フィールドリミット構造183は、この形態では、側面105A～105Dからダイオード領域181側に向けて間隔を空けて形成されている。

フィールドリミット構造183は、1個または複数（たとえば2個以上20個以下）のフィールドリミット領域184を含む。フィールドリミット構造183は、この形態では、複数（5個）のフィールドリミット領域184A，184B，184C，184D，184Eを有するフィールドリミット領域群を含む。

【0346】

フィールドリミット領域184A～184Eは、ダイオード領域181から離れる方向に沿って間隔を空けてこの順に形成されている。フィールドリミット領域184A～184Eは、それぞれ、平面視においてアクティブ領域111の周縁に沿って帯状に延びている。

30

フィールドリミット領域184A～184Eは、より具体的には、平面視においてアクティブ領域111を取り囲む無端状（この形態では四角環状）にそれぞれ形成されている。フィールドリミット領域184A～184Eは、それぞれ、FLR（Field Limiting Ring）領域とも称される。

【0347】

フィールドリミット領域184A～184Eの底部は、この形態では、ダイオード領域181の底部に対してSiC半導体層102の第2主面104側に位置している。

40

フィールドリミット領域184A～184Eのうち最内側のフィールドリミット領域184Aは、この形態では、SiC半導体層102の第2主面104側からダイオード領域181を被覆している。フィールドリミット領域184Aは、平面視において前述のソース引き回し配線123と重なっていてもよい。

【0348】

フィールドリミット領域184Aは、ダイオード領域181を介してソース引き回し配線123に電氣的に接続されている。フィールドリミット領域184Aは、pn接合ダイオードDpnの一部を形成していてもよい。フィールドリミット領域184Aは、アバラシエ電流吸収構造の一部を形成していてもよい。

フィールドリミット領域184A～184Eの全体は、各ゲートトレンチ142の底壁

50

に対してS i C半導体層102の第2主面104側に位置している。フィールドリミット領域184A~184Eの底部は、各ソーストレンチ155の底壁に対してS i C半導体層102の第2主面104側に位置している。

【0349】

フィールドリミット領域184A~184Eは、各ディープウェル領域165（外側ディープウェル領域182）とほぼ等しい深さ位置に形成されていてもよい。フィールドリミット領域184A~184Eの底部は、各ディープウェル領域165（外側ディープウェル領域182）の底部とほぼ同一平面上に位置していてもよい。

フィールドリミット領域184A~184Eの底部は、各ディープウェル領域165（外側ディープウェル領域182）の底部に対して外側主面172側に位置していてもよい。フィールドリミット領域184A~184Eの底部は、各ディープウェル領域165（外側ディープウェル領域182）の底部に対してS i C半導体層102の第2主面104側に位置していてもよい。

【0350】

互いに隣り合うフィールドリミット領域184A~184Eの間の幅は、互いに異なってもよい。互いに隣り合うフィールドリミット領域184A~184Eの間の幅は、アクティブ領域111から離れる方向に大きくなっていてもよい。互いに隣り合うフィールドリミット領域184A~184Eの間の幅は、アクティブ領域111から離れる方向に小さくなっていてもよい。

【0351】

フィールドリミット領域184A~184Eの深さは、互いに異なってもよい。フィールドリミット領域184A~184Eの深さは、アクティブ領域111から離れる方向に小さくなっていてもよい。フィールドリミット領域184A~184Eの深さは、アクティブ領域111から離れる方向に大きくなっていてもよい。

フィールドリミット領域184A~184Eのp型不純物濃度は、ダイオード領域181のp型不純物濃度以下であってもよい。フィールドリミット領域184A~184Eのp型不純物濃度は、ダイオード領域181のp型不純物濃度よりも小さくてもよい。

【0352】

フィールドリミット領域184A~184Eのp型不純物濃度は、外側ディープウェル領域182のp型不純物濃度以下であってもよい。フィールドリミット領域184A~184Eのp型不純物濃度は、外側ディープウェル領域182のp型不純物濃度よりも小さくてもよい。

フィールドリミット領域184A~184Eのp型不純物濃度は、外側ディープウェル領域182のp型不純物濃度以上であってもよい。フィールドリミット領域184A~184Eのp型不純物濃度は、外側ディープウェル領域182のp型不純物濃度よりも大きくてもよい。

【0353】

フィールドリミット領域184A~184Eのp型不純物濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。ダイオード領域181のp型不純物濃度>外側ディープウェル領域182のp型不純物濃度>フィールドリミット領域184A~184Eのp型不純物濃度であることが好ましい。

フィールドリミット構造183は、外側領域112において電界集中を緩和する。フィールドリミット領域184の個数、幅、深さ、p型不純物濃度等は、緩和すべき電界に応じて種々の値を取り得る。

【0354】

この形態では、フィールドリミット構造183が、平面視においてダイオード領域181およびS i C半導体層102の側面105A~105Dの間の領域に形成された1つまたは複数のフィールドリミット領域184を含む例について説明した。

しかし、フィールドリミット構造183は、ダイオード領域181およびS i C半導体層102の側面105A~105Dの間の領域に代えて、平面視においてアクティブ側壁

10

20

30

40

50

１７４およびダイオード領域１８１の間の領域に形成された１つまたは複数のフィールドリミット領域１８４を含んでいてもよい。

【０３５５】

また、フィールドリミット構造１８３は、平面視においてダイオード領域１８１およびＳｉＣ半導体層１０２の側面１０５Ａ～１０５Ｄの間の領域に形成された１つまたは複数のフィールドリミット領域１８４、および、平面視においてアクティブ側壁１７４およびダイオード領域１８１の間の領域に形成された１つまたは複数のフィールドリミット領域１８４を含んでいてもよい。

【０３５６】

外側領域１１２においてＳｉＣ半導体層１０２の第１主面１０３の上には、外側絶縁層１９１が形成されている。外側絶縁層１９１は、主面絶縁層１１３の一部を形成している。外側絶縁層１９１は、主面絶縁層１１３の絶縁側面１１４Ａ～１１４Ｄの一部を形成している。

10

外側絶縁層１９１は、外側領域１１２においてダイオード領域１８１、外側ディープウェル領域１８２およびフィールドリミット構造１８３を選択的に被覆している。外側絶縁層１９１は、アクティブ側壁１７４および外側主面１７２に沿って膜状に形成されている。外側絶縁層１９１は、アクティブ主面１７１の上において、ゲート絶縁層１４８に連なっている。外側絶縁層１９１は、より具体的には、ゲート絶縁層１４８の第３領域１４８ｃに連なっている。

【０３５７】

20

外側絶縁層１９１は、酸化シリコンを含んでいてもよい。外側絶縁層１９１は、窒化シリコン等の他の絶縁膜を含んでいてもよい。外側絶縁層１９１は、この形態では、ゲート絶縁層１４８と同一の絶縁材料種によって形成されている。

外側絶縁層１９１は、第１領域１９１ａおよび第２領域１９１ｂを含む。外側絶縁層１９１の第１領域１９１ａは、アクティブ側壁１７４を被覆している。外側絶縁層１９１の第２領域１９１ｂは、外側主面１７２を被覆している。

【０３５８】

外側絶縁層１９１の第２領域１９１ｂの厚さは、外側絶縁層１９１の第１領域１９１ａの厚さ以下であってもよい。外側絶縁層１９１の第２領域１９１ｂの厚さは、外側絶縁層１９１の第１領域１９１ａの厚さ未満であってもよい。

30

外側絶縁層１９１の第１領域１９１ａの厚さは、ゲート絶縁層１４８の第１領域１９１ａの厚さとほぼ等しくてもよい。外側絶縁層１９１の第２領域１９１ｂの厚さは、ゲート絶縁層１４８の第３領域１４８ｃの厚さとほぼ等しくてもよい。むろん、一様な厚さを有する外側絶縁層１９１が形成されていてもよい。

【０３５９】

図２４および図２５を参照して、ＳｉＣ半導体装置１０１は、アクティブ側壁１７４を被覆するサイドウォール１９２をさらに含む。サイドウォール１９２は、アクティブ台地１７３を外側領域１１２側から保護し、補強する。

また、サイドウォール１９２は、アクティブ主面１７１および外側主面１７２の間に形成された段差を緩和する段差緩和構造を形成する。アクティブ領域１１１および外側領域１１２の間の境界領域を被覆する上層構造（被覆層）が形成される場合、上層構造は、サイドウォール１９２を被覆する。サイドウォール１９２は、上層構造の平坦性を高める。

40

【０３６０】

サイドウォール１９２は、アクティブ主面１７１から外側主面１７２に向かって下り傾斜した傾斜部１９３を有していてもよい。傾斜部１９３によって、段差を適切に緩和できる。

サイドウォール１９２の傾斜部１９３は、ＳｉＣ半導体層１０２側に向かう凹湾曲状に形成されていてもよい。サイドウォール１９２の傾斜部１９３は、ＳｉＣ半導体層１０２とは反対側に向かう凸湾曲状に形成されていてもよい。

【０３６１】

50

サイドウォール192の傾斜部193は、アクティブ主面171側から外側主面172側に向けて平面的に延びていてもよい。サイドウォール192の傾斜部193は、アクティブ主面171側から外側主面172側に向けて直線状に延びていてもよい。

サイドウォール192の傾斜部193は、アクティブ主面171から外側主面172に向かう下り階段状に形成されていてもよい。つまり、サイドウォール192の傾斜部193は、外側主面172側に向かって窪んだ1つまたは複数の段部を有していてもよい。複数の段部は、サイドウォール192の傾斜部193の表面積を増加させ、上層構造に対する密着力を高める。

【0362】

サイドウォール192の傾斜部193は、サイドウォール192の外側に向かって隆起した複数の隆起部を含んでいてもよい。複数の隆起部は、サイドウォール192の傾斜部193の表面積を増加させ、上層構造に対する密着力を高める。

サイドウォール192の傾斜部193は、サイドウォール192の内側に向かって窪んだ複数の窪みを含んでいてもよい。複数の窪みは、サイドウォール192の傾斜部193の表面積を増加させ、上層構造に対する密着力を高める。

【0363】

サイドウォール192は、アクティブ主面171に対して自己整合的に形成されている。サイドウォール192は、より具体的には、アクティブ側壁174に沿って形成されている。サイドウォール192は、この形態では、平面視においてアクティブ領域111を取り囲む無端状（この形態では四角環状）に形成されている。

サイドウォール192は、p型不純物が添加されたp型ポリシリコンを含むことが好ましい。この場合、ゲート電極層149やソース電極層157と同時に、サイドウォール192を形成できる。

【0364】

サイドウォール192のp型不純物濃度は、ボディ領域141のp型不純物濃度以上である。サイドウォール192のp型不純物濃度は、より具体的には、ボディ領域141のp型不純物濃度よりも大きい。サイドウォール192のp型不純物は、ホウ素（B）、アルミニウム（Al）、インジウム（In）またはガリウム（Ga）のうちの少なくとも1種を含んでいてもよい。

【0365】

サイドウォール192のp型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下であってもよい。サイドウォール192のシート抵抗は、 $10 \Omega/\square$ 以上 $500 \Omega/\square$ 以下（この形態では $200 \Omega/\square$ 程度）であってもよい。

サイドウォール192のp型不純物濃度は、ゲート電極層149のp型不純物濃度とほぼ等しくてもよい。サイドウォール192のシート抵抗は、ゲート電極層149のシート抵抗とほぼ等しくてもよい。

【0366】

サイドウォール192は、p型ポリシリコンに代えてまたはこれに加えて、n型ポリシリコンを含んでいてもよい。サイドウォール192は、p型ポリシリコンに代えてまたはこれに加えて、タングステン、アルミニウム、銅、アルミニウム合金または銅合金のうちの少なくとも1種を含んでいてもよい。

サイドウォール192は、絶縁材料を含んでいてもよい。この場合、サイドウォール192によって外側領域112に対するアクティブ領域111の絶縁性を高めることができる。

【0367】

図21～図25を参照して、SiC半導体層102の第1主面103の上には、層間絶縁層201が形成されている。層間絶縁層201は、主面絶縁層113の一部を形成している。層間絶縁層201は、主面絶縁層113の絶縁側面114A～114Dの一部を形成している。主面絶縁層113は、ゲート絶縁層148（外側絶縁層191）および層間絶縁層201を含む積層構造を有している。

10

20

30

40

50

【0368】

層間絶縁層201は、アクティブ領域111および外側領域112を選択的に被覆している。層間絶縁層201は、より具体的には、ゲート絶縁層148の第3領域148cおよび外側絶縁層191を選択的に被覆している。

層間絶縁層201は、アクティブ主面171および外側主面172に沿って膜状に形成されている。層間絶縁層201は、アクティブ領域111においてトレンチゲート構造161、ゲート配線層150およびトレンチソース構造162を選択的に被覆している。層間絶縁層201は、外側領域112においてダイオード領域181、外側ディープウェル領域182およびフィールドリミット構造183を選択的に被覆している。

【0369】

層間絶縁層201は、アクティブ領域111および外側領域112の間の境界領域において、サイドウォール192の外面（傾斜部193）に沿って形成されている。層間絶縁層201は、サイドウォール192を被覆する上層構造の一部を形成している。

層間絶縁層201は、酸化シリコンまたは窒化シリコンを含んでいてもよい。層間絶縁層201は、酸化シリコンの一例としてのPSG（Phosphor Silicate Glass）および／またはBPSG（Boron Phosphor Silicate Glass）を含んでいてもよい。

【0370】

層間絶縁層201は、SiC半導体層102の第1主面103側からこの順に積層されたPSG層およびBPSG層を含む積層構造を有していてもよい。層間絶縁層201は、SiC半導体層102の第1主面103側からこの順に積層されたBPSG層およびPSG層を含む積層構造を有していてもよい。

層間絶縁層201には、ゲートコンタクト孔202、ソースコンタクト孔203およびダイオードコンタクト孔204が形成されている。また、層間絶縁層201には、アンカー孔205が形成されている。

【0371】

ゲートコンタクト孔202は、アクティブ領域111において、ゲート配線層150を露出させている。ゲートコンタクト孔202は、ゲート配線層150に沿う帯状に形成されていてもよい。ゲートコンタクト孔202の開口エッジ部は、ゲートコンタクト孔202内に向かう凸湾曲状に形成されている。

ソースコンタクト孔203は、アクティブ領域111において、ソース領域163、コンタクト領域164およびトレンチソース構造162を露出させている。ソースコンタクト孔203は、トレンチソース構造162等に沿う帯状に形成されていてもよい。ソースコンタクト孔203の開口エッジ部は、ソースコンタクト孔203内に向かう凸湾曲状に形成されている。

【0372】

ダイオードコンタクト孔204は、外側領域112において、ダイオード領域181を露出させている。ダイオードコンタクト孔204は、ダイオード領域181に沿って延びる帯状（より具体的には無端状）に形成されていてもよい。

ダイオードコンタクト孔204は、外側ディープウェル領域182および／またはフィールドリミット構造183を露出させていてもよい。ダイオードコンタクト孔204の開口エッジ部は、ダイオードコンタクト孔204内に向かう凸湾曲状に形成されている。

【0373】

アンカー孔205は、外側領域112において、層間絶縁層201を掘り下げることによって形成されている。アンカー孔205は、平面視においてダイオード領域181およびSiC半導体層102の側面105A～105Dの間の領域に形成されている。アンカー孔205は、より具体的には、平面視においてフィールドリミット構造183およびSiC半導体層102の側面105A～105Dの間の領域に形成されている。

【0374】

アンカー孔205は、SiC半導体層102の第1主面103（外側主面172）を露出させている。アンカー孔205の開口エッジ部は、アンカー孔205内に向かう凸湾曲

10

20

30

40

50

状に形成されている。

図 19 を参照して、アンカー孔 205 は、平面視においてアクティブ領域 111 に沿って帯状に延びている。アンカー孔 205 は、この形態では、平面視においてアクティブ領域 111 を取り囲む無端状（この形態では四角環状）に形成されている。

【0375】

この形態では、層間絶縁層 201 において外側領域 112 を被覆する部分に、1 つのアンカー孔 205 が形成されている。しかし、層間絶縁層 201 において外側領域 112 を被覆する部分に、複数のアンカー孔 205 が形成されていてもよい。

層間絶縁層 201 の上には、主面ゲート電極層 115 および主面ソース電極層 121 が形成されている。主面ゲート電極層 115 および主面ソース電極層 121 は、それぞれ、SiC 半導体層 102 の第 1 主面 103 側からこの順に積層されたバリア電極層 206 および主電極層 207 を含む積層構造を有している。

【0376】

バリア電極層 206 は、チタン層または窒化チタン層を含む単層構造を有していてもよい。バリア電極層 206 は、SiC 半導体層 102 の第 1 主面 103 側からこの順に積層されたチタン層および窒化チタン層を含む積層構造を有していてもよい。

主電極層 207 の厚さは、バリア電極層 206 の厚さよりも大きい。主電極層 207 は、バリア電極層 206 の抵抗値よりも小さい抵抗値を有する導電材料を含む。主電極層 207 は、アルミニウム、銅、アルミニウム合金または銅合金のうちの少なくとも 1 つを含んでいてもよい。

【0377】

主電極層 207 は、アルミニウム-シリコン合金、アルミニウム-シリコン-銅合金またはアルミニウム-銅合金のうちの少なくとも 1 つを含んでいてもよい。主電極層 207 は、この形態では、アルミニウム-シリコン-銅合金を含む。

主面ゲート電極層 115 のうちの外側ゲートフィンガー 117 は、層間絶縁層 201 の上からゲートコンタクト孔 202 に入り込んでいる。外側ゲートフィンガー 117 は、ゲートコンタクト孔 202 内において、ゲート配線層 150 に電氣的に接続されている。これにより、ゲートパッド 116 からの電気信号は、外側ゲートフィンガー 117 を介してゲート電極層 149 に伝達される。

【0378】

主面ソース電極層 121 のうちのソースパッド 122 は、層間絶縁層 201 の上からソースコンタクト孔 203 およびソースサブトレレンチ 168 に入り込んでいる。ソースパッド 122 は、ソースコンタクト孔 203 およびソースサブトレレンチ 168 内において、ソース領域 163、コンタクト領域 164 およびソース電極層 157 に電氣的に接続されている。

【0379】

ソース電極層 157 は、ソースパッド 122 の一部の領域を利用して形成されていてもよい。ソース電極層 157 は、ソースパッド 122 において各ソーストレレンチ 155 に入り込んだ部分によって形成されていてもよい。

主面ソース電極層 121 のうちのソース引き回し配線 123 は、層間絶縁層 201 の上からダイオードコンタクト孔 204 に入り込んでいる。ソース引き回し配線 123 は、ダイオードコンタクト孔 204 内において、ダイオード領域 181 に電氣的に接続されている。

【0380】

主面ソース電極層 121 のうちのソース接続部 124 は、アクティブ領域 111 からサイドウォール 192 を横切って外側領域 112 に引き出されている。ソース接続部 124 は、サイドウォール 192 を被覆する上層構造の一部を形成している。

層間絶縁層 201 の上には、前述のパッシベーション層 125 が形成されている。パッシベーション層 125 は、層間絶縁層 201 に沿って膜状に形成されている。パッシベーション層 125 は、層間絶縁層 201 を介して、アクティブ領域 111 および外側領域 1

10

20

30

40

50

12を選択的に被覆している。

【0381】

パッシベーション層125は、アクティブ領域111からサイドウォール192を横切って外側領域112に引き出されている。パッシベーション層125は、サイドウォール192を被覆する上層構造の一部を形成している。

図24を参照して、パッシベーション層125は、外側領域112において、層間絶縁層201の上からアンカー孔205に入り込んでいる。パッシベーション層125は、アンカー孔205内において、SiC半導体層102の第1主面103（外側主面172）に接続されている。パッシベーション層125の外面においてアンカー孔205の上に位置する領域には、アンカー孔205に倣って窪んだりセス211が形成されている。

10

【0382】

パッシベーション層125の上には、前述の樹脂層129が形成されている。樹脂層129は、パッシベーション層125に沿って膜状に形成されている。樹脂層129は、パッシベーション層125および層間絶縁層201を挟んで、アクティブ領域111および外側領域112を選択的に被覆している。

樹脂層129は、アクティブ領域111からサイドウォール192を横切って外側領域112に引き出されている。樹脂層129は、サイドウォール192を被覆する上層構造の一部を形成している。

【0383】

図24を参照して、樹脂層129は、外側領域112においてパッシベーション層125のセス211に入り込んだアンカー部を有している。このように、外側領域112には、樹脂層129の接続強度を高めるためのアンカー構造が形成されている。

20

アンカー構造は、外側領域112においてSiC半導体層102の第1主面103に形成された凹凸構造（Uneven Structure）を含む。凹凸構造（アンカー構造）は、より具体的には、外側主面172を被覆する層間絶縁層201を利用して形成された凹凸を含む。さらに具体的には、凹凸構造（アンカー構造）は、層間絶縁層201に形成されたアンカー孔205を含む。

【0384】

樹脂層129は、このアンカー孔205に噛合っている。樹脂層129は、この形態では、パッシベーション層125を介してアンカー孔205に噛合っている。これにより、SiC半導体層102の第1主面103に対する樹脂層129の接続強度を高めることができるから、樹脂層129の剥離を抑制できる。

30

以上、SiC半導体装置101によってもSiC半導体装置1に対して述べた効果と同様の効果を奏することができる。また、SiC半導体装置101によれば、SiC半導体層102およびディープウェル領域165の間の境界領域（pn接合部）から、ゲートトレンチ142の底壁に対してSiC半導体層102の第2主面104側の領域に向けて空乏層を拡げることができる。

【0385】

これにより、主面ソース電極層121およびドレイン電極層133の間を流れる短絡電流の電流経路を狭めることができる。また、SiC半導体層102およびディープウェル領域165の境界領域から拡がる空乏層により、帰還容量Crssを反比例的に低減できる。よって、短絡耐量を向上し、帰還容量Crssを低減できるSiC半導体装置101を提供できる。

40

【0386】

SiC半導体層102およびディープウェル領域165の間の境界領域（pn接合部）から拡がる空乏層は、ゲートトレンチ142の底壁にオーバーラップしてもよい。この場合、ディープウェル領域165の底部から拡がる空乏層が、ゲートトレンチ142の底壁にオーバーラップしてもよい。

また、SiC半導体装置101によれば、SiC半導体層102において空乏層が占める領域を増加させることができるから、帰還容量Crssを反比例的に低減できる。帰還

50

容量 C_{rss} は、ゲート電極層 149 およびドレイン電極層 133 の間の静電容量である。
【0387】

また、SiC 半導体装置 101 によれば、各ディープウェル領域 165 の底部および SiC 半導体層 102 の第 2 主面 104 の間の距離は、ほぼ一定である。これにより、各ディープウェル領域 165 の底部および SiC 半導体層 102 の第 2 主面 104 の間の距離にバラツキが生じるのを抑制できる。

よって、SiC 半導体層 102 の耐圧（たとえば破壊耐量）が、ディープウェル領域 165 の形態によって制限を受けることを抑制できるから、耐圧の向上を適切に図ることができる。

【0388】

また、SiC 半導体装置 101 によれば、外側領域 112 にダイオード領域 181 が形成されている。このダイオード領域 181 は、主面ソース電極層 121 に電氣的に接続されている。これにより、外側領域 112 で生じたアバランシェ電流を、ダイオード領域 181 を介して主面ソース電極層 121 に流し込むことができる。

つまり、外側領域 112 で生じたアバランシェ電流を、ダイオード領域 181 および主面ソース電極層 121 によって吸収できる。その結果、MISFET の動作の安定性を高めることができる。

【0389】

また、SiC 半導体装置 101 によれば、外側領域 112 に外側ディープウェル領域 182 が形成されている。これにより、外側領域 112 において、SiC 半導体層 102 の耐圧を調整できる。

特に、SiC 半導体装置 101 によれば、外側ディープウェル領域 182 は、ディープウェル領域 165 とほぼ等しい深さ位置に形成されている。より具体的には、外側ディープウェル領域 182 の底部は、ディープウェル領域 165 の底部とほぼ同一平面上に位置している。

【0390】

外側ディープウェル領域 182 の底部および SiC 半導体層 102 の第 2 主面 104 の間の距離は、ディープウェル領域 165 の底部および SiC 半導体層 102 の第 2 主面 104 の間の距離とほぼ等しい。

これにより、外側ディープウェル領域 182 の底部および SiC 半導体層 102 の第 2 主面 104 の間の距離と、ディープウェル領域 165 の底部および SiC 半導体層 102 の第 2 主面 104 の間の距離との間で、バラツキが生じるのを抑制できる。

【0391】

よって、SiC 半導体層 102 の耐圧（たとえば破壊耐量）が、外側ディープウェル領域 182 の形態およびディープウェル領域 165 の形態によって制限を受けることを抑制できる。その結果、耐圧の向上を適切に図ることができる。

特に、SiC 半導体装置 101 では、外側領域 112 をアクティブ領域 111 に対して SiC 半導体層 102 の第 2 主面 104 側の領域に形成している。これにより、外側ディープウェル領域 182 の底部の位置を、適切に、ディープウェル領域 165 の底部の位置に近づけることができる。

【0392】

つまり、外側ディープウェル領域 182 の形成時において、SiC 半導体層 102 の第 1 主面 103 の表層部の比較的深い位置に p 型不純物を導入する必要がなくなる。したがって、ディープウェル領域 165 の底部の位置に対して外側ディープウェル領域 182 の底部の位置が大きくずれ込むことを、適切に抑制できる。

しかも、SiC 半導体装置 101 では、外側領域 112 の外側主面 172 が、ソーストレンチ 155 の底壁とほぼ同一平面上に位置している。これにより、等しいエネルギーによってソーストレンチ 155 の底壁および外側領域 112 の外側主面 172 に対して p 型不純物を導入する場合には、ディープウェル領域 165 および外側ディープウェル領域 182 をほぼ等しい深さ位置に形成できる。

10

20

30

40

50

【0393】

その結果、ディープウェル領域165の底部の位置に対して外側ディープウェル領域182の底部の位置が大きくずれ込むことを、より一層適切に抑制できる。

また、SiC半導体装置101によれば、外側領域112にフィールドリミット構造183が形成されている。これにより、外側領域112において、フィールドリミット構造183による電界緩和効果を得ることができる。よって、SiC半導体層102の破壊耐量を適切に向上できる。

【0394】

また、SiC半導体装置101によれば、アクティブ領域111が、台地状のアクティブ台地173として形成されている。アクティブ台地173は、アクティブ領域111のアクティブ主面171および外側領域112の外側主面172を接続するアクティブ側壁174を含む。

アクティブ主面171および外側主面172の間の領域には、アクティブ主面171および外側主面172の間の段差を緩和する段差緩和構造が形成されている。段差緩和構造は、サイドウォール192を含む。

【0395】

これにより、アクティブ主面171および外側主面172の間の段差を適切に緩和できる。よって、サイドウォール192の上に形成される上層構造の平坦性を適切に高めることができる。SiC半導体装置101では、上層構造の一例として、層間絶縁層201、主面ソース電極層121、パッシベーション層125および樹脂層129が形成されている。

【0396】

また、SiC半導体装置101によれば、外側領域112において、樹脂層129の接続強度を高めるためのアンカー構造が形成されている。アンカー構造は、外側領域112においてSiC半導体層102の第1主面103に形成された凹凸構造(Uneven Structure)を含む。

凹凸構造(アンカー構造)は、より具体的には、外側領域112においてSiC半導体層102の第1主面103に形成された層間絶縁層201を利用して形成された凹凸を含む。さらに具体的には、凹凸構造(アンカー構造)は、層間絶縁層201に形成されたアンカー孔205を含む。

【0397】

樹脂層129は、このアンカー孔205に噛合っている。樹脂層129は、この形態では、パッシベーション層125を介して、アンカー孔205に噛合っている。これにより、SiC半導体層102の第1主面103に対する樹脂層129の接続強度を高めることができるから、樹脂層129の剥離を適切に抑制できる。

また、SiC半導体装置101によれば、ゲートトレンチ142にゲート絶縁層148を挟んでゲート電極層149が埋め込まれたトレンチゲート構造161が形成されている。このトレンチゲート構造161では、ゲート電極層149が、ゲートトレンチ142という限られたスペースにおいて低抵抗電極層167によって被覆されている。このような構造によれば、図26を用いて説明される効果を奏することができる。

【0398】

図26は、ゲートトレンチ142内のシート抵抗を説明するためのグラフである。図26において縦軸はシート抵抗 $[\Omega/\square]$ を表しており、横軸は項目を表している。図26には、第1棒グラフBL1、第2棒グラフBL2および第3棒グラフBL3が示されている。

第1棒グラフBL1は、n型ポリシリコンが埋め込まれたゲートトレンチ142内のシート抵抗を表している。第2棒グラフBL2は、p型ポリシリコンが埋め込まれたゲートトレンチ142内のシート抵抗を表している。

【0399】

第3棒グラフBL3は、ゲート電極層149(p型ポリシリコン)および低抵抗電極層

10

20

30

40

50

167が埋め込まれたゲートトレンチ142内のシート抵抗を表している。ここでは、ポリサイド（シリサイド）の一例としての $TiSi_2$ （p型チタンシリサイド）からなる低抵抗電極層167が形成された場合について説明する。

第1棒グラフBL1を参照して、n型ポリシリコンが埋め込まれたゲートトレンチ142内のシート抵抗は、 $10\Omega/\square$ であった。第2棒グラフBL2を参照して、p型ポリシリコンが埋め込まれたゲートトレンチ142内のシート抵抗は、 $200\Omega/\square$ であった。第3棒グラフBL3を参照して、ゲート電極層149（p型ポリシリコン）および低抵抗電極層167が埋め込まれたゲートトレンチ142内のシート抵抗は、 $2\Omega/\square$ であった。
【0400】

p型ポリシリコンは、n型ポリシリコンとは相異なる仕事関数を有している。p型ポリシリコンがゲートトレンチ142に埋め込まれた構造によれば、ゲート閾値電圧 V_{th} を1V程度増加させることができる。

しかし、p型ポリシリコンは、n型ポリシリコンのシート抵抗よりも数十倍（ここでは20倍）高いシート抵抗を有している。そのため、ゲート電極層149の材料としてp型ポリシリコンを採用した場合、ゲートトレンチ142内の寄生抵抗（以下、単に「ゲート抵抗」という。）の増加に伴ってエネルギー損失が著しく増大する。

【0401】

これに対して、ゲート電極層149（p型ポリシリコン）の上に低抵抗電極層167を有する構造によれば、低抵抗電極層167を形成しない場合と比較して、シート抵抗を100分の1以下に低下させることができる。つまり、低抵抗電極層167を有する構造によれば、n型ポリシリコンを含むゲート電極層149と比較して、シート抵抗を5分の1以下に低下させることができる。

【0402】

このように、低抵抗電極層167を有する構造によれば、ゲート閾値電圧 V_{th} を増加（たとえば1V程度増加）させながら、ゲートトレンチ142内のシート抵抗を低減できる。これにより、ゲート抵抗の低減を図ることができるから、トレンチゲート構造161に沿って電流を効率的に拡散させることができる。その結果、スイッチング遅延の短縮を図ることができる。

【0403】

また、低抵抗電極層167を有する構造によれば、ボディ領域141のp型不純物濃度およびコンタクト領域164のp型不純物濃度を増加させなくて済む。よって、チャネル抵抗の増加を抑制しながら、ゲート閾値電圧 V_{th} を適切に増加させることができる。

低抵抗電極層167は、 $TiSi$ 、 $TiSi_2$ 、 $NiSi$ 、 $CoSi$ 、 $CoSi_2$ 、 $MoSi_2$ または WSi_2 のうちの少なくとも1種を含むことができる。とりわけ、これらの種のうちの $NiSi$ 、 $CoSi_2$ および $TiSi_2$ は、比抵抗の値および温度依存性が比較的小さいことから、低抵抗電極層167を形成するポリサイド層として適している。

【0404】

本願発明者らのさらなる検証の結果、 $TiSi_2$ を低抵抗電極層167の材料として採用した場合、低電界印加時においてゲートソース間のリーク電流の増加が観られた。これに対して、 $CoSi_2$ が採用された場合は、低電界印加時においてゲートソース間のリーク電流の増加は見受けられなかった。この点を考慮すると、低抵抗電極層167を形成するポリサイド層としては、 $CoSi_2$ が最も好ましいと考えられる。

【0405】

さらに、SiC半導体装置101によれば、ゲート配線層150が低抵抗電極層167によって被覆されている。これにより、ゲート配線層150におけるゲート抵抗の低減も図ることができる。

特に、ゲート電極層149およびゲート配線層150が低抵抗電極層167によって被覆されている構造では、トレンチゲート構造161に沿って電流を効率的に拡散させることができる。よって、スイッチング遅延の短縮を適切に図ることができる。

【0406】

10

20

30

40

50

図27は、図20に対応する領域の拡大図であって、本発明の第4実施形態に係るSiC半導体装置221を示す拡大図である。図28は、図27に示すXXVIII-XXVIII線に沿う断面図である。以下では、SiC半導体装置101に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

図27および図28を参照して、SiC半導体装置221は、アクティブ領域111においてSiC半導体層102の第1主面103に形成された外側ゲートトレンチ222を含む。外側ゲートトレンチ222は、アクティブ領域111の周縁部に沿って帯状に延びる。

【0407】

外側ゲートトレンチ222は、SiC半導体層102の第1主面103において外側ゲートフィンガー117の直下の領域に形成されている。外側ゲートトレンチ222は、外側ゲートフィンガー117に沿って延びている。

外側ゲートトレンチ222は、より具体的には、アクティブ領域111の内方領域を3方向から区画するように、SiC半導体層102の3つの側面105A、105B、105Dに沿って形成されている。外側ゲートトレンチ222は、アクティブ領域111の内方領域を取り囲む無端状（たとえば四角環状）に形成されていてもよい。

【0408】

外側ゲートトレンチ222は、各ゲートトレンチ142のコンタクトトレンチ部144に連通している。これにより、外側ゲートトレンチ222およびゲートトレンチ142は、一つのトレンチによって形成されている。

外側ゲートトレンチ222には、ゲート配線層150が埋め込まれている。ゲート配線層150は、ゲートトレンチ142および外側ゲートトレンチ222の連通部においてゲート電極層149に接続されている。

【0409】

外側ゲートトレンチ222には、ゲート配線層150を被覆する低抵抗電極層167が形成されている。この場合、ゲート電極層149を被覆する低抵抗電極層167およびゲート配線層150を被覆する低抵抗電極層167は、一つのトレンチ内に位置する。

以上、SiC半導体装置221によっても、SiC半導体装置101に対して述べた効果と同様の効果を奏することができる。また、SiC半導体装置221によれば、ゲート配線層150をSiC半導体層102の第1主面103の上に引き出す必要がない。

【0410】

これにより、ゲートトレンチ142（外側ゲートトレンチ222）の開口エッジ部146において、ゲート配線層150がゲート絶縁層148を挟んでSiC半導体層102に対向することを抑制できる。その結果、ゲートトレンチ142（外側ゲートトレンチ222）の開口エッジ部146における電界の集中を抑制できる。

図29は、図23に対応する領域の拡大図であって、本発明の第5実施形態に係るSiC半導体装置231を示す拡大図である。以下では、SiC半導体装置101に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

【0411】

図29を参照して、SiCエピタキシャル層107は、この形態では、高濃度領域108、低濃度領域109、ならびに、高濃度領域108および低濃度領域109の間に介在する濃度勾配領域232を含む。

濃度勾配領域232は、SiCエピタキシャル層107において、アクティブ領域111に加えて外側領域112にも形成されている。濃度勾配領域232は、SiCエピタキシャル層107の全域に形成されている。

【0412】

濃度勾配領域232は、高濃度領域108から低濃度領域109に向けてn型不純物濃度が漸減する濃度勾配を有している。換言すると、濃度勾配領域232は、低濃度領域109から高濃度領域108に向けてn型不純物濃度が漸増する濃度勾配を有している。濃度勾配領域232は、高濃度領域108および低濃度領域109の間の領域においてn型

10

20

30

40

50

不純物濃度の急激な変動を抑制する。

【0413】

S i Cエピタキシャル層107が濃度勾配領域232を含む場合、高濃度領域108のn型不純物濃度は、低濃度領域109のn型不純物濃度の1.5倍以上5倍以下であることが好ましい。高濃度領域108のn型不純物濃度は、低濃度領域109のn型不純物濃度の3倍以上5倍以下であってもよい。

濃度勾配領域232の厚さは、0.5 μ m以上2.0 μ m以下であってもよい。濃度勾配領域232の厚さは、0.5 μ m以上1.0 μ m以下、1.0 μ m以上1.5 μ m以下または1.5 μ m以上2.0 μ m以下であってもよい。

【0414】

具体的な説明は省略されるが、前述のゲートトレンチ142、ソーストレンチ155、ディープウェル領域165、外側ディープウェル領域182等は、高濃度領域108に形成されている。

つまり、前述のゲートトレンチ142、ソーストレンチ155、ディープウェル領域165、外側ディープウェル領域182等は、S i C半導体層102において高濃度領域108および濃度勾配領域232の境界領域に対して第1主面103側の領域に形成されている。

【0415】

以上、S i C半導体装置231によっても、S i C半導体装置101に対して述べた効果と同様の効果を奏することができる。

図30は、図20に対応する領域の拡大図であって、本発明の第6実施形態に係るS i C半導体装置241を示す拡大図である。以下では、S i C半導体装置101に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

【0416】

図30を参照して、ゲートトレンチ142は、この形態では、平面視において格子形状に形成されている。ゲートトレンチ142は、より具体的には、複数の第1ゲートトレンチ242および複数の第2ゲートトレンチ243を含む。複数の第1ゲートトレンチ242および複数の第2ゲートトレンチ243は、アクティブトレンチ部143を形成している。

【0417】

複数の第1ゲートトレンチ242は、第2方向Yに間隔を空けて形成され、第1方向Xに沿って延びる帯状にそれぞれ形成されている。複数の第1ゲートトレンチ242は、平面視において全体としてストライプ状に形成されている。

各第1ゲートトレンチ242において長辺を形成する側壁は、S i C単結晶のa面によって形成されている。各第1ゲートトレンチ242において短辺を形成する側壁は、S i C単結晶のm面によって形成されている。

【0418】

複数の第2ゲートトレンチ243は、第1方向Xに間隔を空けて形成され、第2方向Yに沿って延びる帯状にそれぞれ形成されている。複数の第2ゲートトレンチ243は、平面視において全体としてストライプ状に形成されている。

各第2ゲートトレンチ243において長辺を形成する側壁は、S i C単結晶のm面によって形成されている。各第2ゲートトレンチ243において短辺を形成する側壁は、S i C単結晶のa面によって形成されている。

【0419】

複数の第1ゲートトレンチ242および複数の第2ゲートトレンチ243は、互いに交差している。これにより、平面視において格子形状の1つのゲートトレンチ142が形成されている。ゲートトレンチ142によって取り囲まれた領域には、複数のセル領域244が区画されている。

複数のセル領域244は、平面視において第1方向Xおよび第2方向Yに間隔を空けて行列状に配列されている。複数のセル領域244は、平面視において四角形状に形成され

10

20

30

40

50

ている。各セル領域 2 4 4 においてボディ領域 1 4 1 は、ゲートトレンチ 1 4 2 の側壁から露出している。ボディ領域 1 4 1 は、ゲートトレンチ 1 4 2 において S i C 単結晶の m 面および a 面によって形成された側壁から露出している。

【0 4 2 0】

むろん、ゲートトレンチ 1 4 2 は、平面視において格子形状の一態様としてのハニカム形状に形成されていてもよい。この場合、複数のセル領域 2 4 4 は、第 1 方向 X および第 2 方向 Y に間隔を空けて千鳥状に配列されていてもよい。また、この場合、複数のセル領域 2 4 4 は、平面視において六角形状に形成されていてもよい。

各ソーストレンチ 1 5 5 は、平面視において各セル領域 2 4 4 の中央部に形成されている。各ソーストレンチ 1 5 5 は、各セル領域 2 4 4 を第 1 方向 X に沿って切断したときに現れる切断面に 1 つ現れるパターンで形成されている。また、各ソーストレンチ 1 5 5 は、各セル領域 2 4 4 を第 2 方向 Y に沿って切断したときに現れる切断面に 1 つ現れるパターンで形成されている。

【0 4 2 1】

各ソーストレンチ 1 5 5 は、より具体的には、平面視において四角形状に形成されている。各ソーストレンチ 1 5 5 の 4 つの側壁は、S i C 単結晶の m 面および a 面によって形成されている。

各ソーストレンチ 1 5 5 の平面形状は任意である。各ソーストレンチ 1 5 5 は、平面視において三角形状、五角形状、六角形状等の多角形状、もしくは、円形状または楕円形状に形成されていてもよい。

【0 4 2 2】

図 3 0 の XXI-XXI 線に沿う断面図は、図 2 1 に示す断面図に対応している。図 3 0 の XXII-XXII 線に沿う断面図は、図 2 2 に示す断面図に対応している。

以上、S i C 半導体装置 2 4 1 によっても、S i C 半導体装置 1 0 1 に対して述べた効果と同様の効果を奏することができる。

本発明の実施形態について説明したが、本発明の実施形態は、さらに他の形態で実施することもできる。

【0 4 2 3】

前述の各実施形態では、S i C 半導体層 2, 1 0 2 の側面 5 A, 1 0 5 A および側面 5 C, 1 0 5 C が S i C 単結晶の a 面に面し、側面 5 B, 1 0 5 B および側面 5 D, 1 0 5 D が S i C 単結晶の m 面に面する形態について説明した。しかし、側面 5 A, 1 0 5 A および側面 5 C, 1 0 5 C が S i C 単結晶の m 面に面し、側面 5 B, 1 0 5 B および側面 5 D, 1 0 5 D が S i C 単結晶の a 面に面する形態が採用されてもよい。

【0 4 2 4】

前述の各実施形態では、連続的に延びる帯状の改質ライン 2 2 A ~ 2 2 D が形成された例について説明した。しかし、前述の各実施形態において破線帯状（破線状）の改質ライン 2 2 A ~ 2 2 D が形成されていてもよい。つまり、改質ライン 2 2 A ~ 2 2 D は、断続的に延びる帯状に形成されていてもよい。この場合、改質ライン 2 2 A ~ 2 2 D のうちの 1 つ、2 つまたは 3 つが破線帯状に形成され、残りが帯状に形成されていてもよい。

【0 4 2 5】

前述の第 3 ~ 第 6 実施形態では、S i C 単結晶の m 軸方向（ $[1 - 1 0 0]$ 方向）に沿って延びる複数のゲートトレンチ 1 4 2（第 1 ゲートトレンチ 2 4 2）が形成された例について説明した。

しかし、S i C 単結晶の a 軸方向（ $[1 1 - 2 0]$ 方向）に沿って延びる複数のゲートトレンチ 1 4 2（第 1 ゲートトレンチ 2 4 2）が形成されてもよい。この場合、S i C 単結晶の a 軸方向（ $[1 1 - 2 0]$ 方向）に沿って延びる複数のソーストレンチ 1 5 5 が形成される。

【0 4 2 6】

前述の第 3 ~ 第 6 実施形態では、ソース電極層 1 5 7 がソース絶縁層 1 5 6 を挟んでソーストレンチ 1 5 5 に埋め込まれた例について説明した。しかし、ソース電極層 1 5 7 は

10

20

30

40

50

、ソース絶縁層 156 を介さずにソーストレンチ 155 に直接埋め込まれていてもよい。

前述の第 3 ～ 第 6 実施形態では、ソース絶縁層 156 がソーストレンチ 155 の側壁および底壁に沿って形成された例について説明した。

【0427】

しかし、ソース絶縁層 156 は、ソーストレンチ 155 の底壁を露出させるように、ソーストレンチ 155 の側壁に沿って形成されていてもよい。ソース絶縁層 156 は、ソーストレンチ 155 の底壁の一部を露出させるように、ソーストレンチ 155 の側壁および底壁に沿って形成されていてもよい。

また、ソース絶縁層 156 は、ソーストレンチ 155 の側壁を露出させるように、ソーストレンチ 155 の底壁に沿って形成されていてもよい。ソース絶縁層 156 は、ソーストレンチ 155 の側壁の一部を露出させるように、ソーストレンチ 155 の側壁および底壁に沿って形成されていてもよい。

【0428】

前述の第 3 ～ 第 6 実施形態では、p 型不純物が添加された p 型ポリシリコンを含むゲート電極層 149 およびゲート配線層 150 が形成された例について説明した。しかし、ゲート閾値電圧 V_{th} の増加を重視しない場合には、ゲート電極層 149 およびゲート配線層 150 は、p 型ポリシリコンに代えてまたはこれに加えて、n 型不純物が添加された n 型ポリシリコンを含んでいてもよい。

【0429】

この場合、低抵抗電極層 167 は、ゲート電極層 149 (n 型ポリシリコン) において表層部を形成する部分を金属材料によってシリサイド化することによって形成されていてもよい。つまり、低抵抗電極層 167 は、n 型ポリサイドを含んでいてもよい。このような構造の場合、ゲート抵抗の低減を図ることができる。

前述の第 3 ～ 第 6 実施形態において、n⁺型の SiC 半導体基板 106 に代えて p⁺型の SiC 半導体基板 (106) が採用されてもよい。この構造によれば、MISFET に代えて、IGBT (Insulated Gate Bipolar Transistor) を提供できる。この場合、前述の各実施形態において、MISFET の「ソース」が IGBT の「エミッタ」に読み替えられ、MISFET の「ドレイン」が IGBT の「コレクタ」に読み替えられる。

【0430】

前述の各実施形態において、各半導体部分の導電型が反転された構造が採用されてもよい。つまり、p 型の部分が n 型とされ、n 型の部分が p 型とされてもよい。

前述の各実施形態は、SiC とは異なる半導体材料を用いた半導体装置にも適用できる。SiC とは異なる半導体材料は、化合物半導体材料であってもよい。化合物半導体材料は、窒化ガリウム (GaN) および酸化ガリウム (Ga_2O_3) のいずれか一方または双方であってもよい。

【0431】

たとえば、前述の第 3 ～ 第 6 実施形態は、SiC に代えて化合物半導体材料が採用された縦型の化合物半導体 MISFET を備えた化合物半導体装置であってもよい。化合物半導体では、p 型不純物 (アクセプタ) として、マグネシウムが採用されてもよい。また、n 型不純物 (ドナー) として、ゲルマニウム (Ge)、酸素 (O) またはケイ素 (Si) が採用されてもよい。

【0432】

この明細書および図面から抽出される特徴の例を以下に示す。

[A1] 六方晶からなる SiC 単結晶を含み、前記 SiC 単結晶の c 面に対して a 軸方向に傾斜したオフ角を有する素子形成面としての第 1 主面、前記第 1 主面の反対側の第 2 主面、および、前記 SiC 単結晶の a 面に面し、前記第 1 主面の法線を 0° とした時、前記法線に対して前記オフ角未満の角度を有する劈開面からなる側面を有する SiC 半導体層であって、前記第 2 主面および前記側面の一部を形成する SiC 半導体基板、ならびに、前記第 1 主面および前記側面の一部を形成する SiC エピタキシャル層を含む積層構造を有する SiC 半導体層と、前記側面において前記 SiC エピタキシャル層から前記第 2

10

20

30

40

50

主面側に間隔を空けて前記 S i C 半導体基板からなる部分に厚さ方向に間隔を空けて形成され、前記 S i C 単結晶とは異なる性質に改質された複数の改質層と、を含む、S i C 半導体装置。

【0433】

【A2】六方晶からなる S i C 単結晶を含み、前記 S i C 単結晶の c 面に対して a 軸方向に傾斜したオフ角を有する素子形成面としての第 1 主面、前記第 1 主面の反対側の第 2 主面、および、前記 S i C 単結晶の a 面に面し、前記第 1 主面の法線から前記 S i C 単結晶の c 軸とは反対側の方向に向けて傾斜した傾斜部を有する側面を有する劈開面からなる S i C 半導体層であって、前記第 2 主面および前記側面の一部を形成する S i C 半導体基板、ならびに、前記第 1 主面および前記側面の一部を形成する S i C エピタキシャル層を含む積層構造を有する S i C 半導体層と、前記側面において前記 S i C エピタキシャル層から前記第 2 主面側に間隔を空けて前記 S i C 半導体基板からなる部分に厚さ方向に間隔を空けて形成され、前記 S i C 単結晶とは異なる性質に改質された複数の改質層と、を含む、S i C 半導体装置。

10

【0434】

【A3】前記 S i C 半導体層の前記第 2 主面は、研削面からなる、A1 または A2 に記載の S i C 半導体装置。

【A4】前記 S i C 半導体層は、40 μm 以上 200 μm 以下の厚さを有している、A1 ~ A3 のいずれか一つに記載の S i C 半導体装置。

【A5】複数の前記改質層は、前記 S i C 単結晶の m 軸方向に沿って延びる帯状にそれぞれ形成されている、A1 ~ A4 のいずれか一つに記載の S i C 半導体装置。

20

【0435】

【A6】複数の前記改質層は、断面視において前記 S i C 単結晶の a 軸方向に互いにずれて形成されている、A1 ~ A5 のいずれか一つに記載の S i C 半導体装置。

【A7】前記 S i C 単結晶の a 軸方向に関して、複数の前記改質層のうちの最も外方に位置する前記改質層および最も内方に位置する前記改質層の間の距離は、前記 S i C 半導体層の厚さに $\tan \theta$ (θ : 前記オフ角) を乗じた値未満である、A6 に記載の S i C 半導体装置。

【0436】

【A8】前記 S i C 半導体層の前記側面は、複数の前記改質層を頂部または基部とする隆起部を有している、A1 ~ A7 のいずれか一つに記載の S i C 半導体装置。

30

【A9】複数の前記改質層は、前記 S i C 半導体層の前記第 2 主面から前記第 1 主面側に間隔を空けて形成されている、A1 ~ A8 のいずれか一つに記載の S i C 半導体装置。

【A10】2 個以上 6 個以下の前記改質層を含む、A1 ~ A9 のいずれか一つに記載の S i C 半導体装置。

【0437】

【A11】前記 S i C 半導体層は、前記 S i C 単結晶の m 面に面する劈開面からなる第 2 側面を有している、A1 ~ A10 のいずれか一つに記載の S i C 半導体装置。

【A12】前記第 2 側面において前記 S i C エピタキシャル層から前記第 2 主面側に間隔を空けて前記 S i C 半導体基板からなる部分に形成され、前記 S i C 単結晶とは異なる性質に改質された 1 つまたは複数の第 2 改質層をさらに含む、A11 に記載の S i C 半導体装置。

40

【0438】

【A13】前記第 2 側面は、前記第 1 主面の前記法線に沿って平面的に延びている、A11 または A12 に記載の S i C 半導体装置。

【A14】前記 S i C 単結晶は、2H (Hexagonal) - S i C 単結晶、4H - S i C 単結晶または 6H - S i C 単結晶からなる、A1 ~ A13 のいずれか一つに記載の S i C 半導体装置。

【0439】

【A15】前記オフ角は、0° を超えて 10° 以下、0° を超えて 5° 以下、または、

50

0°を超えて4°未満である、A1～A14のいずれか一つに記載のSiC半導体装置。

〔A16〕前記第1主面の上において前記SiCエピタキシャル層を被覆し、前記側面に連なる絶縁側壁を有する絶縁層と、前記側面から内方に間隔を空けて前記絶縁層の上に形成された第1電極と、をさらに含む、A1～A15のいずれか一つに記載のSiC半導体装置。

〔0440〕

〔A17〕前記側面から内方に間隔を空けて前記絶縁層の上に形成され、前記第1電極を露出させる開口を有する樹脂層をさらに含む、A16に記載のSiC半導体装置。

〔A18〕前記第2主面を被覆する第2電極をさらに含む、A1～A17のいずれか一つに記載のSiC半導体装置。

10

この明細書は、第1～第6実施形態に示された特徴の如何なる組み合わせ形態をも制限しない。第1～第6実施形態は、それらの間で任意の態様および任意の形態において組み合わせられることができる。つまり、第1～第6実施形態に示された特徴が任意の態様および任意の形態で組み合わせられた形態が採用されてもよい。

〔0441〕

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【符号の説明】

〔0442〕

- 1 SiC半導体装置
- 2 SiC半導体層
- 3 SiC半導体層の第1主面
- 4 SiC半導体層の第2主面
- 5A SiC半導体層の側面
- 5B SiC半導体層の側面
- 5C SiC半導体層の側面
- 5D SiC半導体層の側面
- 6 SiC半導体基板
- 7 SiCエピタキシャル層
- 22A 改質ライン
- 22B 改質ライン
- 22C 改質ライン
- 22D 改質ライン
- 81 SiC半導体装置
- 101 SiC半導体装置
- 102 SiC半導体層
- 103 SiC半導体層の第1主面
- 104 SiC半導体層の第2主面
- 105A SiC半導体層の側面
- 105B SiC半導体層の側面
- 105C SiC半導体層の側面
- 105D SiC半導体層の側面
- 106 SiC半導体基板
- 107 SiCエピタキシャル層
- θ オフ角
- Z 法線方向
- X 第1方向（m軸方向）
- Y 第2方向（a軸方向）

20

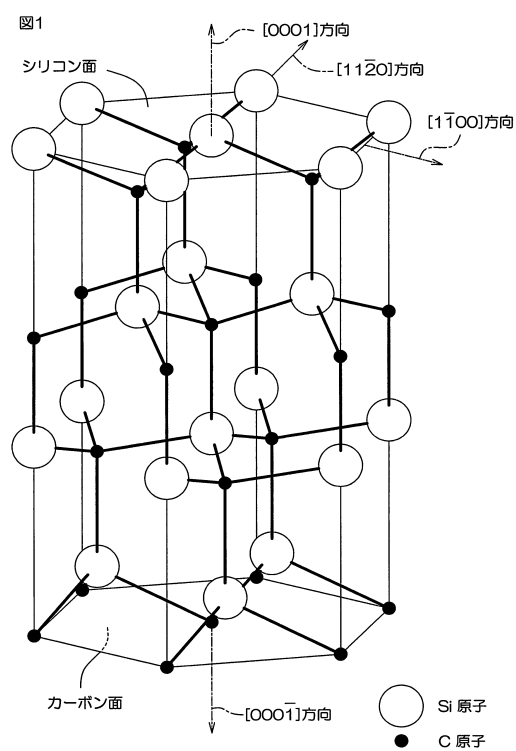
30

40

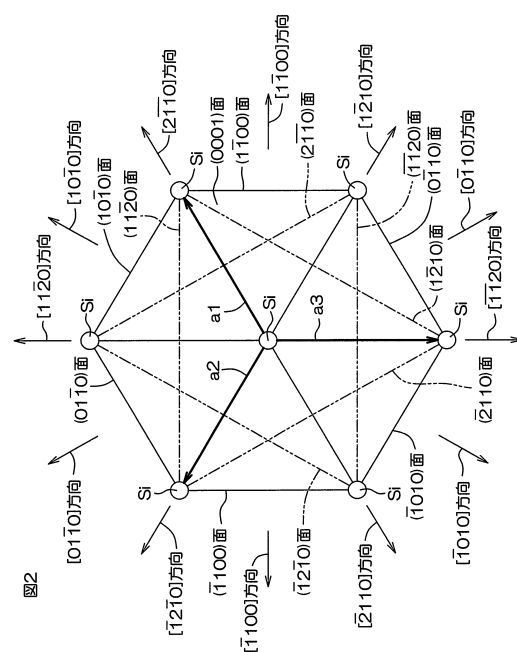
50

【図面】

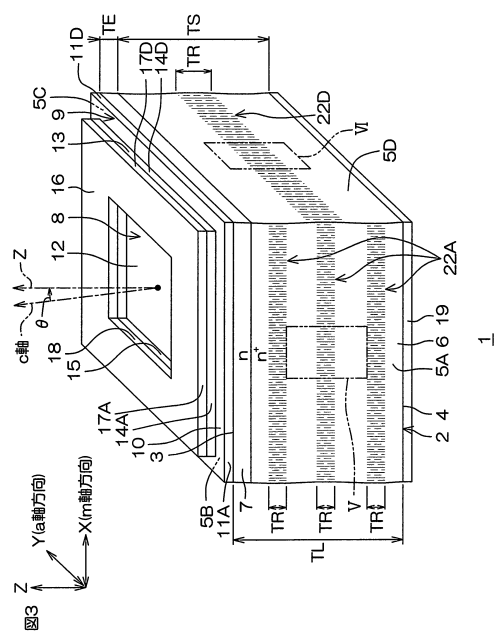
【図 1】



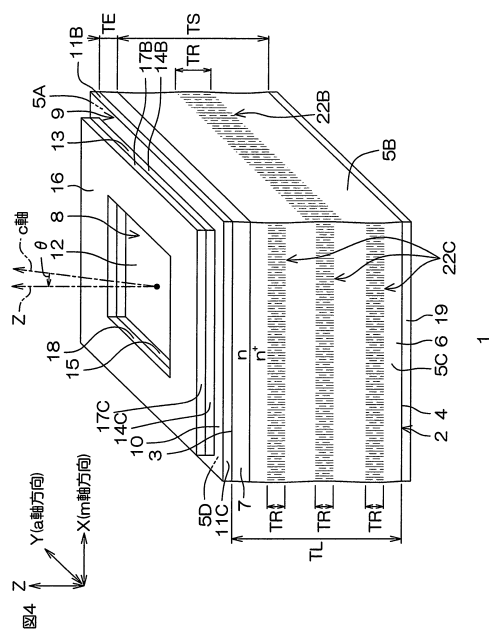
【図 2】



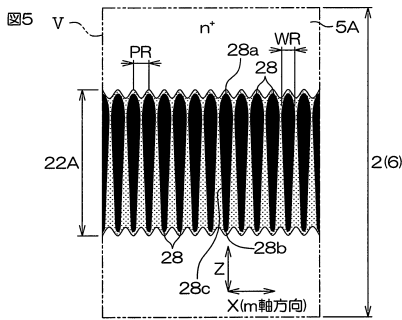
【図 3】



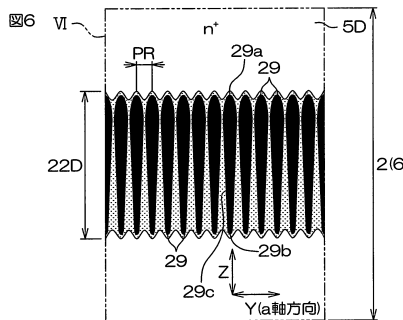
【図 4】



【図 5】

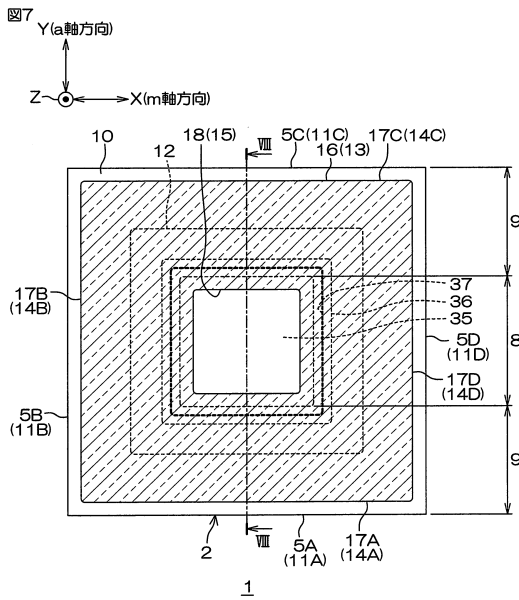


【図 6】

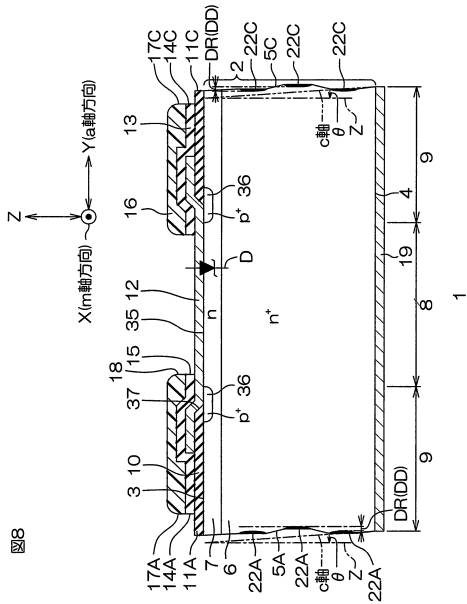


10

【図 7】



【図 8】



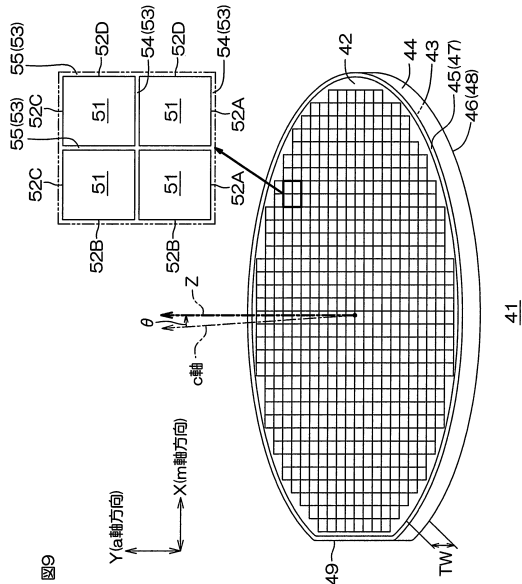
20

30

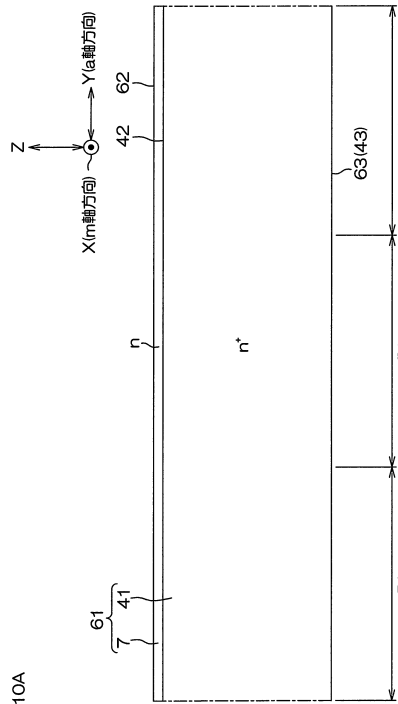
40

50

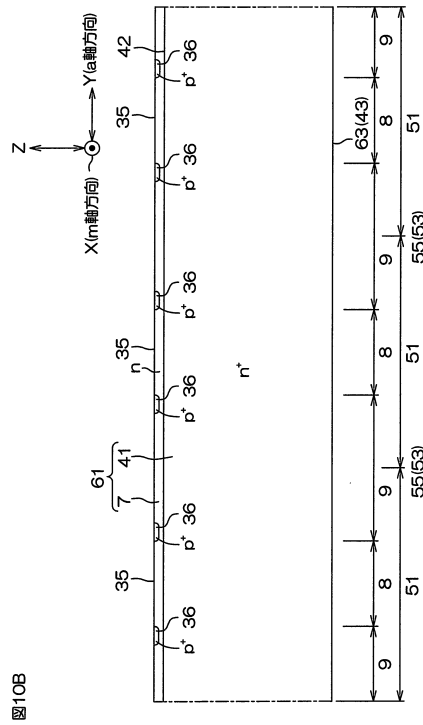
【図 9】



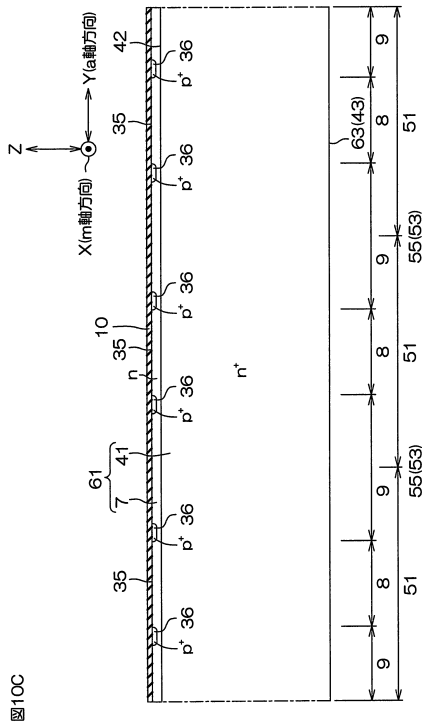
【図 10 A】



【図 10 B】



【図 10 C】



10

20

30

40

50

【図 10 D】

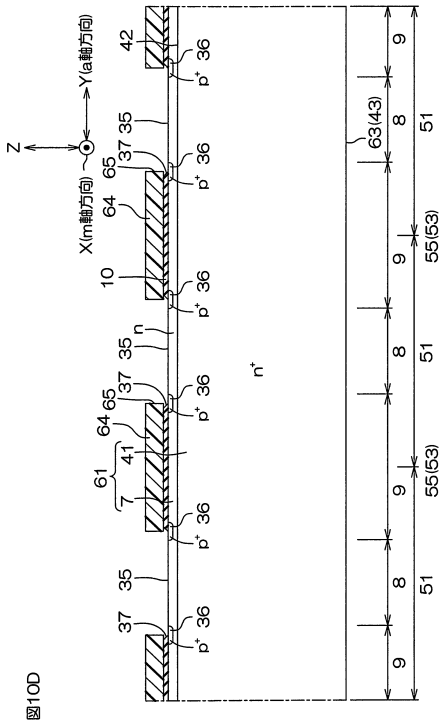


図10D

【図 10 E】

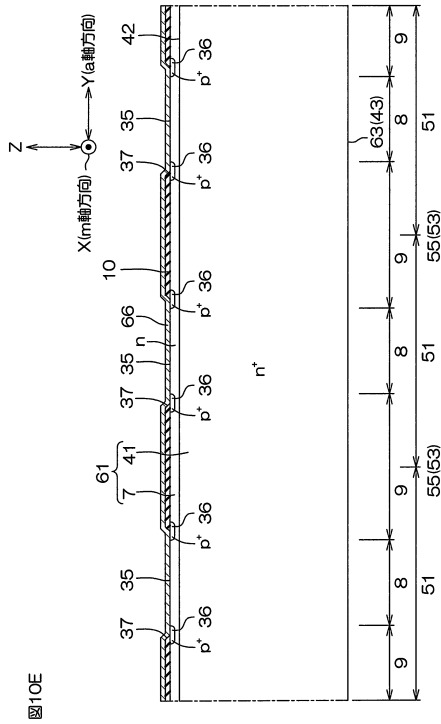


図10E

【図 10 F】

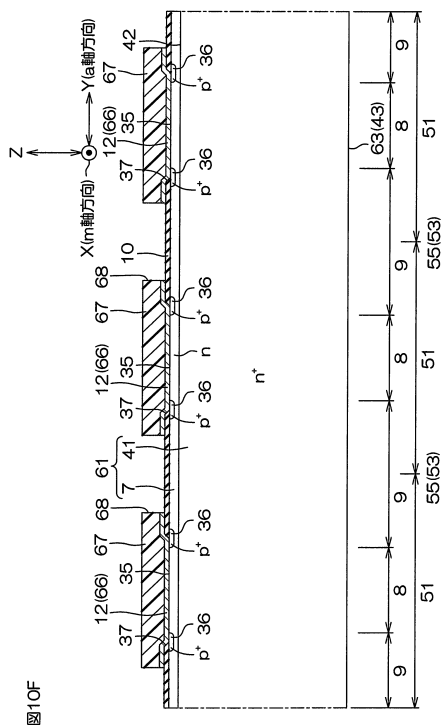


図10F

【図 10 G】

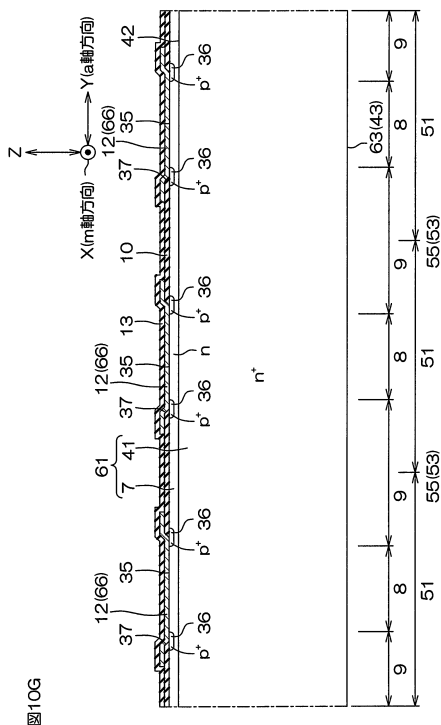


図10G

10

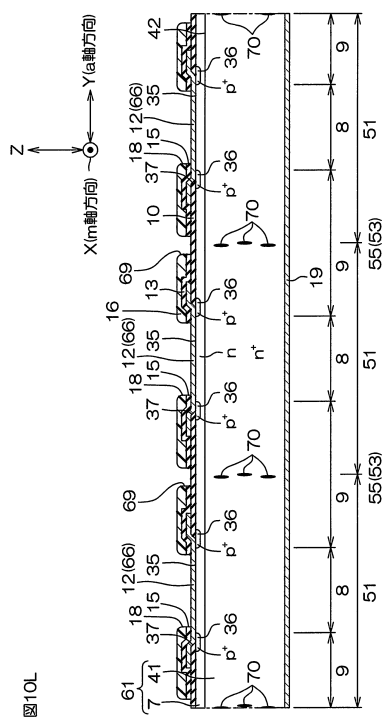
20

30

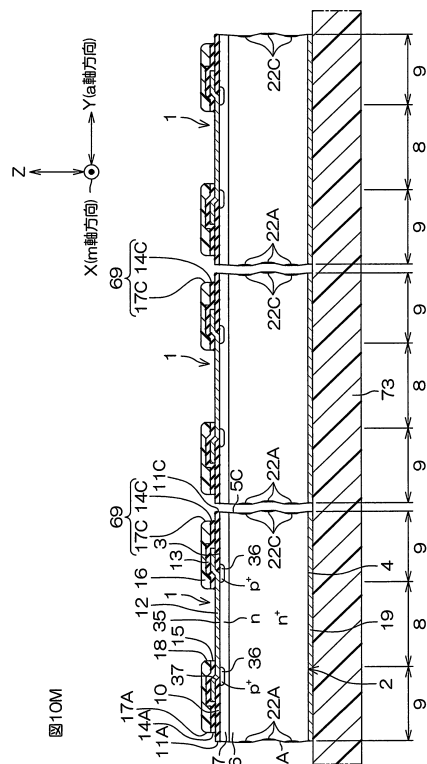
40

50

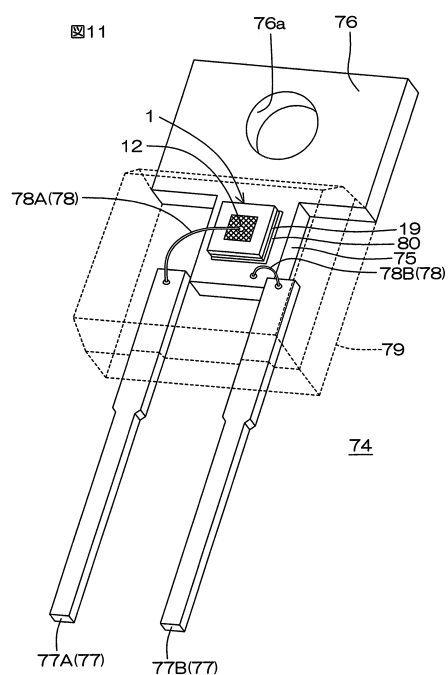
【図 10 L】



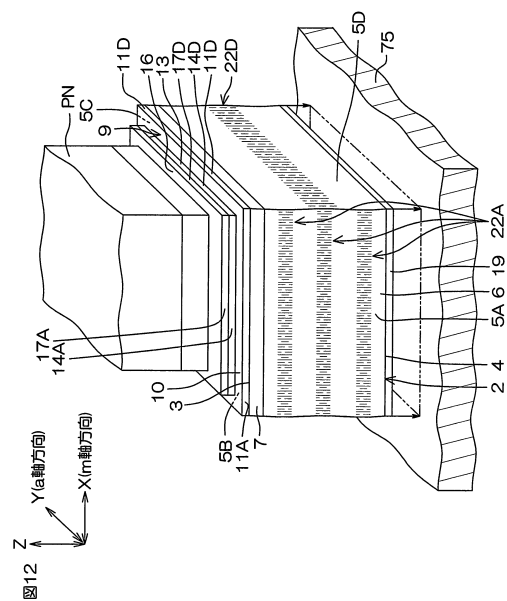
【図 10 M】



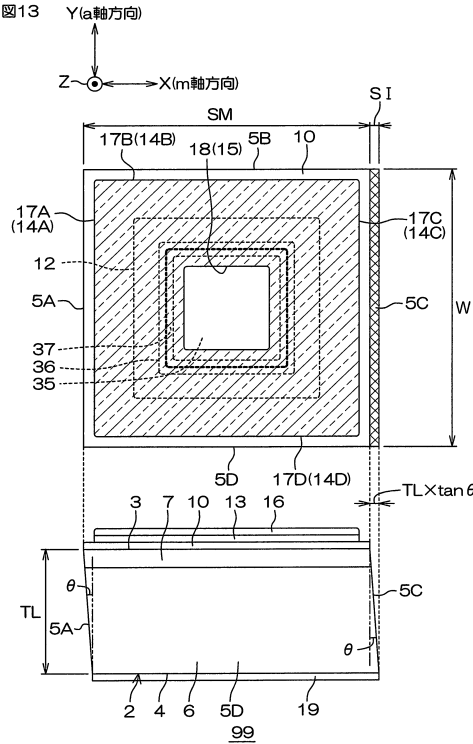
【図 1 1】



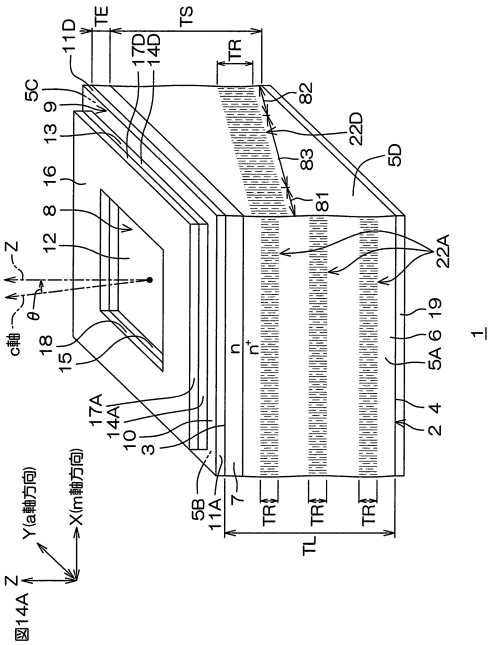
【図 12】



【図 1 3】



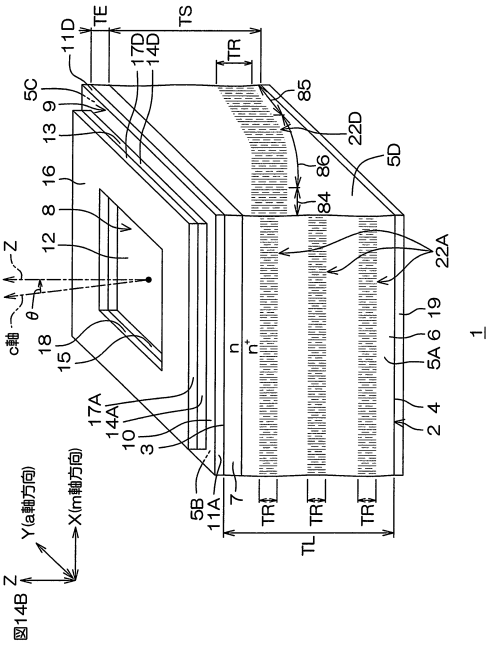
【図 1 4 A】



10

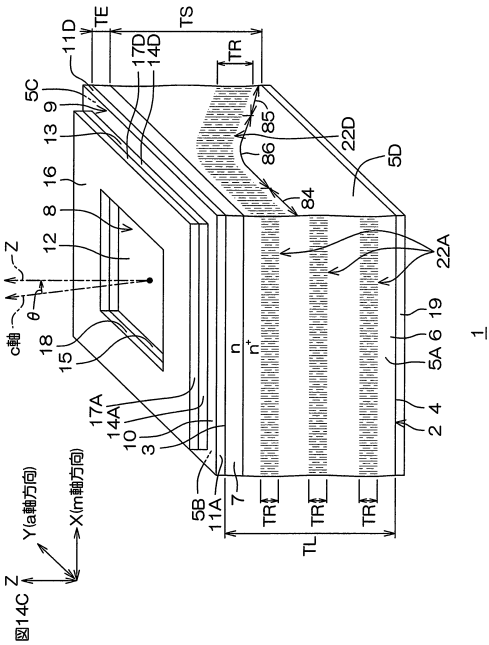
20

【図 1 4 B】



30

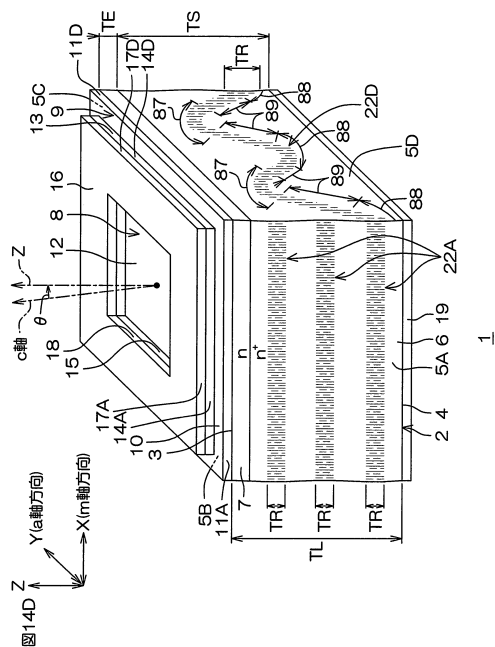
【図 1 4 C】



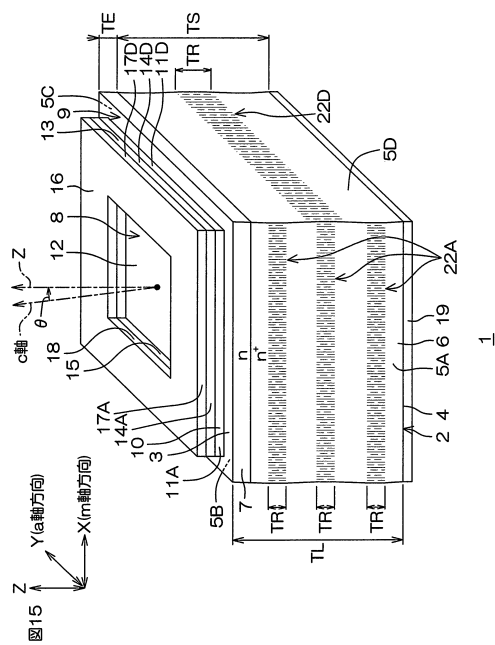
40

50

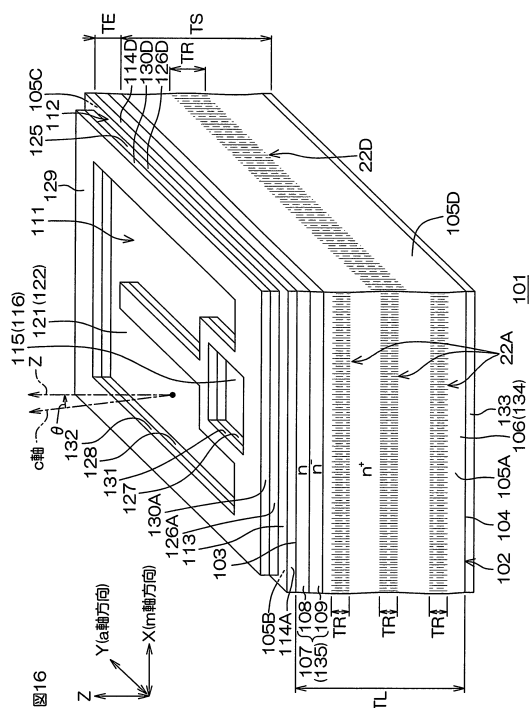
【図 14 D】



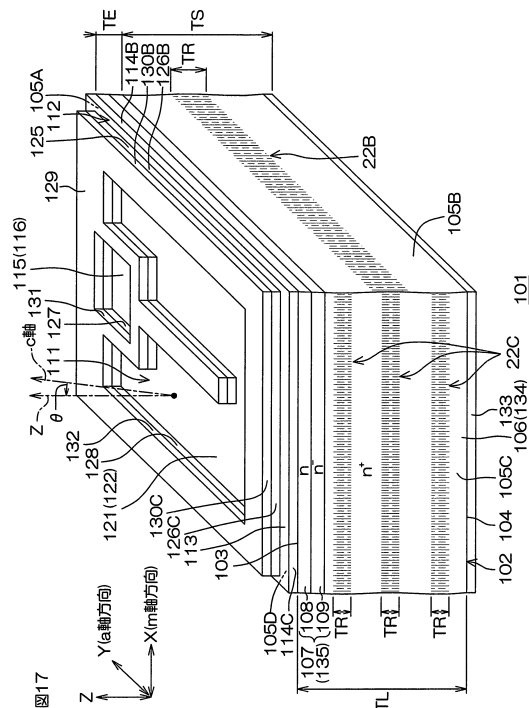
【図 15】



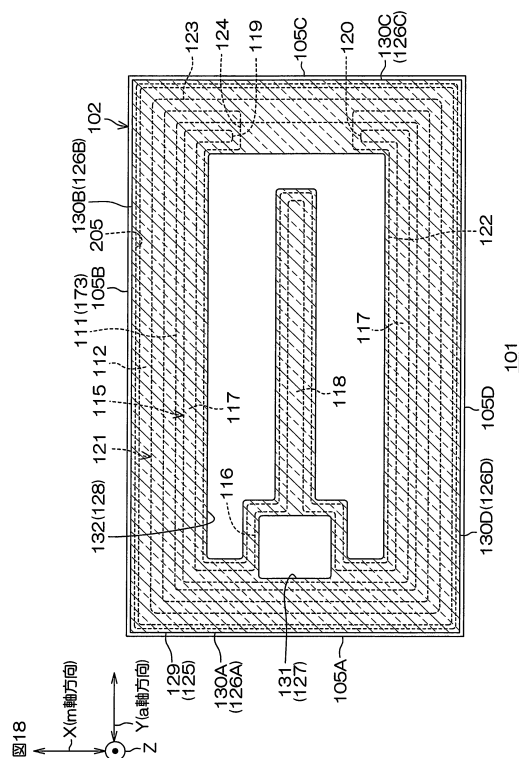
【図 16】



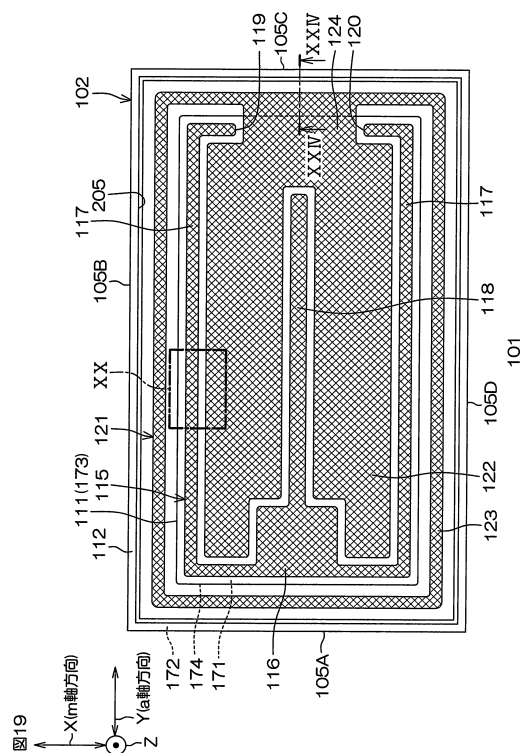
【図 17】



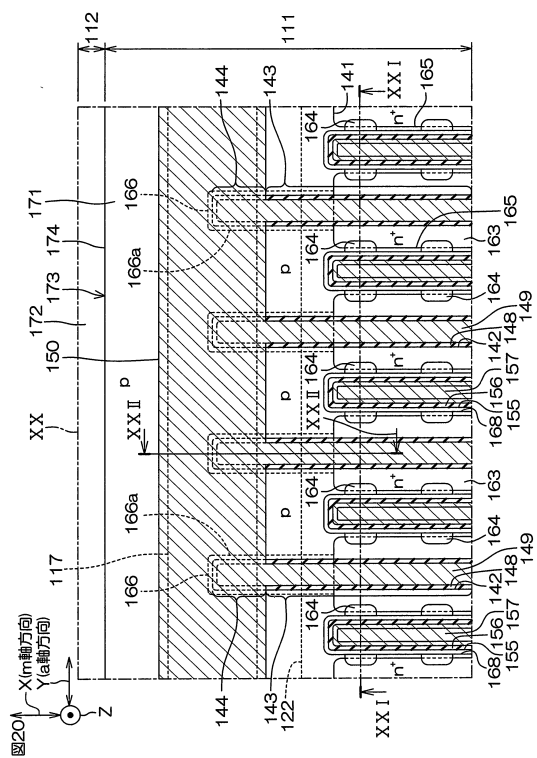
【図 18】



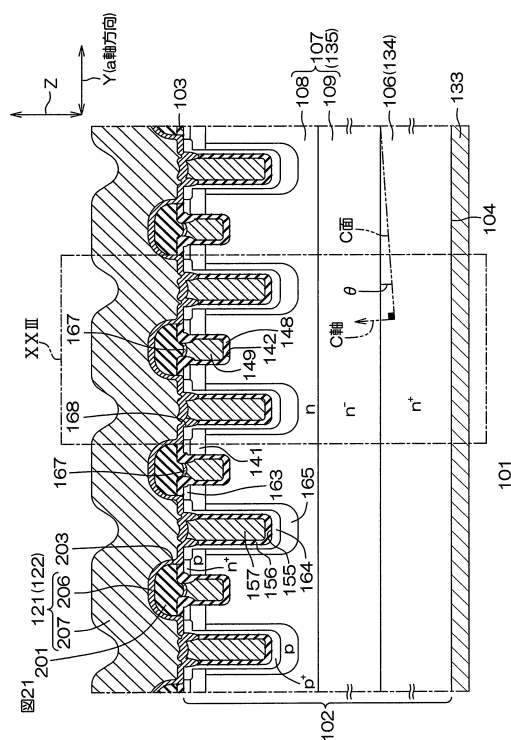
【図 19】



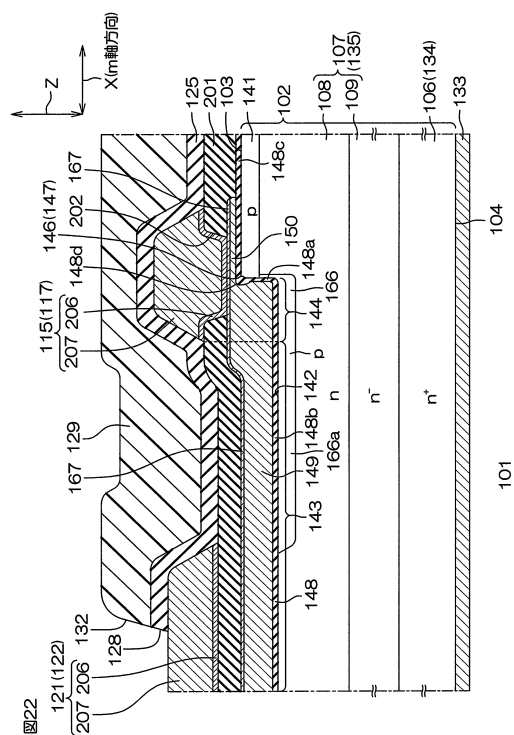
【図 20】



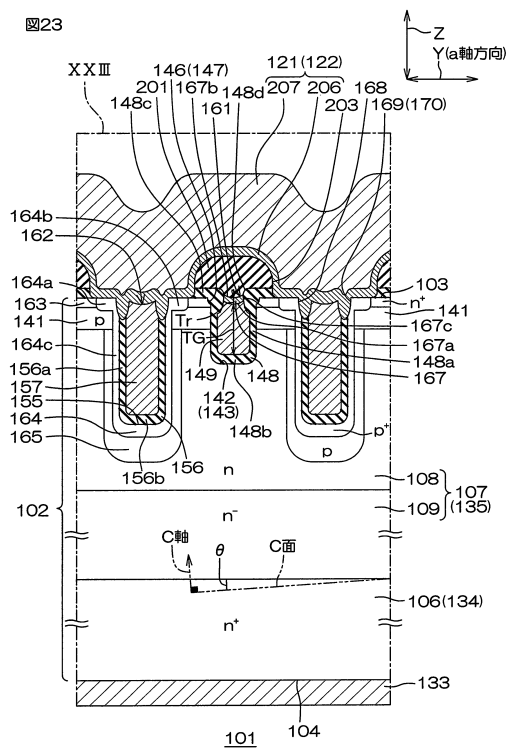
【図 2 1】



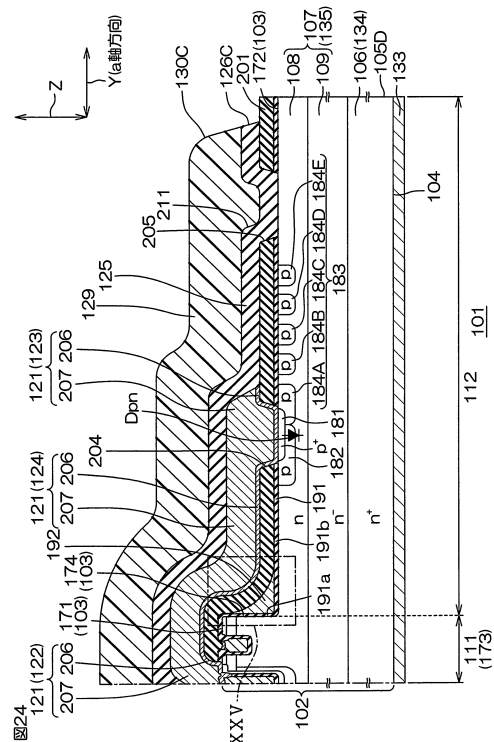
【図 2 2】



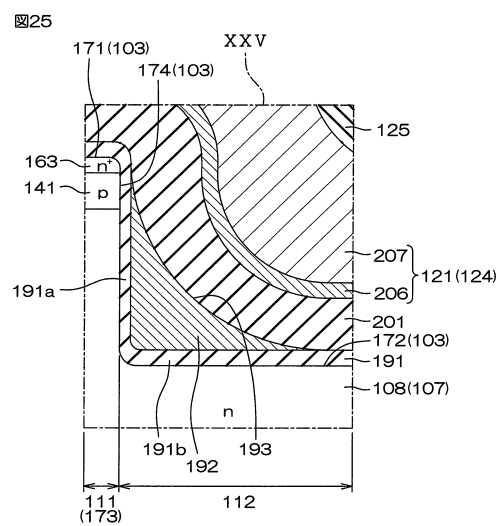
【圖 2 3】



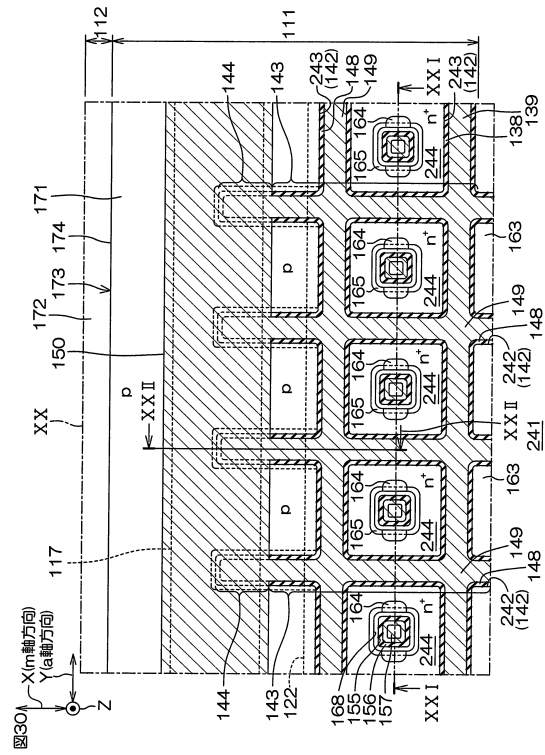
【図 24】



【圖 25】



【図 30】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	29/04 (2006.01)	H 0 1 L	29/91	B
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/91	F
H 0 1 L	29/12 (2006.01)	H 0 1 L	29/04	
H 0 1 L	29/739 (2006.01)	H 0 1 L	29/78	6 5 2 F
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 5 2 H
H 0 1 L	21/301 (2006.01)	H 0 1 L	29/78	6 5 2 J
		H 0 1 L	29/78	6 5 2 K
		H 0 1 L	29/78	6 5 2 M
		H 0 1 L	29/78	6 5 2 N
		H 0 1 L	29/78	6 5 2 P
		H 0 1 L	29/78	6 5 2 Q
		H 0 1 L	29/78	6 5 2 T
		H 0 1 L	29/78	6 5 3 C
		H 0 1 L	29/78	6 5 5 A
		H 0 1 L	29/78	6 5 7 A
		H 0 1 L	29/78	6 5 8 J
		H 0 1 L	29/06	3 0 1 D
		H 0 1 L	29/06	3 0 1 V
		H 0 1 L	21/78	R
		H 0 1 L	21/78	B

京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

(72)発明者 中澤 成哉

京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

(72)発明者 久津間 保徳

京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

審査官 石塚 健太郎

(56)参考文献

特開 2 0 1 8 - 1 2 5 5 2 0 (J P , A)
 特開 2 0 1 6 - 1 6 3 0 4 9 (J P , A)
 特開 2 0 1 1 - 1 0 0 9 6 7 (J P , A)
 特開 2 0 1 2 - 1 4 6 8 7 8 (J P , A)
 特開 2 0 1 5 - 1 4 6 4 0 6 (J P , A)
 特開 2 0 0 3 - 3 3 8 4 6 8 (J P , A)
 特開 2 0 1 7 - 0 4 1 5 0 2 (J P , A)
 特開 2 0 1 7 - 1 3 0 6 9 6 (J P , A)
 特開 2 0 1 7 - 0 2 8 1 4 5 (J P , A)
 特開 2 0 1 5 - 2 1 6 1 4 0 (J P , A)
 特開 2 0 1 7 - 0 4 1 4 8 2 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 9 / 8 7 2
 H 0 1 L 2 9 / 0 6
 H 0 1 L 2 1 / 3 2 9
 H 0 1 L 2 9 / 8 6 1
 H 0 1 L 2 9 / 0 4
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 1 2
 H 0 1 L 2 9 / 7 3 9
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 3 0 1