

(由本局填寫)	承辦人代碼：
	大類：
	I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號：  有  無 主張優先權

本案在向中華民國申請專利前，未曾向其他國家申請專利。

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝訂線

## 五、發明說明 ( 1 )

### 發明領域

本發明係關於抑制低溫陶瓷燒結收縮之方法，藉由一特定具鑿孔之抑制層的使用，而有效抑制低溫陶瓷燒結之X-Y方向的收縮，但無先前技藝於燒製後所需之移除步驟或影響陶瓷表面平整度之問題，從而減少製程、降低成本，且可製得高品質、多層之陶瓷製品。

### 發明背景

為因應現今電子相關產品對輕、薄、小的需要，互連式電路板製程已成必須。此互連式電路板係為可互相以電性或是機械式連結之電路，或是以極小電路元件所形成之次級系統，通常其可結合不同形式之電路組合緊鄰放置於一互連式電路板中，而達到物理性分離及彼此電性連結，和／或自此電路板中延伸連結之目的。

在互連式電路板中，複雜之電路通常需要將導體分別置放於許多不同的層間，並彼此以介電層分離。而在介電層中連接這些不同層間導體之通路，我們稱之為通孔(via)。透過此多層之構造，可使電路更加緊密，而減小所佔之空間。

於製造多層電路的方法中，美國專利第4,654,095號提供了多層陶瓷模組的製程：其係在一片片未燒結的陶瓷帶狀介電材(ceramic tape dielectrics)表面，以網版印刷上以異質材料如電阻、電容或導體調成的油墨，並以通孔連接上下層電路，於適當溫度與壓力下將層層對位後之陶瓷帶狀介電材黏合，以形成一陶瓷生胚，並藉加熱去

## 五、發明說明( 2 )

除陶瓷帶狀介電材中黏結劑與塑化劑等有機物，而成為一單一結構體，以使所有陶瓷及異質材料燒結緻密。此方法具有許多優點，除可一次完成燒製外，並減少了裝配電子元件的時間與勞力，更可限制電子元件移動而大大減低短路的產生；然另一方面，不同材料因燒結所造成的收縮不盡相同，而難以控制燒製條件，其中X-Y方向燒結的不確定性，將使得在裝配大而複雜的電路時形成錯位。

目前所發展的技術係以Z方向吸收所有的收縮，達到抑制X-Y方向收縮的目的。此等技術如杜邦公司之美國專利第5,085,720號與IBM公司之美國專利第5,130,067號所揭示者，該等專利併於此處，以供參考。

美國專利第5,085,720號，係在陶瓷生胚的最上層及最底層施加一移除層(release layer)形成一「三明治」結構，於脫脂及燒結過程中，視需要在此「三明治」結構表面施用單軸壓力，而陶瓷生胚中因有機物質裂解所產生的氣體則由上下移除層的孔隙逸散。因燒製時，移除層並不收縮，從而產生抑制陶瓷生胚X-Y方向收縮的效果。由於該移除層係全區覆蓋陶瓷生胚，於燒結完後必須加上一道移除步驟，方能在陶瓷帶狀介電材的表層進行印刷及燒製導體、電阻、電容，此將提高製作成本。此外，包含於移除層內之無機黏結劑對陶瓷生胚的穿透距離、接觸角度及其黏度、孔隙度與孔徑大小，皆會於去除移除層過程中影響陶瓷表面，使電路不易均勻地印刷於其上，造成產品不良。另，由於該移除層係加於陶瓷生胚最上層及最底

裝  
訂  
線

## 五、發明說明（ 3 ）

層，於製造高層數（例如，大於6層）的產品時，整體應力不平均（即，上下層與中間層之應力會有實質上的差異），而無法抑制中間層數的陶瓷帶狀介電材收縮。

美國專利第5,130,067號案揭示了三種抑制陶瓷生胚X-Y方向收縮的方法。第一種方法係於陶瓷生胚外緣施加抑制，並提供燒結時氣體蒸發及氧氣進入之通道；第二種方法係於整個陶瓷生胚表面使用一多孔板或施予氣墊力(air-bearing force)以提供一共延伸力；第三種方法則為在燒製過程中提供一由不燒結或不收縮之多孔性接觸板所形成之摩擦力，以抑制陶瓷生胚的收縮。此接觸板材料係選自可在燒製時維持多孔性、不與陶瓷帶狀介電材結合並為熱穩定之材料，俾使燒製時不收縮或延展，以保持結構完整性及剛性，故此接觸板在燒結時仍可維持其二維結構並抑制陶瓷生胚之收縮，於燒結後再利用不傷害陶瓷表面之拋光、刮磨等方法去除此接觸板。此發明之第一種方法為利用夾具產生的力量，而抑制燒結時產生的收縮，但因荷重壓力分佈不均勻，易導致陶瓷結構收縮，進而影響導線形狀及陶瓷表面平坦度，而降低品質，第二及第三種方法則需於燒製後另加上一道移除之步驟，而提高製作成本且會影響陶瓷平面之平整度。

為了解決上述問題，本發明係開發一種新穎抑制低溫陶瓷燒結收縮之方法，以期節省成本並提高產品品質。

### 發明概述

因此，本發明係關於一種抑制低溫陶瓷燒結收縮之方

裝  
訂  
線

## 五、發明說明( 4 )

法，其包含堆疊一抑制層於一介電層上而形成一陶瓷生胚，以抑制該介電層之收縮，其中該介電層上印刷有異質材料之及／或放置有導體、電阻、電容及其類似物，其特徵在於該抑制層係具有與該介電層上之異質材料及／或放置導體、電阻、電容及其類似物位置相對應之鑿孔，使該等異質材料及／或導體、電阻、電容及其類似物於介電層與抑制層堆疊時不會被抑制層覆蓋，其中，抑制層之最小邊長為 $L$ ，各鑿孔之外接圓半徑為 $c$ ，相鄰外接圓之間距為 $a$ ，最外圍鑿孔與抑制層之邊緣距離為 $b$ ， $c < 0.5L$ ， $a > 0.1c$ ， $b > 0.1c$ 。

本發明另關於一種抑制低溫陶瓷燒結收縮之方法，其包含堆疊一抑制層於一介電層上而形成一陶瓷生胚，以抑制該介電層之收縮，其中該介電層上印刷有異質材料及／或放置有導體、電阻、電容及其類似物，該抑制層則具有與該介電層上所印刷之異質材料及／或放置導體、電阻、電容及其類似物位置相對應之鑿孔，且該介電層及／或抑制層中含有黏結玻璃，或於介電層與抑制層間另施用一黏結玻璃層。

本發明又關於一種抑制低溫陶瓷燒結收縮之方法，其包含堆疊一抑制層於一介電層上而形成一陶瓷生胚，以抑制該介電層之收縮，其中該介電層上印刷有異質材料，該抑制層係具有與該介電層上所印刷之異質材料及／或放置導體、電阻、電容及其類似物位置相對應之鑿孔，且於堆疊介電層與抑制層後，於燒製時，另施予一Z軸之壓力。

裝  
訂  
線

## 五、發明說明 ( 5 )

本發明再關於一種抑制層，其係用於堆疊於一介電層上而形成一陶瓷生胚，以抑制該介電層之收縮，其中該介電層上印刷有異質材料及/或放置有導體、電阻、電容及其類似物，該抑制層則具有與該介電層上之異質材料及/或放置導體、電阻、電容及其類似物位置相對應之鑿孔，使該等異質材料及/或導體、電阻、電容及其類似物於介電層與抑制層堆疊時不會被抑制層覆蓋，其中，抑制層之最小邊長為 $L$ ，各鑿孔之外接圓半徑為 $c$ ，相鄰外接圓之間距為 $a$ ，最外圍鑿孔與抑制層之邊緣距離為 $b$ ， $c < 0.5L$ ， $a > 0.1c$ ， $b > 0.1c$ 。

### 圖式簡要說明

本發明將以下列圖示進一步說明，其中

圖1表示施用於本發明抑制層之一具體實施例的示意圖，其中， $L$ 為抑制層之最小邊長， $c$ 為抑制層之鑿孔的外接圓半徑， $a$ 為相鄰外接圓之間距， $b$ 為最外圍鑿孔與抑制層邊緣之距離；

圖2表示高溫燒結抑制層及低溫陶瓷材料之溫度-收縮率圖；及

圖3表示低溫燒結抑制層及低溫陶瓷材料之溫度-收縮率圖。

### 發明詳細說明

本發明係提供一種抑制低溫陶瓷燒結時X-Y方向收縮之方法，其較佳應用在於與導體、電阻等元件之導電金屬裝配成之多層陶瓷電路上。本發明可降低陶瓷結構上的不確

## 五、發明說明( 6 )

定性以防止結構形變所形成之錯位。

本發明之介電層係為一混合物，其包含分散於可蒸發之聚合黏結劑(polymeric binder)中的細緻且分離之陶瓷固體粒(ceramic solids)與可燒結之無機黏結劑(inorganic binder)。在燒製過程中，聚合黏結劑加熱至一足夠溫度而蒸發後，介電層中之無機成分便開始燒結。當燒結時，具特殊多孔質之介電層開始改變其結構，包括粒子大小的增加、孔質形狀、大小與數量的改變，燒結作用通常可減少孔質而使粒子緊實。

本發明包含堆疊一抑制層於一介電層上而形成一陶瓷生胚，以抑制該介電層之收縮，其中該介電層上印刷有異質材料及/或放置有導體、電阻、電容及其類似物，較佳係於該陶瓷生胚之上下兩表面皆堆疊有抑制層成為堆疊體，其特徵在於抑制層上具有與介電層上所網印之異質材料及/或置放導體、電阻或電容之位置相對應的鑿孔。

參考圖1，以打洞方式直接在最小邊長為L之抑制層上形成鑿孔，該鑿孔可為內接於半徑為c之圓內之任何形狀，其中，相鄰兩鑿孔之外接圓間距為a，最外圍鑿孔與抑制層邊緣距離為b， $c < 0.5L$ ， $a > 0.1c$ ， $b > 0.1c$ 。於本發明中，各鑿孔之外接圓半徑可不相同，只要抑制層之鑿孔位置與介電層上所具有之異質材料，及導體、電阻或電容等之位置相對應，而不會於其後之堆疊過程覆蓋該等異質材料及/或導體、電阻、電容及其類似物即可。抑制層厚度( $L_1$ )與夾於兩抑制層間之介電層厚度( $L_2$ )相

裝  
訂  
線

## 五、發明說明 ( 7 )

關，若其比例  $L_2/L_1$  約為 3.1 以下，則可使收縮比例達到約 0.5% 以下。當燒製高層數之產品時，除在整體堆疊體上下施予抑制層外，介電層間可另加入抑制層，使中間層數之介電層亦可保持不收縮特性。施於介電層間之抑制層的厚度係不小於介電層上所印刷之異質材料、導體、電阻或電容等之厚度 ( $L_3$ )，較佳地， $L_1=L_3$ ，以使堆疊體整體結構均勻性更佳。

本發明方法適用於燒製時，施加壓力或於不施加壓力時使用黏結玻璃。本發明可採用業界習用之任一方式進行施壓，以於介電層與抑制層之堆疊體上施予一垂直壓力，其力係足夠大使抑制層與介電層接觸，並使實質上所有的收縮發生於垂直於堆疊體表面之 Z 軸上，故 X-Y 平面之結構不因燒製而有實質上的收縮。本發明亦可採用不施壓力之方式，唯此時則需施用一黏結玻璃。黏結玻璃可以黏結玻璃層之形式施用於介電層與抑制層之間，亦可直接添加於介電層及/或抑制層中。該直接添加使用，可於製造介電層與抑制層時，直接加於材料中，惟需注意其用量不宜高至使抑制層產生收縮，或無法提供所欲黏結效益之程度。舉例言之，當於氧化鋁 ( $Al_2O_3$ ) 抑制層材料中使用硼矽玻璃時，較佳之硼矽玻璃施用量為 1 至 10 重量%。黏結玻璃層之形成則可經由將適當溶劑與玻璃粉粒調配成油墨，再網版印刷於陶瓷生胚或抑制層上，或以直接塗佈、蒸鍍或噴鍍方式加於介電層與抑制層間。當然，亦可於施加壓力時同時施用黏結玻璃(層)。本發明可視實際製程的需要

裝  
訂  
線

## 五、發明說明 ( 8 )

而選用不同黏結玻璃。

本發明方法可適用於生產含或不含經預燒製之耐火基質襯墊的陶瓷電路。該襯墊可為經或未經金屬化的，若經金屬化則可經或未經預燒製。若使用襯墊，則係先將介電層置於襯墊上，再於其上施加抑制層，其後將整個燒製體置於抑制模具或施予壓力而後燒製，若不使用襯墊，則可施加抑制層於介電層上下兩表面。

本發明之方法具有多種優點：(1)因在燒結過程中抑制層於X-Y方向並不收縮，可藉由黏結玻璃之存在或是施加壓力於堆疊體上而達到抑制燒結之特性；(2)於燒製過後，不需去除抑制層，可完全避免習知技術中因移除多孔板或接觸板而影響介電層表面平整度，由本發明揭示方法所燒製之陶瓷製品，表面極為平整，其平整度可達 $R_a < 0.2 \mu m$ ，不但可提高之後製造電容、電阻、覆晶積體電路之尺寸精準度，並節省移除過程之成本；(3)抑制層上之鑿孔可作為陶瓷生胚於燒製過程中氣體逸散的通孔；(4)因該抑制層之隔離，可避免介電層與燒製模具間因相互接觸而造成之污染；(5)因鑿孔之存在，而可於兩介電層間另施用抑制層，藉此製得具高層數陶瓷層之成品；(6)可直接印刷導體及電子元件於介電層上，而燒製成晶片。

### 陶瓷固體粒

適用於本發明介電層中的陶瓷固體粒，不限於特定之物質組合，惟其對於系統中之其他材料不具化學活性且具以

## 五、發明說明( 9 )

下物理特性即可：(1)其燒結溫度比無機黏結劑更高；及(2)其於本發明之燒製步驟中並不燒結。本發明之一較佳實施例中，該陶瓷固體粒為在燒製中不燒結之無機金屬，通常為金屬氧化物。在另一較佳實施例中，高熔點之無機固體可為本發明中之陶瓷固體粒組成，在又一較佳實施例中，具有高軟化點的玻璃可作為陶瓷固體粒。此外，陶瓷固體粒之材料也可視其介電與熱膨脹性質而選擇。因此，符合熱膨脹特性之任何基材混合物皆可成為本發明之陶瓷固體粒。

### 無機黏結劑

本發明所使用之無機黏結劑需相對於本系統中其他材料不具化學活性，且較佳具有下列物理性質：(1)燒結溫度比陶瓷固體粒更低；及(2)在本發明之燒製溫度進行黏度相燒結(*viscous phase sintering*)。適用於本發明之無機黏結劑通常為玻璃，其於燒製條件可為結晶或非結晶型態。

### 聚合黏結劑

聚合黏結劑係使無機黏結劑及陶瓷固體粒散佈其中，亦可視需要於其中加入如塑化劑、抗塞劑、潤濕劑等物質。本發明中適於使用任何於製造低溫陶瓷的聚合黏結劑。

### 介電層

本發明方法所使用之介電層係為由上述陶瓷固體粒、無機黏結劑、與聚合黏結劑之低介電材料系統所製得，包含玻璃與陶瓷系統及玻璃-陶瓷系統。

## 五、發明說明 ( 10 )

玻璃與陶瓷系統中陶瓷之主要成分係為氧化鋁( $\text{Al}_2\text{O}_3$ )，為降低氧化鋁之燒結溫度，與維持系統之高頻特性而添加之玻璃成分，通常包含 $\text{K}_2\text{O}$ 、 $\text{B}_2\text{O}_3$ 、 $\text{SiO}_2$ 、 $\text{CaO}$ 、 $\text{BaO}$ 、 $\text{SrO}$ 或 $\text{V}_2\text{O}_5$ 。

玻璃-陶瓷系統之主要成分為 $\text{Mg-AlSi}$ 與 $\text{Ca-AlSi}$ 系列材料，其係將原玻璃中之非晶體，藉由加溫過程而產生出部分之陶瓷結晶所得。

### 抑制層

抑制層之材料為任何可防止介電層於燒結過程收縮之材料，其包含：

(1) 高溫燒結抑制層：參看圖 2，其包含高溫燒結的陶瓷薄帶，如氧化鋁(燒結溫度 $> 1400^\circ\text{C}$ )。一般低介電常數低溫陶瓷材料燒結溫度約在 $900^\circ\text{C}$ 附近，當該等低溫玻璃陶瓷材料開始燒結時，因該高溫燒結抑制層尚未到達其燒結溫度，故本身並不收縮。此係利用該高溫燒結抑制層於 $900^\circ\text{C}$ 燒結時 X-Y 方向不收縮之特性，以抑制低介電常數低溫陶瓷材料 X-Y 方向之收縮。該等高溫燒結抑制層之材料舉例言之，如美國專利第 5,085,720 號中之移除層，該移除層係將非金屬無機細緻粒分散於可蒸發之有機基質中。惟其應用於本發明時，不需考慮無機黏結劑之穿透及接觸角度，更不需考慮之後之移除步驟；亦可採用美國專利第 5,130,067 號中之接觸板材料，如鋁、玻璃、未

裝  
訂  
線

## 五、發明說明 ( 11 )

結晶之玻璃/陶瓷之孔質生板；

(2) 低溫燒結抑制層：參看圖 3，不同於(1)之高溫燒結抑制層，該低溫燒結抑制層係藉由強燒結助劑的添加，使其燒結溫度降低，故當低介電常數低溫玻璃陶瓷材料開始燒結收縮前，該低溫收縮抑制層即已完成燒結。當低溫收縮抑制層開始燒結時，由於該低介電常數低溫陶瓷材料在此溫度區間並不收縮，可扮演如(1)中之高溫燒結抑制層的角色，以抑制該低溫燒結抑制層材料燒結時 X-Y 方向的收縮；而當溫度升高到低介電常數低溫陶瓷材料開始收縮時，此時已完成燒結的低溫燒結抑制層已不再收縮，即可抑制低介電常數低溫陶瓷材料之收縮，而可達到 X-Y 方向不收縮的目的。舉例言之，當使用氧化鋁抑制層作為該低溫收縮抑制層時，該強燒結助劑可為氧化釩或其他物質，在一較佳實施例中，氧化釩之施用量為 1 至 10 重量%。

抑制層之材料較佳為孔質，除原具有之鑿孔可提供陶瓷生胚於燒製時之揮發通孔外，氣體亦可藉由孔質逸散。由於抑制層於燒結時本身不收縮，藉由燒結時於抑制層與介電層間形成的黏結玻璃之黏結或經由加壓方式，達到抑制介電層於 X-Y 方向不收縮的效果。

### 黏結玻璃

於本發明方法中，可視需要於介電層與抑制層間添加黏

裝  
訂  
線

## 五、發明說明 ( 12 )

結玻璃，以進一步結合此二者，較佳係於具鑿孔之抑制層上施用黏結玻璃，再將抑制層施用於介電層上，如此，除可節省黏結玻璃用量外，黏結玻璃亦不會觸及介電層上之異質材料、導體、電阻、電容等部位。因此，故對本發明而言，該黏結玻璃是否會與介電層或抑制層反應並不重要。在燒結過程中，黏結玻璃有部份融解而擴散到該介電層中，而使抑制層及介電層兩種材料黏結一起。

### 方法

一般而言，可如下施用本發明之抑制低溫陶瓷燒結收縮之方法：

- (a) 提供一介電層及一抑制層，其係將原料填充至滾磨桶內，添加水於桶中並維持固體含量約60至約70重量%，藉由滾磨作用使其平均粒徑為約0.9至約 $0.7\mu m$ ，進一步添加有機黏著劑(如PVA)、塑化劑(如PEG)，再利用刮刀成型製成介電層或抑制層；
- (b1) 於最小邊長為L之抑制層上鑿孔，使鑿孔之外接圓半徑不大於c，其中，相鄰外接圓之間距為a，最外圍鑿孔與抑制層邊緣距離為b， $c < 0.5L$ ， $a > 0.1c$ ， $b > 0.1c$ ；
- (b2) 在該介電層表面以網版印刷方式，印上已經調成油墨的異質材料及/或視需要在表層加入導體、電阻或電容；包括在介電層印刷填入導體、將所設計之電路圖案印刷於該介電層上、以及加上電阻

裝  
訂  
線

## 五、發明說明 ( 13 )

或電容於介電層表面，其中，該抑制層之鑿孔位置係與介電層上所印刷之異質材料、導體、電阻或電容等之位置相對應，使該等導體、電路圖案、電阻或電容不會於隨後之堆疊過程被抑制層覆蓋；

- (c) 在介電層表面上印刷任何異質材料、導體、電阻或電容等之位置或該抑制層表面以網版印刷、直接塗佈、噴鍍、或蒸鍍方式施予一黏結玻璃層；
- (d) 堆疊該介電層與抑制層成為一堆疊體，堆疊方式可為抑制層—(單層或多層)介電層—抑制層—(單層或多層)介電層—抑制層之交錯方式，其中，介電層最多佔全體陶瓷生胚之約40至約60%，可強化抑制燒結收縮的效果，並可使整體結構均勻性增加，並使燒結的層數不受限制。於製作多層陶瓷電路時，最上或/及最底層介電層亦可堆疊一表面不具任何異質材料、導體、電阻或電容等之介電層作為覆蓋層，再加上抑制層；
- (e) 於堆疊體上施以一Z軸之壓力；
- (f) 於足夠溫度與時間下燒製，俾使介電層之聚合黏結劑蒸發並燒結介電層中之無機黏結劑，舉例言之，可於約300至約350°C進行約24至約38小時加熱以去除無機黏結劑，再於約850至約920°C進行約30分鐘至約4小時燒結，視需要；
- (g) 冷卻燒製體；視需要

裝  
訂  
線

## 五、發明說明 ( 14 )

(h) 在該介電層外表面以網版印刷方式，印上已經調成油墨的電阻、電容；及視需要

(i) 直接依印刷電路圖案裁切；

其中步驟(c)與(e)係可擇一或同時施予。

本發明製得之陶瓷可再鍍上鎳/錫電鍍層。並將完成後之模組，在其上層放置所需之積體電路、MLCC、Resistor SMD，並同時測定良率。

茲以下列實例予以詳細說明本發明，惟並不意味本發明僅侷限於此等實例所揭示之內容。

#### 實例 1

將介電層材料Ca-AlSi或抑制層材料氧化鋁及硼矽玻璃原料填充至滾磨桶內，添加水於桶中並維持固體含量約65wt%，藉由2mm YTZ球之滾磨作用使其平均粒徑為約 $0.8\mu m$ 。進一步添加有機黏著劑(PVA)、塑化劑(PEG)利用刮刀成型製成厚度為約 $80\mu m$ 之介電層及厚度為 $L_1$ 之抑制層。本實施例中，抑制層上的鑿孔係以打洞方式直接形成鑿孔，鑿孔之位置係為印刷電極之部分，每個鑿孔為1公分×1公分之正方形，每個鑿孔間之距離為0.65公分，且最外圍鑿孔與抑制層邊緣之距離為1.2公分。

將所設計之電路圖案印刷於該介電層上成為電極層。將上述已印刷之介電層與抑制層對位熱壓，堆疊方式為抑制層-多層介電層-抑制層，其中，中間介電層之總厚度為 $L_2$ 。

本發明方法所使用之燒製條件為於約300°C進行約24至

## 五、發明說明 ( 15 )

約38小時加熱以去除無機黏結劑，再於約880°C進行約30分鐘燒結，關去爐火冷卻，燒結後之熟胚可直接依印刷電路圖案裁切。

依不同之 $L_2$ 與 $L_1$ 於室溫時量測陶瓷產品X-Y方向收縮之結果如下表1所示：

表 1

$L_2 / L_1$	X - Y 方向收縮率 (%)
0 . 0	0 . 1
3 . 1	0 . 5
4 . 4	0 . 8
4 . 8	1 . 0
6 . 4	1 . 6
6 . 6	1 . 4
11 . 0	3 . 8

### 實例 2

其製作方法與實例1相似，製得厚度為約300 μm之介電層及厚度分別為約145 μm及約10 μm之抑制層。

將上述介電層與抑制層對位堆疊，堆疊方式為抑制層(145 μm)-(m+1)層介電層與m層抑制層(10 μm)交疊-介電層-抑制層(145 μm)。

依不同之m值於室溫時量測陶瓷產品X-Y方向收縮之結果如下表2所示：

裝  
訂  
線

## 五、發明說明 ( 16 )

表 2

m	X-Y 方向收縮率 (%)
0	1.84
1	1.77
2	1.69

實例 3

其製作方法與實例 1 相似，製得厚度為約  $800 \mu m$  之介電層及厚度為約  $250 \mu m$  之抑制層，其中抑制層中含 n % 之硼矽玻璃。

依不同之 n 值於室溫時量測陶瓷產品 X-Y 方向收縮之結果如下表 3 所示：

表 3

n	X-Y 方向收縮率 (%)
0	0.68
2	0.28
4	0.36
6	0.48

上述實施例僅為說明本創作之原理及其功效，而非限制本創作。因此，習於此技術之人士對上述實施例所做之修改及變化仍不違背本創作之精神。本創作之權利範圍應如後述之申請專利範圍所列。

## 六、申請專利範圍

制層材料包含  $\text{Al}_2\text{O}_3$ 。

9. 根據申請專利範圍第 1 項之方法，其中該抑制層為燒結溫度低於該介電層之低溫燒結抑制層。
10. 根據申請專利範圍第 9 項之方法，其中該低溫燒結抑制層材料包含 1 至 10 重量% 之可降低抑制層燒結溫度之強燒結助劑，其餘為氧化鋁抑制層材料。
11. 根據申請專利範圍第 10 項之方法，其中該強燒結助劑為氧化鉑。
12. 根據申請專利範圍第 1 項之方法，其係於該介電層下方施加該抑制層。
13. 根據申請專利範圍第 12 項之方法，其中於二抑制層間之介電層總厚度( $L_2$ )與抑制層厚度( $L_1$ )之比值( $L_2/L_1$ )係小於 3.5。
14. 根據申請專利範圍第 12 項之方法，其中最上層及最下層之具異質材料之該介電層與該抑制層間包含一不具異質材料之介電層。
15. 根據申請專利範圍第 1 項之方法，其中於堆疊介電層與抑制層後，於燒製時，另於其上方施予一 Z 軸之壓力。
16. 根據申請專利範圍第 1 項之方法，其中介電層與抑制層係以抑制層—(單層或多層介電層—抑制層—單層或多層介電層)<sub>n</sub>—抑制層之交錯方式堆疊，其中 n 為整數。
17. 根據申請專利範圍第 1 項之方法，其中抑制層之厚度

## 六、申請專利範圍

( $L_1$ )係不 小 於 介 電 層 上 方 所 印 刷 之 異 質 材 料 、 導 體 、 電 路 或 電 容 等 之 厚 度 ( $L_3$ )。

18. 根據申請專利範圍第 17 項之方法，其中  $L_1 = L_3$ 。
19. 根據申請專利範圍第 1 項之方法，其中介電層佔全體陶瓷生胚之 40 至 60%。
20. 一種抑制層，其係用於堆疊於一介電層上而形成一陶瓷生胚，以抑制該介電層之收縮，其中該介電層上印刷有異質材料及 / 或放置有導體、電阻、電容及其類似物，其特徵在於該抑制層係具有與該介電層上之異質材料及 / 或放置導體、電阻、電容及其類似物位置相對應之鑿孔，使該等異質材料及 / 或導體、電阻、電容及其類似物於介電層與抑制層堆疊時不會被抑制層覆蓋，其中，抑制層之最小邊長為  $L$ ，各鑿孔之外接圓半徑為  $c$ ，相鄰外接圓之間距為  $a$ ，最外圍鑿孔與抑制層之邊緣距離為  $b$ ， $c < 0.5L$ ， $a > 0.1c$ ， $b > 0.1c$ 。

公 告 本

申請日期	91-03-07
案 號	091104260
類 別	C04B 33/32

修正替換頁  
92年 7月 30日

(92年 7月)

(以上各欄由本局填註)

發明  
新型 專利說明書

587067

一、發明 新型 名稱	中 文	抑制低溫陶瓷燒結收縮之方法及抑制層
	英 文	METHOD FOR REDUCING SHRINKAGE DURING SINTERING LOW-TEMPERATURE CERAMIC AND CONSTRAIN LAYER
二、發明 創作 人	姓 名	1. 李文熙 Wen-Hsi Lee 2. 蘇哲儀 Che-Yi Su 3. 李俊德 Chun-Te Lee 4. 饒瑞珠 Jui-Chu Jao
	國 籍	中華民國 R.O.C. (1-4)
	住、居所	1. 高雄市左營區新上街 19-2 號 19-2, SHIN-SHANG STREET, TZUOO-YING DISTRICT, KAOHSIUNG, TAIWAN, R.O.C. 2. 高雄市三民區陽明路 207 巷 76 號 76, LANE 207, YANG-MING ROAD, SAN-MIN DISTRICT, KAOHSIUNG, TAIWAN, R.O.C. 3. 台南市小東路 240 之 2 號 240-2, SHEAU-DONG ROAD, TAINAN, TAIWAN, R.O.C. 4. 新竹市光復路一段 354 巷 16 弄 2 號 6 樓 6F, 2, ALLEY 16, LANE 354, SECTION 1, GUANG-FUH ROAD, HSINCHU, TAIWAN, R.O.C.
三、申請人	姓 名 (名稱)	國巨股份有限公司 Yageo Corporation
	國 籍	中華民國 R.O.C.
	住、居所 (事務所)	高雄市 811 楠梓加工出口區西三街 16 號 No. 16, West 3rd Street, N.E.P.Z. Kaohsiung, Taiwan, R.O.C.
代表人 姓 名	陳木元 Wood Chen	

修正替換本

91年7月18日

A5

B5

## 四、中文發明摘要（發明之名稱：

抑制低溫陶瓷燒結收縮之方法及抑制層

本發明主要係關於一種抑制低溫陶瓷燒結收縮之方法，其包含堆疊一抑制層於一介電層上而形成一陶瓷生胚，以抑制該介電層之收縮，其中該介電層上印刷有異質材料及/或放置有導體、電阻、電容及其類似物，其特徵在於該抑制層係具有與該介電層上之異質材料及/或放置導體、電阻、電容及其類似物位置相對應之鑿孔，使該等異質材料及/或導體、電阻、電容及其類似物於介電層與抑制層堆疊時不會被抑制層覆蓋，其中，抑制層之最小邊長為L，各鑿孔之外接圓半徑為c，相鄰外接圓之間距為a，最外圍鑿孔與抑制層之邊緣距離為b， $c < 0.5L$ ， $a > 0.1c$ ， $b > 0.1c$ 。

英文發明摘要（發明之名稱：METHOD FOR REDUCING SHRINKAGE DURING SINTERING LOW TEMPERATURE CERAMIC AND CONSTRAIN LAYER )

The present invention mainly relates to a method for reducing X-Y shrinkage during sintering low temperature ceramic comprising piling a constrain layer above a dielectric layer to form a green ceramic body to reduce shrinkage of the dielectric layer, and wherein the dielectric layer is printed with heterogeneous materials and/or disposed conductors, resistors, capacitors and the like. The invention is characterized in that the constrain layer comprises windows in positions complying to the heterogeneous materials printed and/or conductors, resistors, capacitors and the like disposed on the dielectric layer to make the heterogeneous materials and/or conductors, resistors, capacitors and the like not be covered when piling the constrain layer and the dielectric layer; wherein a shortest length of the constrain layer is L; a radius of a circumscribed circle of each window is c; a distance between the adjacent circumscribed circles is a; a distance between the most outside window and an edge of the constrain layer is b,  $c < 0.5L$  ,  $a > 0.1c$  ,  $b > 0.1c$ .

A8	B8	C8	D8
91 7 18 修正			
年月日		補充	
審委會		日月年	
修正			

## 六、申請專利範圍

1. 一種抑制陶瓷燒結收縮之方法，其包含堆疊一抑制層於一介電層上而形成一陶瓷生胚，以抑制該介電層之收縮，其中該介電層上印刷有異質材料及／或放置有導體、電阻、電容及其類似物，其特徵在於抑制層係具有與該介電層上之異質材料及／或放置導體、電阻、電容及其類似物位置相對應之鑿孔，使該等異質材料及／或導體、電阻、電容及其類似物於介電層與抑制層堆疊時不會被抑制層覆蓋，其中，抑制層之最小邊長為L，各鑿孔之外接圓半徑為c，相鄰外接圓之間距為a，最外圍鑿孔與抑制層之邊緣距離為b， $c < 0.5 L$ ， $a > 0.1 c$ ， $b > 0.1 c$ 。
2. 根據申請專利範圍第1項之方法，其中於介電層與抑制層間另施用一黏結玻璃層。
3. 根據申請專利範圍第2項之方法，其中該黏結玻璃包含硼矽玻璃。
4. 根據申請專利範圍第1項之方法，其中係於該介電層及／或抑制層中含有黏結玻璃。
5. 根據申請專利範圍第4項之方法，其中該抑制層包含1至10重量%之黏結玻璃。
6. 根據申請專利範圍第4項之方法，其中該抑制層包含1至6重量%之黏結玻璃。
7. 根據申請專利範圍第1項之方法，其中該抑制層為燒結溫度高於該介電層之高溫燒結抑制層。
8. 根據申請專利範圍第7項之方法，其中該高溫燒結抑

## 補充、修正後無劃線之圖式

圖式

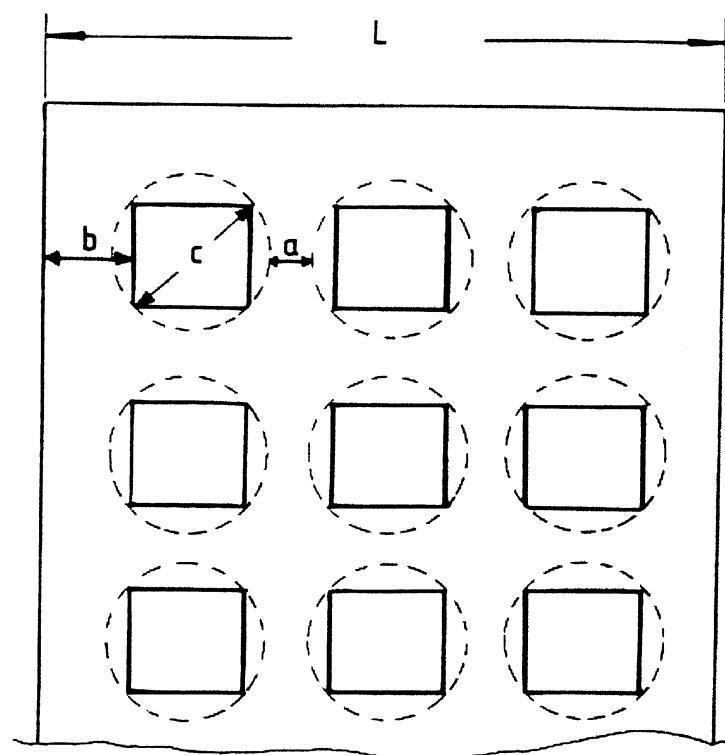


圖 1

圖式

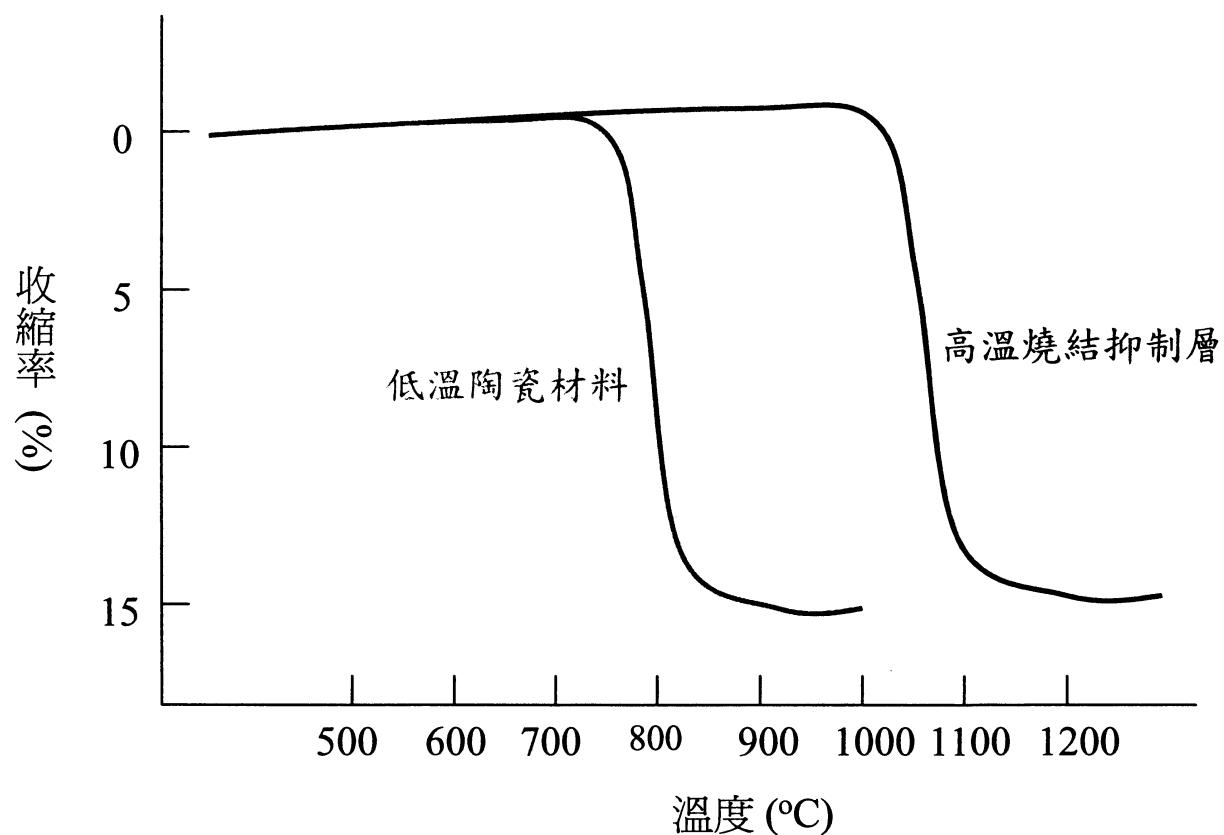


圖 2

圖式

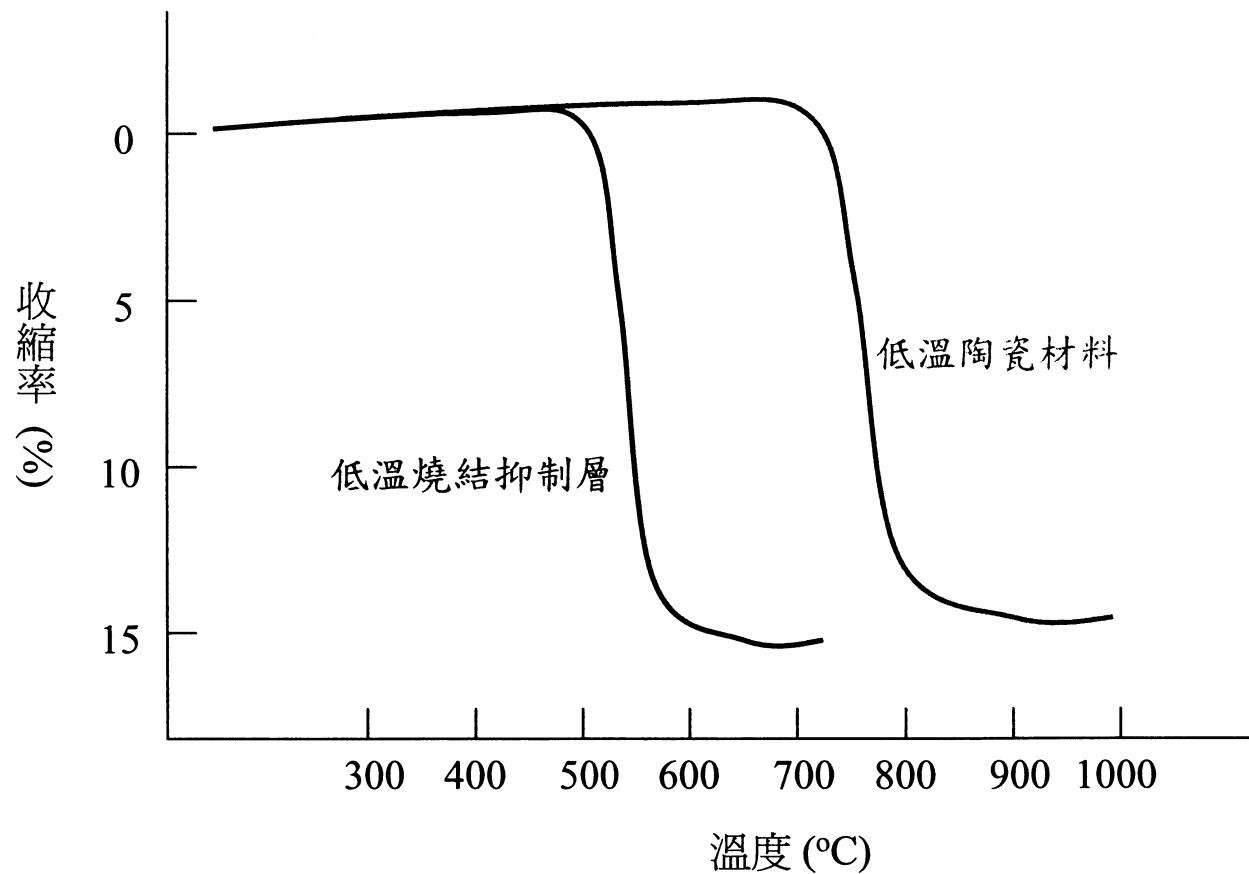


圖 3