

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3841456号
(P3841456)

(45) 発行日 平成18年11月1日(2006.11.1)

(24) 登録日 平成18年8月18日(2006.8.18)

(51) Int. Cl.		F I		
H03L	7/099	(2006.01)	H03L	7/08
H03K	3/03	(2006.01)	H03K	3/03

請求項の数 5 (全 20 頁)

(21) 出願番号	特願平6-307912	(73) 特許権者	592028190
(22) 出願日	平成6年12月12日(1994.12.12)		テキサス インストゥルメンツ ドイツェラ
(65) 公開番号	特開平7-283723		ンド ゲゼルシャフト ミット ベシュレ
(43) 公開日	平成7年10月27日(1995.10.27)		ンクテル ハフツング
審査請求日	平成13年12月10日(2001.12.10)		ドイツ連邦共和国フライジング ハゲルテ
(31) 優先権主張番号	P4342266 7		イシュトラーセ 1
(32) 優先日	平成5年12月10日(1993.12.10)	(74) 代理人	100066692
(33) 優先権主張国	ドイツ(DE)		弁理士 浅村 皓
		(74) 代理人	100072040
			弁理士 浅村 肇
		(74) 代理人	100091339
			弁理士 清水 邦明
		(74) 代理人	100094673
			弁理士 林 拓三

最終頁に続く

(54) 【発明の名称】 クロック発生器及びこの発生器内に使用される位相比較器

(57) 【特許請求の範囲】

【請求項1】

基準クロック信号を発生する基準発振器と、
基準クロック信号を受け取る基準入力と、フィードバック信号を受け取るフィードバック入力と、計数方向を指示する比較器信号を発生する出力とを有するデジタル位相比較器と、

前記比較器信号の方向に応答して遅延線長制御信号を発生するデジタル昇降計数器と、その長さが前記遅延線長制御信号によって決定されるデジタル閉遅延連鎖を含み、前記比較器信号に応答して出力発振器信号を発生する調節可能発振器と、

デジタルプログラマブル分周器を含み、前記調節可能発振器に応答して前記出力発振器信号を分周し、前記位相比較器のフィードバック入力へのフィードバック信号を発生する分周器と、

前記遅延連鎖の出力信号によってクロック駆動される計数器を含み、該計数器の計数が前記昇降計数器の出力信号の複数の最下位側ビットの値と組み合わせられており、この組み合わせから前記遅延連鎖の長さを1ステップ変えるかどうかを決定し、一方、前記昇降計数器の残りの最上位側ビットが前記遅延連鎖を直接アドレス指定する、補間論理回路と

を含むクロック発生器。

【請求項2】

前記遅延連鎖は直列接続された複数の遅延素子を含み、該遅延素子の各々が順方向イン

10

20

バータと、前記遅延連鎖の長さの調整に作用するループインバータと共に復帰インバータを含む請求項 1 に記載のクロック発生器。

【請求項 3】

前記遅延素子(24, 26)は制御入力(E, N)を有し、該制御入力を經由して前記遅延素子の前記順方向インバータ(28)及び前記遅延素子の前記復帰インバータ(30)又は前記遅延素子のループインバータ(32)が活性化され得るか又は相当する前記遅延素子(24, 26)がリセットされ得ることを特徴とした請求項 2 に記載のクロック発生器。

【請求項 4】

前記制御入力(E, N)を經由しての前記遅延連鎖(12)のアドレス指定は一度に 1 つのみのループインバータ(32)が活性化されるように行われることを特徴とした請求項 3 に記載のクロック発生器。

【請求項 5】

前記遅延連鎖は、遅延素子の出力がリセット条件において論理が 0 である第 1 種の複数の遅延素子と、遅延素子の出力がリセット条件において論理が 1 である第 2 種の複数の遅延素子とを有し、前記第 1 種及び第 2 種の遅延素子が交互に配置されたことを特徴とした請求項 2 に記載のクロック発生器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、特許請求の範囲の請求項 1 の前文に明記された種類のクロック発生器に関し、またこのようなクロック発生器内に使用される本明細書末尾に開示する第 15 項前文によるデジタル位相比較器に関する。

【0002】

上述の種類の従来クロック発生器にあっては、電圧制御発振器が、概して、調節可能発振器として具備され、加えて、低域通過フィルタが電圧制御発振器と位相比較との間に接続される。立ち代わって、電圧制御発振器の出力は、位相ロックループ(以下、PLLと称する)を達成するために位相比較器の入力に帰還される。

【0003】

【発明が解決しようとする課題】

この関係における欠点は、特に、極めて多数の外部構成要素が必要とされることである。加えて、位相検出器、低域通過フィルタ、及び電圧制御発振器のような採用アナログ機能ユニットが比較的複雑な構成配置を有する。結論として、このようなアナログクロック発生器の電流消費が、また、高づく。

【0004】

【課題を解決するための手段】

本発明の目的は、その簡単な構成配置及び比較的低電流消費にもかかわらず信頼性動作を保証し、各場合において周波数の多かれ少なかれ正確調節を可能とするクロック発生器を上述の種類の適当な位相比較器と一緒にして創作することにある。

【0005】

この目的は、デジタル遅延連鎖(delay chain)である調節可能発振器、デジタルプログラマブル分周器である分周器によって、及び位相比較器の出力と遅延連鎖との間にデジタル昇降計数器を接続することによって達成され、この昇降計数器の計数方向は位相比較器の出力信号によって決定され、かつこの計数器によって遅延連鎖の相当する長さが調節可能である。

【0006】

この構成配置に基づいて、基準周波数を発生する水晶発振子は別として外部構成要素を必要とすることが達成される。連鎖の区画内の電流制御に必要とされるバイアス発生器は別として、更に他の機能ユニットが具備されることはない。したがって、極めて簡単な手段によって、クロック発生器の実用的な全デジタル集積構造が可能である。

10

20

30

40

50

このようなクロック発生器は、更になお、電源電圧の揺動ばかりでなく温度及び製作公差の変化にも不感応性である。各場合における出力クロック信号は、非常に高い周波数精度で以て調節され得る。本発明による周波数センシングロックループは、極めて高速応答を有する一次系によって達成される。

【0007】

遅延連鎖は、好適には、この遅延連鎖の出力信号によってクロック駆動される二重計数器を含む補間論理回路を当てがわれる。この二重計数器の計数は、昇降計数器の出力信号の或るいくつかの最下位ビットの値と組み合わせられて、各クロックサイクル中に一度に1ステップずつ遅延連鎖の長さの変化の数を、これらの最下位ビットの値の関数として、規定するのに対して、残りの最上位ビットは遅延連鎖を直接アドレス指定する。

10

【0008】

このような補間論理回路によって、遅延連鎖の長さの変化が同じ時間フレーム内に起こると云うことが保証される。

【0009】

本明細書末尾に開示する第3項による遅延連鎖の1実施例において、遅延連鎖の相当する長さ、従って、各場合の周波数は、相当するループインバータを活性化することによって調節することができ、このループインバータは遅延連鎖の順方向路がその復帰路に直接接続される各場合における反転点を規定する。

【0010】

相当するループインバータをアドレス指定することが、例えば、本明細書末尾に開示する第4項に明記されたように制御入力を經由して可能であるから、どの時刻においても遅延連鎖の1つのループインバータのみが活性化されるようにアドレス指定を企てることが良い実行策である。

20

【0011】

機能によって、例えば、電力投入時において(on power up)、規定されるように、遅延素子をリセットすることは、好適には、遅延素子の出力がリセット条件において論理の0である第1種の遅延素子と出力がリセット条件において論理の1である第2種の遅延素子とを交互に有する遅延連鎖によって特に保証される。したがって、遅延連鎖の全ての接続点を、もし要求されるならば、精確規定初期状態へリセットすることができ、選択ループインバータの出力は正しい値を呈するので、その後連鎖の長さに変化を生じせるときに望ましくない信号スパイクが回避される。

30

【0012】

1つの遅延素子から次の遅延素子への最大周波数ステップは、なんととしても1/6を超えてならない。したがって、少なくとも6遅延素子の遅延連鎖を含むことが良い実行策である。

【0013】

これに加えて、連鎖の長さを増大するに当たって挿入された遅延素子は、もっと短い連鎖長に対して必要であるよりも高い遅延を有すると云え、したがって、1つの遅延素子から次の素子への転送のパーセンテージとしての周波数の変化は、一定に維持されると云える。

40

【0014】

遅延素子のインバータは、好適には、電流ミラーを含み、これによって各場合の励振電流(driver current)を問題なく制限することができる。

【0015】

1好適実施例によれば、インバータは、各々p形MOS電界効果トランジスタ(以下、電界効果トランジスタをFETと称する)及びn形FETを、スイッチングトランジスタと直列に接続して含む。この配置において、個々の遅延素子の遅延は、励振電流を規定する電流ミラートランジスタのチャンネル長によって有効に規定され得る。

【0016】

本明細書末尾に開示する第15項の前文に明記された種類の位相比較器は既知であるが、

50

しかしながら、これらは、概して、電圧制御発振器との関連において採用される。これらの従来の位相比較器をデジタルクロック発生器内に使用することは、一連の弱点、例えば、それらの昇出力及び降出力がまた同時に規則的に活性化され、その結果、特にデジタル昇降計数器 (up-down counter) の活性化を少なくとも困難にする。

【0017】

これに対して、特にデジタルクロック発生器内に採用され得る本発明によるデジタル位相比較器は、不活性化出力を、他の出力がリセットされている限り、その不活性状態にロックする手段を含む。

【0018】

この構成配置の結果として、特にデジタル昇降計数器の活性化は実質的に簡単化され、例えば、簡単なRSフリップフロップによってデジタル位相比較器を出力させることがこの目的にとって充分であり、このフリップフロップのセット入力及びリセット入力デジタル位相比較器の2つの出力に接続されることになる。したがって、この出力RSフリップフロップは、1つの出力に単一活性化信号を供給し、この信号が、好適には、本発明によるクロック発生器のデジタル昇降計数器を活性化するように働き、この計数器を経由して調節可能発振器として働く遅延連鎖を制御する。

【0019】

しかしながら、本発明による1つのこのようなデジタル位相比較器が電圧制御発振器と関連してまた採用され得ると云うことも、基本的にその通りである。

【0020】

本発明の他の有利な実施例は、本明細書の末尾に開示する従属項から読み取られ得る。

【0021】

【実施例】

本発明は、付図を参照して実施例について更に詳細にいまから説明される。

【0022】

図1に示された本発明によるデジタルクロック発生器の実施例は、基準発振器10、デジタル閉遅延連鎖 (digital closed delay chain) 12の形をした調節可能リング発振器、デジタルプログラマブル分周器14、及びデジタル位相比較器16を含む。

【0023】

デジタルプログラマブル分周器14は、遅延連鎖12の出力と位相比較器16の1つの入力との間に接続される。基準発振器10の出力は、位相比較器16の他の入力に接続される。昇降計数器18は、位相比較器16の出力に接続される。昇降計数器18の出力は、一端で遅延連鎖12に接続され、他端で補間論理回路20に接続され、この論理回路によって、遅延連鎖12は、この図に書き込まれた矢印で指示されるように昇降計数器18の出力を経由してとちょうど同じに、活性化され得る。

【0024】

遅延連鎖12に当てがわれた補間論理回路20は二重計数器 (dual counter) 22を含み、この計数器は遅延連鎖12の出力信号によってクロック駆動される。二重計数器22の計数は昇降計数器18の出力信号の或るいくつかの最下位ビットの値と組み合わせられるので、それゆえ遅延連鎖の長さの変化の数が、これらの最下位値ビット値の関数として、1つの相当するクロックサイクル中に、各々、1ステップずつ規定される。昇降計数器18の残りの最上位ビットは、下に更に詳細に説明される手段によって遅延連鎖を直接アドレス指定するように働く。

【0025】

設定値周波数を供給する出力クロック信号 T_A は、デジタル分周器14を経由して位相比較器16の入力 V_2 へ帰還される。したがって、補間論理回路20は別として、出力クロック信号 T_A は、また、好適には、昇降計数器18をクロック駆動するために使用される。

【0026】

10

20

30

40

50

図解の実施例において、基準発振器 10 は、32 kHz 水晶発振子を含む。出力クロック信号 T_A は、分周器 14 によって数 32 で除算される。遅延連鎖 12 は、直列接続された 32 の重み付け遅延素子 24、26 を含む（すなわち、また図 2 から図 5）。

【0027】

昇降計数器 18 が 10 ビット計数器であるのに対して、補間論理回路 20 に対して使用される二重計数器 22 は 5 ビット計数器である。したがって、昇降計数器 18 の出力信号の 5 つの最下位ビットが二重計数器 22 の計数と組み合わせられるのに対して、昇降計数器 18 の出力信号の 5 つの最上位ビットは遅延連鎖 12 を直接アドレス指定するのに使用される。

【0028】

図解の一次系の位相比較器 16 においては、基準発振器の出力信号 V_1 は、除数 32 にプリセットされたプログラマブル分周器 14 の出力 V_2 と比較される。この比較の結果に従って、位相比較器 16 は出力信号を供給し、これによって昇降計数器 18 の計数方向が決定される。昇降計数器 18 の計数及び加えて補間論理回路 20 によって供給される制御変数に従って、遅延連鎖 12 がその長さに関して調節されるので、位相比較器 16 によって確立される周波数偏差が零になる。分周器 14 が除数 32 にプリセットされているとき、1 MHz の周波数が出力クロック信号 T_A に対して生じる。

【0029】

図 2 及び図 3 は、遅延素子がリセットされたとき（すなわち、図 2）その出力が論理値 0 を有する第 1 種の遅延素子 24 と、リセットされたときのその出力が論理値 1 を有する第 2 種の遅延素子 26 を交互に含むデジタル閉遅延連鎖 12 の簡単な概略回路図である。図 2 及び図 3 において、リセット条件における遅延素子 24、26 の各結果の出力値は、引用符号内に指示されている。

【0030】

図 2 は、リセット直後の遅延素子 24、26 の状態を示し、これによるとリセット路、すなわち、復帰路 (return path) 44 の端での出力状態は値 0 にちょうど変化しているのに対して、また同時に順方向路 46 の入力に印加されるこの値は順方向路 46 の第 1 インバータの出力における状態に依然として変化を起させようとする。順方向路 46 に沿って、含まれたインバータは、したがって、順方向路に沿って 1 つずつ出力値 0、1、0、1、... を有する。

【0031】

値の順序を走行方向と反対にして、又はその他の順序にして考えるとき、復帰路 44 におけるインバータの出力には相当する値が存在し、各遅延素子 24、26 は順方向の出力及び逆方向の出力を有し、これによって、第 1 遅延素子 24 の 2 つの出力（図 2 の左側に示されている）は値 0 を有し、第 2 遅延素子 26 は出力値 1 を有し、第 3 遅延素子 24 は再び出力値 0 を有し、以下同様である。

【0032】

それぞれ、順方向路 46 及び復帰路 44 の各インバータ 28、30 に後続して、インバータ 32 がはしごの横木の形に順方向路 46 と復帰路 44 との間に接続される。このループインバータ 32 を経由して、遅延連鎖 12 を、下に更に詳細に説明する仕方及び手段によって短くも長くもすることができる。この配置において、一度に 1 つのループインバータ 32 のみが活性化され、その際、各場合において（図 2 及び 3 内右手に示された）遅延連鎖 12 の残りの部分はもはや活性ではなくなる。

【0033】

図 3 は、遅延連鎖 12 の出力がその値を 0 から 1 へ変化した直後、かつ図 3 に示された完全な連鎖が活性化された後の遅延連鎖 12 の状態を示す。したがって、順方向路 46 及び復帰路 44 内のインバータの出力は、交互に、値 1、0、1、0、以下同様を有する。図 3 に示された図解において、連鎖の出力における値 1 は、なお更に順方向路 46 の第 1 インバータの入力に作用し、したがって、このインバータの出力も依然として 1 である。横断方向に指向させられたループインバータ 32 を選択することによって、遅延連鎖を適当

10

20

30

40

50

に短くすることができ、これに従って、その周波数を高めることができる。

【 0 0 3 4 】

図 4 に第 1 種の遅延素子 2 4 の回路図が示されており、これはリセット条件において、2 つの出力 V_A 及び R_A に値 0 を有する。

【 0 0 3 5 】

これに対して、図 5 は第 2 種の遅延素子 2 6 を示し、これの 2 つの出力 V_A 及び R_A はリセット条件において値 0 を有する。

【 0 0 3 6 】

遅延連鎖 1 2 内の第 1 種及び第 2 種の交互配置遅延素子 2 4、2 6 は、順方向インバータ 2 8、復帰インバータ 3 0 ばかりでなく、ループインバータ 3 2 を当てがわれており、ループインバータ 3 2 は、活性化されると、遅延連鎖の相当する長さが調節されるようにする。遅延素子 2 4、2 6 は更に 2 つの制御入力 E、N を含み、これらの各々を経由してこれらの素子の順方向インバータ 2 8 及び復帰インバータ 3 0 又はループインバータ 3 2 を活性化する又は相当する遅延素子 2 4、2 6 をリセットすることができる。この配置において、制御入力 E 及び N を経由しての遅延連鎖 1 2 のアドレス指定は、一度に 1 つのみのループインバータ 3 2 が活性化されるように行われる。これに加え、遅延素子 2 4、2 6 のリセットも各電源印加 (power up) 時に自動的に、最適に実行される。

【 0 0 3 7 】

図 4 に示された第 1 種の遅延素子 2 4 において、順方向インバータは順方向出力 V_A を伴う NOR ゲート 2 8 を含む。復帰出力 (return output) R_A を伴う復帰インバータ 3 0 はインバータ制御入力 IS を有し、これを経由して、制御信号が 0 が印加されるときこのインバータを活性化することができる。ループインバータは NOR ゲート 3 2 を含み、この出力が復帰インバータ 3 0 の出力 R_A に接続される。NOR ゲート 3 2 は非反転制御入力 NS を有し、これを経由してこのゲートを印加制御信号 0 によって活性化することができる。遅延素子 2 4 の順方向入力 V_E は、NOR ゲート 3 2 の入力及び NOR ゲート 2 8 の入力に接続される。NOR ゲート 3 2 の 1 つの他の入力は AND ゲート 4 8 の出力に接続され、この AND ゲートの 2 つの入力は遅延素子 2 4 の制御入力 E 及び制御入力 N にそれぞれ接続される。制御入力 E は、なお、NOR ゲート 2 8 の他の入力に接続される。これに加えて、他の制御入力 E は復帰インバータ 3 0 の反転制御入力 IS 及び NOR ゲート 3 2 の非反転制御入力 NS の両方に接続される。

【 0 0 3 8 】

第 1 種の遅延素子 2 4 の機能は、次の真理値表から明白である。

【 0 0 3 9 】

【表 1】

E	N	V_A	R_A
0	1	$\sim V_E$	$\sim R_E$
1	0	0	$\sim V_E$
1	1	0	0

【 0 0 4 0 】

この表は、両制御入力 E、N が値 1 を有するとき、遅延素子 2 4 の 2 つの出力 V_A 及び R_A が値 0 にリセットされることを指示する。

【 0 0 4 1 】

一方で制御入力 E が値 0 を呈しかつ制御入力 N が値 1 を呈するとき、順方向インバータ 2 8 及び復帰インバータ 3 0 は活性化されるのに対して、ループインバータ 3 2 は不活性化される。したがって、順方向入力 V_E の反転値 $\sim V_E$ が順方向出力 V_A に現れ、反転値 R_E が復帰出力 R_A に現れる。

【 0 0 4 2 】

制御入力 E が値 1 を有し及び制御入力 N が値 0 を有するとき、ループインバータ 3 2 は活性化される。この場合において、順方向出力 V_A の値は 0 に等しいのに対して、復帰出力

10

20

30

40

50

R_A の値は順方向入力 V_E の反転値 \bar{V}_E に等しい。この場合、遅延連鎖 1 2 の長さは、この遅延素子のループインバータ 3 2 によって決定される。残りのループインバータは、不活性化されたのままである。

【 0 0 4 3 】

図 5 に示された第 2 種の遅延素子 2 6 において、順方向インバータは NAND ゲート 2 8 を含み、ループインバータは NAND ゲート 3 2 を含む。NAND ゲート 3 2 の反転制御入力 I_S は復帰インバータ 3 0 の非反転制御入力 N_S と一括されて遅延素子 2 6 の制御入力 N に接続される。制御入力 N は更に NAND ゲート 2 8 の入力及び OR ゲート 5 0 の入力に接続され、ゲート 5 0 は他の入力を遅延素子 2 6 の制御入力 E に接続される。OR ゲート 5 0 の出力は NAND ゲート 3 2 の入力に接続され、ゲート 3 2 は他の入力を有しこれに遅延素子 2 6 の順方向入力 V_E が接続される。遅延素子 2 6 の順方向入力 V_E に、NAND ゲート 2 8 の他の入力に接続される。順方向出力 V_A は、NAND ゲート 2 8 の出力によって形成される。復帰インバータ 3 0 の出力及び NAND ゲート 3 2 の出力は遅延素子 2 6 の復帰出力 R_A に接続されるのに対して、遅延素子 2 6 の復帰入力 R_E は復帰インバータ 3 0 の入力によって形成される。

10

【 0 0 4 4 】

第 2 種のこの遅延素子 2 6 の機能は、次の真理値表から明白である。

【 0 0 4 5 】

【 表 2 】

E	N	V_A	R_A
0	1	\bar{V}_E	\bar{R}_E
1	0	1	\bar{V}_E
0	0	1	1

20

【 0 0 4 6 】

この表は、両制御入力 E 、 N が値 1 を有するとき、遅延素子 2 6 の 2 つの出力 V_A 及び R_A が値 1 にリセットされることを指示する。

【 0 0 4 7 】

制御入力 E が値 0 にセットされかつ制御入力 N が値 1 にセットされるとき、順方向インバータ 2 8 及び復帰インバータ 3 0 は活性化されるのに対して、ループインバータ 3 2 は不活性化されたままである。この場合、順方向入力 V_E の反転値 \bar{V}_E が順方向出力 V_A に生じ、かつ復帰入力 R_E の反転値 \bar{R}_E が復帰出力 R_A に生じる。

30

【 0 0 4 8 】

しかしながら、もし制御入力 E が値 1 を呈しかつ制御入力 N が値 0 を呈するならば、ループインバータ 3 2 が活性化されて、順方向入力 V_E の反転値 \bar{V}_E を復帰出力 R_A に生じるのに対して、順方向出力 V_A は値 1 に保持される。

【 0 0 4 9 】

図 2 及び図 3 から明白なように、遅延連鎖 1 2 はその端に第 1 種の遅延素子 2 4 を有し、これが出力クロック信号 T_A を供給する。

【 0 0 5 0 】

遅延連鎖 1 2 のトランジスタ能動回路の達成は、通常の CMOS 構造からいくらか逸脱している。全てのインバータ 2 8、3 0、及び 3 2 は、各々の場合に励振電流を制限する電流ミラーを含む。バイアス電圧発生器は、スイッチングトランジスタに直列接続された p 形 FET 及び n 形 FET をゲートさせるために電圧を供給する。したがって、各遅延素子 2 4 及び 2 6 の出力電流は、チャネル長比によって容易に決定され得る。全てのトランジスタの幅及びスイッチングトランジスタの長さは、最小に短縮され得る。段間のスイッチング雑音を低減しかつ電荷テークオーバー作用 (charge take over effect) を回避するために、電流ミラートランジスタを出力に直接接続することができる。

40

【 0 0 5 1 】

50

遅延連鎖 1 2 内の電流消費は、遅延素子 2 4 と 2 6 との間のリポール (r e p o l e) されることを必要とするキャパシタンスによって主として決定される。

【 0 0 5 2 】

1 M H z の設定値周波数は、遅延連鎖 1 2 のおよそ半分を活性化することによって正規条件 (3 V 、 2 7 典型的製作パラメータ) の下で達成されるべきであり、これが正規値からの偏差に対して十分な余地を残す。例えば、この回路が最小キャパシタンスに対して設計されている限り、各遅延素子に対して $2 \times 70 \text{ fF}$ のキャパシタンスが達成される。1 6 の遅延素子 2 4 、 2 6 について 3 2 のキャパシタンスをリポールするのに必要な電流は、次によって表される。

【 0 0 5 3 】

【 数 1 】

$$I = \frac{32 \times 70 \text{ fF} \times 1.5 \text{ V}}{0.5 \mu\text{s}} \approx 7 \mu\text{A}$$

【 0 0 5 4 】

1 つの遅延素子 2 4 、 2 6 から次の遅延素子への周波数の最大ステップは、1 / 6 を超えてはならない。したがって、遅延連鎖 1 2 は、好適には、少なくとも 6 つの遅延素子 2 4 、 2 6 を含むべきである。

【 0 0 5 5 】

種々の遅延素子 2 4 、 2 6 の遅延を、周波数のステップを 1 / 6 より大きくすることなく遅延連鎖の長さを増大することで以て、増大することができる。例えば、第 1 3 遅延素子は、第 1 遅延素子の遅延の 2 倍の遅延を有することができる。

【 0 0 5 6 】

種々の遅延素子の遅延を、関連する電流ミラー内の電流を規定するトランジスタのチャネル長を相当するだけ増大することによって簡単に増大することができる。この仕方において、1 つの遅延素子から次の遅延素子への周波数のパーセンテージ変化を、多かれ少なかれ一定に維持することができ、これによって製作パラメータの通常偏差を許容可能とする。

【 0 0 5 7 】

最初の 9 つの遅延素子 2 4 、 2 6 は、約 $10 \mu\text{A}$ の励振電流を供給することができ、次いで最大出力は連続的に減少させられる。1 M H z 以外の設定値周波数に対しては、リポールする電流は、簡単に、例えば、バイアス電圧発生器内の電流決定抵抗器を変化させることによって、変化させることができる。

【 0 0 5 8 】

従来の C M O S インバータが、少なくともループインバータとして採用されることがある。

【 0 0 5 9 】

遅延連鎖 1 2 のアドレス指定又はその長さの各変化は、両制御入力 E 及び N の値の相当する変化を必要とする。両制御信号が同時に変化し、したがってリセット条件が短い瞬間に実現できると言うことは一般に保証され得ないから、たとえリセットモードの迅速な生起があっても信号スパイクが生成されないように図 2 に示された状態が起こる瞬間にアドレスの変化が有効でなければならない。

【 0 0 6 0 】

分周器 1 4 、 補間論理回路 2 0 、 及び昇降計数器 1 8 は、遅延連鎖 1 2 の出力で以てクロック駆動される。このクロックパルスは、例えば、1 M H z の周波数を有しており、分周器 1 4 によって、例えば、3 2 で分周され、位相比較器 1 6 内で 3 2 k H z の規準周波数と比較される。分周器 1 4 は、例えば、1 と 1 2 7 との間でプログラマブルである。

【 0 0 6 1 】

位相比較器 1 6 の出力信号は、次いで、1 0 ビット昇降計数器 1 8 の計数方向を指令し、この計数器の 5 つの最上位ビットが遅延連鎖 1 2 を直接アドレス指定する。

10

20

30

40

50

【 0 0 6 2 】

遅延連鎖 1 2 内のクロックパルスの復帰縁 (r e t u r n e d g e) は、アドレスの変化の前にループ点又は反転点に到達しないことを保証する必要がある。最大調節可能周波数は、分周器 1 4、位相比較器 1 6、補間論理回路 2 0、及び 1 0 ビット昇降計数器 1 8 での遅延によって、定期的に制限される。このループ (反転) 点は、クロックサイクルの 1 / 4 の後に到達を受ける。

【 0 0 6 3 】

もし遅延が過剰であるならば、このことが雑音性信号スパイクを容易に起こさせる。この問題は、クロックパルスの立上がり縁 (e d g e) に続いてアドレスを直接ロックすることによって、開始から正しく除去され得る。その際、遅延連鎖の入力におけるロッキング回路はクロックパルスの立下がり縁が起こるまで再び透明にならないから、新アドレスを確立するために十分な時間が利用可能である (半クロックサイクル)。この時点におけるリセットモードの迅速な生起は、図 2 から明白なようにもはや信号スパイクを起こさせない。

10

【 0 0 6 4 】

リセットモードが起こる場合、第 1 種の相当する遅延素子 2 4 は 0 にセットされるのに対して、第 2 種の相当する遅延素子 2 6 は 1 にセットされる。

【 0 0 6 5 】

例えば、3 2 にプリセットされた分周器 1 4 に対しては、1 0 ビット昇降計数器 1 8 の計数方向を 3 2 クロックパルス前にはとても変化させ切れないから、新情報が位相比較器 1 6 の出力に現れているとき、周波数ロック条件の下で昇降計数器 1 8 が種々のクロックサイクル中に誤った方向へ計数する公算がある。表現を変えるならば、周波数がロック値の回りに揺転するおそれがある。3 2 クロックサイクルの後でも、計数方向を瞬間的にセンシングすることはできない。実周波数と設定値周波数とは遠く離れてはいないので、周波数偏差を確立するには、3 2 k H z クロックサイクルの数サイクル分が必要であると云える。

20

【 0 0 6 6 】

クロック発生器の応答を改善するために、昇降計数器 1 8 の 5 つの最上位ビットが遅延連鎖 1 2 をアドレス指定するのに使用されるのに対して、残りの最下位ビットは補間論理回路 2 0 の 5 ビット二重計数器 2 2 の出力と組み合わせられる。5 つの最下位ビットの値が高いほど、1 クロックサイクル当たり 1 ステップずつ遅延連鎖 1 2 がますます頻繁に短縮される。5 ビット二重計数器 2 2 を使用することは、遅延連鎖の短縮化が同じ時間フレーム内で起こることを保証する。

30

【 0 0 6 7 】

次の表 3 はいつ遅延連鎖 1 2 が各回に 1 ステップずつ短縮されるかを指示し、ここで 5 ビット二重計数器 2 2 の出力値は水平方向に与えられ、1 0 ビット昇降計数器 1 8 の 5 つの最下位ビットの値は垂直方向に与えられる。

【 0 0 6 8 】

【 表 3 】

0	1/	2/	3/	4/	5/	6/	7/	8/	9/	10	11	12	13	14	15	16
	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	
0																
1																X
2								X								
3								X								X
4				X								X				
5				X								X				X
6				X				X				X				
7				X				X				X				X
8		X				X				X				X		
9		X				X				X				X		X
10		X				X		X		X				X		
11		X				X		X		X				X		X
12		X		X		X				X		X		X		
13		X		X		X				X		X		X		X
14		X		X		X		X		X		X		X		
15		X		X		X		X		X		X		X		X
16	X		X		X		X		X		X		X		X	
17	X		X		X		X		X		X		X		X	X
18	X		X		X		X	X	X		X		X		X	
19	X		X		X		X	X	X		X		X		X	X
20	X		X	X	X		X		X		X	X	X		X	
21	X		X	X	X		X		X		X	X	X		X	X
22	X		X	X	X		X	X	X		X	X	X		X	
23	X		X	X	X		X	X	X		X	X	X		X	X
24	X	X	X		X	X	X		X	X	X		X	X	X	
25	X	X	X		X	X	X		X	X	X		X	X	X	X
26	X	X	X		X	X	X	X	X	X		X	X	X		
27	X	X	X		X	X	X	X	X	X		X	X	X	X	X
28	X	X	X	X	X	X	X		X	X	X	X	X	X	X	
29	X	X	X	X	X	X	X		X	X	X	X	X	X	X	X
30	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
31	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

10

20

【 0 0 6 9 】

30

この後に、昇降計数器 1 8 の 5 つの最下位ビットの値に伴ってステップ変化周波数が上昇する。

【 0 0 7 0 】

補間論理回路 2 0 は、周波数偏差が全体として短い時間区間に減少させられるように、ロック状態における制御周波数を上昇させることを支援する。

【 0 0 7 1 】

図 1 に示されたクロック発生器の位相比較器 1 6 は、全デジタルループ内の昇降計数器 1 8 の計数方向を規定するように働く。昇降計数器 1 8 は相当する出力信号を供給し、これによって閉遅延連鎖 1 2 の長さ、したがって、設定値周波数が制御される。

【 0 0 7 2 】

40

この目的に使用されるデジタル位相比較器は、例えば、2 つの入力 V_1 及び V_2 (すなわち、図 1) の状態に従って昇降計数器 1 8 の計数方向を確立する昇出力及び降出力を有する。この関係で、デジタル位相比較器は、2 つの入力のどちらが先にその活性値を呈するかに従って、指定された昇 (u p) 出力及び降 (d o w n) 出力を、それぞれ、活性値にセットしかつ活性値になる他の入力信号に続いてリセットするように適当に設計され得る。この種の位相比較器は P L L 回路に既に採用されており、この回路においては両出力のデューティサイクルが位相及び周波数偏差の測定値として採用される。

【 0 0 7 3 】

しかしながら、位相比較器を、図 1 に示されたデジタルクロック発生器内に直接採用することはできないが、それは、特に、昇降計数器 1 8 を活性化するために、離散制御信号

50

が好適には提供されるべきであり、これによって相当する計数方向が決定されるべきだからである。このような離散制御信号を生成する簡単な1つの解決は、デジタル位相比較器の昇出力及び降出力を離散RSフリップフロップのセット及びリセット入力に接続し、このフリップフロップの1つの出力上に制御信号を取り出すことであり得よう。しかしながら、この解決は、図6及び図7から明白なように既知のデジタル位相比較器と使用するとき雑音性電圧スパイクを生じることがある。

【0074】

図6において、既知のデジタル位相比較器が、入力信号 V_1 及び V_2 用の2つの入力、及び昇出力34及び降出力36を有して示されている。

【0075】

この既知のデジタル位相比較器の入力 V_1 及び V_2 は、2つの入力ゲート、すなわち、NANDゲート52及びNANDゲート54それぞれの入力を同時に形成する。NANDゲート52の出力は、一方で2つのNANDゲート56'及び56"を含むRSフリップフロップ56のセット入力Sに接続され、他方で出力ゲート、すなわち、NANDゲート60の入力に接続される。NANDゲート60の出力は、NANDゲート52の他の入力に帰還される。NANDゲート60の出力は、同時に、このデジタル位相比較器の昇出力34を形成する。

【0076】

対応して、NANDゲート54の出力は、一方で2つのNANDゲート58'及び58"を含むRSフリップフロップ58のセット入力Sに接続され、他方で出力ゲート、すなわち、NANDゲート62の入力に接続される。立ち代わって、NANDゲート62の出力は、NANDゲート54の他の入力に帰還され、NANDゲート62の出力は、同時に、このデジタル位相比較器の降出力36を形成する。

【0077】

RSフリップフロップ56の出力Qは、一方でNANDゲート60の他の入力に接続され、他方で他のNANDゲート64の入力に接続される。RSフリップフロップ58の出力Qは、一方でNANDゲート62の他の入力に接続され、他方でNANDゲート64の他の入力に接続される。NANDゲート64は、2つの他の入力を有し、これらはNANDゲート52の出力及びNANDゲート54の出力に、それぞれ、接続される。NANDゲート64の出力は、NANDゲート60の第3入力ばかりでなくNANDゲート62の第3入力に接続され、これに加えて、RSフリップフロップ56のリセット入力RばかりでなくRSフリップフロップ58の相当するリセット入力Rにも接続される。

【0078】

この既知のデジタル位相比較器において、NANDゲート64は、したがって、この位相比較器の昇出力34及び降出力36を1にリセットし、かつ2つのRSフリップフロップ56及び58を0にリセットするように働く。

【0079】

その他の点では、この既知の位相比較器の機能は図7に示された時間信号波形から明白であり、次の説明はこの図を参照する。

【0080】

$V_1 = 0$ かつ $V_2 = 0$ であって、2つのRSフリップフロップ56及び58が値0にリセットされるとき、デジタル位相比較器の2つの昇出力34及び降出力36は各々値1にリセットされる。もしそのとき入力信号 $V_1 = 1$ ならば、RSフリップフロップ56は値1にリセットされる。位相比較器の昇出力34及び降出力36は、値1を持ち続ける。

【0081】

そこで、もしも他の入力信号 V_2 が値1を呈するならば、他のRSフリップフロップ58も、加えて、値1にセットされるであろう。デジタル位相比較器の昇出力34及び降出力36は値1をなお持ち続ける。入力信号 V_1 又は入力信号 V_2 の次の立下がり縁によって、位相比較器のそれぞれ相当する出力34及び36は、活性値0にセットされる。

【0082】

10

20

30

40

50

われわれは、いま、例えば、入力信号 V_1 がまず値0を呈し、次いで位相比較器の昇出力34がこれに従って活性0にセットされると云うことを仮定する。降出力36は、その値1を維持する。

【0083】

その後に入力信号 V_2 もまた値0を呈するとき、昇出力34は、欲するように、値1にセットされるが、しかし同時に欲しない0パルス(すなわち、図7)が昇出力36に実現して、これが、昇降計数器18が活性化されるとき、パルス信号雑音を生じるおそれがある。特に、昇降計数器18(図1)に対して、その出力に1つの他のRSフリップフロップを設けることによって、単一活性化信号を発生することは、直接的に可能ではない。この場合もまた、回路が雑音を免れる保証はない。

10

【0084】

しかしながら、代わって、もし入力信号 V_2 が値0を呈するならば、降出力36がまず値0にセットされるであろう。そこで、もし入力信号 V_1 もまた値0を呈するならば、先に0にセットされていた降出力36は1にセットされるであろう。しかしながら、この場合、雑音性0パルスが昇出力34に生じる(すなわち、図7)。

【0085】

いま、図8に参照を転じると、本発明によるデジタル位相比較器の実施例が、図1に示された本発明によるクロック発生器内に特に有利に使用され得ることが、明白になる。

【0086】

本発明によるこのデジタル位相比較器は、2つの入力ゲート、すなわち、NANDゲート52及びNANDゲート54を含む。入力信号 V_1 はNANDゲート52の1つの入力に印加されるに対して、入力信号 V_2 はNANDゲート54の1つの入力に現れる。

20

【0087】

NANDゲート52の出力は、一方で2つのNANDゲート56'及び56"を含むRSフリップフロップ56のセット入力Sに、他方で出力ゲート、すなわち、NANDゲート60の1つの入力に接続される。RSフリップフロップ56の出力Qは、NANDゲート60の他の入力に接続される。デジタル位相比較器の昇出力34に接続されたNANDゲート60の出力は、NANDゲート52の他の入力に帰還される。

【0088】

NANDゲート54の出力は、一方でRSフリップフロップ58のセット入力Sに、他方で出力ゲート、すなわち、NANDゲート62の1つの入力に接続される。RSフリップフロップ58の出力Qは、NANDゲート62の他の入力に接続される。デジタル位相比較器の降出力36を形成するNANDゲート62の出力は、NANDゲート54の他の入力に帰還される。

30

【0089】

ここまでは、このデジタル位相比較器は、図6に示されたものと同様であり、したがって、同様の参照符号は同様のゲートに対して使用される。

【0090】

しかしながら、図8に示された本発明による位相比較器においては、既知の位相比較器(すなわち、図6)内に提供されたNANDゲートの機能が、3つのNANDゲート40、42、68、及びNORゲート66によって共用される。加えて、回路を規定状態へ、好適には、電力投入時へ復帰させるために他のリセット入力

40

【外1】

RÜ

CKが設けられる。本発明によるデジタル位相比較器の1つのこのような構成配置の実施例は、再び図8を参照する次の説明からいま明白になる。

【0091】

この図を参照すると、RSフリップフロップ56の出力Qは、更に、NANDゲート40の入力に接続され、後者の出力はNANDゲート62の他の入力に接続される。

50

【0092】

したがって、RSフリップフロップ58の出力Qは、加えて、NANDゲート42の入力に接続され、後者の出力はNANDゲート60の他の入力に接続される。

【0093】

NANDゲート40の他の入力にはNANDゲート52の出力に接続されるに対して、NANDゲート42の他の入力にはNANDゲート54の出力に接続される。

【0094】

RSフリップフロップ56の出力 QはNORゲート66の入力に接続され、後者の他の入力はRSフリップフロップ58の相当する出力 Qに接続される。NORゲート66の出力は他のNANDゲート68の1つの入力に接続され、後者の他の2つの入力は、それぞれ、NANDゲート52の出力及びNANDゲート54の出力に接続される。NANDゲート68の出力は、RSフリップフロップ56の1つのリセット入力 R及びRSフリップフロップ58の1つのリセット入力 Rの両方に接続される。

10

【0095】

これに加えて、本発明よるこのデジタル位相比較器は追加のリセット入力

【外2】

R \bar{U}

CKを備え、その上、この入力は、RSフリップフロップ56の他のリセット入力R、RSフリップフロップ58の他のリセット入力 R、NANDゲート52の他の入力ばかりでなくNANDゲート54の他の入力に接続される。

20

【0096】

本発明よるデジタル位相比較器が機能する仕方は、いま、図9に示された時間信号波形を考察することから明白になるが、この図は時間の関数として2つの入力信号 V_1 、 V_2 ばかりでなく昇出力34及び降出力36を図解する。

【0097】

両入力信号 V_1 及び V_2 が各々0かつ両RSフリップフロップ56及び58が0(出力Q)にリセットされるとき、本発明よるデジタル位相比較器の昇出力34及び降出力36は1にリセットされる。この規定された出力状態において、位相比較器は、特に、追加のリセット

30

【外3】

R \bar{U}

CKにおける0パルスによってセットされ得る。

【0098】

加えて、入力信号 V_1 が値1を呈するとき、指定RSフリップフロップ56は、値1(出力Q)にセットされる。

【0099】

次いで入力信号 V_2 が値1を呈するとき、他のRSフリップフロップ58もまた値1(出力Q)にセットされ、これによってNORゲート66の出力が値0から1へ変化するが、これはRSフリップフロップ56の出力 QばかりでなくRSフリップフロップ58の出力 Qの両方が各々値0を呈するからである。

40

【0100】

もし入力信号 V_1 がそこでまずその値を1から0に再び変化するならば、これに従って、活性0が昇出力34においてセットされる。ここで重要なことは、入力信号 V_1 の変化に起因して、NANDゲート40の出力もまた値0にセットされると云うことである。

【0101】

他の入力信号 V_2 がまた値0を呈するとき、RSフリップフロップ58はまず値0(出力Q)にリセットされる。NANDゲート54の出力が値1ならば、値0がまたまずNANDゲート68の出力にまず起こり、これがまた他のRSフリップフロップ56を値0(出

50

力Q)にリセットさせる。したがって、デジタル位相比較器の昇出力34は値1にリセットされる。RSフリップフロップ56が0(出力Q)にリセットされてしまうまで、(その前には、RSフリップフロップ58の出力Qが既に値0にセットされている)NANDゲート40がまずその出力に値0を維持しているので、デジタル位相比較器の降出力36は、昇出力34が値1にリセットされると同時に、その現存する値1に維持(ロック)される。RSフリップフロップ56がリセットされた後NANDゲート40の出力が再び値1を呈するときには、RSフリップフロップ58の出力Qが値0を呈するや否や、NANDゲート62が降出力36に値1を維持し続けると言うことが既に保証されている。

【0102】

RSフリップフロップ58がリセットされてしまうや否や、値0がNORゲート66の出力に実現し、これが、立ち代わって、NANDゲート68の出力を値1にセットさせるので、それゆえNANDゲート68の出力における又は2つのRSフリップフロップ56、58のリセット入力Rにおけるリセットパルスが終端される。

【0103】

代わって、もし入力信号 V_2 がまず値0を呈するならば、デジタル位相比較器の降出力36がまず0にセットされる。次いで、もしも入力信号 V_1 が値0に変化するならば、昇出力34にどんな負パルスを実現することなく降出力36もまた0にリセットされる。この場合、NANDゲート42は、値1が昇出力34に維持される、すなわち、ロックされることを保証する。

【0104】

2つの入力信号 V_2 及び V_2 が一致して負指向するとき或るパルスが昇出力34及び降出力36の両方に起こると言う事実は、決定的に重大ではなく、それは、この場合、正しい又は間違った計数方向と云うものが存在しないからである。

【0105】

この構成配置の結果として、活性0信号がどの或る時刻においても2つの出力34及び36の1つのみに存在することが保証される。しかしながら、いま、単一RSフリップフロップ38を、特に図8から明白なように昇降計数器18(すなわち、図1)に対して単一活性化信号を発生するために使用することができる。この配置において、昇出力34をRSフリップフロップ38のセット入力Sに、及び降出力36をそのリセット入力Rに接続することが有効である。RSフリップフロップ38の出力Qは、図1に示されたデジタルクロック発生器の昇降計数器18の計数方向を指令する。

【0106】

しかしながら、本発明によるデジタル位相比較器は、図1に示された特にクロック発生器内におけるような全デジタルループ内のみならず、また、例えば、発振器との組み合わせ、例えば、アナログループ内の使用に供されてもよい。

【0107】

これに加えて、活性0信号の代わりに、活性1信号を使用することもまた原理的に可能であり、この目的のためには、相当する共役的回路構成配置が選択されることになる。最後に、RSフリップフロップ38の代わりに、デジタル昇降計数器に対する単一活性化信号を発生するものならばどんな他の適当な終端回路が提供されてもよい。

【0108】

電力投入時、遅延連鎖16の長さをその最大値にリセットすることが有効であり、そうすれば、分周器の出力に生成される周波数が規準周波数と多かれ少なかれ同じになるまで位相比較器は、好適には、その昇出力を活性値にセットする。

【0109】

【発明の効果】

設定周波数での位相のどんな偏移も、例えば、位相偏移が臨界値を超えるや否や遅延連鎖内のスイッチング段の範囲を縮小することによって及び/又は分周器の出力信号を規準周波数信号と同期させることによって中和され、設定値の回りのどんな振動(ジッタ)の振

10

20

30

40

50

幅も顕著に減少することを可能にする。周波数の迅速な偏差もまた最小にされるから、周波数の指数関数的精確調節が可能であり、それゆえに非同期データ変換のプロトコルでさえも使用することができる。

【 0 1 1 0 】

この回路はプログラミングを可能とするから、簡単な取扱いが保証される。制御動作を簡単に破棄しかつ離散周波数を望むようにプログラムすることができる。閉制御ループを不活性化すること及び低周波数を選択することは、結果的に完全なシステムの電流消費を更に低減する。

【 0 1 1 1 】

定期的に、閉ループ制御は、全連鎖長の電力投入時に、すなわち、最低可能周波数において開始する。 10

【 0 1 1 2 】

例えば、完全遅延連鎖について規準周波数の1サイクル内に発生されるクロックパルスを計数し、設定値長さを計算し、このようにしてこの遅延連鎖をこの計算値にプリセットし、それゆに電力投入後の調節に必要な全時間を短縮することによって、この遅延連鎖をセットするに要する時間を更に短縮することができる。

【 0 1 1 3 】

以上の説明に関して更に以下の項を開示する。

【 0 1 1 4 】

(1) クロック発生器が基準発振器と、調節可能発振器 1 2 と、分周器 1 4 と、位相比較器 1 6 とを有し、前記分周器 1 4 が前記調節可能発振器 1 2 の出力と前記位相比較器 1 6 の 1 つの入力との間に挿入され、前記基準発振器 1 0 の出力が前記位相比較器 1 6 の他の入力に接続され、前記調節可能発振器 1 2 の調節が前記位相比較器 1 6 の出力に依存する前記クロック発生器であって、前記調節可能発振器はデジタル閉遅延連鎖 1 2 であることと、前記分周器はデジタルプログラマブル分周器 1 4 であり、前記位相比較器 1 6 の出力と前記遅延連鎖 1 2 との間にデジタル昇降計数器 1 8 が接続され、前記昇降計数器の計数方向は前記位相比較器 1 6 の出力信号によって決定され、前記昇降計数器によって前記遅延連鎖 1 2 の相当する長さが調節可能であることを特徴とするクロック発生器。 20

【 0 1 1 5 】

(2) 第 1 項記載のクロック発生器であって、前記遅延連鎖 1 2 が該遅延連鎖の出力信号によってクロック駆動される二重計数器 2 2 を含む補間論理回路 2 0 を当てがわれ、前記二重計数器の計数は前記昇降計数器 1 8 の出力信号の或るいくつかの最下位ビットの値と組み合わせられて、前記最下位ビットの前記値の関数として、各クロックサイクル中に一度に 1 ステップずつ前記遅延連鎖の長さの変化の数を規定するのに対して、前記昇降計数器の前記出力信号の残りの最上位ビットは前記遅延連鎖 1 2 を直接アドレス指定することを特徴とするクロック発生器。 30

【 0 1 1 6 】

(3) 第 1 項又は第 2 項記載のクロック発生器であって、前記遅延連鎖 1 2 は直列接続された複数の遅延素子 2 4、2 6 を含み、該遅延素子の各々が順方向インバータ 2 8 と、復帰インバータ 3 0 とばかりでなくループインバータ 3 2 を含み、該ループインバータの活性化によって前記遅延連鎖の各長さが調整可能であることを特徴とするクロック発生器。 40

【 0 1 1 7 】

(4) 第 3 項記載のクロック発生器であって、前記遅延素子 2 4、2 6 は制御入力 (E、N) を有し、該制御入力を經由して前記遅延素子の前記順方向インバータ 2 8 及び前記遅延素子の前記復帰インバータ 3 0 又は前記遅延素子のループインバータ 3 2 が活性化され得るか又は相当する前記遅延素子 2 4、2 6 がリセットされ得ることを特徴とするクロック発生器。

【 0 1 1 8 】

(5) 第4項記載のクロック発生器であって、前記制御入力(E、N)を經由しての前記遅延連鎖12のアドレス指定は一度に1つのみのループインバータ32が活性化されるように行われることを特徴とするクロック発生器。

【0119】

(6) 第3項から第5項記載のクロック発生器であって、前記遅延連鎖12は、遅延素子の出力がリセット条件において論理の0である第1種の遅延素子24と、遅延素子の出力がリセット条件において論理の1である第2種の遅延素子26とを交互に有することを特徴とするクロック発生器。

【0120】

(7) 第6項記載のクロック発生器であって、前記遅延素子24、26は電力投入時に自動的にリセットされることを特徴とするクロック発生器。 10

【0121】

(8) 第6項又は第7項記載のクロック発生器であって、前記遅延連鎖12)は出力クロック信号(T_A)を供給する端に第1種の遅延素子24を有することを特徴とするクロック発生器。

【0122】

(9) 第3項から第8項のうちいずれか1に記載のクロック発生器であって、前記遅延連鎖12は少なくとも6つの遅延素子24、26を含むことを特徴とするクロック発生器。

【0123】

(10) 第3項から第9項に記載のクロック発生器であって、前記遅延素子24、26は少なくとも部分的に異なる遅延を有することを特徴とするクロック発生器。 20

【0124】

(11) 第10項に記載のクロック発生器であって、遅延連鎖の長さを増大するに当たって追加される前記遅延素子24、26はもっと短い遅延連鎖長に対して必要である遅延素子24、26よりも高い遅延を有することを特徴とするクロック発生器。

【0125】

(12) 第3項から第11項に記載のクロック発生器であって、前記インバータ28、30、32は各場合において励振電流を制限するミラー回路を含むことを特徴とするクロック発生器。 30

【0126】

(13) 第3項から第12項に記載のクロック発生器であって、前記インバータ28、30、32は、各々、スイッチングトランジスタに直列接続されたp形MOSFETとn形MOSFETとを含むことを特徴とするクロック発生器。

【0127】

(14) 第3項から第13項に記載のクロック発生器であって、個別の前記遅延素子24、26は励振電流を決定する前記電流ミラーのトランジスタのチャネル長によって少なくとも実質的に決定されることを特徴とするクロック発生器。

【0128】

(15) 第1項から第14項のうちいずれか1つによるクロック発生器内に特に使用されるデジタル位相比較器が2つの入力信号(V_1 、 V_2)の状態に従って調整可能発振器18を活性化するために昇出力34と降出力36を有し、前記2つの入力信号(V_1 、 V_2)のうちのどちらがまず該信号の活性値(0)を呈するかに従って、指定昇出力34及び指定降出力36が、それぞれ、活性値(0)にセットされかつ他の入力信号が活性になるのに続いてリセットされるようになっている前記デジタル位相比較器であって、他の出力(34、36)のリセット中に、不活性化出力34、36を不活性化状態にロックする手段40、42を設けられていることを特徴とするデジタル位相比較器。 40

【0129】

(16) 第15項記載のデジタル位相比較器であって、前記昇出力34と前記降出力36とは出力RSフリップフロップ38を有することと、前記昇出力34と前記降出力3 50

6とは前記出力RSフリップフロップ38のセット入力Sとリセット入力(R)とにそれぞれ接続され、前記出力RSフリップフロップ38は出力(Q)に前記調節可能発振器18に対する単一活性化信号を供給することとを特徴とするデジタル位相比較器。

【0130】

(17) 第15項又は第16項記載のデジタル位相比較器であって、前記調節可能発振器はデジタル昇降計数器18によって制御されるデジタル閉遅延連鎖12を含み、前記昇降計数器18の計数方向は前記活性化信号によって指定可能であることを特徴とするデジタル位相比較器。

【0131】

(18) 第15項又は第16項記載のデジタル位相比較器であって、前記調節可能発振器は電圧制御発振器であることを特徴とするデジタル位相比較器。

10

【0132】

(19) クロック発生器は、基準発振器10、デジタル閉遅延連鎖12と、デジタル分周器14と、デジタル位相比較器16とを含む。前記分周器14は、前記調節可能遅延連鎖12の出力と前記位相比較器16の1つの入力との間に挿入される。前記基準発振器10の出力は、前記位相比較器16の他の入力に接続される。前記位相比較器16の出力と前記遅延連鎖12との間にデジタル昇降計数器18が接続され、前記昇降計数器の計数方向は前記位相比較器16の出力信号によって決定され、前記昇降計数器によって前記遅延連鎖12の相当する長さが調節可能である。

【図面の簡単な説明】

20

【図1】本発明によるデジタルクロック発生器のブロック図。

【図2】本発明によるデジタルクロック発生器のデジタル遅延連鎖のそのリセット状態における概略回路図。

【図3】図2に示されたデジタル遅延連鎖のその直後に出力を変化した状態を図解する概略回路図。

【図4】デジタル遅延連鎖に含まれる第1種の遅延素子の回路図。

【図5】デジタル遅延連鎖に含まれる第2種の遅延素子の回路図。

【図6】既知デジタル位相比較器の回路図。

【図7】図6に示された既知デジタル位相比較器の入力及び出力上の信号波形図。

【図8】本発明によるデジタル位相比較器の回路図。

30

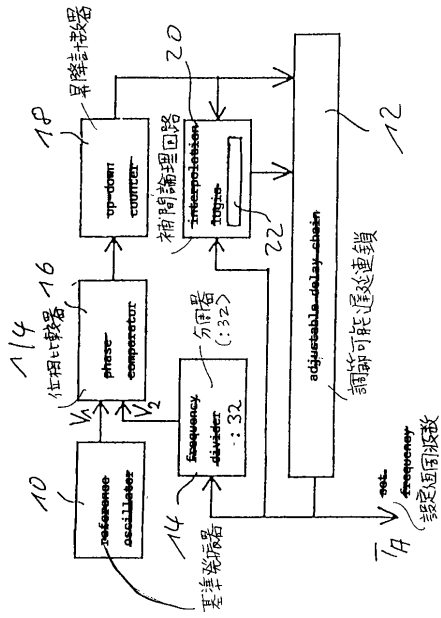
【図9】図8に示されたデジタル位相比較器の入力及び出力上の信号波形図。

【符号の説明】

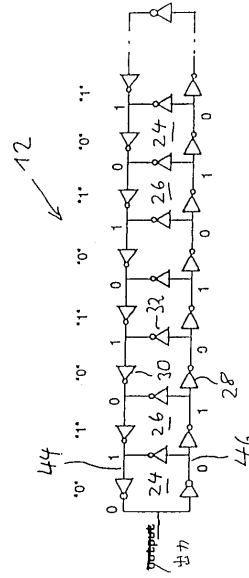
- 10 基準発振器
- 12 デジタル閉遅延連鎖(調節可能遅延連鎖)
- 14 デジタルプログラマブル分周器
- 16 デジタル位相比較器
- 18 デジタル昇降計数器
- 20 補間論理回路
- 22 二重計数器
- 24 第1種の遅延素子
- 26 第2種の遅延素子
- 28 順方向インバータ
- 30 復帰インバータ
- 32 ループインバータ
- 34 (位相比較器の)昇出力
- 36 (位相比較器の)降出力
- 38 (出力)RSフリップフロップ
- 44 順方向路
- 46 復帰路

40

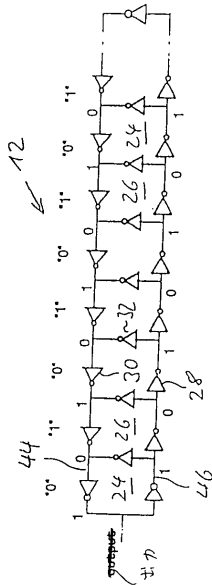
【 図 1 】



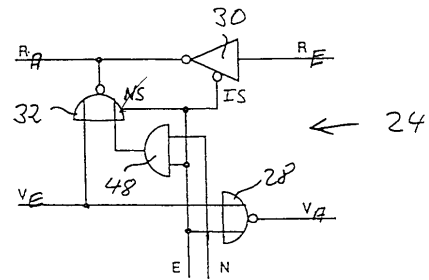
【 図 2 】



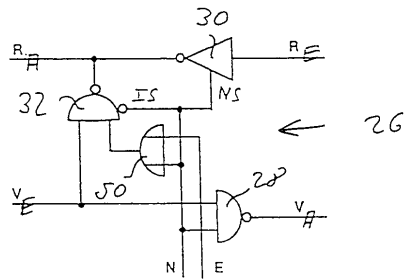
【 図 3 】



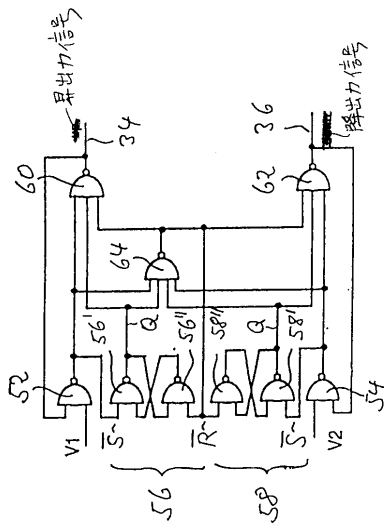
【 図 4 】



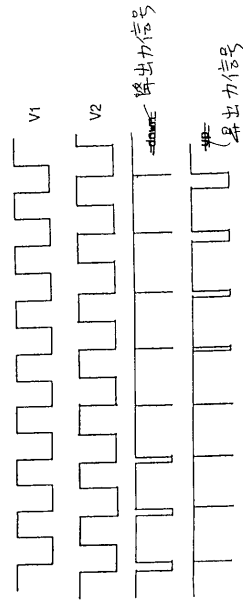
【 図 5 】



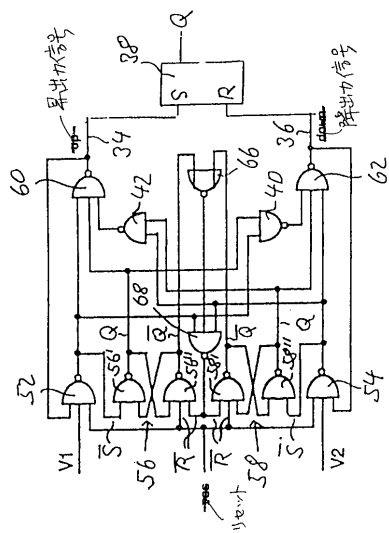
【 図 6 】



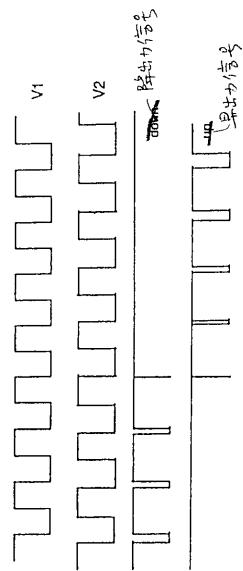
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

- (72)発明者 ホルスト ジーグラ
ドイツ連邦共和国パデルボルン, シュタインハウザー ベグ 13
- (72)発明者 ホルスト ディーヴァルト
ドイツ連邦共和国フライジング, サックガッセ 4
- (72)発明者 フランツ ブレクセル
ドイツ連邦共和国ニーダーディング, エルディングエルシュトラッセ 17
- (72)発明者 エーリッヒ ベイヤー
ドイツ連邦共和国フィフラス, アム ブランケンフェルト 15

審査官 甲斐 哲雄

- (56)参考文献 特開平05-048446(JP, A)
特開昭63-211919(JP, A)
特開平03-259619(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03L 7/00