



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년02월19일
(11) 등록번호 10-1365229
(24) 등록일자 2014년02월10일

(51) 국제특허분류(Int. Cl.)
H01L 33/22 (2010.01) H01L 33/04 (2010.01)
H01L 33/12 (2010.01)
(21) 출원번호 10-2013-0060172
(22) 출원일자 2013년05월28일
심사청구일자 2013년05월28일
(56) 선행기술조사문헌
KR100857410 B1

(73) 특허권자
부경대학교 산학협력단
부산광역시 남구 신선로 365 (용당동,
부경대학교)
(72) 발명자
양민
부산 수영구 광안해변로 100, 203동 1205호 (남천
동, 비치아파트)
안형수
부산 금정구 중앙대로 1799, 710호 (구서동, 유럽
노르웨이아침)
유영문
서울 관악구 청룡길 77, 201동 204호 (봉천동, 서
울대입구아이원아파트)
(74) 대리인
특허법인 동원

전체 청구항 수 : 총 8 항

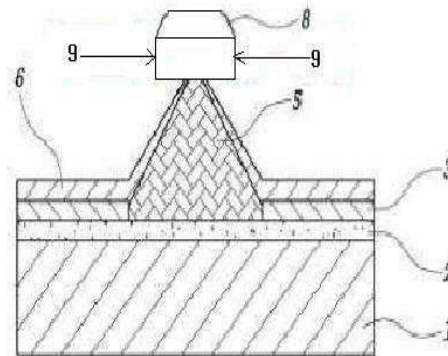
심사관 : 김동우

(54) 발명의 명칭 백색 LED와 그 제조방법

(57) 요약

본 발명은 육각형 GaN의 피라미드의 반도체층의 꼭대기영역에만 선택적 결정성장을 실시하여, 백색 LED 제조를 위해 청색에서 적색까지의 파장범위를 가지는 활성층을 형성할 수 있도록 하는 LED의 제조방법 및 이에 의해 제조된 LED에 관한 것으로, 제 1 반도체층(1)을 형성하는 단계, 제 1 반도체층(1) 위에 선택적 결정 성장에 의해 꼭지점 부분이 뾰족한 형태의 제 2 반도체층(5)을 형성하는 단계, 제 2 반도체층(5)의 꼭지점 부분에 선택적 결정 성장에 의해 다양한 결정면을 가지는 제 3 반도체층(8)을 형성하는 단계 및 제 3 반도체층(8) 위에 활성층을 포함하는 반도체층(9)을 형성하는 단계로 구성된다.

대표도 - 도5i



특허청구의 범위

청구항 1

제 1 반도체층을 형성하는 단계;

상기 제 1 반도체층 위에 선택적 결정 성장에 의해 꼭지점 부분이 뾰족한 형태의 제 2 반도체층을 형성하는 단계;

상기 제 2 반도체층의 꼭지점 부분에 선택적 결정성장에 의해 다양한 결정면을 가지며, MOVPE 반응관의 압력을 상압 이상으로 유지하여 제 3 반도체층을 형성하는 단계; 및

상기 제 3 반도체층 위에 활성층을 포함하는 반도체층을 형성하는 단계

를 포함하여 구성되는 백색 LED 제조방법.

청구항 2

제 1 항에 있어서,

상기 제 2 반도체층을 형성하고,

전면에 SiO₂막을 형성하는 단계;

상기 제 2 반도체층의 꼭지점 부분의 SiO₂막을 제거하는 단계;를 더 포함하며,

상기 SiO₂막을 PR 코팅(coating)시의 회전 수, 노광시간, 현상시간을 조절하여 습식식각하는 것을 특징으로 하는 백색 LED 제조방법.

청구항 3

제 2 항에 있어서,

상기 제 2 반도체층은 피라미드(pyramid) 형태 또는 스트라이프(stripe) 형태이며, 상기 제 2 반도체층의 상부로부터 1/10 내지 1/5 미만의 영역의 SiO₂막이 제거되도록 하고,

결정성장시 원료가스로부터 분해된 원자들의 상대적인 밀도가 상기 꼭지점 부분의 영역에서 커지도록 상기 피라미드(pyramid) 또는 스트라이프(stripe) 사이의 간격을 조절하여 평균 확산 거리를 짧게 하는 것을 특징으로 하는 백색 LED 제조방법.

청구항 4

제 1 항에 있어서,

상기 제 2 반도체층의 꼭지점 부분에 선택적 결정성장에 의해 다양한 결정면을 가지는 제 3 반도체층을 형성하는 단계에서,

결정 성장에 기여하는 원자들의 평균 확산거리를 짧게 하여 인접한 피라미드 형태의 제 2 반도체층의 꼭지점에 서 성장되는 제 3 반도체층의 모양과 크기를 서로 다르게 형성시키는 것을 특징으로 하는 백색 LED 제조방법.

청구항 5

제 1 항 내지 제 4항 중 어느 한 항에 있어서,

상기 제 1 내지 제 3 반도체층은 n형 GaN인 것을 특징으로 하는 백색 LED 제조방법.

청구항 6

제 1 항에 있어서,

상기 활성층은 InGaN인 것을 특징으로 하는 백색 LED 제조방법.

청구항 7

제 1 항에 있어서,

상기 활성층은 청색부터 적색까지의 파장범위를 가지고, 상기 활성층 위에 p-AlGaIn층 및 p-GaN층이 더 형성되는 것을 특징으로 하는 백색 LED 제조방법.

청구항 8

제 1 항의 제조방법에 의해 제조된 백색 LED로서,

활성층의 파장범위가 청색부터 적색까지인 것을 특징으로 하는 백색 LED.

명세서

기술 분야

[0001] 본 발명은 형광체를 사용하지 않고 백색 LED와 그 제조방법에 관한 것으로 특히, 육각형 GaN의 피라미드의 반도체층의 꼭대기영역에만 선택적 결정성장을 실시하여, 백색 LED 제조를 위해 청색에서 적색까지의 파장범위를 가지는 활성층을 형성할 수 있도록 하는 백색 LED와 그 제조방법에 관한 것이다.

[0002]

배경 기술

[0003] 일반적으로 백색 LED(Light Emitting Diode)는 조명장치 또는 디스플레이 장치의 백 라이트(back light)로 널리 사용된다. 이러한 백색 LED를 제조하는 방법은 크게 형광체를 사용하는 방법과 형광체를 사용하지 않는 방법으로 나누어진다. 먼저, 도 1에 도시한 바와 같이, 형광체를 사용하는 방법은 청색 LED에 노란색 형광체를 도포하는 방법이 가장 간단하고 널리 사용되고 있다. 그러나 위와 같이 청색 LED와 노란색 발광영역의 형광체를 사용하는 방법은 연색지수가 너무 낮아서 조명용으로 사용하기에는 한계가 있다는 문제점이 있다. 물론, 최근에는 노란색뿐만 아니라 녹색 및 적색 계열의 발광영역을 가지는 형광체를 사용하여 연색지수를 높이는 방법이 사용되고 있으나 LED를 제조하고 그 위에 형광체를 도포하여야 한다는 점에서 생산단가의 상승과 소자의 장시간 사용에 따른 형광체의 변질 등으로 여러 가지 문제점들을 가지고 있다.

[0004] 또한, 도 2에서와 같이, 형광체를 사용하지 않는 방법은 Red, Green, Blue LED 등의 세 종류의 칩을 하나로 모듈화하여 제작하는 방법이 있는데 위의 형광체를 사용하는 방법에 비해 연색지수는 우수하지만 가격이 너무 비싸다는 단점이 있다. 그리고 세 종류의 칩 중에 한 칩이라도 출력이 저하되면 모듈 전체의 효율이 떨어져 결국 수명에 악영향을 미치는 단점이 있다. 또한, 원하는 백색광을 얻기 위해서 각 LED 칩의 전류를 조절해야 하고, 이를 위한 복잡한 회로 구성이 요구되는 문제점과 함께 복수의 LED 칩을 사용한다는 점에서 공간상의 제약이 발생하므로 디스플레이의 해상도를 높이는 데 장애가 된다.

[0005] 이러한 문제점들을 해결하기 위해서 최근에는 도 3에 보인 바와 같이 육각 피라미드형태의 반도체층의 정상부와 경사부인 결정면 위에 InGaIn 활성층을 성장하여 발광 파장영역이 넓은 LED를 제작하는 방법도 제안이 되고 있다. 이 방법에서도 역시 정상부와 경사부의 결정면에서의 In 조성비와 InGaIn 활성층의 결정 성장속도가 다른 점을 이용하고 있으며, 또한 경사부의 결정면 자체에서도 바닥쪽에 가까운 부분과 정상부에 가까운 부분에서 In 조성비와 InGaIn 활성층의 결정 성장속도가 다른 점을 이용하여 폭 넓은 파장영역을 가지는 LED를 제작하고 있다.

[0006] 또 다른 비슷한 접근 방법으로서 도 4에 보인 바와 같이 GaIn를 선택적 결정 성장에 의해 정상부의 평평한 영역과 동시에 경사부들이 형성되도록 하고, 그 위에 InGaIn 활성층을 성장하는 기술들이 제안되고 있다. MOVPE(Metal-Organic Vapor Phase Exptaxy)에 의해 InGaIn 활성층을 성장하는 경우, 정상부의 평평한 영역 및 경사면의 결정 방향에 따라서 In의 조성비와 InGaIn 층의 결정 성장 속도가 다르기 때문에 종래의 평평한 결정면 위에만 InGaIn 활성층을 성장하는 것에 비하여 다양한 파장의 빛을 얻을 수가 있다. 그렇지만, 이러한 방법들에서는 주로 경사부의 결정면들만 형성이 되고, 하부에 존재하는 단면이 사다리꼴 형태의 GaIn 스트라이프(strip)의 형상과 크기가 고정되어 있기 때문에 발광 파장 영역을 폭 넓게 하는 데에는 한계가 있다.

[0007] 위의 예에서 보인 두 가지 방법은 형광체를 사용하지 않고 MOVPE 결정 성장만으로 폭넓은 파장영역을 가지는 LED를 제작하는 방법이다. 그러나 두 경우 모두 하부 구조인 GaN 스트라이프나 GaN 피라미드(pyramid)의 크기에 따라서 발광 파장이 정해지고 LED 칩(chip) 전체에서 모든 구조들이 동일한 형상과 크기를 가지기 때문에 매우 넓은 영역의 파장을 얻기에는 한계가 있으며, 기판과 GaN 박막층 사이에 존재하는 격자상수와 열팽창계수 차이에 의한 관통전위(threading dislocation)가 InGaN 활성층까지 그대로 전파되는 현상을 막기 어려워 LED의 발광 효율 향상과 구동 수명에 악영향을 주게 된다. 또한, 기판과 GaN 박막 층 사이에 존재하는 격자상수 차이에 의한 스트레인(strain)이 존재하여 압전분극(piezoelectric field)에 의해 활성층에서의 전자와 정공의 결합 효율 감소에 의한 활성층에서의 발광 효율 저하라는 문제점을 가진다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 국내 공개특허 제 10-2005-0022361 호(2005. 03. 07. 공개)
 (특허문헌 0002) 국내 등록특허 제 10-0540848 호(2006. 01. 11. 등록공고)
 (특허문헌 0003) 국내 등록특허 제 10-0893348 호(2009. 04. 15. 등록공고)
 (특허문헌 0004) 국내 등록특허 제 10-0974629 호(2010. 08. 10. 등록공고)

발명의 내용

해결하려는 과제

[0009] 본 발명의 목적은 백색 LED의 제조를 형광체를 사용하는 종래 방식에서 문제점으로 제시된 낮은 연색지수, 형광체 도포 공정에 의한 생산 단가 상승 및 수명 단축 등의 문제점을 해결하기 위해 형광체를 사용하지 않고 질화물 반도체 결정 성장만으로 백색 LED를 제조하고자 하는데 있다.

[0010] 또한, 본 발명의 다른 목적은 접촉면적을 최소화한 상태에서 선택적 결정 재성장을 실시하여 결정결함 특히, 관통전위(threading dislocation)의 밀도를 낮출 수가 있고, 스트레인(strain)을 감소시킴으로써 고품질의 결정을 성장할 수 있도록 하는데 있다.

[0011] 또한, 본 발명의 또 다른 목적은 c-사파이어 또는 Si(111)를 기판으로 이용함에도 불구하고 극성인 c-면뿐만 아니라 non-polar 및 semi-polar 결정면들이 형성되므로 극성면인 c-면만을 이용하여 LED를 제작하는 종래기술에 비하여 non-polar 및 semi-polar 결정면들도 이용할 수 있으므로 압전분극을 완화할 수 있고 그러한 결정면들 위에 활성층을 성장함으로써 LED의 발광효율을 향상시키고자 하는데 있다.

[0012] 또한, 본 발명의 또 다른 목적은 다양한 결정면으로 이루어진 GaN 반도체층 위에 InGaN 반도체층을 형성하여 다양한 파장의 빛이 방출되도록 하여 형광체를 사용하지 않고도 백색 LED를 제작할 수 있도록 하는데 있다.

과제의 해결 수단

[0013] 상기한 바와 같은 목적은, 제 1 반도체층(1)을 형성하는 단계; 상기 제 1 반도체층(1) 위에 선택적 결정 성장에 의해 꼭지점 부분이 뾰족한 형태의 제 2 반도체층(5)을 형성하는 단계; 상기 제 2 반도체층(5)의 꼭지점 부분에 선택적 결정성장에 의해 다양한 결정면을 가지는 제 3 반도체층(8)을 형성하는 단계; 및 상기 제 3 반도체층(8) 위에 활성층을 포함하는 반도체층(9)을 형성하는 단계를 포함하여 구성되는 LED의 제조방법에 의해 달성된다.

[0014] 본 발명의 하나의 측면에 의하면, 상기 제 2 반도체층(5)을 형성하고, 전면에 SiO₂막(6)을 형성하는 단계; 및 상기 제 2 반도체층(5)의 꼭지점 부분의 SiO₂막(6)을 제거하는 단계;를 더 포함하며, 상기 SiO₂막(6)을 PR 코팅(coating)시의 회전 수, 노광시간, 현상시간을 조절하여 습식 식각하는 것을 특징으로 한다.

[0015] 본 발명의 다른 하나의 측면에 의하면, 상기 제 2 반도체층(5)은 피라미드(pyramid) 형태 또는 스트라이프

(stripe) 형태이며, 상기 제 2 반도체층(5)의 상부로부터 1/10 내지 1/5 미만의 영역의 SiO_2 막(6)이 제거되도록 하고, 결정성장시 원료가스로부터 분해된 원자들의 상대적인 밀도가 상기 꼭지점 부분의 영역에서 커지도록 상기 피라미드(pyramid) 또는 스트라이프(stripe) 사이의 간격을 조절하여 평균 확산 거리를 짧게 하는 것을 특징으로 한다.

[0016] 본 발명의 다른 하나의 측면에 의하면, 상기 제 2 반도체층(5)의 꼭지점 부분에 선택적 결정성장에 의해 다양한 결정면을 가지는 제 3 반도체층(8)을 형성하는 단계에서, MOVPE 반응관의 압력을 상압 이상으로 유지하여 결정 성장에 기여하는 원자들의 평균 확산거리를 짧게 하여 인접한 피라미드 형태의 제 2 반도체층(5)의 꼭지점에서 성장되는 제 3 반도체층(8)의 모양과 크기를 서로 다르게 형성시키는 것을 특징으로 한다.

[0017] 본 발명의 다른 하나의 측면에 의하면, 상기 제 1 내지 제 3 반도체층(2)(5)(8)은 n형 GaN인 것을 특징으로 한다.

[0018] 본 발명의 다른 하나의 측면에 의하면, 상기 활성층은 InGaN인 것을 특징으로 한다.

[0019] 본 발명의 다른 하나의 측면에 의하면, 상기 활성층은 청색부터 적색까지의 파장범위를 가지고, 상기 활성층 위에 p-AlGaIn층 및 p-GaN층이 더 형성되는 것을 특징으로 한다.

발명의 효과

[0020] 따라서, 본 발명에 의하면, 본 발명은 위치가 지정된 육각 피라미드 형태의 반도체층 위에 선택적 결정 성장을 실시함으로써 원하는 위치에 마이크로미터 크기의 질화물 반도체층을 제작할 수 있으며, 이에 따라 마이크로미터 크기의 반도체층의 밀도를 제어할 수 있다.

[0021] 또한, 본 발명에 의하면, 접촉부위가 매우 좁은 영역에서부터 선택적 결정성장이 실시되어 관통준위와 같은 결정결함의 밀도를 크게 낮출 수 있고, 재성장되는 결정의 스트레인(strain)을 완화시켜 압전분극에 의한 발광효율 감소효과를 낮추는 효과가 있어 광소자에 응용하는 경우 발광효율을 향상시킬 수 있으며, 전자소자에 응용하는 경우 누설전류로 작용하는 결정 결함의 밀도도 낮출 수 있다.

[0022] 또한, 본 발명에 의하면, 육각 피라미드 형태의 반도체층의 꼭지점 위에 형성되는 질화물 반도체층은 다양한 형태를 가지며 여러 종류의 결정면 위에 InGaIn을 성장하므로 각 면마다 In의 함유 효율 및 InGaIn 반도체 층 성장률의 차이에 의해서 각 면마다 다른 In의 조성비를 가지게 되어 다양한 파장의 광 방출이 가능하며 이러한 효과를 이용하여 형광체를 사용하지 않고 백색 LED를 제작할 수 있다.

도면의 간단한 설명

[0023] 도 1은 종래 형광체를 사용하여 백색 LED를 제작하는 기술을 보여주는 도면이다.

도 2는 종래 형광체를 사용하지 않고 백색 LED를 제작하는 기술을 보여주는 도면이다.

도 3은 종래 형광체를 사용하지 않고 백색 LED를 제작하는 기술의 다른 예를 보여주는 도면이다.

도 4는 방향이 다른 결정면에서의 발광 스펙트럼 분포도이다.

도 5a 내지 도 5i는 본 발명에 의한 육각 피라미드 형태의 반도체층의 꼭지점 부근의 미세영역에서의 질화물 반도체 결정 재성장을 위한 한 가지 실시예를 보여주는 공정 흐름도이다.

도 6 및 도 7은 본 발명에 의한 결정 성장 실시예의 결과를 보여주는 SEM 사진으로서 도 6은 저배율의 SEM 사진이고, 도 7은 고배율의 SEM 사진이다.

도 8은 피라미드 형태의 제 2 반도체층의 꼭지점의 노출영역이 넓고 GaN 피라미드 간의 간격이 넓은 경우의 결정 성장결과를 보여주는 사진이다.

도 9는 본 발명의 실시예의 CL 스펙트럼이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 본 발명의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명하기로 한다.
- [0025] 도 5a 내지 도 5i는 본 발명에 의한 육각 피라미드 형태의 반도체층의 꼭지점 부근의 미세영역에서의 질화물 반도체 결정 재성장을 위한 한 가지 실시예를 보여주는 공정 흐름도이다.
- [0026] 우선, 도 5a와 같이, Si 기판(1) 위에 MOVPE 방법에 의해서 n-GaN으로 2~3 μm 두께를 가지는 제 1 반도체층(2)을 성장한다. MOVPE 방법에 의해 제 1 반도체 층(2) 성장을 완료한 후 SiO_2 막(3)을 90~110nm의 두께를 가지도록 제 1 반도체 층(2) 표면에 증착한다.
- [0027] 도 5a와 같은 과정이 끝난 후 기판(1)에 포토리소그래피 공정을 이용하여 도 5b와 같이, 3~5 μm 의 지름을 가지는 원형부분만 제 1 반도체층(2)의 표면이 노출되도록 SiO_2 막(3)을 에칭한다. 이때 원형패턴 중심간의 간격은 5~7 μm 정도가 되도록 한다.
- [0028] 도 5b와 같은 공정이 완료되면, MOVPE 방법에 의해 도 5c와 같이 SiO_2 막(3)을 마스크로 하여 SiO_2 막(3)이 제거된 부분(4)에 n-GaN으로 육각 피라미드 형태 또는 스트라이프(Stripe)형태의 제 2 반도체 층(5)을 선택적 결정 성장한다.
- [0029] 위와 같이 육각 피라미드 형태의 제 2 반도체 층(5) 결정 성장이 완료된 후, 도 5d와 같이 전체 기판(1) 표면 위에 다시 SiO_2 막(6)을 소정의 두께를 가지도록 증착한다. 여기서, SiO_2 막(6)은 바닥층의 두께가 90~110 nm 정도가 되도록 한다.
- [0030] 이때 피라미드 형태의 경사부에서의 SiO_2 막(6)의 두께는 피라미드가 없는 평평한 지역에 비해 자연적으로 얇아지며, 경사부 자체에서도 피라미드 바닥쪽 부분에 비해 꼭지점 부분이 얇게 증착이 된다.
- [0031] 도 5d와 같은 공정이 끝나면, 도 5e에서와 같이 기판(1)의 표면, 즉 SiO_2 막(6) 위에 PR(Photo-Resist)(7)을 도포한다. 이때 PR(7)의 점성도와 PR 코팅(coating)을 위한 스핀 코터(spin coater)의 회전수에 따라 정도의 차이는 있지만, 대부분의 경우 도 5e와 같이 육각 피라미드형태의 하부의 평평한 부분에서는 PR(7)의 두께가 두껍고 육각 피라미드형태의 경사부에서는 꼭지점 부분으로 올라갈수록 PR(7)의 두께가 얇아진다. 도 5e와 같은 공정은 AZ 5214 PR을 사용하였으며, 회전수는 1,000~3,000 rpm 정도로 할 수 있는데, 이 경우는 1,000 rpm으로 하였다.
- [0032] 위와 같은 PR 코팅 공정이 완료되면 소프트 베이킹(soft baking)을 실시하고 일정 세기(power)의 자외선을 정해진 시간(AZ 5214의 경우 3~7초) 동안 조사한 후, 정해진 습식 식각 공정을 위한 식각 용액을 이용하여 식각(develop) 공정을 실시한다. 이때 식각시간을 적당히 조절하면(식각기 MIF 500의 경우 1~3초) 도 5f와 같이 육각 피라미드 형태의 꼭지점 부분의 PR(7)만 제거할 수 있다.
- [0033] 위와 같이 피라미드 형태의 꼭지점 부분의 PR(7)을 제거하는 공정이 완료되면, 도 5g와 같이 PR(7)이 제거되어 육각 피라미드 형태의 꼭지점 부분에 노출된 SiO_2 막(6)을 BOE(Buffered Oxide Etchant)를 이용하여 에칭하여 제거한다.
- [0034] 상기 공정 완료 후, 필요한 세정 및 세척과정을 실시하고 다시 MOVPE 방법을 이용하여 도 5h와 같이 선택적 결정 성장을 실시하여 육각 피라미드 형태의 제 2 반도체층(5) 꼭지점 윗부분에 n-GaN으로 다양한 결정면을 가지는 제 3 반도체층(8)을 성장한다.
- [0035] MOVPE 방법(장치)을 이용하여 제 2 반도체 층(5) 꼭지점 윗부분에 다양한 결정면을 가지는 제 3 반도체 층(8)을 성장할 때에 반응관의 압력은 상압 혹은 고압, 즉 1 내지 1.2기압으로 유지하여 기판(1) 표면에서의 원자들의 평균 확산 거리를 짧게 할 수 있다.
- [0036] 상기 공정이 완료되면 MOVPE 방법을 이용하여 도 5i와 같이 InGaN 활성층(9), p-AlGaN 전자 차단층 그리고 p-GaN 캡(cap)층을 포함하는 LED 구조의 반도체 층을 성장한다. 여기서, 활성층(9)의 파장범위는 청색부터 적색까지이다.
- [0037] 위와 같은 LED 제조를 위한 반도체 결정 성장이 모두 완료된 후에 p-GaN 캡층 위에는 p-형 전극을 형성하고 Si 기판(1)의 아래부분은 래핑(lapping) 및 폴리싱(pollishing) 공정을 이용하여 80~100 mm의 두께만큼 남긴 후 n-형 전극을 형성하여 LED 제작을 완료한다.
- [0038] 도 6 및 도 7은 본 발명에 의한 결정 성장 실시예의 결과를 보여주는 SEM 사진으로서 도 6은 저배율의 SEM 사진

이고, 도 7은 고배율의 SEM 사진이다.

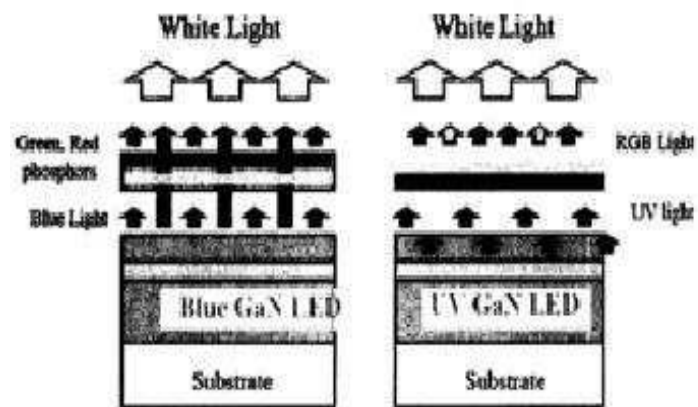
- [0039] 도 6의 SEM 사진에서 확인할 수 있듯이 바로 인접한 반도체 구조임에도 불구하고 GaN 피라미드 형태의 꼭지점 위에 형성된 제 3 반도체층(구조물)들이 각기 다른 모양의 형태를 가짐을 알 수 있다.
- [0040] 도 7의 SEM 사진에서는 GaN 피라미드형태의 꼭지점 위에 형성된 제 3 반도체층(구조물)들이 여러 방향의 결정면을 가지고 있음을 보여주고 있다.
- [0041] 도 8은 GaN 피라미드 형태의 제 2 반도체층에 증착된 SiO_2 의 에칭된 면적이 피라미드 전체 높이의 1/5 내지 1/10 이상으로 하여 꼭지점의 노출 면적이 비교적 넓고, 피라미드 간의 간격이 도 6 및 도 7의 예의 경우보다 넓게 하여 피라미드 형태의 제 2 반도체층의 꼭지점 영역에서의 원자들의 밀도를 본 발명에서 제안하는 경우보다 작게 한 경우의 결정 성장 예를 보여주고 있다. 즉, 도 6 및 도 7의 예시와는 달리 제 2 반도체층 꼭지점 위의 제 3 반도체층(구조물)들이 모두 동일한 형태를 가짐을 확인할 수 있다.
- [0042] 따라서, 제 2 반도체층의 꼭지점 부근에서의 원자들의 밀도에 의한 평균 확산 거리의 조절이 매우 중요함을 알 수 있다.
- [0043] 도 9는 GaN 피라미드 형태의 제 2 반도체층 꼭지점 위에 형성된 제 3 반도체층(구조물) 위에 InGaN 활성층과 p-GaN 캡핑(capping) 반도체층을 성장시킨 후, CL 스펙트럼(spectrum)을 측정한 결과를 보여주고 있다. 피라미드 형태의 제 2 반도체층이 30개 포함되는 영역의 스펙트럼 결과로서 파장영역은 400~500 nm 영역까지 매우 폭넓은 발광 영역을 가짐을 확인할 수 있다.
- [0044] 즉, In 조성비를 적절하게 조절하여 적색 영역까지 포함하도록 하면 백색 LED를 제작할 수 있다.
- [0045] 지금까지 본 발명에 따른 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능함은 물론이다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허 청구의 범위뿐 아니라 이 특허 청구의 범위와 균등한 것들에 의해 정해져야 한다.
- [0046] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 이는 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명 사상은 아래에 기재된 특허청구범위에 의해서만 파악되어야 하고, 이의 균등 또는 등가적 변형 모두는 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

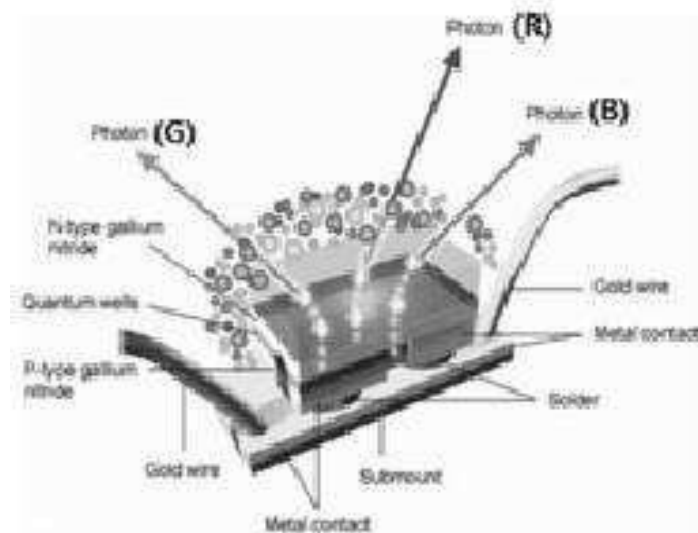
- [0047]
- | | |
|-------------------------|---------------------------------|
| 1 : 기판 | 2 : 제 1 반도체층 |
| 3, 6 : SiO_2 막 | 4 : SiO_2 막(3)이 제거된 부분 |
| 5 : 제 2 반도체층 | 7 : PR |
| 8 : 제 3 반도체층 | 9 : InGaN 반도체층 |

도면

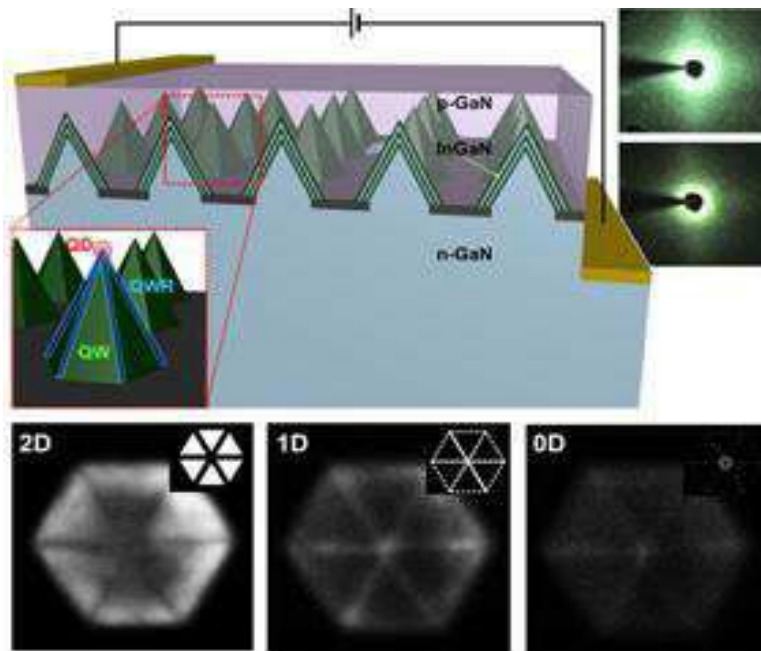
도면1



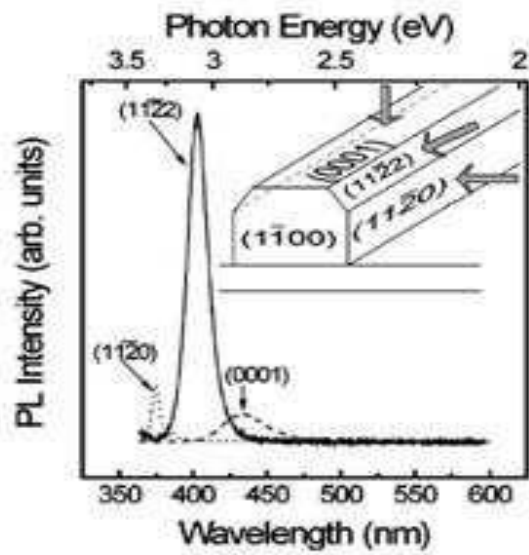
도면2



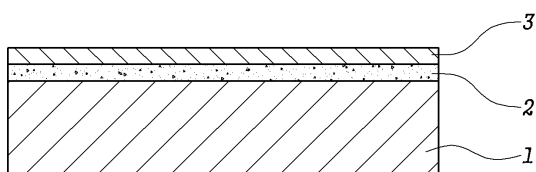
도면3



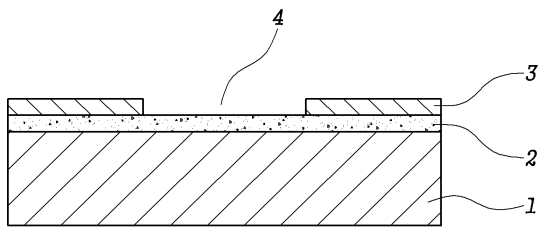
도면4



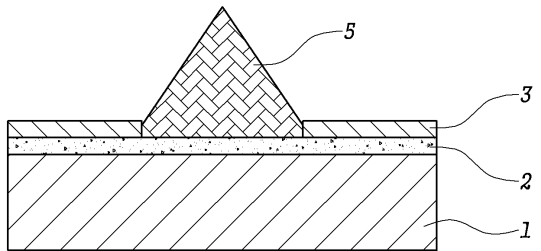
도면5a



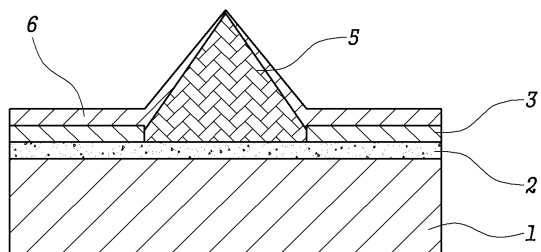
도면5b



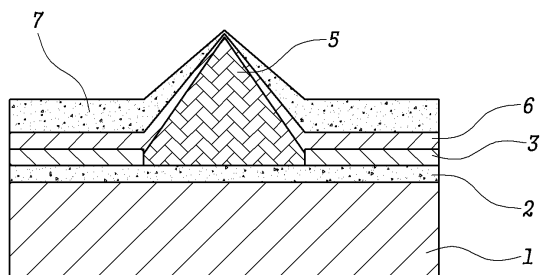
도면5c



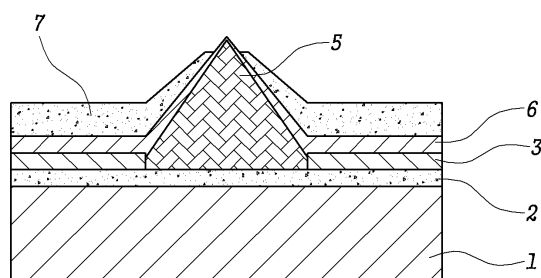
도면5d



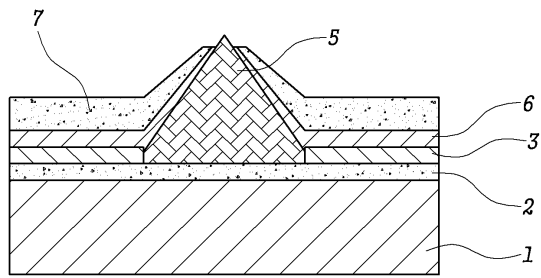
도면5e



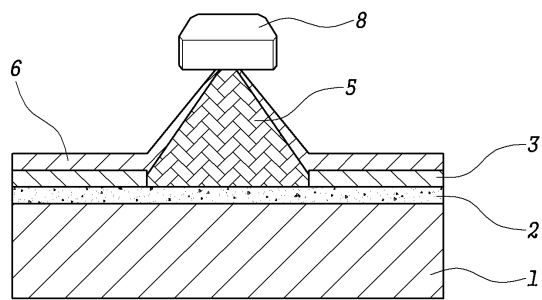
도면5f



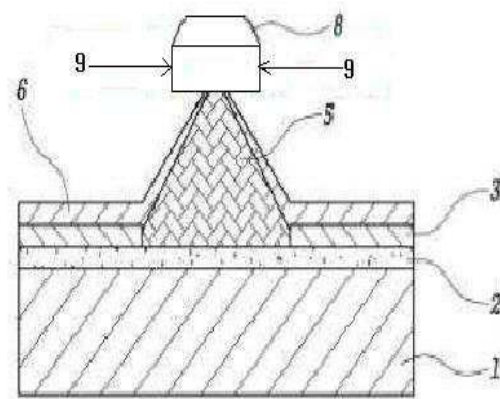
도면5g



도면5h



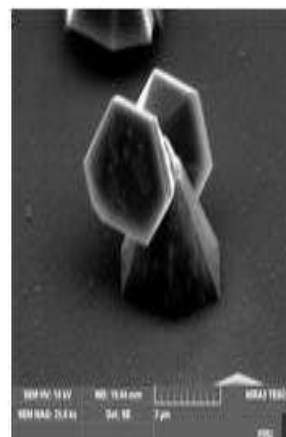
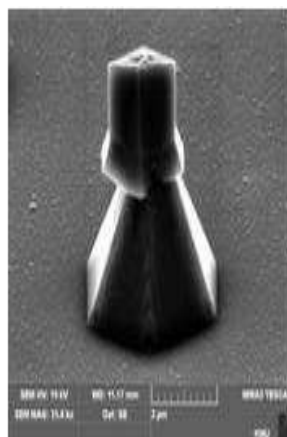
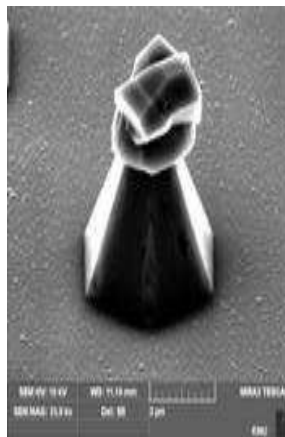
도면5i



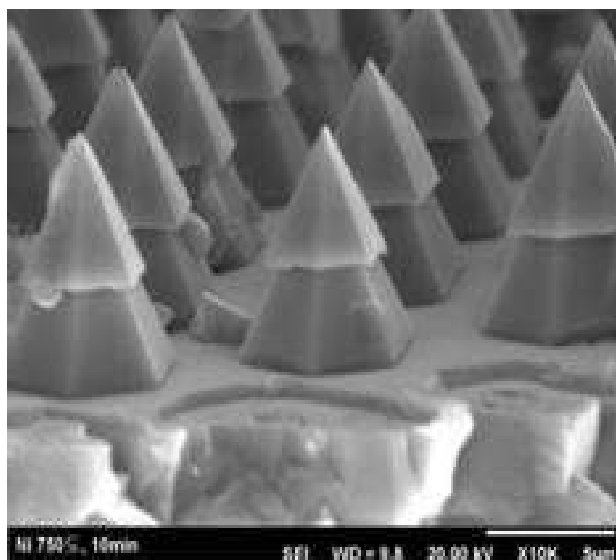
도면6



도면7



도면8



도면9

