(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/06

(45) 공고일자 1999년08월02일
(11) 등록번호 10-0214408
(24) 등록일자 1999년05월19일

(21) 출원번호 10-1996-0045804
(22) 출원일자 1996년10월11일
(65) 공개번호 특1997-0024163
(43) 공개일자 1997년05월30일

(30) 우선권주장 60/005,076 1995년10월11일 미국(US)
60/006,688 1995년11월14일 미국(US)

(73) 특허권자 인터내쇼널 렉티파이어 코포레이션 클레버터 레슬리 씨.
미합중국 캘리포니아 90245 엘 세군도 캔사스 스트리트 233
(72) 발명자 킨저 다니엘 엠.
미합중국 캘리포니아 90245 엘 세군도 센터 스트리트 760
와저스 케네쓰
미합중국 캘리포니아 90048 로스엔젤레스 더블유. 피프스스트리트 6507
(74) 대리인 박장원

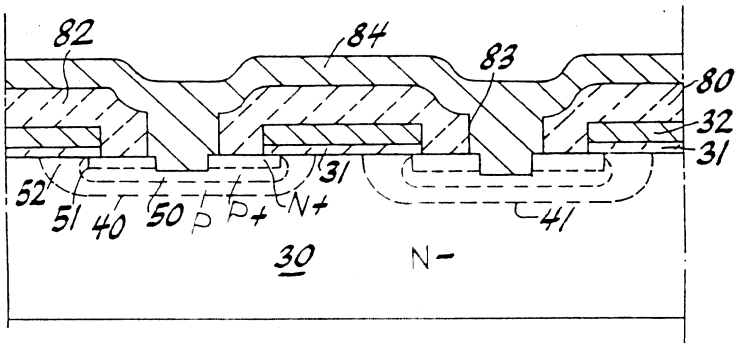
심사관 : 민병준

(54) 반도체 소자의 터미네이션 구조 및 그 제조방법

요약

본 발명은 반도체 소자 주변부의 소자 브레이크다운을 방지하는 것을 특징으로하는 반도체소자의 터미네이션구조 및 그 제조공정을 제공하며, 상기 터미네이션 구조는 필드 산화막영역의 일부의 상면에 위치하고 바람직하게는 그 베이스 영역의 일부를 오버레이(overlay)하는 폴리실리콘 필드평판을 포함하고, 상기 필드 평판은 상기 필드산화막의 에지의 약간 위쪽으로 연장형성되어 필드 상화막의 테이퍼영역을 방형화(square)시킬수 있으며, 또한 상기 터미네이션 구조는 반도체칩의 최소표면영역을 차지하며 추가적인 마스크 공정없이 제조된다.

대표도



명세서

[발명의 명칭]

반도체 소자의 터미네이션 구조 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 모스(MOS-gated) 소자의 평면도.

제2도는 종래의 모스(MOS-gated) 소자의 표면의 셀 타포러지(cell topology)를 도시한 평면도.

제3도는 상기 도2의 모스 소자를 라인 2-2에 따른 단면도.

제4도는 상기 도1의 모스 소자의 최외측 활성 셀 및 터미네이션 영역의 일부의 셀 타포러지를 도시한 평면도.

제5도는 상기 도4의 모스 소자를 라인 5-5에 따른 단면도.

제6도는 상기 도4의 모스 소자를 라인 6-6에 따른 단면도.

제7도는 센터 게이트 버스를 포함하는 상기 도1의 모스 소자의 영역을 도시한 단면도.

제8도는 제7도에 도시된 상기 영역의 게이트 산화막의 계단부를 도시한 확대도.

제9도는 종래의 P-채널 소자의 I-V 브레이크다운(breakdown) 특성 및 본 발명의 일실시예에 따른 P-채널 소자의 I-V브레이크다운 특성을 도시한 다이어그램.

제10도는 본 발명의 일실시예에 따른 P-채널 소자의 게이트 산화막의 계단부분에 대한 확대도.

* 도면의 주요부분에 대한 부호의 설명

20 : 모스페트(MOSFET)칩 21 : 소스 접촉

22 : 게이트 패드 24, 25, 26 : 게이트 버스

30 : N^- 에피택셜 영역 31 : 게이트 산화막

32 : 폴리실리콘 게이트 층 32a : 스트립

32b : 내로우 핑거 32c : 등전위 링(EQR ring)

33 : 포토레지스트 40, 41 : 채널확산영역

50 : P^+ 영역 51 : N^+ 영역

52 : 반전 P^- 채널 80, 82, 83 : 저온 산화막(LTO)

84 : 소스 접촉 90 : 곡선

91 : 점곡선 100, 101 : 활성 셀

103, 104, 140, 141 : 터미네이팅 하프 셀 (terminating half cell)

110 : 필드 산화막(field oxide) 200 : 테이퍼

[발명의 상세한 설명]

본 발명은 반도체 소자에 관한 것으로, 특히 모스 게이트 제어(MOS-gated)반도체 소자와 같은 반도체 소자의 터미네이션(termination)구조에 관한 것이다.

모스 게이트 제어(MOS-gated controlled) 소자는 상기 기술분야에서 널리 알려져 있고, 1994.9.1(IR-1113)에 출원된 미국특허 출원번호 08/299,533에 따른 모스 게이트 제어 소자와 같은 소자를 포함하고, 참고로 여기에 합체되어지는 주제(subject matter)를 포함한다. 모스 게이트 제어모스(MOS-gated) 소자는 또한 파워 모스페트(power MOSFET), 모스 게이트 제어 다이리스터모스(MOS-gated thyristor), 게이트 턴-오프(gated turn-off)소자와 기타 같은 종류의 것을 포함한다.

상기 모스 게이트 제어(MOS-gated)소자는 일반적으로 다이(die)의 주변에 위치한 셀을 포함하는 다수 개의 활성 셀로 형성된다. 상기 주변의 셀이 소스-드레인(source-to-drain)간의 총전압에 좌우될 때, 상기 주변의 셀은 셀의 최외측부와 인접한 스트리트(street)간의 애벌런시 브레이크다운(avalanche breakdown)을 일으키기 쉽다.

그러므로, 상기 칩의 활성 주변에서 브레이크다운을 방지하는 소자구조를 제공하는 것이 필요하다.

상기 구조를 포함하는 소자의 제조공정은 다수의 포토리소그래픽 마스킹(Photo lithographic masking) 단계와 있음직한 소자 결함의 원인을 제공할 뿐만 아니라 제조시간과 비용을 추가하는 각각의 임계 마스크 정렬 단계를 포함한다.

그러므로, 상기 칩의 최소 표면 면적을 차지하고 추가되는 마스크공정을 요구하지 않는 터미네이션 구조를 사용하는 것이 바람직하다.

본 발명은 어떤 형태의 반도체 소자이든지 터미네이트(terminate)하는데 사용되어질 수 있는 터미네이션 구조 및 그 제조공정을 제공한다.

그러나, 특히 본 발명은 상기한 바와 같이 미국 특허 출원번호 08/299,533에 설명된 것과 같은 소자 및 공정의 사용에 적용할 수 있다.

제1도는 모스페트 다이(MOSFET die,20)의 평면이며, 본 발명 터미네이션 구조로 합체되어질 수 있다. 상기 모스페트 다이(20)는 미국 캘리포니아 엘 세군도의 인터내쇼널 렉티파이어 코포레이션(International Rectifier Corporation)에 의해 판매되는 파워 모스페트 헥스(powr MOSFET HEX) 2.5일 수 있다. 일반적으로, 상기 다이(20)은 110㎜ × 140㎜의 크기이고 소스접촉표면(21), 게이트 패드(gate pak,22)를 가지며, 상기 다이(20)로부터 연장한 게이트 버스(24,25,26)를 가진다. 드레인 접촉(도시되지 않음)이 상기 다이(20)의 바닥에 위치한다.

바람직하게는, 상기 소자는 바라던 모스 게이트 제어(MOS-gated controlled) 소자를 정의하는 어떤 접합 패턴(pattern)도를 가질 수 있다. 단면 라인2-2를 가로질러 자른 도 2의 단면도인 도 2 및 제3도는 도 2 및 도 3으로 표시된 도 1의 원형 영역 즉 상기한 미국 특허 출원번호 08/299,533의 원형영역으로 사용될 수 있는 일반적인 접합 패턴을 보여준다. 도 2 및 도 3는 각각의 N^+ 소스영역(51)과 상기 N^+ 소스영역(51)아래 위치해 있는 P^+영역(50)을 포함하는 동일한 간격을 유지한 P^- 베이스 또는 채널 확산 영역(40,41)을 포함하고, 그리고 N^-에피택셜로 형성된 영역(30)내부에 형성되어지는 일정한 간격을 두고 평행하게 접촉된 몇몇의 6각형 셀룰러 모스페트 요소를 보여준다. 상기 반전할 수 있는 P^- 채널(52)는 도 3에 도시된 게이트 산화막층(31) 및 폴리실리콘 게이트층 (32)의 바로 밑에 배열된다.

저온 산화막층(LTO : 81,82,83)은 상위에 놓여 있고, 상기 폴리실리콘(32)이 상기 소스 메탈(알루미늄 : 84)을 경유하여 상기 N^+ 소스에 연결되는 것을 막음으로써 상기 게이트 폴리실리콘(32)의 세그먼트(segment)을 절연시킨다.

도 2 및 도 3에 도시된 접합 패턴을 형성하는 상기 공정은 상기한 미국 특허출원번호 08/299,533에 기술된 바와 비슷하다. 여기에 기술한 일실시예에 따르면, 도 3에 도시된 상기 N^- 몸체(30)은 일반적으로 N^+ 기판(도시되지 않은) 꼭대기에 성장한 에피택셜 층 일 수 있다. 게이트 절연층(31)은 상기 N^- 몸체(30)의 꼭대기에 형성되며, 실리콘 이산화막 층을 열적으로(thermally) 성장할 수 있다.

그 다음에, 차례로 상기 게이트 산화막 층(31)은 폴리실리콘 층(32)으로 도포된다.

포토레시스트(photoresist) 층이 그 다음에 상기 폴리실리콘 층 꼭대기에 증착되지 미소차이를 식별할수 있는(appropriate) 포토리소그래피(photolithographic) 마스크 단계를 사용하여 패턴된다. 개구부(opening)는 감광막을 통해 상기 폴리실리콘 층(32)의 표면에 형성된다. 상기 포토레지스트 층의 개구부 형성에 따라, 이방성(anisotropic) 식각(etch)는 폴리실리콘의 노출된 부분을 식각하는데 사용된다. 상기 식각은 상기 노출된 폴리실리콘의 부분을 선택적으로 제거하기에 충분하지만 상기 웨이퍼상에 존재하는 산화막을 완전히 제거하지는 않는다. 그후, 바람직하게는 하위에 놓인 노출된 상기 실리콘 이산화막은 등방성(isotropic) 습식식각을 이용하여 제거한다. 그러나, 또한 상기 공정에서 상기 게이트 산화막이 상기 단계에서 손상되지 않게 두는 것이 가능하고, 동시에 상기 게이트 산화막을 관통하도록 충분한 고 에너지의 도판트(dopant)를 주입시키는 것이 가능하다.

그 후, 주입(implant)은 상기 폴리실리콘의 창(window)을 통하여 실행되며, 상기 주입물로는 붕소를 사용한다. 상기 주입 동작(operation)에 따르면, 상기 포토레지스트(33)는 제거되고, 상기 P 형 주입은 상기 P형 영역(40,41)을 형성하기 위해 드라이브 인(drive in)된다. 그리고, 상대적으로 고농도의 비소(arsenic)나 인(phosphorus)의 N^+ 도스(dose)가 상기 폴리실리콘 창을 토하여 주입되고, 동시에 붕소의 P^+ 도스는 상기 창을 통하여 주입된다.

그후, 저온 산화막 층(LTO : 80,82,83)이 상기 웨이퍼의 표면 꼭대기에 증착되고, 상기 N^+ 및 P^+ 주입물은 영역(50,51)을 형성하기 위해 드라이브 인(drive in)되어진다. 상기 N^+ 층(51)은 설계자가 지정한 양만큼 상기 P^+ 층(50)보다 얕게 형성되며, 사용되는 종류와 도스에 따라 결정된다.

또다른 포토레지스트 층은 그 다음에 상기 저온 산화막(LTO : 80,82,83)의 꼭대기에 적용되고, 각각의 셀 축상에 위치한 웰-얼라인(well-align)된 작은 중앙의 개구부를 형성하기 위해 제2마스크 단계에 의해 패턴화된다. 그 후, 상기 저온산화막(LTO : 80,82,83)이 상기 실리콘 표면에 중앙의 개구부를 개방하기 위해 이방성의 산화막 식각의 방법으로 식각된다.

그후, 또다른 이방성 식각은, 상기 정공(hole)이 상기 N^+ 층(51)을 관통하는 상기 실리콘 표면에 형성되고, 그리고 정공이 각각의 셀에 대해 상기 P^+ 층(50)에 이르게 하기 위하여 상기 노출된 실리콘 표면을 식각한다. 그 다음에, 상기 웨이퍼는 상기 저온 산화막 층(LTO : 80,82,83)을 언더컷(undercut)하기 위해 등방성 습식식각으로 노출된다. 그리고나서, 상기 포토레지스트는 제거되고, 알루미늄과 같은 소스 접촉 메탈(84)이 상기 저온 산화막(LTO) 층의 개구부와 상기 실리콘 기판의 개구부를 채우기 위해 상기 소자의 전 표면에 증착되고, 상기 저온 산화막(LTO) 층의 언더컷에 의해 형성된 상기 노출된 실리콘 쇼울더(shoulder)을 상위에 놓이게 하기위해 상기 소자의 전 표면에 증착된다. 그러면, 상기 소스 접촉 메탈(84)이 상기 N^+ 소스 영역을 상대적으로 하위에 놓인 P^+ 영역에 접촉시킨다.

드레인(또는 애노드(anode)) 접촉(도시되지 않음) 상기 N^+ 기판에 연결될 수 있고, 상기 칩의 하나의 표면에서 연결함에 있어 유용할 수 있다. 상기 소자를 IGBT로 형성하려고 할 경우, 종래의 기술에서는 얇은 N^+ 버퍼 층 및 P^+ 바닥 층이 상기 웨이퍼 구조의 바닥에 부가된다.

상기 셀이 바라던 크기를 가질 수가 있는 경우에 있어서, 도 3에 도시된 상기 셀은 일반적으로 약 5.8 미크론의 넓이와 일반적인 약 5.8 미크론의 분리(separation)를 가진다. 상기 접촉 개구부는 일반적으로 약 2미크론의 짧은 크기를 가진다 각각의 셀은 도시한 바와 같이 비 임계(non-critical)의 수평 크기로 길어지게 된다.

상기 소자가 N^- 채널 소자에 적용되는 경우에는, 반대 형태의 전도성 타입(type)이 상기 P^- 채널 소자를 만들기 위해 각 영역에 대해 대체되어질 수 있다는 것을 상기이 기술분야에 통상의 지식을 가진 사람에게는 명백할 것이다. 또한 완성된 상기 소자는 표면실장(surface mount) 패키지나 TO220 패키지 같은 비표면 실장 패키지에 실장되어질 수 있다.

도 4-7은 N 또는 P 채널 소자에 적합하고, 제 2내지 3도에 도시된 상기셀을 만드는데 사용되어진 동일한 공정단계를 사용하여 제조될 수 있는 새로운 터미네이션구조의 일실시예이다.

도 4, 5 및 6로 표시된 도 1의 원형영역은 도 1의 게이트 버스(24)의 상기 터미네이션 구조를 포함한다. 도 7로 표시된 도 1의 원형영역은 게이트 버스(25,26)의 상기 터미네이션 구조를 포함한다.

우선 도 4를 참조하며, 두개의 마지막 또는 최외측의 완성된 활성영역의 셀(100,101)을 도시하고 있다. 제4도는 상기 N^+ 소스(102) 및 상기 셀의 P^+ 층을 도시하기 위해 노출된 상기 폴리실리콘 층(31)의 꼭대기에 해당하는 상기 셀을 도시한다. 상기 활성영역 셀(100,101)이 도 6의 라인 6-6에 따른 도 4의 단면도로 도 6에 도시되어 있다. 그러나, 제6도는 또한 소스접촉(84) 및 게이트 버스(24) 뿐 아니라 상위에 놓여있는 저온 산화막 층을 도시하고 있다.

상기 활성 셀(100,101)은 터미네이팅 반쪽(half) 셀(103,104)에 인접하며, 도 4 내지 도 5에 도시된 바처럼, 셀(100,101)을 형성하는 동일한 공정단계 동안 형성된다. 제5도는 도 4의 라인 5-5에 따른 단면도이다.

도 5 내지 도 6에 도시된 필드 산화막(110)은 위에서 언급된 미국특허출원(No.08/299,533)에 따른 공정에 앞서서 상기 N형 몸체의 상면에 형성된다. 포토레지스트 층(photoresist layer)은 상기 필드 산화막의 상면에 증착하고 상기 필드 산화막에 개구부를 형성하는 적합한 포토리소그라픽 마스크(photolithographic mask) 단계를 이용하여 패턴화된다. 상기 필드 산화막의 노출부를 식각하여 상기 활성소자영역을 노출시킨다. 바람직하게는, 등방성 습식식각은 테이퍼된 모양을 갖는 필드 산화막의 모서리를 이용한다. 그러나 이방성 식각공정도 사용된다. 상기 게이트 산화막은 상기 활성소자영역의 상면에 형성되고, 폴리실리콘층은 상기 게이트 산화막 및 필드 산화막위에 형성된다. 상기 소자는 위에서 언급된 방식으로 처리한다.

상기 필드 산화막(11)은 상기 게이트 버스와 상기 실리콘 버스와 상기 실리콘 기판사이의 절연막 역할을 한다. 상기 필드 산확(110)의 모서리는 또한 부분적으로 상기 필드산화막(110)의 하측의 상기 터미네이팅 하프셀(103,104)의 P^-, N^+ 및 P^+ 부분을 정의되는 확산창의 역할을 제공하는 상기 폴리실리콘의 활성영역의 모서리와 결합한다. 필드 산화막(11)의 상면은 부분적으로 메인 폴리실리콘 게이트(32)의 활성영역과 같은 공정으로 증착시키고 패턴화시된 폴리실리콘 스트립(strip)(32a)으로 덮혀진다.

도 6에 도시된 바와 같이, 상기 실리콘 층의 내로우 핑거(narrow finger)(32b)는 상기 폴리 실리콘 층의 메인 웹(main web)(32)으로부터 연장되고 상기 스트립(32a)에 연결된다. 상기 핑거의 너비는 상기 P^+ 영역이 핑거(32b)의 아래에 함께 확산되는 P^- 영역을 허용을 최소화되고, 상기 칩의 모서리에서 인터럽트 되지 않는 영역을 형성한다. 더 넓은 분리는 더 낮은 항복전압(avalanche voltage)을 초래한다. 상기 스트립(32a)은 상기 소스 접촉(84)을 형성하고자 증착된 같은 메탈층의 단순히 절연된 스트립인 상기 게이트버스(24)에 연결된다.

도 5 내지 도 6에 도시된 상기 LTO층은 도 3의 상기 LTO층(80,82,83)과 동시에 증착된다. 폴리실리콘의 등전위 링(EQR ring)(32C)은 폴리실리콘(32)의 활성영역을 형성할 동안 상기 필드 산화막(110)의 모서리 상측에 형성된다. 상기 EQR 링은 누설전류(leakage current)가 발생할 수 있는 반전(inversion) 채널의 형성을 방해하는 상기 스트리트(street)에 인접한 영역의 상면에 위치한 상기 산화막(110)과 접촉된다. 이는 통상적으로 드레인전압에 상기 스트리트(street)영역은 연결된다.

도 7가 나타내는 방식에 따라, 도 4 내지 도 6의 터미네이션 구조는 상기 칩(die) 내부에 위치한 상기 게이트 버스(25 또는 26)에 인접한 터미네이팅 하프셀에 적용시킬수 있다. 따라서 도 4 내지 도 5에 도시된 셀(103,104)과 유사한 터미내이팅 하프 셀(140,141)은 좌측 대칭면과 유사하고 버스(24)에 상대적인 도 5 및 도 7의 구조로 터미네이트된다.

도 5 및 도 7에 도시된 바와 같이 본 발명의 중요한 특징에 따르면, 상기 폴리실리콘 플레이트(plate)(32a)는 터미널 셀(103,104 또는 140,141)의 P- 베이스 영역의 모서리에, 그리고 상측에 최적화되게 접소되어야 한다. 상기 폴리실리콘은 상기 모서리 셀에서 생겨나는 전기장을 넓게 펼치는 필드 플레이트의 역할을 한다. 상기 P- 베이스 영역의 모서리와 상기 필드 플레이는 사이가 몇 미크론 정도 분리는 허용 되지만, 결과적으로 분리가 증가됨에따라 문턱전압은 감소된다.

도 8는 상기 필드 산화막(110)의 모서리 영역을 확대한 도면이다. 위에서 설명된 바와 같이, 상기 필드 산화막은 바람직하게는 등방성으로 식각하여 상기 필드산화막의 모서리가 테이퍼된 모양을 갖도록 한다. 깊이 주입된 P^+ 영역이 상기 테이퍼를 통하여 부분적으로 주입되고 표면에 도달하기까지 소스에 둘러싸이게 되기 때문에 상기 필드산화막의 테이퍼(200)는 N^- 채널소자에 유리하다. 상기 테이퍼는 또한 상기 테이퍼를 관통하여 부분적으로 주입된 상기 P^- 영역의 모양을 넓게한다. 상기 P^- 및 P^+ 영역의 모양은 채널 누설(channel leakage)을 방지하고 상기 모서리 셀의 베이스 저항을 감소시킨다.

위에서 언급된 바와 같이, 본 발명에 따른 터미네이션 구조는 또는 P^- 채널 소자에 적용될 수 있다. 구체적으로, P^+ 소스 영역이 도 8에 도시된 N^+ 소스 영역을 대체하게 되면 N^- 베이스 영역은 상기 P^- 베이스 영역을 대체하고 P형 기판이 사용된다. 그러나, 상기 터미네이션 구조가 P^- 채널과 함께 사용되면 상기 P^- 채널 소자는 제9도의 곡선(90)에서 보이는 연성의(soft) I-V 브레이크다운 특성을 갖는 것이 밝혀졌다. 상기 연성 브레이크다운 특성은, 부분적으로, 상기 폴리실리콘 및 필드 산화마스크의 엇걸림(intersection)에 의해 형성된 돌발 코너(abrupt corner)가 원인이 되고, 이로 인하여 상기 코너에서의 상기 N^- 베이스 영역이 최고 도핑농도가 감소되어 결과적으로 때이른 펀치쓰루(pinch-through) 브레이크다운을 초래하다. 상기 산화 테이퍼는 이러한 효과를 더욱 촉진시켜 상기 P^+ 주입 소스 영역이 상기 산화막의 하부로 더욱 연장되도록 한다.

본 발명의 또다른 특징에 따라 상기 문제를 해결하기 위하여, 상기 폴리실리콘 층(32a)은 약 5 미크론 정도로 상기 필드 산화막(110) 모서리 위에 연장하고 도 10에 도시된 상기 필드 산화 테이퍼(200)의 언저리를 사각형으로(square) 형성한다. P^- 채널 소자가 적용되어도, 상기 폴리실리콘의 연장은 N^- 채널소자에 유리하다. 상기 폴리실리콘 연장은 도핑물질을 상기 셀의 노출된 부분을 위한 상기 기판에 주입시키도록 마스크의 역할을 하게된다. 이러한 설계가 특히 P 채널 소자에대한 상기 연성 브레이크다운을 방지하고 도 9의 점선으로 나타난 점곡선(91)이 나타내는 사각형 브레이크다운 특성을 더욱 촉진시키는 것이 밝혀졌다.

상기 폴리실리콘 연장의 범위는 영(zero)에서 몇 미크론에 이르지만 최적화 시키려면 설계가 허용하는한 작아야 하며, 이는 상기 폴리실리콘의 연장이 길수록 게이트 산화막에서 필드산화막에 이르는 공정단계에서 높은 필드 스트레스를 초래하기 때문이다. 핫 캐리어 인젝션(hot carrier injection) 및 시간 의존 유전체 브레이크다운(time-dependent dielectric breakdown)으로 인하여 이러한 필드 스트레스는 상기 터미

네이션 소자의 신뢰성이 축소된다. 이는 또한 워크아웃(walkout) I-V 특성을 발생시킨다. 여기서, 감소된 전압에서의 상기 소자사태(device avaalanche)와 점차로 증가하는 캐리어가 상기 스트리트 지점에서의 산화막으로 주입되고 트랩된다.

따라서, 본 발명의 목적은 반도체소자의 주변부의 브레이크다운을 예방하도록 활성주변부를 터미네이트(terminate)시키는 터미네이션구조를 제공하는 데에 있다. 필드 평판(plate)은 게이트전극을 형성하고 확산영역의 에지에서 발생하는 전기장의 곡률을 변화시키는 폴리실리콘 층으로 형성된다.

본 발명은 반도체소자의 터미네이션구조와 그 제조공정에 관련된 것으로, 필드 절연막은 실리콘 기판의 꼭대기에 형성된다. 상기 필드 절연막의 하나이상의 선택된 영역은 적어도 하나의 정공과 적어도 하나의 나머지부분을 형성하도록 패턴화되고 식각된다. 폴리실리콘 층은 상기 필드 산화막의 상기 구멍과 나머지 부분의 상면에 증착되고, 상기 폴리실리콘층의 선택된 부분은 개구부를 형성하도록 패턴화 되고 식각된다. 상기 각 구멍은 상기 필드 절연막의 각각의 개구부에 형성된 적어도 하나의 제1부분을 포함하며 상기 절연막에 인접해 있다. 상기 필드 산화막의 상면에 형성된 상기 폴리실리콘층의 일부는 폴리실리콘 필드 평판을 정의한다. 제1확산영역은 제1전도성 타입의 불순물을 상기 폴리실리콘층의 개구부의 제1부분의 하면에 위치한 실리콘 기판의 표면에 주입하여 형성된다. 제2확산영역은 제1전도성 타입의 반대형인 제2전도성 타입의 불순물로 형성되며, 상기 실리콘 표면영역에 주입된다. 제1확산영역은 제2확산영역보다 깊고 넓다. 오버레이 절연막이 증착되고 선택된 부분은 패턴화되고 식각되어 상기 실리콘 필드 평판의 하면영역과 상기 실리콘 기판 표면영역의 하면영역을 노출시킨다. 전도성막이 상기 절연막 위와 상기 폴리실리콘 필드 평판의 표면영역 및 상기 실리콘 표면영역위에 증착된다. 상기 전도성막은 식각되어 하나이상의 전극을 형성하고 이 전극은 상기 폴리실리콘 필드 판 및 하나 이상의 전극에 접촉하며, 상기 하나 이상의 전극은 상기 실리콘 기판 표면영역의 하면영역을 접촉하게된다.

본 발명의 상기 특징에 따라, 상기 폴리실리콘 필드 판은 상기 제1확산 영역위에 중첩될 수 있다. 폴리실리콘 핑거는 상기 폴리실리콘층의 각각의 쌍의 개구부사이에 위치한 영역에 형성될 수 있다. 상기 폴리실리콘 핑거의 너비는 충분히 작기 때문에 한쌍의 개구부의 제1확산영역이 중첩된다.

상기 필드 산화막의 개구부는 거리영역을 형성하도록 상기 반도체 소자를 에워쌀 수 있으며, 등전위 링(ring)은 상기 필드 산화막과 상기 정의된 전위(predefined potential)에 연결되는 거리지역을 지탱하는 거리지역의 상면에 형성될 수 있다.

상기 필드 절연재는 경사진 모서리를 갖도록 등방성으로 식각될 수 있고, 불순물을 상기 경사진 모서리로 주입시킬 수 있다. 폴리실리콘 필드 평판은 상기 필드 절연재의 경사진 모서리의 위쪽으로 연장되어 형성될 수 있다.

상기 제1전도성 타입은 P형으로, 제2전도성 타입은 N형으로 형성될 수 있다. 선택적으로는, 상기 제1전도성 타입은 P형이, 제2전도성 타입은 N형이 된다. 상기 폴리실리콘 평판은 필드전연재로 형성된 막의 모서리의 위쪽으로 연장 형성된다.

상기 폴리실리콘 막의 개구부는 상기 필드 전연막의 나머지 부분의 상면에 형성된 제2부분을 포함할 수 있다. 상기 필드절연재는 실리콘 이산화막으로 형성될 수 있고, 제1전도성 타입 및 제2전도성 타입의 불순물은 상기 실리콘 기판에 주입 및 반응되는 방식으로 불순물주입이 이루어지게 된다. 상기 덧씌운 절연막은 저온 산화막으로 형성된다.

본 발명의 또다른 특징은 본 발명에 따른 단말 구조를 포함하는 반도체소자 및 그 제조방법을 나타내는 것으로서 상기 소자 및 그 제조공정을 게이트 절연막을 포함한다. 상기 게이트 절연막은 상기 필드 절연막 내부에 적어도 하나의 개구부에 제공되는 상기 실리콘 기판의 상면에 형성된다. 상기 실리콘 막에 형성된 개구부는 주변 개구부를 포함하며, 상기 개구부는 게이트 절연막의 상면과 나머지 필드 절연막의 인접부에 형성된 제1부분을 포함한다. 제3확산 영역은 또한 상기 실리콘기판의 표면영역의 내부에 제공된다. 상기 제2확산 영역의 깊이는 상기 제3확산 영역보다 낮으며, 상기 제1확산영역은 제3확산영역보다 더 깊고 더 넓으며 또한 더 낮은 농도를 갖는다. 상기 실리콘 기판의 표면 영역의 하면부에는 상기 제2확산영역보다 깊은 홈이 식각 공정으로 형성된다. 상기 실리콘기판표면의 다른 부분은 상기 실리콘 기판 표면영역의 하면부에 형성된 상기홈에 인접한 주변부로 노출된다. 상기 전도성막은 적어도 하나의 상기 실리콘 필드 평판에 접촉하는 적어도 하나의 게이트 접촉부를 포함하며, 상기 홈의 바닥에 형성된 제3확산영역 및 상기 홈의 상부 및 상기 다른 부분에 형성된 제2확산 영역에 접촉되는 적어도 하나의 소스 접촉을 포함한다.

본 발명의 이러한 특징에 따라, 상기 게이트 절연재는 실리콘 이산화물이 될 수 있고 상기 폴리실리콘 필드 평판은 상기 게이트 절명막의 일부의 위측으로 연장형성 될 수 있다.

본 발명의 또다른 특징 및 장점은 첨부도면을 참고로한 상세한 설명으로 명백해질 것이다. 본 발명은 특정 실시예에 따라 설명되었으나 상기 분야에 통상의 지식을 사람이라면 이를 변화시키고 수정하고 활용할 수 있으며, 따라서 본 발명은 여기서 밝혀진 내용에서가 아니라 첨부된 청구범위에 제한받는다.

(57) 청구의 범위

청구항 1

실리콘기판의 상부에 필드 절연물질층을 형성하는 단계와; 상기 필드절연물질층과 적어도 하나의 나머지 부분에 적어도 하나의 개구부를 형성하도록 상기 필드절연물질층의 적어도 하나의 선택된 부분을 패터닝하고 식각하는 단계와; 상기 필드절연물질층과 상기 필드절연층의 상기 나머지 부분의 상면에 적어도 하나의 개구부에 폴리실리콘층을 증착하는 단계와; 상기 필드절연물질층의 상기 나머지 부분에 인접하고 상기 필드절연물질층의 적어도 하나의 개구부에 형성된 적어도 하나의 개별적인 제1부분을 각각 포함하는 다수개의 이격된 개구부를 상기 폴리실리콘층내에 형성하도록 상기 폴리실리콘층의 선택된 부분을 패터닝하고 식각하여 상기 폴리실리콘층의 일부는 폴리실리콘필드 평판을 정의하는 상기 필드 절연물질층의 상면에 있도록 하는 단계와; 제1확산 영역을 형성하도록 상기 폴리실리콘층의 상기 다수의 개구부의 상기

개별적인 제1부분의 하면에 위치한 상기 실리콘 기판의 표면영역에 제1도전형 불순물을 주입하는 단계와; 상기 제1확산영역보다 얕고 좁은 제2확산영역을 형성하도록 상기 제1도전형과 반대되는 제2도전형 불순물을 상기 실리콘 기판의 상기 해당 표면영역에 주입하여 상기 제1확산영역이 상기 제2확산영역보다 더 깊고 더 넓게 하는 단계와; 겹치는(overlaying) 절연층을 증착하는 단계와; 상기 폴리실리콘 필드 평판의 표면영역의 하측 표면영역을 노출시키는 제1개구부와 상기 실리콘 기판의 상기 표면영역의 각각의 하측 표면영역을 노출시키는 제2개구부를 형성하도록 상기 겹치는 절연층의 선택된 부분을 패터닝하고 식각하는 단계와; 상기 겹치는 절연층의 상부와 상기 폴리실리콘 필드 평판의 상기 하층 표면영역 및 상기 실리콘 기판의 상기 하층 표면영역 상에 전도층을 증착하는 단계와; 상기 폴리실리콘 필드 평판에 접촉하는 적어도 하나의 전극 및 상기 실리콘 기판의 상기 하층 표면영역에 접촉하는 적어도 하나의 전극을 형성하도록 상기 전도층의 부분을 패터닝하고 식각하는 단계로 이루어진 것을 특징으로 하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 2

제1항에 있어서, 상기 폴리실리콘 필드 평판의 일부는 상기 제1확산영역의 일부의 상면에 포개져있는(overlie)것을 특징으로 하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 3

제1항에 있어서, 상기 이격된 개구부 각각의 쌍 사이에 위치한 상기 폴리실리콘층의 영역은 폴리실리콘 핑거를 형성하는 것을 특징으로 하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 4

제3항에 있어서, 상기 폴리실리콘 핑거의 폭은 충분히 작아서 상기 개구부의 각각의 쌍중의 하나의 제1확산영역이 상기 개구부의 각각의 쌍중의 또다른 하나의 제1확산영역에 오버랩되는 것을 특징으로 하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 5

제1항에 있어서, 상기 필드 절연물질층은 상기 반도체 소자와 경계를 이루고 스트리트(street)영역을 형성하는 제2개구부를 포함하고, 상기 폴리실리콘층은 상기 필드절연층의 상면에 위치하는 제1부분 및 소정의 전위에서 상기 스트리트 영역을 유지하도록 상기 스트리트 영역의 상면에 위치하는 제2부분을 가지는 등전위 링을 포함하는 것을 특징으로 하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 6

제1항에 있어서, 상기 필드 절연물질층을 패터닝하고 식각하는 단계는 상기 다수개의 이격된 개구부의 상기 제1부분과 경계를 이루는 상기 필드절연물질층의 가장자리(edge)가 경사진 모양을 갖도록 상기 필드 절연물질층을 등방성으로 식각하는 것을 포함하는 것을 특징으로 하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 7

제6항에 있어서, 제1 및 제2도전형의 불순물을 주입하는 단계는 상기 필드절연물질층의 상기 경사진 가장자리를 통하여 상기 불순물을 주입하는 것을 특징으로 하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 8

제6항에 있어서, 상기 폴리실리콘 필드 평판은 상기 필드 절연물질층의 상기 경사진 가장자리위로 연장형성되는 것을 특징으로 하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 9

제1항에 있어서, 상기 제1도전형은 P^-형이고 상기 제2 도전형은 N^-형인 것을 특징으로 하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 10

제1항에 있어서, 상기 제1도전형은 N^-형이고 상기 제2도전형은 P^-형인 것을 특징으로하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 11

제10항에 있어서, 상기 폴리실리콘 필드 평판은 상기 폴리실리콘층의 개구부의 상기 제1부분과 연결되는 상기 필드 절연물질층의 가장자리위로 연장형성되는 것을 특징으로 하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 12

제1항에 있어서, 상기 이격된 각각의 개구부는 상기 필드 절연물질층의 상기 나머지부분의 상면에 형성된 각각의 제2부분을 포함하는 것을 특징으로 하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 13

제1항에 있어서, 상기 필드 절연물질은 이산화막인 것을 특징으로 하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 14

제1항에 있어서, 상기 제1 및 제2도전형 불순물을 주입하는 단계는 상기 불순물의 각각을 상기 실리콘 기판에 주입한후 상기 불순물을 드라이빙(driving)시키는 것을 포함하는 것을 특징으로하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 15

제1항에 있어서, 상기 겹치는 절연층은 저온 산화층인 것을 특징으로하는 반도체소자의 터미네이션 구조의 제조방법.

청구항 16

실리콘 기판의 상면에 형성되고 그 속에 적어도 하나의 개구부와 적어도 하나의 나머지 부분을 갖는 필드 절연물질층과; 상기 폴리실리콘층은 상기 필드절연물질층의 적어도 하나의 개구부내에 형성되고 상기 필드절연물질층의 상기 나머지부분에 인접한 적어도 하나의 개별적인 제1부분을 각각의 개구부가 포함하는 다수개의 이격된 개구부를 가지고, 그의 일부는 폴리실리콘 필드 평판을 정의하는 상기 필드절연물질층의 상면에 위치하며, 상기 절연물질층내의 적어도 하나의 개구부내 및 상기 필드절연물질층의 상기 나머지부분의 상면에 증착된 폴리실리콘층과; 상기 폴리실리콘 층의 상기 다수의 개구부의 상기 각각의 제1부분의 하면에 위치한 상기 실리콘 기판의 표면영역으로 주입된 제1도전형의 불순물로 형성된 제1확산영역과; 상기 제1도전형과 반대되는 제2도전형의 불순물이 상기 실리콘 기판의 상기 해당 표면영역에 주입되어 상기 제1확산영역이 상기 제2확산영역보다 더 깊고 더 넓게 형성된 제2확산영역과, 상기 폴리실리콘 필드 평판의 하층 표면영역을 노출시키는 제1개구부와 상기 실리콘 기판의 상기 각각의 하층 표면영역을 노출시키는 제2개구부를 가지는 겹치는(overlaying) 절연층과; 상기 겹치는 절연층의 상측과 상기 겹치는 절연층의 제1 및 제2개구부에 증착되고, 상기 폴리실리콘 필드 평판에 접촉하는 적어도 하나의 전극과 상기 실리콘 기판의 상기 하층 표면영역에 접촉하는 적어도 하나의 전극을 포함하는 전도층을 포함하여 구성되는 것을 특징으로 하는 반도체 소자의 터미네이션 구조.

청구항 17

제16항에 있어서, 상기 폴리실리콘 필드 평판의 일부는 상기 제1확산영역의 일부의 상면에 포개지는 것을 특징으로 하는 반도체소자의 터미네이션 구조.

청구항 18

제16항에 있어서, 상기 이격된 개구부의 각각의 쌍 사이에 위치한 상기 폴리실리콘의 영역은 폴리실리콘 핑거를 형성하는 것을 특징으로 하는 반도체소자의 터미네이션 구조

청구항 19

제18항에 있어서, 상기 폴리실리콘 핑거의 폭은 충분히 작아서 상기 개구부의 각각의 쌍중의 하나의 제1확산영역이 상기 구멍의 각각의 쌍중의 또다른 하나의 제1확산영역에 겹치는(overlap)것을 특징으로 하는 반도체소자의 터미네이션 구조.

청구항 20

제16항에 있어서, 상기 필드절연물질층은 상기 반도체 소자와 경계를 이루고 스트리트(street)영역을 형성하는 제2개구부를 포함하고, 상기 폴리실리콘층은 소정의 전위에서 상기 스트리트 영역을 유지하도록 상기 제1절연막의 상면에 위치하는 제1부분 및 상기 스트리트 영역의 상면에 위치하는 제2부분을 포함하는 등전위 링을 가지는 것을 특징으로 하는 반도체소자의 터미네이션 구조.

청구항 21

제16항에 있어서, 상기 폴리실리콘 필드 평판은 상기 필드 절연물질층의 상기 경사진 가장자리 위로 연장형성되는 것을 특징으로 하는 반도체소자의 터미네이션 구조.

청구항 22

제16항에 있어서, 상기 제1도전형은 P^-형이고 상기 제2도전형은 N^-형인 것을 특징으로 하는 반도체소자의 터미네이션 구조.

청구항 23

제16항에 있어서, 상기 제1도전형은 N^-형이고 상기 제2도전형은 P^-형인 것을 특징으로 하는 반도체소자의 터미네이션 구조.

청구항 24

제23항에 있어서, 상기 폴리실리콘 필드 평판은 상기 폴리실리콘층의 상기 개구부의 상기 제1부분과 연결되는 상기 필드 절연물질층의 가장자리 위로 연장형성되는 것을 특징으로 하는 반도체소자의 터미네이션 구조.

청구항 25

제16항에 있어서, 상기 다수의 개구부의 각각은 상기 필드 절연물질층의 상기 나머지부분의 상면에 형성된 각각의 제2부분을 포함하는 것을 특징으로 하는 반도체소자의 터미네이션 구조.

청구항 26

제16항에 있어서, 상기 필드 절연물질은 이산화막인 것을 특징으로 하는 반도체소자의 터미네이션 구조.

청구항 27

제16항에 있어서, 상기 겹치는 절연층은 저온 산화층인 것을 특징으로 하는 반도체소자의 터미네이션 구조.

청구항 28

실리콘 기판의 상부에 필드절연물질층을 형성하는 단계와; 상기 필드절연물질층의 적어도 하나의 선택된 영역을 상기 필드절연물질층에 적어도 하나의 개구부와 적어도 하나의 나머지 부분을 형성하도록 패터닝하고 식각하는 단계와; 상기 필드절연물질층의 상기 적어도 하나의 개구부의 상기 실리콘 기판상면에 게이트 절연물질층을 형성하는 단계와; 상기 필드절연물질층의 나머지 부분과 상기 게이트 절연물질층의 상면에 폴리실리콘층을 증착하는 단계와; 상기 게이트절연물질층의 상면에 형성되고 상기 필드절연물질층의 상기 나머지 부분에 인접한 하나의 개별적인 제1부분을 갖는 다수의 주변 개구부를 포함하는 다수의 이격된 개구부를 상기 폴리실리콘층상에 형성하도록 상기 폴리실리콘층의 선택된 부분을 패터닝하고 식각하여 상기 필드산화물질층의 상면에는 폴리실리콘필드 평판을 정의하는 상기 폴리실리콘층의 부분이 있도록 하는 단계와; 제1확산 영역을 형성하기 위하여 상기 폴리실리콘층의 상기 주변개구부의 상기 개별적인 제1부분의 하면에 위치한 상기 실리콘 기판의 표면영역에 제1도전형의 불순물을 주입하는 단계와; 제2확산영역을 형성하기 위하여 상기 제1도전형과 반대되는 제2도전형의 불순물을 상기 실리콘 기판의 상기 해당 표면영역에 주입하는 단계와; 제3확산영역을 형성하도록 상기 제1도전형을 상기 실리콘기판의 표면영역에 주입하고, 상기 제2확산영역이 상기 제3확산영역보다 낮은 최종깊이를 갖고, 상기 제1확산영역은 상기 제3 확산영역보다 깊고 넓으며 더 낮은 농도를 갖게 하도록 하는 단계와; 겹치는(overlaying) 절연층을 증착하는 단계와; 상기 겹치는 절연층에 상기 폴리실리콘 필드 평판의 하층 표면영역을 노출시키는 제1개구부와 상기 실리콘 기판의 상기 표면영역의 각각의 하측영역을 노출시키고 측벽을 갖는 제2개구부를 형성하도록 상기 겹치는 절연층의 선택된 부분을 패터닝하고 식각하는 단계와; 상기 실리콘기판의 상기 표면영역의 상기 하층영역에 상기 제2확산영역의 깊이 보다 더 깊게 홈을 시각형성하는 단계와; 상기 실리콘기판의 상기 표면영역의 상기 하면영역의 상기 홈에 인접하여 상기홈을 둘러싸고 있는 상기 실리콘기판의 표면의 추가부를 노출시키는 언더컷(undercut)부분을 형성하도록 상기 측벽을 식각하는 단계와; 상기 겹치는 절연층의 상부와 상기 폴리실리콘 필드 평판의 상기 하층표면영역과 상기 홈의 바닥의 상기 제3확산영역, 및 상기 홈의 윗부분과 상기 실리콘 기판의 표면의 상기 추가부에 제공된 상기 제2확산영역의 상부에 전도층을 증착하는 단계와; 상기 폴리실리콘 필드 평판에 접촉하는 적어도 하나의 게이트 접촉부 및 상기 제2와 제3확산영역에 접촉하는 적어도 하나의 소스접촉부를 형성하도록 상기 전도층의 부분을 패터닝하고 식각하는 단계로 이루어진 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자의 제조방법.

청구항 29

제28항에 있어서, 상기 폴리실리콘 필드 평판의 일부는 상기 제1확산영역의 일부에 포개지는 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자의 제조방법.

청구항 30

제28항에 있어서, 상기 주변개구부의 각각의 쌍 사이에 위치한 상기 폴리실리콘층의 영역은 폴리실리콘 핑거를 형성하는 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자의 제조방법.

청구항 31

제30항에 있어서, 상기 폴리실리콘 핑거의 폭은 충분히 작아서 상기 주변개구부의 각각의 쌍중의 하나의 제1확산영역이 상기 주변 개구부의 각각의 쌍중의 또다른 하나의 제1확산영역에 겹치지는(overlap) 것을 특징으로 하는 터미네이션구조를 갖는 반도체소자의 제조방법.

청구항 32

제28항에 있어서, 상기 필드절연물질층은 상기 반도체소자와 경계를 이루고 스트리트(street)영역을 형성하는 제2개구부를 포함하고, 소정의 전위에서 상기 스트리트 영역을 유지하도록 상기 폴리실리콘층은 상기 필드절연물질층의 상면에 위치하는 제1부분 및 상기 스트리트 영역의 상면에 위치하는 제2부분을 포함하는 등전위 링을 포함하는 것을 특징으로 하는 터미네이션구조를 갖는 반도체소자의 제조방법.

청구항 33

제28항에 있어서, 상기 필드 절연물질층을 패터닝하고 식각하는 단계는 상기 다수의 주변 개구부의 상기 제1부분과 경계를 이루는 상기 필드절연막의 가장자리가 경사진 모양을 갖도록 상기 필드 절연물질층을 등방성으로 식각하는 것을 포함하는 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자의 제조방법.

청구항 34

제33항에 있어서, 제1 및 제2도전형 불순물을 주입하는 단계는 상기 필드 절연물질층의 상기 경사진 가장자리를 통하여 상기 불순물을 주입하는 것을 특징으로 하는 테미네이션구조를 갖는 반도체소자의 제조방법.

청구항 35

제33항에 있어서, 상기 상기 폴리실리콘 필드 평판은 상기 필드 절연물질층의 상기 경사진 가장자리위로 연장형성되는 것을 특징으로 하는 테미네이션구조를 갖는 반도체소자의 제조방법.

청구항 36

제28항에 있어서, 상기 제1도전형은 P^-형이고 상기 제2도전형은 N^-형인 것을 특징으로 하는 터미네이션구조를 갖는 반도체소자의 제조공정.

청구항 37

제28항에 있어서, 상기 제1도전형은 N^-형이고 상기 제2도전형은 P^-형인 것을 특징으로 하는 터미네이션구조를 갖는 반도체소자의 제조공정.

청구항 38

제37항에 있어서, 상기 폴리실리콘 필드 평판은 상기 폴리실리콘 층의 상기 이격된 개구부의 상기 제1부분과 연결되는 상기 필드 절연물질층의 가장자리위로 연장형성되는 것을 특징으로 하는 터미네이션구조를 갖는 반도체소자의 제조방법.

청구항 39

제28항에 있어서, 상기 다수의 이격된 개구부 각각은 상기 필드 절연물질층의 상기 나머지 부분의 상면에 형성된 각각의 제2부분을 포함하는 것을 특징으로 하는 터미네이션구조를 갖는 반도체소자의 제조방법.

청구항 40

제28항에 있어서, 상기 게이트 절연물질층은 이산화막인 것을 특징으로 하는 터미네이션구조를 갖는 반도체소자의 제조방법.

청구항 41

제38항에 있어서, 상기 폴리실리콘 필드 평판은 상기 게이트절연물질층의 일부의 상부에 더 연장형성되는 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자의 제조방법.

청구항 42

실리콘 기판의 상면에 형성되고 그 속에 적어도 하나의 개구부와 적어도 하나의 나머지 부분을 갖는 필드 절연물질층과; 상기 필드절연물질층의 상기 적어도 하나의 개구부내의 상기 실리콘기판의 상면에 형성된 게이트 절연물질층 : 상기 필드절연물질층의 나머지부분과 상기 게이트 절연물질층의 상면에 증착되고, 상기 게이트절연물질층의 상면에 형성되고 상기 필드절연물질층의 상기 나머지부분에 인접한 하나의 개별적인 제1부분을 갖는 다수의 주변 개구부를 포함하는 다수의 이격된 개구부를 포함하고, 그의 일부는 상기 필드산화물질층의 상면에는 폴리실리콘 필드 평판을 정의하는 폴리실리콘층과; 상기 폴리실리콘층의 상기 주변 개구부의 상기 개별적인 제1부분의 하면에 위치한 상기 실리콘 기판의 표면영역에 제1도전형의 불순물을 주입하여 형성된 제1 확산영역과; 상기 제1도전형과 반대되는 제2도전형의 불순물을 상기 실리콘 기판의 상기 해당 표면영역에 주입하여 형성된 제2확산영역과; 상기 제1도전형을 상기 실리콘기판의 표면영역에 주입하고, 상기 제2확산영역이 상기 제3확산영역보다 낮은 최종깊이를 갖고, 상기 제1확산영역은 상기 제3확산영역보다 깊고 넓으며 더 낮은 농도를 갖게하도록 한 제3확산영역과; 상기 폴리실리콘 필드 평판의 표면영역의 하면을 노출시키는 제1개구부 및 상기 실리콘기판의 상기 표면영역의 각각의 하면영역을 노출시키는, 여기서 상기 실리콘기판의 상기 표면영역의 하면영역은 상기 제2확산영역의 깊이보다 깊게 형성된 홈을 포함하며 상기 제2구멍은 상기 실리콘기판의 상기 표면영역의 상기 하면영역에 인접하여 둘러싸는 상기 실리콘기판 표면의 추가부를 노출시키는 겹치는 절연층; 상기 겹치는 절연층의 상측과 상기 겹치는 절연층의 제1 및 제2개구부에 증착되고, 상기 폴리실리콘 필드 평판에 접촉하는 적어도 하나의 게이트 접촉부와 상기 홈의 바닥에 제공되는 제3확산영역 및 상기 홈의 상측과 상기 실리콘 기판 표면의 상기 추가부에 제공되는 제2확산영역에 접촉하는 적어도 하나의 소스 접촉부로 구성되는 전도층을 포함하여 구성되는 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자.

청구항 43

제42항에 있어서, 상기 폴리실리콘 필드 평판의 일부는 상기 제1확산영역의 일부에 포개지는 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자

청구항 44

제42항에 있어서, 상기 주변개구부의 각각의 쌍 사이에 위치한 상기 폴리실리콘층의 영역은 폴리실리콘 핑거를 형성하는 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자.

청구항 45

제44항에 있어서, 상기 폴리실리콘 핑거의 폭은 충분히 작아서 상기 주변개구부의 각각의 쌍중의 하나의 제1확산영역이 상기 주변구멍의 각각의 쌍중의 또다른 하나의 제1확산영역에 겹쳐지는 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자.

청구항 46

제42항에 있어서, 상기 필드절연물질층은 상기 반도체소자와 경계를 이루고 스트리트(street)영역을 형성하는 제2개구부를 포함하고, 소정의 전위에서 상기 스트리트 영역을 유지하도록 상기 폴리실리콘츠은 상기 필드절연물질층의 상면에 위치하는 제1부분 및 상기 스트리트 영역의 상면에 위치하는 제2부분을 포함하는 등전위 링을 포함하는 것을 특징으로 하는 반도체소자의 터미네이션 구조.

청구항 47

제42항에 있어서, 상기 상기 폴리실리콘 필드 평판은 상기 필드 절연물질층의 상기 경사진 가장자리위로

연장형성되는 것을 특징으로 하는 터미네이션구조를 갖는 반도체소자.

청구항 48

제48항에 있어서, 상기 제1도전형 P^-형이고 상기 제2도전형은 N^-형인 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자.

청구항 49

제42항에 있어서, 상기 제1도전형은 N^-형이고 상기 제2도전형은 P^-형인 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자.

청구항 50

제49항에 있어서, 상기 폴리실리콘 필드 평판은 상기 폴리실리콘 층의 상기 이격된 개구부의 상기 제1부분과 연결되는 상기 필드 절연물질층의 가장자리위로 연장형성되는 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자.

청구항 51

제42항에 있어서, 상기 다수의 이격된 개구부의 각각은 상기 필드 절연물질층의 상기 나머지 부분의 상면에 형성된 각각의 제2부분을 포함하는 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자.

청구항 52

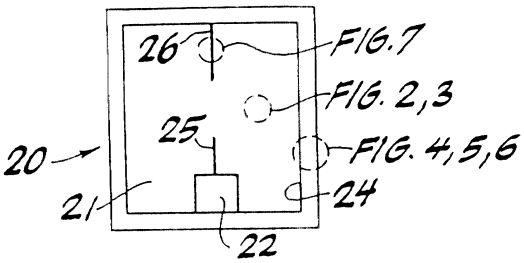
제42항에 있어서, 상기 게이트 절연물질층은 이산화막인 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자.

청구항 53

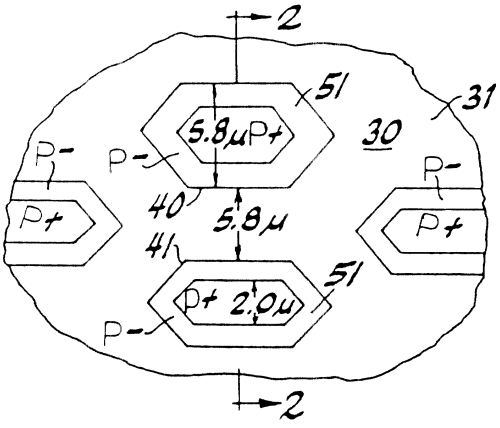
제49항에 있어서, 폴리실리콘 필드평판은 상기 게이트 절연물질층 일부의 상부로 더 연장형성되는 것을 특징으로 하는 터미네이션 구조를 갖는 반도체소자.

도면

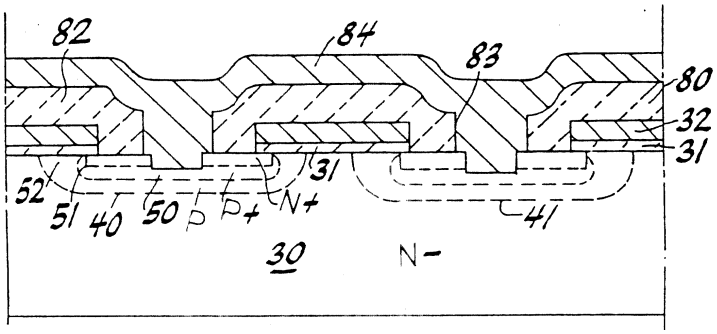
도면1



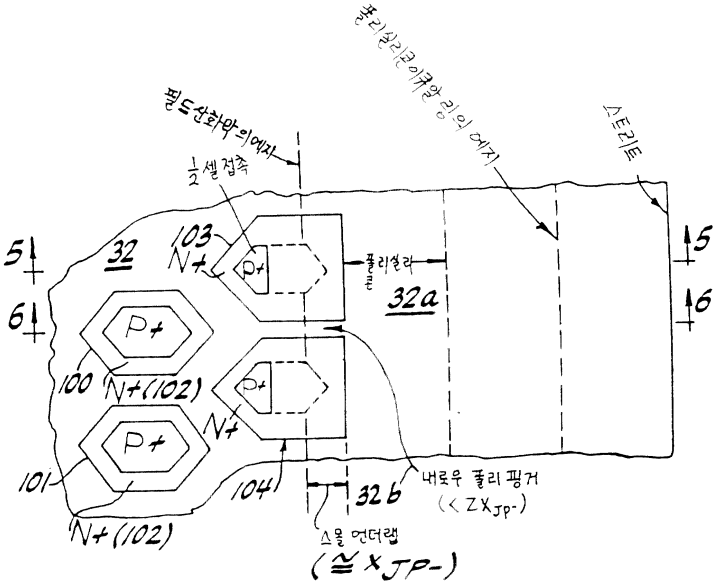
도면2



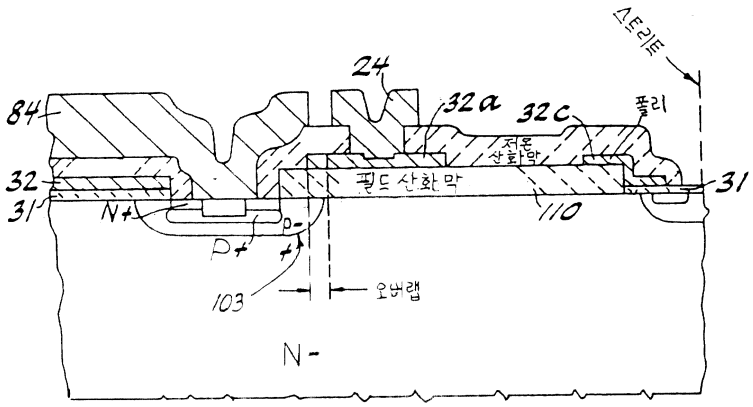
도면3


82
84
83
80
32
31
52
51
40
50
P
P+
N+
31
41
30
N-

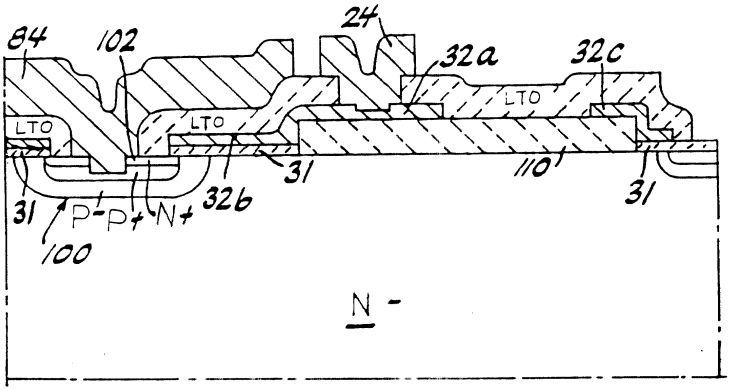
도면4


폴리실리콘이큐알 리의 에지
필드산화막의에지
1/2셀 접촉
스트리트
5
6
32
103
N+
P+
폴리실리콘
32a
100
N+(102)
101
104
32b
내로우 폴리 핑거
(< ZXJP-)
스몰 언더랩
(≅ XJP-)

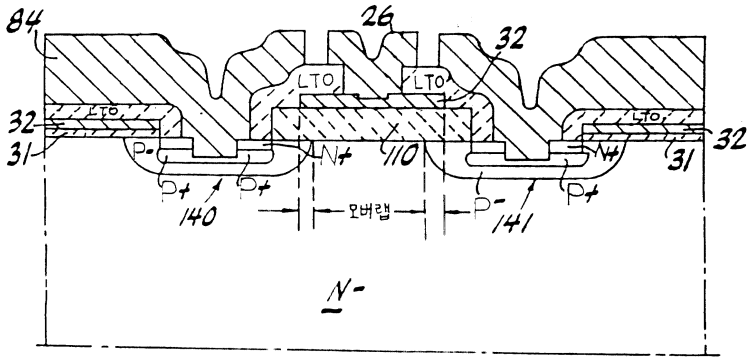
도면5


스트리트
24
84
32a
32c
폴리
저온 산화막
32
31
N+
필드 산화막
110
P+
P-
103
오버랩
N-

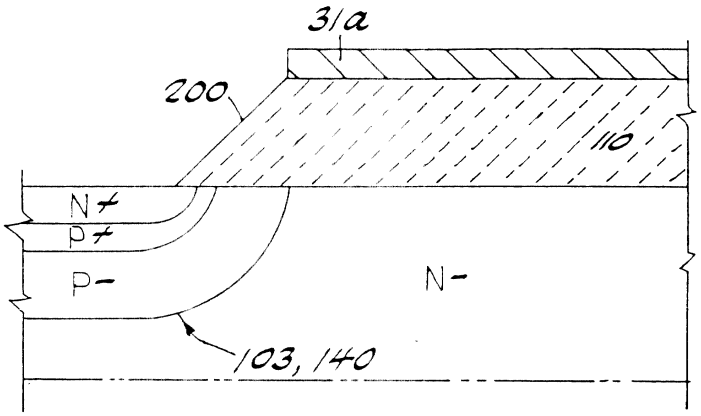
도면6



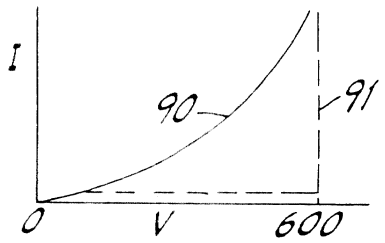
도면7



도면8



도면9



도면10

