

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁵
H01L 27/10

(11) 공개번호 특1992-0010902
(43) 공개일자 1992년06월27일

(21) 출원번호	특1991-0021007
(22) 출원일자	1991년11월23일
(30) 우선권주장	90-340400 1990년11월30일 일본(JP)
(71) 출원인	가부시키가이샤 도시바 이오이 죠이치
(72) 발명자	일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지 니타야마 아키히로
	일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시 키가이샤 도시바 종합연구소내
	사쿠이 고지
	일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시 키가이샤 도시바 종합연구소내
(74) 대리인	김윤배, 이범일

심사청구 : 있음

(54) 반도체장치

요약

내용 없음

대표도

도1

명세서

[발명의 명칭]

반도체장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 CMOS 인버터회로의 평면도, 제2도(A) 내지 제2도(C)는 각각 제1도의 2A-2A 선과 2B-2B 선 및 2C-2C 선에 따른 단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체기판(1)과, 측면을 갖추고 제1영역과 제2영역 및 제3영역의 순서로 상기 반도체기판(1)상에 형성된 적어도 1개의 제1채널형의 제1의 주상반도체층(10), 측면을 갖추고 제1영역과 제2영역 및 제3영역의 순서로 상기 제1의 주상반도체층(10)상에 선택적으로 적층되어 형성된 적어도 1개의 제2채널형의 제2의 주상반도체층(11), 상기 제1의 주상반도체층(10)과 상기 제2의 주상반도체층(11)의 측면에 형성된 게이트절연막(8), 상기 게이트절연막(8)상에 형성되어 상기 제1의주상반도체층(10)의외측으로돌출된게이트전극(9), 상기 제1의 주상반도체층(10)의 제1영역과 제3영역내에 각각형성된제1소오스층(2)과제1드레인층(4), 상기 제2의 주상반도체층(11)의 제1영역과 제3영역내에 각각 형성된 제2소오스층(7)과 제2드레인층(5), 상기 제1의 주상반도체층(10)의 외측으로 돌출된 상기 게이트전극(9)에 접속된 입력단자(14), 상기 제1드레인층(4)과 저저항접촉으로 형성된 상기 제2드레인층(5)에 접속된 출력단자(15), 상기 제1의 주상반도체층(10)의 상기 제1소오스층(2)에 접속된 제1전원단자(16) 및, 상기 제2소오스층(7)에 접속된 제2전원단자(17)를 구비하고, 상기 제1소오스층(2)과 제1드레인층(4) 및 게이트전극(9)은 제1의 MOS 트랜지스터를 구성하고, 상기 제2소오스층(7)과 제2드레인층(5) 및 게이트전극(9)은 제2의 MOS 트랜지스터를 구성하는 것을 특징으로 하는 반도체장치.

청구항 2

제1항에 있어서, 상기 제1의 주상반도체층(10)은 적어도 2개의 주상반도체층으로 구성되고, 상기 제2의

주상반도체층(11)의 적어도 1개의 상기 제1의 주상반도체층(10)상에 선택적으로 형성되는 것을 특징으로 하는 반도체장치.

청구항 3

반도체기판(1)과, 측면을 갖추고 제1영역과 제2영역 및 제3영역의 순서로 상기 반도체기판(1)상에 형성된 적어도 1개의 제1채널형의 제1의 주상반도체층(10), 측면을 갖추고 제1영역과 제2영역 및 제3영역의 순서로 상기 제1의 주상반도체층(10)상에 선택적으로 적층되어 형성된 적어도 1개의 제2채널형의 제2의 주상반도체층(11), 상기 제1의 주상반도체층(10)과 상기 제2의 주상반도체층(11)의 측면에 형성된 게이트절연막(8), 상기 게이트절연막(8)상에 형성되어 상기 제1의 주상반도체층(10)의 외측으로 돌출된 게이트전극(9), 상기 제1의 주상반도체층(10)의 제1영역과 제3영역내에 각각 형성된 제1소오스층(2)과 제1드레인층(4) 및, 상기 제2의 주상반도체층(11)의 제1영역과 제3영역내에 각각 형성된 제2소오스층(7)과 제2드레인층(5)을 구비하고, 상기 제1소오스층(2)과 제1드레인층(4) 및 게이트전극(9)은 제1의 MOS 트랜지스터를 구성하고, 상기 제2소오스층(7)과 제2드레인층(5) 및 게이트전극(9)은 제2의 MOS 트랜지스터를 구성하는 것을 특징으로 하는 반도체장치.

청구항 4

제3항에 있어서, 상기 제1의 주상반도체층(10)은 적어도 2개의 주상반도체층으로 구성되고, 상기 제2의 주상반도체층(11)의 적어도 1개는 상기 제1의 주상반도체층(10)상에 선택적으로 형성되는 것을 특징으로 하는 반도체장치.

청구항 5

제3항에 있어서, 상기 제1 및 제2의 MOS 트랜지스터는 각각 CMOS 트랜지스터를 구성하는 제1 및 제2채널형의 MOS 트랜지스터로 이루어진 것을 특징으로 하는 반도체장치.

청구항 6

제5항에 있어서, 상기 제1의 주상반도체층(10)의 외측으로 돌출된 상기 게이트전극(9)에 접속된 입력단자(14)와, 상기 제1드레인층(4)과 저저항접촉으로 형성된 상기 제2드레인층(5)에 접속된 출력단자(15), 상기 제1의 주상반도체층(10)의 상기 제1소오스층(2)에 접속된 제1전원단자(16) 및, 상기 제2소오스층(7)에 접속된 제2전원단자(17)를 더 구비한 것을 특징으로 하는 반도체장치.

청구항 7

제6항에 있어서, 상기 제1의 주상반도체층(10)은 적어도 2개의 주상반도체층으로 구성되고, 상기 제2의 주상반도체층(11)의 적어도 1개는 상기 제1의 주상반도체층(10)상에 선택적으로 형성되는 것을 특징으로 하는 반도체장치.

청구항 8

반도체기판(1)과, 측면을 갖추고 제1영역과 제2영역 및 제3영역의 순서로 상기 반도체기판(1)상에 형성된 적어도 1개의 제1채널형의 제1의 주상반도체층(10), 측면을 갖추고 제1영역과 제2영역 및 제3영역의 순서로 상기 제1의 주상반도체층(10)상에 선택적으로 적층되어 형성된 상기 제1의 주상반도체층(10)과 동일한 채널형의 적어도 1개의 제2의 주상반도체층(11), 상기 제1의 주상반도체층(10)과 상기 제2의 주상반도체층(11)의 측면에 형성된 게이트절연막(8), 상기 게이트절연막(8)상에 형성되어 상기 제1의 주상반도체층(10)의 외측으로 돌출된 게이트전극(9), 상기 제1의 주상반도체층(10)의 제1영역과 제3영역내에 각각 형성된 제1소오스층(2)과 제1드레인층(4) 및, 상기 제2의 주상반도체층(11)의 제1영역과 제3영역내에 각각 형성된 제2소오스층(7)과 제2드레인층(5)을 구비하고, 상기 제1소오스층(2)과 제1드레인층(4) 및 게이트전극(9)은 제1의 MOS 트랜지스터를 구성하고, 상기 제2소오스층(7)과 제2드레인층(5) 및 게이트전극(9)은 제2의 MOS 트랜지스터를 구성하는 것을 특징으로 하는 반도체장치.

청구항 9

제8항에 있어서, 상기 제1의 주상반도체층(10)은 적어도 2개의 주상반도체층으로 구성되고, 상기 제2의 주상반도체층(11)의 적어도 1개는 상기 제1의 주상반도체층(10)상에 선택적으로 형성되는 것을 특징으로 하는 반도체장치.

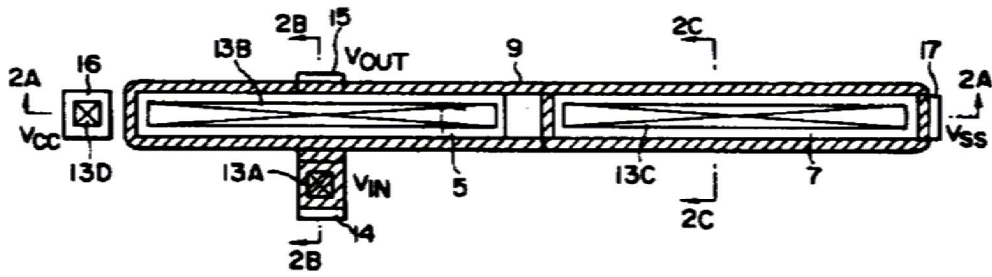
청구항 10

제8항에 있어서, 상기 제1의 주상반도체층(10)의 외측으로 돌출된 상기 게이트전극(9)에 접속된 입력단자(14)와, 상기 제1드레인층(4)과 저저항접촉으로 형성된 상기 제2드레인층(5)에 접속된 출력단자(15), 상기 제1의 주상반도체층(10)의 상기 제1소오스층(2)에 접속된 제1전원단자(16) 및, 상기 제2소오스층(7)에 접속된 제2전원단자(17)를 더 구비한 것을 특징으로 하는 반도체장치.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2

