



(21)申請案號：111106737

(22)申請日：中華民國 111 (2022) 年 02 月 24 日

(51)Int. Cl.：

H01L21/20 (2006.01)

H10H20/815 (2025.01)

C23C16/34 (2006.01)

H01L21/205 (2006.01)

C23C16/04 (2006.01)

(30)優先權：2021/02/26 日本 2021-031036

(71)申請人：日商京瓷股份有限公司 (日本) KYOCERA CORPORATION (JP)
日本

(72)發明人：正木克明 MASAKI, KATSUAKI (JP)；神川剛 KAMIKAWA, TAKESHI (JP)；小林敏洋 KOBAYASHI, TOSHIHIRO (JP)；林雄一郎 HAYASHI, YUICHIRO (JP)；青木優太 AOKI, YUTA (JP)

(74)代理人：陳長文

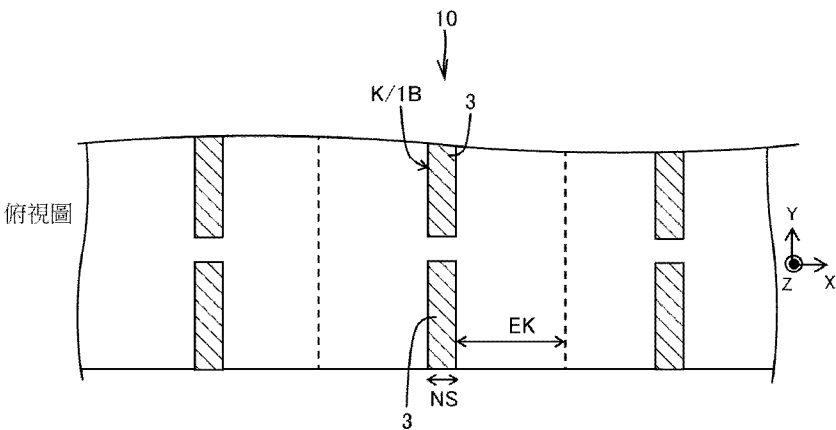
審查人員：吳漢傑

申請專利範圍項數：26 項 圖式數：35 共 55 頁

(54)名稱
半導體基板與其製造方法及製造裝置、模片基板

(57)摘要
本發明之半導體基板具備：支持基板(1)；遮罩圖案(6)，其位於較支持基板更為上層且具有遮罩部(5)；晶種部(4)，其以俯視時局部地位於較支持基板更為上層之方式配置；及半導體部(8)，其以與晶種部(4)及遮罩部(5)相接之方式配置於較遮罩圖案(6)更為上層且包含 GaN 系半導體。

指定代表圖：



【圖2】

符號簡單說明：

- 1B:凹部
- 3:晶種部
- 10:半導體基板
- EK:低缺陷部
- K:開口部
- NS:位錯繼承部



I886379

【發明摘要】

【中文發明名稱】

半導體基板與其製造方法及製造裝置、模片基板

【中文】

本發明之半導體基板具備：支持基板(1)；遮罩圖案(6)，其位於較支持基板更為上層且具有遮罩部(5)；晶種部(4)，其以俯視時局部地位於較支持基板更為上層之方式配置；及半導體部(8)，其以與晶種部(4)及遮罩部(5)相接之方式配置於較遮罩圖案(6)更為上層且包含GaN系半導體。

【指定代表圖】

圖2

【代表圖之符號簡單說明】

1B:凹部

3:晶種部

10:半導體基板

EK:低缺陷部

K:開口部

NS:位錯繼承部

【發明說明書】

【中文發明名稱】

半導體基板與其製造方法及製造裝置、模片基板

【技術領域】

【0001】

本發明係關於一種半導體基板等。

【先前技術】

【0002】

例如，專利文獻1中揭示了於包含Ga₂N層(晶種層)之基底基板形成遮罩圖案、並使用ELO(Epitaxial Lateral Overgrowth，外延橫向生長)法於遮罩圖案上形成半導體部之方法。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]日本專利特開2011-66390號公報

【發明內容】

[發明所欲解決之問題]

【0004】

專利文獻1之半導體基板存在如下問題，即，半導體基板較易因基底基板中所含Ga₂N系半導體部(晶種層)之應力而翹曲。

[解決問題之技術手段]

【0005】

本發明之半導體基板具備：支持基板；遮罩圖案，其位於較上述支

持基板更為上層且具有遮罩部；晶種部，其以俯視時局部地位於較上述支持基板更為上層之方式配置；及半導體部，其以與上述晶種部及上述遮罩部相接之方式配置於較上述遮罩圖案更為上層且包含Ga_{0.5}N_{0.5}系半導體。

[發明之效果]

【0006】

本發明之半導體基板具有不易翹曲之優點。

【圖式簡單說明】

【0007】

圖1係表示本實施方式之半導體基板之構成之俯視圖及剖視圖。

圖2係表示本實施方式之半導體基板之其他構成之俯視圖。

圖3係表示本實施方式之半導體基板之其他構成之俯視圖。

圖4係表示本實施方式之半導體基板之其他構成之剖視圖。

圖5係表示本實施方式之半導體基板之其他構成之剖視圖。

圖6係表示本實施方式之半導體基板之其他構成之剖視圖。

圖7係表示本實施方式之半導體基板之製造方法之一例之流程圖。

圖8係表示本實施方式之半導體基板之製造裝置之一例之方塊圖。

圖9係表示本實施方式之半導體元件之製造方法之一例之流程圖。

圖10係表示元件部之分離之一例之俯視圖。

圖11係表示元件部之分離及離開之一例之剖視圖。

圖12係表示本實施方式之電子機器之構成之模式圖。

圖13係表示本實施方式之電子機器之其他構成之模式圖。

圖14係表示實施例1之半導體基板之構成之剖視圖。

圖15A係表示實施例1之模片基板之構成之剖視圖。

圖15B係表示實施例1之模片基板之構成之放大圖。

圖16係表示模片基板之應用例之剖視圖。

圖17A係表示實施例1之半導體基板之製造方法之流程圖。

圖17B係表示實施例1之半導體基板之製造方法之剖視圖。

圖18A係表示實施例1之半導體基板之製造方法之流程圖。

圖18B係表示實施例1之半導體基板之製造方法之剖視圖。

圖19係表示半導體部之橫向生長之一例之剖視圖。

圖20係表示實施例1中元件部之離開步驟之剖視圖。

圖21係表示實施例1之半導體基板之其他構成之剖視圖。

圖22係表示實施例1之半導體基板之其他構成之剖視圖。

圖23係表示實施例1之半導體基板之其他構成之剖視圖。

圖24係表示實施例1中元件部之離開步驟之剖視圖。

圖25係表示實施例1之半導體基板之其他構成之剖視圖。

圖26係表示實施例1之半導體基板之其他構成之剖視圖。

圖27係表示實施例1之半導體基板之其他構成之剖視圖。

圖28係表示實施例2之半導體基板之構成之剖視圖。

圖29係表示實施例2之半導體基板之其他構成之剖視圖。

圖30係表示實施例3之半導體基板之構成之剖視圖。

圖31係表示實施例4之半導體基板之構成之剖視圖。

圖32係表示實施例4之半導體基板之其他構成之剖視圖。

圖33係表示實施例6之構成之模式剖視圖。

圖34係表示實施例6之對電子機器之應用例之剖視圖。

圖35係表示實施例7之構成之模式剖視圖。

【實施方式】**【0008】****[半導體基板]**

圖1係表示本實施方式之半導體基板之構成之俯視圖及剖視圖。如圖1所示，本實施方式之半導體基板10(半導體晶圓)具備：支持基板1(主基板1)；遮罩圖案6，其位於較支持基板1更為上層且具有遮罩部5；晶種部3，其以俯視時局部地位於較支持基板1更為上層之方式配置；及半導體部8，其以與晶種部3及遮罩部5相接之方式配置於較遮罩圖案6更為上層且包含Ga_N系半導體。所謂「局部地位於」，係指「並非整個地配置於支持基板1之上方之狀態」，亦可稱為「部分地位於」或「非整個地位於」。圖1中，支持基板1與晶種部3之間設置有俯視時位於局部之緩衝部2p，以下，有時將晶種部3及緩衝部2p統稱為積層部4。遮罩圖案6可為層狀遮罩層6。晶種部3可包含於晶種圖案SP，半導體部8可包含於半導體圖案8P。

【0009】

遮罩圖案6具有開口部K，晶種部3及緩衝部2p以俯視時與開口部K重疊之方式而局部地配置。開口部K可包含於遮罩圖案6之開口圖案KP。開口部K係以第1方向(X方向)為寬度方向、以第2方向(Y方向)為長邊方向之長條形狀，晶種部3及緩衝部2p為長條形狀。半導體部8具有俯視時位於遮罩部中央5c與晶種部3之間之邊緣8E。開口部K可為錐形(寬度向下變窄之形狀)。

【0010】

圖2及圖3係表示本實施方式之半導體基板之其他構成之俯視圖。如圖2所示，開口部K可於長邊方向(Y方向)週期性地斷離。又，如圖3所

示，開口部K可為正方形等多邊形。藉由於長邊方向使開口部K斷離，生長於開口部K上之半導體部8亦斷離，長邊方向(Y方向)之半導體部8與支持基板1之熱膨脹係數差所引起之翹曲亦可減少。

【0011】

半導體基板10中，於支持基板1上積層有複數層，可將其積層方向設為「上方向」。又，以與半導體基板10之法線方向平行之視線觀察物體，可稱為「俯視」。半導體基板係指包含半導體部之基板。支持基板1可為半導體，亦可為非半導體。

【0012】

包含支持基板1、緩衝部2p、晶種部3、及遮罩圖案6者可稱為模片基板7。

【0013】

半導體部8包含例如氮化物半導體(例如GaN系半導體)。氮化物半導體可表示為，例如， $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ ($0 \leq x \leq 1$ ； $0 \leq y \leq 1$ ； $0 \leq z \leq 1$ ； $x + y + z = 1$)，作為具體例，可例舉GaN系半導體、AlN(氮化鋁)、InAlN(氮化銦鋁)、InN(氮化銦)。GaN系半導體係指包含鎵原子(Ga)及氮原子(N)之半導體，例如，可例舉GaN、AlGaN、AlGaInN、InGaN。半導體部8可為摻雜型(例如含供體之n型)，亦可為非摻雜型。

【0014】

包含GaN系半導體之半導體部8可由ELO(Epitaxial Lateral Overgrowth，橫向外延生長)法而形成。ELO法中，例如，具有與GaN系半導體不同之晶格常數之異質基板可用作支持基板1，可使用包含GaN系半導體之晶種部3，無機化合物膜可用於遮罩圖案6，可使GaN系半導體部

8於遮罩部5上橫向生長。於此情形時，可使半導體部8之厚度方向(Z方向)為GaN系結晶之 $\langle 0001 \rangle$ 方向(c軸方向)、具有長條形狀之開口部K之寬度方向(X方向)為GaN系結晶之 $\langle 11-20 \rangle$ 方向(a軸方向)、開口部K之長邊方向(Y方向)為GaN系結晶之 $\langle 1-100 \rangle$ 方向(m軸方向)。藉由ELO法而形成之層(包含半導體部8)有時可稱為ELO半導體部。

【0015】

ELO半導體部8包含：俯視時與遮罩部5重疊且穿透位錯相對較少之低缺陷部(位錯非繼承部)EK、及俯視時與開口部K重疊且穿透位錯相對較多之位錯繼承部NS。於較半導體部8更為上層包含活性層(例如電子與電洞鍵結之層)之情形時，可將活性層設置成俯視時與低缺陷部EK重疊。

【0016】

低缺陷部EK可構成如下，即，平行於 $\langle 0001 \rangle$ 方向之剖面中之非穿透位錯密度大於上表面中之穿透位錯密度。穿透位錯係沿半導體部8之厚度方向(Z方向)、從半導體部8之下表面或內部延伸至其表面或表層之位錯(缺陷)。藉由對半導體部8之表面(平行於c面)進行CL(Cathode luminescence，陰極發光)測定，可觀察穿透位錯。非穿透位錯係於由平行於厚度方向之面形成之剖面中經CL測定之位錯，主要為基底面(c面)位錯。

【0017】

圖4係表示本實施方式之半導體基板之其他構成之剖視圖。如圖4所示，半導體基板10具有支持基板1、積層部4(緩衝部及晶種部)、遮罩圖案6、半導體部8、及較半導體部8更為上層之功能層9。功能層9可為例如包含氮化物半導體之化合物半導體部，可為單層或多層。

【0018】

功能層9可具有以下功能之至少一種：作為半導體元件之構成要素之功能、防外力之保護功能、防靜電之保護功能、抑制水、氧氣等異物入侵之保護功能、防蝕刻劑等之保護功能、光學功能、及感測功能。

【0019】

圖5係表示本實施方式之半導體基板之其他構成之剖視圖。圖1中，半導體部8具有位於遮罩部5上之邊緣8E，但本發明並不限定於此。如圖5所示，藉由使從相鄰開口部K沿相反方向橫向生長之半導體膜彼此締合，可形成半導體部8於遮罩部5上不具有邊緣之構成(締合型)。圖6係表示本實施方式之半導體基板之其他構成之剖視圖。如圖6所示，亦可於締合型半導體部8之上層設置功能層9。

【0020】**[製造半導體基板]**

圖7係表示本實施方式之半導體基板之製造方法之一例之流程圖。圖7之半導體基板之製造方法中，準備模片基板7之步驟之後，進行使用ELO法於模片基板7上形成半導體部8之步驟。形成半導體部8之步驟之後，視需要，可進行形成功能層9之步驟。

【0021】

圖8係表示本實施方式之半導體基板之製造裝置之一例之方塊圖。圖8之半導體基板之製造裝置70具備於模片基板7上形成半導體部8之半導體形成部72、及控制半導體形成部72之控制部74。半導體形成部72係藉由ELO法，使包含GaN系半導體之半導體部8(參照圖1)與局部之晶種部3及遮罩部5相接而形成。半導體基板之製造裝置70可形成功能層9。

【0022】

半導體部形成部72可包含MOCVD裝置，控制部74可包含處理器及記憶體。控制部74可為如下構成，即，藉由執行儲存於例如內置記憶體、可通信之通信裝置、或可訪問之網絡上之程式，控制半導體部形成部72，該程式及儲存有該程式之記錄媒體等亦包含於本實施方式。

【0023】**[製造半導體元件]**

圖9係表示本實施方式之半導體元件之製造方法之一例之流程圖。圖10係表示元件部之分離之一例之俯視圖。圖11係表示元件部之分離及離開之一例之剖視圖。圖9之半導體元件之製造方法中，準備半導體基板10之步驟之後，視需要，進行於半導體部8上形成功能層9之步驟。其後，如圖10及圖11所示，進行於半導體基板10上形成複數個溝槽TR(分離槽)並分離元件部DS(包含半導體部8之低缺陷部EK及功能層9)之步驟。溝槽TR貫穿功能層9及半導體部8。遮罩部5及支持基板1可露出於溝槽TR內。溝槽TR之開口寬度可設為開口部K之寬度以上。於此階段，元件部DS與遮罩部5凡得瓦(van der Waals)鍵結，且為半導體基板10之一部分。其後，如圖11所示，進行使元件部DS從模片基板7離開而形成半導體元件20之步驟。圖9之準備半導體基板10之步驟中可包含如圖7所示之半導體基板之製造方法之各步驟。

【0024】**[半導體元件]**

如圖11所示，藉由使元件部DS從模片基板7離開，可形成半導體元件20(包含半導體部8)。作為半導體元件20之具體例，可例舉發光二極體

(LED)、半導體雷射、蕭特基二極體、光電二極體、電晶體(包含功率電晶體、高電子遷移率電晶體)等。

【0025】

[電子機器]

圖12係表示本實施方式之電子機器之構成之模式圖。圖12之電子機器30包含半導體基板10(於包含模片基板7之狀態下作為半導體元件發揮功能之構成，例如，模片基板7具有透光性之情形)、安裝有半導體基板10之驅動基板23、及控制驅動基板23之控制電路25。

【0026】

圖13係表示本實施方式之電子機器之其他構成之模式圖。圖13之電子機器30至少包含：包含低缺陷部EK之半導體元件20、安裝有半導體元件20之驅動基板23、及控制驅動基板23之控制電路25。

【0027】

作為電子機器30，可例舉顯示裝置、雷射出射裝置(包含法布里-柏羅型(FABRY-PEROT type)、表面發光型)、照明裝置、通信裝置、資訊處理裝置、感測裝置、電力控制裝置等。

【0028】

[實施例1]

(整體構成)

圖14係表示實施例1之半導體基板之構成之剖視圖。圖15A係表示實施例1之模片基板之構成之剖視圖。圖15B係表示實施例1之模片基板之構成之放大圖。如圖14所示，實施例1之半導體基板10具備：模片基板7；及半導體部8，其以與模片基板7之晶種部3及遮罩部5相接之方式配置且

包含GaN系半導體。積層部4以俯視時與開口部K相匹配之方式局部地配置。積層部4包含與支持基板1相接之緩衝部2p、及與半導體部8相接之晶種部3。由於積層部4局部地設置於支持基板1上，因此支持基板1與遮罩部5接觸。

【0029】

圖16係表示模片基板之應用例之剖視圖。作為模片基板7之優點之一，可例舉如下：應用於如圖16所示之包含LED層9E之背面光提取結構之LED(發光二極體)元件時，GaN系半導體層之整體厚度變薄，藉此來自側面之光損失減少、且光提取效率提高。又，從支持基板1之背面至半導體部8之孔LH之開孔加工較為容易。如後所述，與(例如利用濺鍍法、電漿CVD法)使遮罩部5成膜之情形相比，藉由使用支持基板1之表面加工膜(例如，Si基板之氮化膜、Si基板之氧化膜等)作為遮罩部5，可更加提高遮罩部表面之平坦性，且可抑制用作LED時之光散射，可減輕(ELO)半導體部8與遮罩部5之固接程度。藉由減輕固接程度，可容易剝離半導體部8。

【0030】

遮罩圖案6之開口部K及積層部4係以X方向為寬度方向、Y方向為長邊方向之長條形狀。支持基板1具有向上方開口之凹部1B，開口部K於俯視時與凹部1B重疊，積層部4(緩衝部2p及晶種部3)於俯視時與凹部1B及開口部K重疊。藉此，緩衝部2p(例如AlN膜)作為回熔蝕刻保護膜之功能提高。於AlN膜形成之階差越多，AlN膜越容易因應力集中而產生細微裂痕，其原因在於AlN膜上之GaN系半導體與支持基板(例如Si基板)接觸而發生回熔蝕刻(相互熔融)之可能性較高。

凹部1B以Y方向為長邊方向(參照圖1)。開口部K及凹部1B互相匹

配，形成連通孔RK。由於積層部4形成於連通孔RK之內部，因此積層部4(緩衝部2p及晶種部3)可為凹狀。

【0031】

由於ELO法中所使用之包含Ga_N系半導體之晶種部3於室溫下對矽基板具有拉伸應力，因此藉由局部地形成晶種部3可緩和該應力，且可減輕半導體基板10之翹曲。又，與於整個面形成AlN膜等緩衝物之情形相比，不易產生裂痕，因此可使緩衝部2p更厚，可提高回熔蝕刻耐性。

【0032】

包含支持基板1及遮罩圖案6之模片基板7具有以俯視時局部地位於較支持基板1更為上層之方式配置之晶種部3，支持基板1之下表面與晶種部3之上表面之距離Ds為支持基板1之下表面與遮罩部5之上表面之距離Dm以下。

【0033】

(支持基板)

可使用具有與Ga_N系半導體不同之晶格常數之異質基板作為支持基板1(主基板)。作為異質基板，可例舉單晶矽(Si)基板、藍寶石(Al₂O₃)基板、碳化矽(SiC)基板等。支持基板1之面方位為例如矽基板之(111)面、藍寶石基板之(0001)面、SiC基板之6H-SiC(0001)面。該等為示例，只要可利用ELO法使半導體部8生長，任何支持基板及面方位均可。

【0034】

(積層部)

可從支持基板1側開始依次設置緩衝部2p及晶種部3作為積層部4。晶種部3為半導體部8之生長起點，與半導體部8接合。Ga_N系半導體、氮化

鋁(AlN)、碳化矽(SiC)、石墨烯等可用於晶種部3。用於晶種部3之碳化矽較理想為六方晶系之6H-SiC、4H-SiC。實施例1中，可利用濺鍍法、PSD(Pulse sputter deposition，脈衝濺鍍沈積)法、或雷射剝蝕法形成晶種部3。

【0035】

緩衝部2p具有減少支持基板1與晶種部3之接觸而相互熔融之功能。例如，於支持基板1使用矽基板、晶種部3使用GaN系半導體之情形時，矽基板與GaN系半導體相熔融，因此藉由於兩者間設置緩衝部2p而減少熔融。緩衝部2p可具有提高晶種部3之結晶性之效果及緩和晶種部3之內部應力之效果中之至少一種。

【0036】

例如，包含Al之GaN系半導體、氮化鋁(AlN)、及碳化矽(SiC)可用於緩衝部2p。用於緩衝部2p之碳化矽可為六方晶系(6H-SiC、4H-SiC)，亦可為立方晶系(3C-SiC)。緩衝部2p可包含變形緩和層。變形緩和層具有例如AlGaN之超晶格結構及使AlGaN之Al組成階段性地變化之梯度(graded)結構。藉由變形緩和層，可緩和半導體部8之長邊方向之應力。

【0037】

作為積層部4之示例，可例舉如下形態：使用矽基板作為支持基板1、使用AlN作為緩衝部2p(例如，使用MOCVD裝置，形成為厚度10 nm左右～5 μm左右)、使用GaN系半導體作為晶種部3之形態；使用矽基板作為支持基板1、使用碳化矽作為緩衝部2p、將氮化鋁用於晶種部3之形態；使用矽基板作為支持基板1、使用碳化矽及氮化鋁之積層膜作為緩衝部2p、將GaN系半導體用於晶種部3之形態等。

【0038】

再者，於使用不與晶種部3之Ga₂N系半導體相熔融之支持基板1之情形時，未設置緩衝部之構成亦可。即，若晶種部3與支持基板1不相互熔融，則緩衝部並非一定必要，可採用支持基板1上局部地設置有晶種部3之構成(後述)。於此情形時，可例舉如下形態：使用矽基板作為支持基板1、將氮化鋁用於局部之晶種部3之形態；使用矽基板作為支持基板1、將六方晶系之碳化矽用於局部之晶種部3之形態；使用碳化矽基板作為支持基板1、將Ga₂N系半導體用於局部之晶種部3之形態；使用碳化矽基板作為支持基板1、將六方晶系之碳化矽用於局部之晶種部3之形態等。

【0039】

(遮罩圖案)

遮罩圖案6包含遮罩部5及開口部K。開口部K可具有使晶種部3露出、使半導體部8開始生長之生長起始用孔之功能，遮罩部5可具有使半導體部8橫向生長之選擇生長用遮罩圖案之功能。遮罩圖案之開口部K為無遮罩部5之部分(非形成部)，可被遮罩部5包圍，亦可不被包圍。開口部K包含於遮罩圖案之開口圖案。作為遮罩圖案6，例如，可使用包含氧化矽膜(SiO_x)、氮化鈦膜(TiN等)、氮化矽膜(SiN_x)、氮氧化矽膜(SiON)、及具有高熔點(例如1000度以上)之金屬膜中之任意一種之單層膜，或包含該等中之至少兩種之積層膜。實施例1中，可藉由作為矽基板之支持基板1的熱氧化處理、或作為矽基板之支持基板1的氮化處理形成遮罩圖案6。

【0040】

作為遮罩圖案6，可使用依次包含氧化矽膜及氮化矽膜而形成之積層膜。根據成膜條件，半導體部8與遮罩圖案6有時會發生反應而固接，因此

與半導體部8直接相接之上層之膜較理想為氮化矽膜。又，於局部形成晶種部3之過程中，有時會除去支持基板1上之膜(下層之膜)，而將容易完全去除支持基板1上之膜之氧化矽膜用作下層之膜，亦具有提高工藝良率之效果。

【0041】

圖17A係表示實施例1之半導體基板之製造方法之流程圖。圖17B係表示實施例1之半導體基板之製造方法之剖視圖。實施例1之半導體基板之製造方法包括：準備支持基板1之步驟；於較支持基板1更為上方或支持基板1內，形成包含開口圖案KP之遮罩圖案6之步驟；於遮罩圖案6形成前或形成後，形成具有較遮罩圖案6之遮罩面積小之晶種面積之晶種圖案SP之步驟；及使包含氮化物半導體之半導體圖案8P(例如具有複數個半導體部8)從與開口圖案KP重疊之晶種圖案SP上開始橫向生長至遮罩圖案6之遮罩部5上之步驟。開口圖案KP、晶種圖案SP、及半導體圖案8P可為條帶狀。晶種圖案SP之晶種面積可為開口圖案KP之開口面積以上。可於較半導體圖案8P低之溫度下形成晶種圖案SP。

【0042】

圖18A係表示實施例1之半導體基板之製造方法之流程圖。圖18B係表示實施例1之半導體基板之製造方法之剖視圖。實施例1之半導體基板之製造方法包括：準備作為單晶矽基板之支持基板1之步驟；對支持基板1實施熱氧化處理或氮化處理，形成用作遮罩圖案6之遮罩部5之基板加工膜(熱氧化膜或氮化處理膜)之步驟；利用光微影法，對抗蝕劑RZ進行圖案化處理之步驟；於遮罩圖案6形成開口部K之步驟；利用氫氟酸等蝕刻劑，從開口部K對基板加工膜進行蝕刻之步驟；保留抗蝕劑RZ，利用濺鍍法等

於低溫(500°以下)使上部包含晶種層之積層體4x(氮化鋁層及氮化鎵層)成膜之步驟；除去抗蝕劑RZ(藉由舉離法，僅於開口部K保留晶種部3，形成晶種圖案SP)之步驟；及使半導體圖案8P從與開口部K重疊之晶種部3上方成膜(ELO)至遮罩部5上之步驟。

【0043】

於保留抗蝕劑RZ而形成積層體4x之情形時，因超過200度之高溫成膜中抗蝕劑會被燒蝕，故有必要於低溫下進行成膜(使用MOCVD時，超過1000度)。

【0044】

於形成用作晶種部3之氮化鎵層(GaN層)之情形時，例如，使用以氮化鎵為主要成分(含有25 atm%以上之鎵)、氧含量為5 atm%以下之濺鍍靶，於成膜時之濺鍍氣壓未達0.3 Pa之條件下進行濺鍍。

【0045】

作為濺鍍方式，可適當選擇DC濺鍍、RF濺鍍、AC濺鍍、DC磁控濺鍍、ECR(Electron cyclotron Resonance，電子回旋共振)濺鍍、RF磁控濺鍍法、PSD(Pulse sputter deposition)法、雷射剝蝕法等。

【0046】

為提高整個膜之結晶性，所使用之濺鍍靶中氧含量為5 atm%以下，較佳為3 atm%以下，進而較佳為1 atm%以下。以純度儘可能高為佳，金屬雜質之含量較佳為未達0.1%，進而較佳為未達0.01%。利用濺鍍法使GaN層成膜時，使用氧含量較低之氮化鎵靶，具有提高表面平坦性、改善GaN層之結晶性、抑制表面小凸起(凸部)產生等優點。

【0047】

成膜前，成膜裝置內之真空度較佳為 3×10^{-5} Pa以下，更佳為 1×10^{-5} Pa以下。進而，較佳為於成膜前對基板進行預處理。藉由實施預處理，除去基板表面之有機層及凹凸，實現磊晶生長。預處理方法包括逆向濺鍍處理、酸處理、UV處理等，但從防止處理後雜質等之再附著之觀點出發，較佳為逆向濺鍍處理。所謂逆向濺鍍，係指經電漿化之原子與基板側而非濺鍍靶側碰撞，以清潔表面之方法。成膜時之基板溫度可為室溫，亦可於加熱基板之狀態(例如 $400^{\circ}\text{C} \sim 1000^{\circ}\text{C}$)下進行成膜，如此可進一步提高膜質量。

【0048】

作為放電時之電力，電力密度較佳為 5 W/cm^2 以下，進而較佳為 1.5 W/cm^2 以下。其密度下限較佳為 0.1 W/cm^2 ，更佳為 0.3 W/cm^2 。以放電時之電力除以濺鍍靶之面積，計算電力密度。若電力密度過高，則原料會以簇化狀態從靶濺射出來，可適當設定電力密度。

【0049】

作為一個示例，GaN層之成膜條件為使用RF濺鍍法及氮化鎵靶。此時，氮化鎵靶之氧含量為 $0.4 \text{ atom\%}$ 。又，成膜壓力為 0.1 Pa ，此時導入 $20 \sim 40 \text{ sccm}$ 之氮氣。此時，雖未有氬氣流通，但可導入氬氣來成膜。放電密度為 125 W/cm^2 ，成膜溫度為室溫。

【0050】

又，當使用上述濺鍍法、雷射剝蝕法等成膜時，與使用MOCVD裝置而成膜之晶種部相比，較多情況下具有內部應力，且根據厚膜及成膜條件，易產生裂痕等問題。因此，較佳為於支持基板(晶圓)上局部地形成包含晶種部3之積層部4。

【0051】

又，已知與利用MOCVD而成膜者相比，藉由濺鍍而成膜之氮化鎵膜含有較多氧。例如，作為晶種部之氮化鎵膜中所含氧之濃度可為 $1 \times 10^{19}/\text{cm}^3$ 以上，於此情形時，內部應力可能增大(導致破裂)。因此，當使用藉由濺鍍法而成膜之晶種部(含有較多氧)時，為緩和內部應力，較佳為以俯視時與支持基板之一部分而非全部重疊之方式(即局部地)配置。再者，不僅晶種部，AlN、GaN系半導體及SiC等緩衝物(緩衝部、緩衝層)亦可藉由濺鍍法、PSD(Pulse sputter deposition)法、或雷射剝蝕法而形成。

【0052】

複數個開口部K於半導體部8之a軸方向(X方向)週期性地排列。開口部K之寬度設為 $0.1 \mu\text{m} \sim 20 \mu\text{m}$ 左右。各開口部之寬度越小，從各開口部傳輸至半導體部8之穿透位錯之數量越少。又，後續步驟中，半導體部8亦較易於從模片基板7剝離(離開)。進而，可增大表面缺陷較少之低缺陷部EK之面積。

【0053】

對支持基板進行熱氧化處理而形成之氧化矽膜、或對支持基板進行氮化處理而形成之氮化矽膜之膜質量較高，且不易於高溫下分解、蒸發，因此具有可減少半導體部8之缺陷之優點。又，由於熱氧化膜等基板加工膜對支持基板1具有壓縮應力，因此亦具有緩和半導體部8之拉伸應力之效果。熱氧化膜、氮化處理膜包含支持基板1中所含一種以上原子(例如Si)及氧原子或氮原子。再者，實施例1中，亦可利用一般之電漿輔助化學氣相沈積法(CVD)形成遮罩圖案6。

【0054】

(半導體部之成膜)

實施例1中，以GaN層為半導體部8，使用圖8之半導體形成部72中所含之MOCVD裝置，於上述模片基板7上進行ELO成膜。作為ELO成膜條件之一個示例，可採用如下條件，基板溫度：1120℃、生長壓力：50 kPa、TMG(三甲基鎵)：22 sccm、NH₃：15 slm、V/III=6000(V族原料之供給量與III族原料之供給量之比)。

【0055】

於此情形時，半導體部8選擇性地生長於積層部4之晶種部3(GaN層)上，繼而於遮罩部5上橫向生長。然後，於遮罩部5上從其兩側橫向生長之半導體部彼此締合之前，停止該等橫向生長。

【0056】

遮罩部5之寬度W_m為50 μm，開口部K之寬度為5 μm，半導體部8之橫寬為53 μm，低缺陷部EK之寬度(X方向之尺寸)為24 μm，半導體部8之層厚為5 μm。半導體部8之縱橫比為53 μm/5 μm=10.6，實現了非常高之縱橫比。

【0057】

半導體部8之成膜中，較佳為減少半導體部8與遮罩部5之相互反應，而使半導體部8與遮罩部5藉由凡得瓦力處於接觸之狀態。

【0058】

提高橫向成膜率之方法如下所述。首先，於積層部4上形成於Z方向(c軸方向)生長之縱向生長層，其後，形成於X方向(a軸方向)生長之橫向生長層。此時，藉由將縱向生長層之厚度設為10 μm以下、5 μm以下、3 μm以下、或1 μm以下，可將橫向生長層之厚度抑制得較低，提高橫向成

膜率。

【0059】

圖19係表示半導體部之橫向生長之一例之剖視圖。如圖19所示，較佳為於積層部4上形成初始生長層(縱向生長層)SL，其後，使半導體部8從初始生長層SL橫向生長。初始生長層SL為半導體部8之橫向生長之起點。藉由適當地控制ELO成膜條件，可控制半導體部8沿Z方向(c軸方向)生長、或沿X方向(a軸方向)生長。

【0060】

此處，可採用如下方法，於初始生長層SL之邊緣即將到達遮罩部5之上表面之前(與遮罩部5之側面上端相接之階段)、或剛到達遮罩部5之上表面後立即停止初始生長層SL之成膜(即，此刻，將ELO成膜條件從c軸方向成膜條件切換成a軸方向成膜條件)。如此，由於橫向成膜從初始生長層SL略微突出於遮罩部5之狀態開始進行，因此於厚度方向之生長所消耗之材料減少，可使第1半導體部8F(複數個隆起部8U)高速橫向生長。初始生長層SL可形成為具有例如50 nm~5.0 μm(例如80 nm~2 μm)之厚度。遮罩部5之厚度及初始生長層SL之厚度可設為500 nm以下。

【0061】

關於半導體部8，如圖19所示，藉由於初始生長層SL(位錯繼承部NS之一部分)成膜後使其橫向生長，可增加低缺陷部EK內部之非穿透位錯(降低低缺陷部EK表面之穿透位錯密度)。又，可控制低缺陷部EK內部之雜質濃度(例如，矽、氧)之分佈。若使用圖19之方法，則半導體部8之縱橫比(X方向之尺寸與厚度之比= $WL/d1$)為3.5以上、5.0以上、6.0以上、8.0以上、10以上、15以上、20以上、30以上、或急劇增加至50以上。

又，若使用圖19之方法，則半導體部8之寬度(WL)與開口寬度之比可為3.5以上、5.0以上、6.0以上、8.0以上、10以上、15以上、20以上、30以上、或50以上，且低缺陷部EK之比率增加。如圖19所示之半導體部8可為氮化物半導體結晶(例如，GaN結晶、AlGaN結晶、InGaN結晶、或InAlGaN結晶)。

【0062】

較之超過1200℃之高溫，半導體部8之成膜溫度較佳為1150℃以下之溫度。於低於1000℃之低溫，亦可形成半導體部8，且從減少相互反應之觀點出發，該低溫更佳。此種低溫成膜中，使用三甲基鎵(TMg)作為鎵原料時，原料未充分分解，且鎵原子與碳原子同時摻入半導體部8中，其數量多於一般情況。其原因在於，ELO法中a軸方向之成膜較快、c軸方向之成膜較慢，因此c面成膜時摻入更多。

【0063】

已發現，摻入半導體部8之碳(carbon)減少了與遮罩部5之反應，並減少了遮罩部5與半導體部8之黏附等。因此，半導體部8之低溫成膜中，減少氮之供給量，以低V/III(<1000)左右成膜，藉此，原料或腔室環境內之碳元素摻入半導體部8中，可減少與遮罩部5之反應。於此情形時，半導體部8之構成中包含碳(carbon)。

【0064】

低於1000℃之低溫成膜中，較佳為使用三乙基鎵(TEG)作為鎵原料氣體。與TMG相比，TEG於低溫下高效地分解有機原料，因此可提高橫向成膜率。

【0065】

(元件部之分離及離開)

圖20係表示實施例1中之元件部之離開步驟之剖視圖。實施例1中，如圖20所示，可將半導體基板10置於蝕刻劑ET以溶解遮罩圖案6，其後，可於半導體部8之表面黏貼膠帶TP(例如，切割半導體晶圓時使用之具有黏性之切割保護膠帶)，並照原樣使用珀爾帖元件(未圖示)將黏貼有膠帶之半導體基板10降低至低溫。此時，通常熱膨脹係數較半導體大之膠帶明顯收縮，導致應力施加於半導體部8。半導體部8僅與模片基板7之積層部4結合，又因除去了遮罩部5，因此來自膠帶之應力有效施加於與(模片基板7之)積層部4之結合部，可機械地劈開或破壞結合部。即，無需藉由蝕刻除去結合部。

【0066】

圖21～圖24係表示實施例1之半導體基板之其他構成之剖視圖。如圖21所示，實施例1中，遮罩部5可為積層結構。例如，遮罩部5可包含：位於支持基板側(下層側)之氧化矽膜5a；及位於上層側並與半導體部8相接之氮化矽膜5b。

【0067】

如圖22所示，實施例1中，可為如下構成，即，以俯視時與支持基板1之凹部1B重疊、且與支持基板1相接之方式設置晶種部3。於此情形時，例如，可使用矽基板作為支持基板1、使用氮化鋁作為局部之晶種部3，或使用矽基板作為支持基板1、使用六方晶系之碳化矽作為局部之晶種部3。

【0068】

如圖23所示，實施例1中，可於支持基板1之整個上表面(包含凹部1B)形成緩衝層2f，並以俯視時與凹部1B重疊之方式將晶種部3局部地配

置於緩衝層2f上。於此情形時，可使用AlN或SiC作為緩衝層2f，可將GaN用於晶種部3。

【0069】

如圖24所示，實施例1中，可於支持基板1之整個上表面(包含凹部1B)形成緩衝層2f，並以俯視時與凹部1B重疊之方式將包含緩衝部2p及晶種部3之積層部4局部地配置於緩衝層2f上。於此情形時，例如，可使用SiC作為緩衝層2f，可於緩衝部2p設置變形緩和層，可將GaN用於晶種部3。

【0070】

圖25～圖27係表示實施例1之半導體基板之另外其他構成之剖視圖。圖14中，支持基板1之表面形成有凹部1B，凹部1B內部形成有積層部4，但本發明並不限定於此。如圖25所示，支持基板1之表面可未形成有凹部1B(支持基板1表面為平坦面)，開口部K內部可設置有積層部4(緩衝部2p及晶種部3)。

【0071】

又，如圖26所示，支持基板1之表面可未形成有凹部1B，積層部4可以其一部分從開口部K向上方突出之方式而設置。又，如圖27所示，可為如下構成，即，於支持基板1之整個上表面(晶圓整個表面)形成緩衝層2f，將晶種部3局部地配置於緩衝層2f上。藉由於支持基板1之整個上表面形成緩衝層2f並局部地配置晶種部3，可緩和應力。又，由於緩衝層2f形成於整個表面，可抑制遮罩部5與支持基板1根據MOCVD之成膜溫度於成膜中產生反應並導致遮罩部5劣化。

【0072】

作為圖27之具體示例，可例舉如下形態：使用矽基板作為支持基板1、使用AlN作為緩衝層2f、使用GaN系半導體作為晶種部3之形態；使用矽基板作為支持基板1、使用碳化矽作為緩衝層2f、將氮化鋁用於晶種部3之形態；使用矽基板作為支持基板1、使用碳化矽及氮化鋁之積層膜作為緩衝層2f、將GaN系半導體用於晶種部3之形態等。

【0073】

[實施例2]

圖28～圖29係表示實施例2之半導體基板之構成之剖視圖。實施例1中，積層部4以與開口部K重疊之方式局部地形成，但本發明並不限定於此。如圖28～圖29所示，遮罩部5亦可為支持基板之熱氧化膜或氮化處理膜，遮罩部5上亦可設置有晶種部3或積層部4。即，遮罩圖案6不具備俯視時與半導體部8重疊之開口部。如此，可省略將遮罩圖案6圖案化之步驟。於此情形時，可如圖28所示於遮罩圖案6上設置晶種部3(例如GaN系半導體)，亦可如圖29所示於遮罩圖案6上經由緩衝部2p(AlN等)設置晶種部3(GaN系半導體等)。作為晶種部3或積層部4之形成方法，例如可應用直接接合法，於真空中用Ar電漿等使接合面活化而進行壓接。

【0074】

[實施例3]

圖30係表示實施例3之構成之剖視圖。圖30中，使用矽基板作為支持基板1，將SiC用於局部之緩衝部2p，將AlN用於晶種部3。SiC可具有3C、4H、6H之結晶結構。若將高溫下比AlN更穩定之SiC用於緩衝部2p，則與AlN相比，可更加抑制回熔蝕刻(支持基板1與半導體部8之熔融)，故而較佳。又，由於SiC與矽基板之熱膨脹係數差小於AlN與矽基板

之熱膨脹係數差，因此進而抑制了半導體部8(GaN層)生長中之翹曲，提高半導體部8(GaN層)生長時之面內均勻性。

【0075】

[實施例4]

圖31～圖32係表示實施例4之構成之剖視圖。圖31中，使用矽基板作為支持基板1，將SiC用於緩衝層2f，將AlN用於局部之晶種部3。SiC可具有3C、4H、6H之結晶結構。緩衝層2f實質上形成於支持基板1之整個上表面。由於緩衝層2f形成於整個表面，因此可抑制遮罩部5與支持基板1產生反應。即使於遮罩部5設定得較薄之情形時，若緩衝層2f存在於整個表面，則亦可抑制支持基板1與半導體部8經由遮罩部5或遮罩部5與晶種部3之界面產生反應，故而於整個表面形成緩衝層2f較佳。例如，若遮罩部5之厚度為20 nm以下，則有時支持基板1與半導體部8會發生反應，導致遮罩部5上之半導體部8上產生大量缺陷，但可避免此種現象。實施例4中，如圖32所示，可經由局部之緩衝部2p(例如AlN)，於形成於支持基板1之整個上表面之緩衝層2f(碳化矽)上設置晶種部3(例如GaN)。

【0076】

[實施例5]

實施例1～4中，半導體部8為GaN層，但本發明並不限定於此。作為實施例1～4之半導體部8，亦可形成作為GaN系半導體部之InGaN層。InGaN層之橫向成膜於例如低於1000℃之低溫下進行。其原因在於，高溫下銦之蒸氣壓變高，無法有效摻入膜內。藉由使成膜溫度為低溫，具有減少遮罩部5與InGaN層之相互反應之效果。又，InGaN層亦具有與遮罩部5之反應性較GaN層與遮罩部5之反應性低之效果。若銦以1%以上之In組成

水準摻入InGaN層，則InGaN層與遮罩部5之反應性進一步降低，故而較佳。作為銻原料氣體，較佳為使用三乙基銻(TEG)。

【0077】

[實施例6]

圖33係表示實施例6之構成之模式剖視圖。實施例6中，使構成LED之功能層9於半導體部8上成膜。半導體部8為例如摻雜有矽等之n型。功能層9從下層側開始依次包含活性層34、電子阻斷層35、及GaN系p型半導體部36。活性層34為MQW(Multi-Quantum Well，多量子阱)，包含InGaN層及GaN層。電子阻斷層35為例如AlGaIn層。GaIn系p型半導體部36為例如GaIn層。陽極38以與GaIn系p型半導體部36接觸之方式配置，陰極39以與半導體部8接觸之方式配置。藉由使半導體部8及功能層9從模片基板7離開，可獲得半導體元件20(包含GaIn系結晶)。

【0078】

圖34係表示實施例4之對電子機器之應用例之剖視圖。根據實施例6，可獲得紅色微型LED20R、綠色微型LED20G、藍色微型LED20B，藉由將該等安裝於驅動基板(TFT基板)23，可構成微型LED顯示器30D(電子機器)。作為一個示例，經由導電樹脂24(例如，各向異性導電樹脂)等將紅色微型LED20R、綠色微型LED20G、藍色微型LED20B安裝於驅動基板23之複數個像素電路27上，其後，將控制電路25及驅動電路29等安裝於驅動基板23上。驅動電路29之一部分可包含於驅動基板23。

【0079】

[實施例7]

圖35係表示實施例7之構成之模式剖視圖。實施例7中，使構成半導

體雷射之功能層9於半導體部8上成膜。功能層9從下層側開始依次包含n型光包覆層41、n型導光層42、活性層43、電子阻斷層44、p型導光層45、p型光包覆層46、及GaN系p型半導體部47。可將InGaN層用於各導光層42、45。可將GaN層或AlGaN層用於各光包覆層41、46。陽極48以與GaN系p型半導體部47接觸之方式配置，陰極49以與半導體部8接觸之方式配置。藉由使半導體部8及功能層9從模片基板7離開，可獲得半導體元件20。

【0080】

(附錄)

以上，基於各圖式及實施例對本發明之發明進行了說明。然而，本發明之發明並非限定於上述各實施方式。即，本發明之發明可於本發明所示範圍內進行各種變更，將不同實施方式所分別揭示之技術手段適當地組合而獲得之實施方式亦包含於本發明之發明之技術範圍內。即，需指出，本領域技術人員可容易基於本發明進行各種變化或修改。又，需注意，該等變化或修改包含於本發明之範圍內。

【符號說明】

【0081】

1:支持基板

1B:凹部

2p:緩衝部

2f:緩衝層

3:晶種部

4:積層部

4x:積層體
5:遮罩部
5:基板加工膜
5a:氧化矽膜
5b:氮化矽膜
5c:遮罩部中央
6:遮罩圖案
7:模片基板
8: (ELO)半導體部
8P:半導體圖案
8E:邊緣
9:功能層
9E: LED層
10:半導體基板
20:半導體元件
20B:藍色微型LED
20G:綠色微型LED
20R:紅色微型LED
23:驅動基板
24:導電樹脂
25:控制電路
27:像素電路
29:驅動電路

30:電子機器

30D:微型LED顯示器

34:活性層

35:電子阻斷層

36: GaN系p型半導體部

38:陽極

39:陰極

41: n型光包覆層

42: n型導光層

43:活性層

44:電子阻斷層

45: p型導光層

46: p型光包覆層

47: GaN系p型半導體部

48:陽極

49:陰極

70:製造裝置

72:半導體部形成部

74:控制部

d1: X方向之厚度

DS:元件部

Dm:距離

EK:低缺陷部

K:開口部

KP:開口圖案

LH:孔

NS:位錯繼承部

RK:連通孔

RZ:抗蝕劑

SL:初始生長層

SP:晶種圖案

TP:膠帶

TR:溝槽

WL: X方向之尺寸

【發明申請專利範圍】

【請求項1】

一種半導體基板，其具備：

主基板；

緩衝層，其位於較上述主基板更為上層；

晶種部，其以俯視時局部地位於較上述緩衝層更為上層之方式配置；及

半導體部，其以與上述晶種部相接之方式配置且包含Ga_{0.5}N_{0.5}系半導體，

上述晶種部為長條形狀，

上述緩衝層位於上述主基板之整個上表面，

上述緩衝層與上述晶種部之整個下表面相接，

上述半導體部包含位於上述緩衝層之上方之邊緣。

【請求項2】

如請求項1之半導體基板，其具備包含遮罩部及開口部之遮罩圖案，

上述晶種部以俯視時與上述開口部重疊之方式局部地配置。

【請求項3】

如請求項2之半導體基板，其中上述緩衝層於俯視時與上述遮罩部重疊。

【請求項4】

如請求項1之半導體基板，其中上述主基板之整個上表面為平坦。

【請求項5】

如請求項2之半導體基板，其中上述主基板下表面與上述晶種部上表

面之距離為上述主基板下表面與上述遮罩部上表面之距離以下。

【請求項6】

如請求項2之半導體基板，其中上述主基板下表面與上述晶種部上表面之距離大於上述主基板下表面與上述遮罩部上表面之距離。

【請求項7】

如請求項1之半導體基板，其中上述半導體部與上述晶種部之側面不接觸。

【請求項8】

如請求項2之半導體基板，其中上述遮罩圖案位於上述緩衝層上。

【請求項9】

如請求項1之半導體基板，其中上述半導體部之寬度為晶種部之寬度之5倍以上。

【請求項10】

如請求項1至9中之任一項之半導體基板，其中上述主基板為矽基板。

【請求項11】

如請求項10之半導體基板，其中上述晶種部包含SiC及AlN中之至少一者。

【請求項12】

如請求項1至9中之任一項之半導體基板，其中上述緩衝層遍及整體為平坦狀。

【請求項13】

如請求項2之半導體基板，其中上述遮罩部具有包含氮化矽膜及氧化

矽膜中之至少一者之積層結構。

【請求項14】

如請求項2之半導體基板，其中上述邊緣於俯視時位於上述遮罩部中央與上述晶種部之間。

【請求項15】

如請求項1至9中之任一項之半導體基板，其中上述晶種部包含GaN系半導體，

上述晶種部之氧含有率大於上述半導體部之氧含有率。

【請求項16】

如請求項2之半導體基板，其中上述晶種部及上述開口部於俯視時相匹配。

【請求項17】

如請求項1至9中之任一項之半導體基板，其中上述半導體部之寬度方向之尺寸相對於厚度之比即縱橫比為3.5以上。

【請求項18】

如請求項1至9中之任一項之半導體基板，其中上述半導體部包含於俯視時不與上述晶種部重疊之低缺陷部，

於上述低缺陷部，非穿透位錯密度大於穿透位錯密度。

【請求項19】

一種模片基板，其具備：

主基板；

緩衝層，其位於較上述主基板更為上層；及

晶種部，其以俯視時局部地位於較上述緩衝層更為上層之方式配

置，

上述晶種部為長條形狀，

上述緩衝層位於上述主基板之整個上表面，

上述緩衝層與上述晶種部之整個下表面相接。

【請求項20】

一種半導體基板之製造方法，其包括下述步驟：

準備主基板；

於上述主基板之整個上表面形成緩衝層；

於上述緩衝層之上方形成長條形狀之晶種部；及

使包含氮化物半導體之半導體部從上述晶種部上橫向生長，於上述緩衝層之上方形成上述半導體部之邊緣。

【請求項21】

如請求項20之半導體基板之製造方法，其中使用濺鍍法、PSD(Pulse sputter deposition)法、或雷射剝蝕法形成上述晶種部。

【請求項22】

如請求項20之半導體基板之製造方法，其中上述晶種部為條帶狀之晶種圖案之一。

【請求項23】

如請求項20之半導體基板之製造方法，其中於上述緩衝層上形成遮罩圖案。

【請求項24】

一種半導體基板之製造裝置，其進行如請求項20之各步驟。

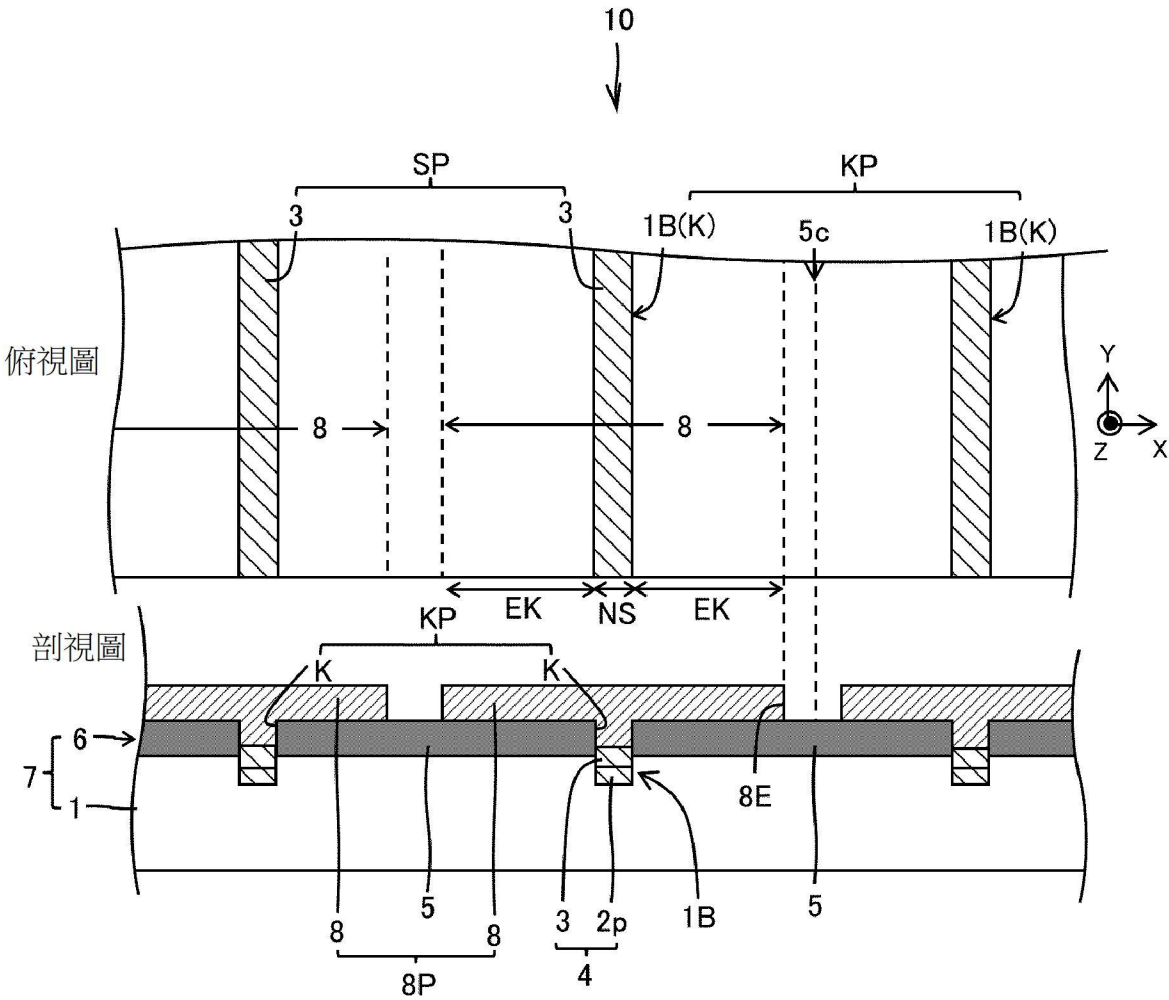
【請求項25】

一種半導體元件，其包含如請求項1至9中之任一項之半導體部。

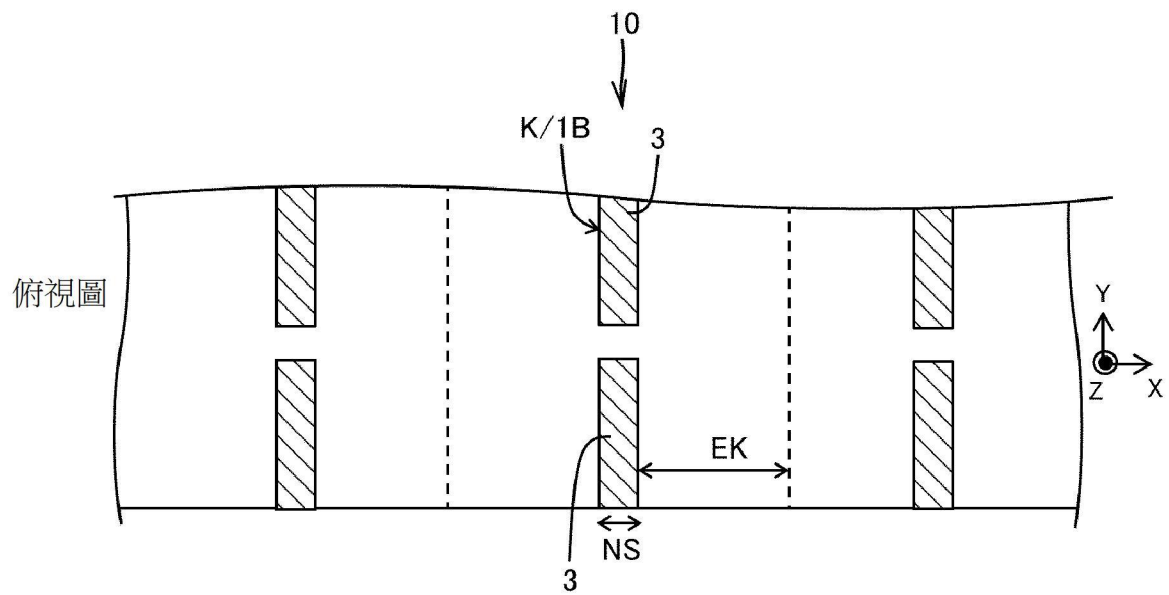
【請求項26】

一種電子機器，其包含如請求項25之半導體元件。

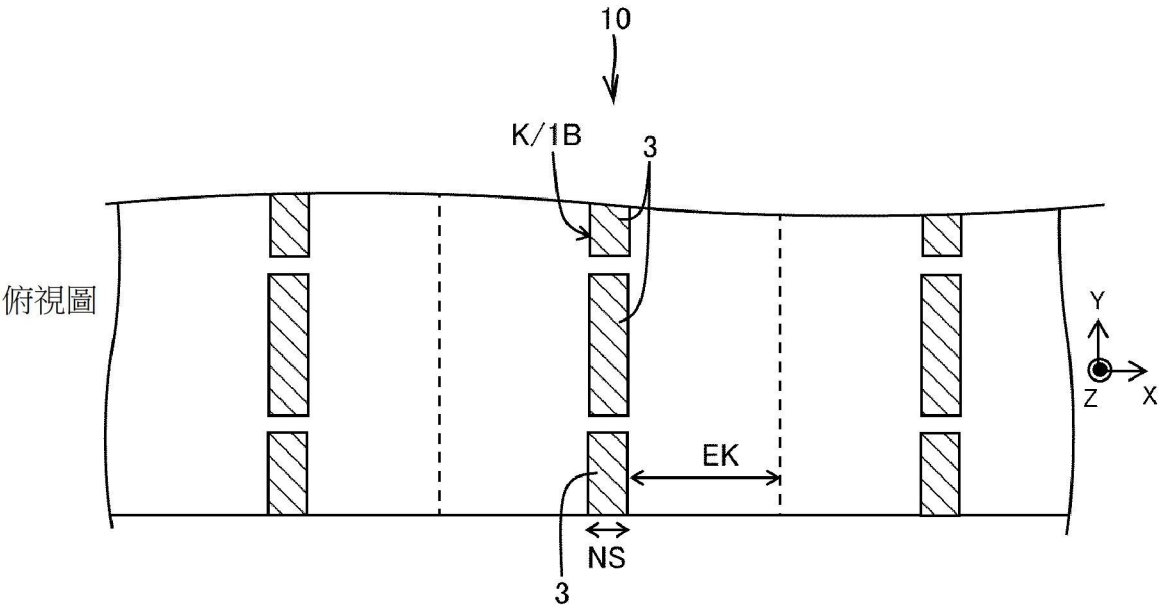
【發明圖式】



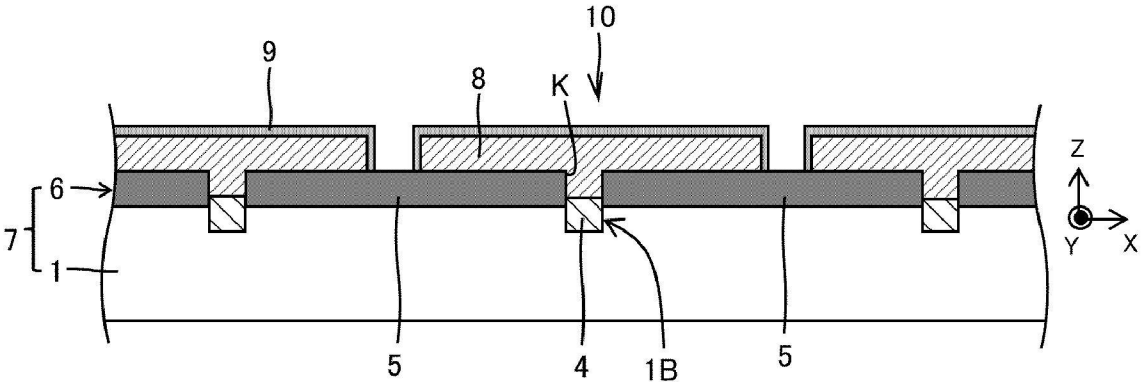
【圖1】



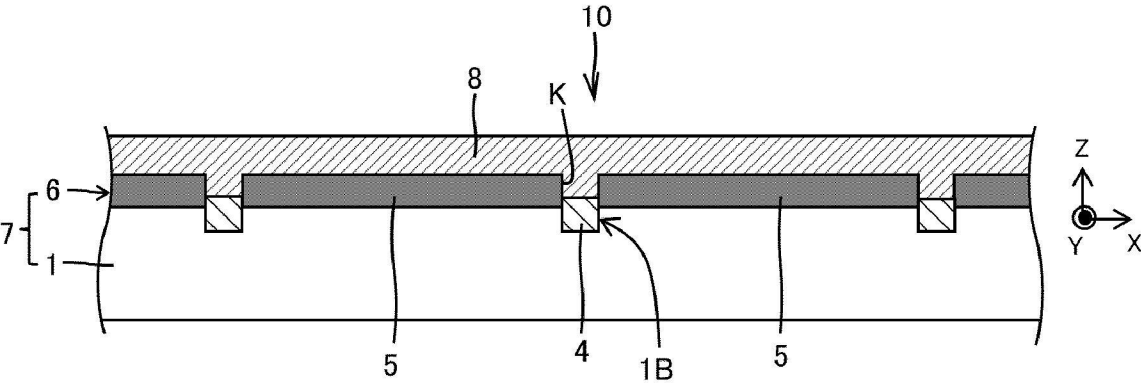
【圖2】



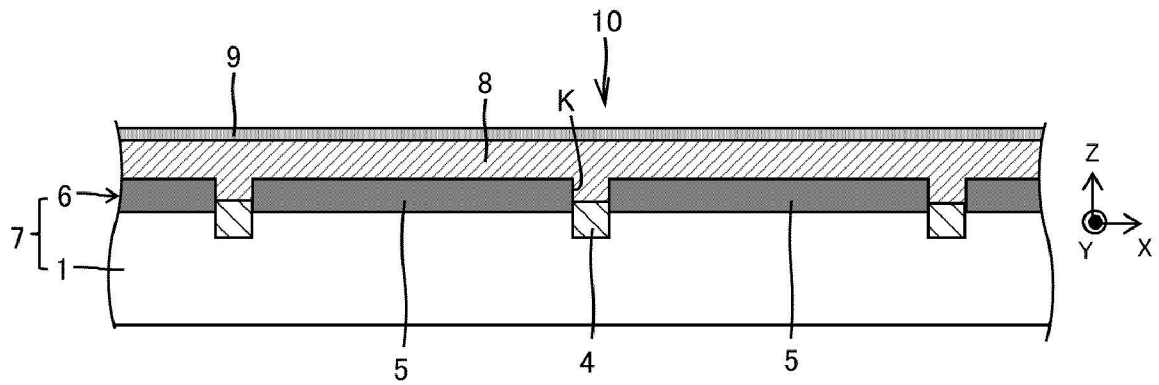
【圖3】



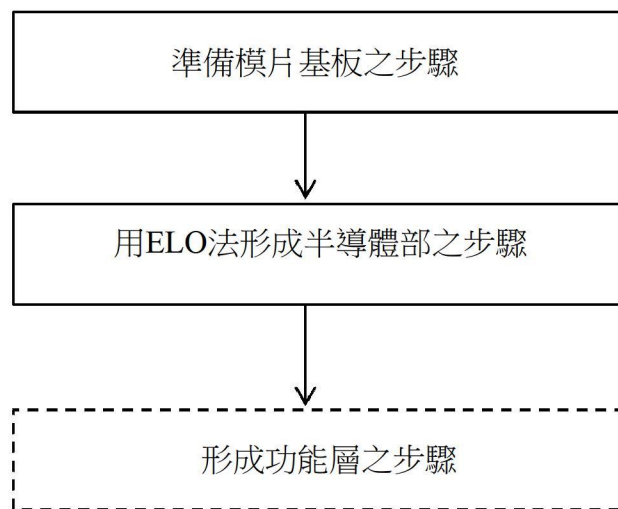
【圖4】



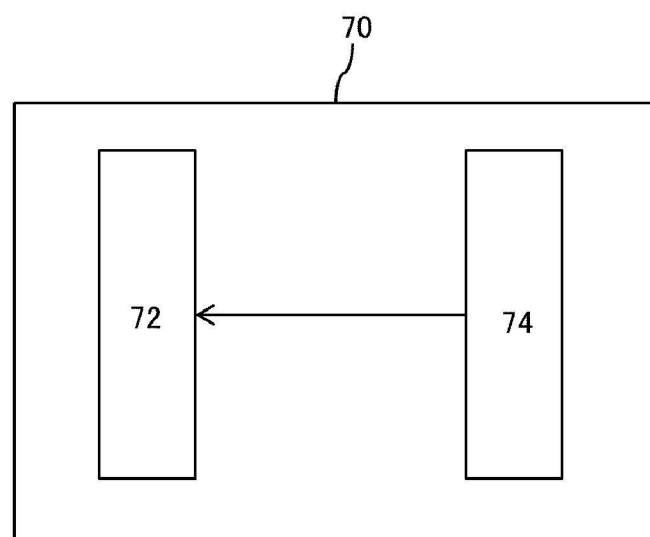
【圖5】



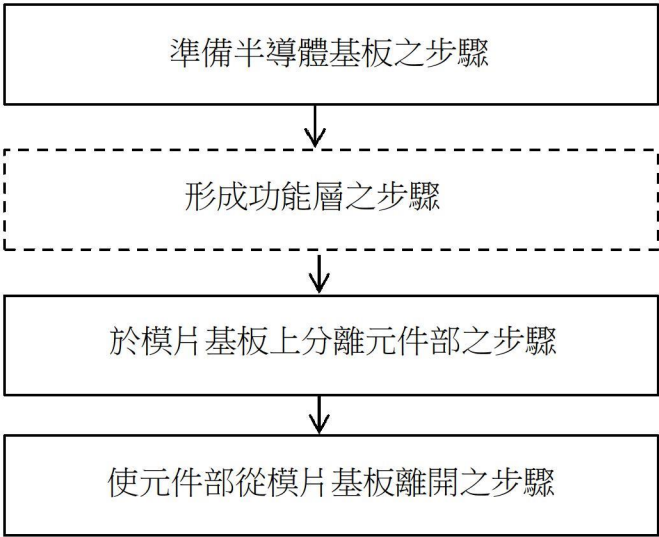
【圖6】



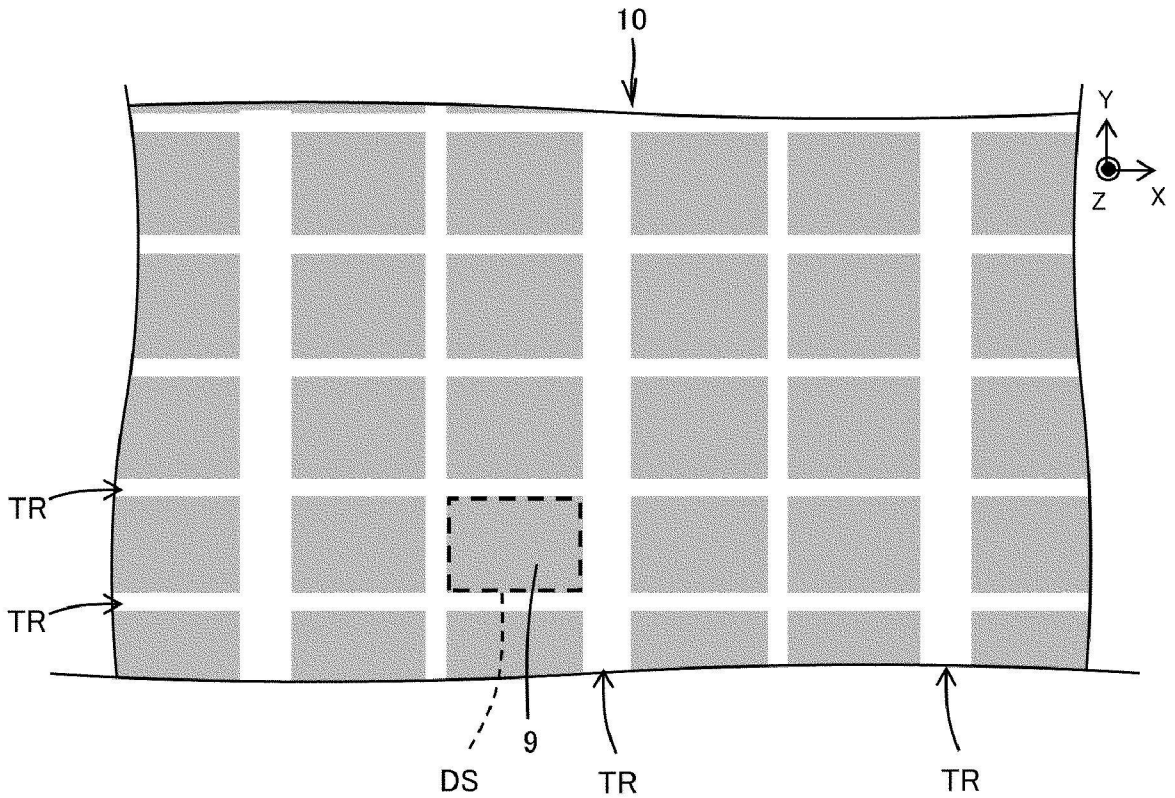
【圖7】



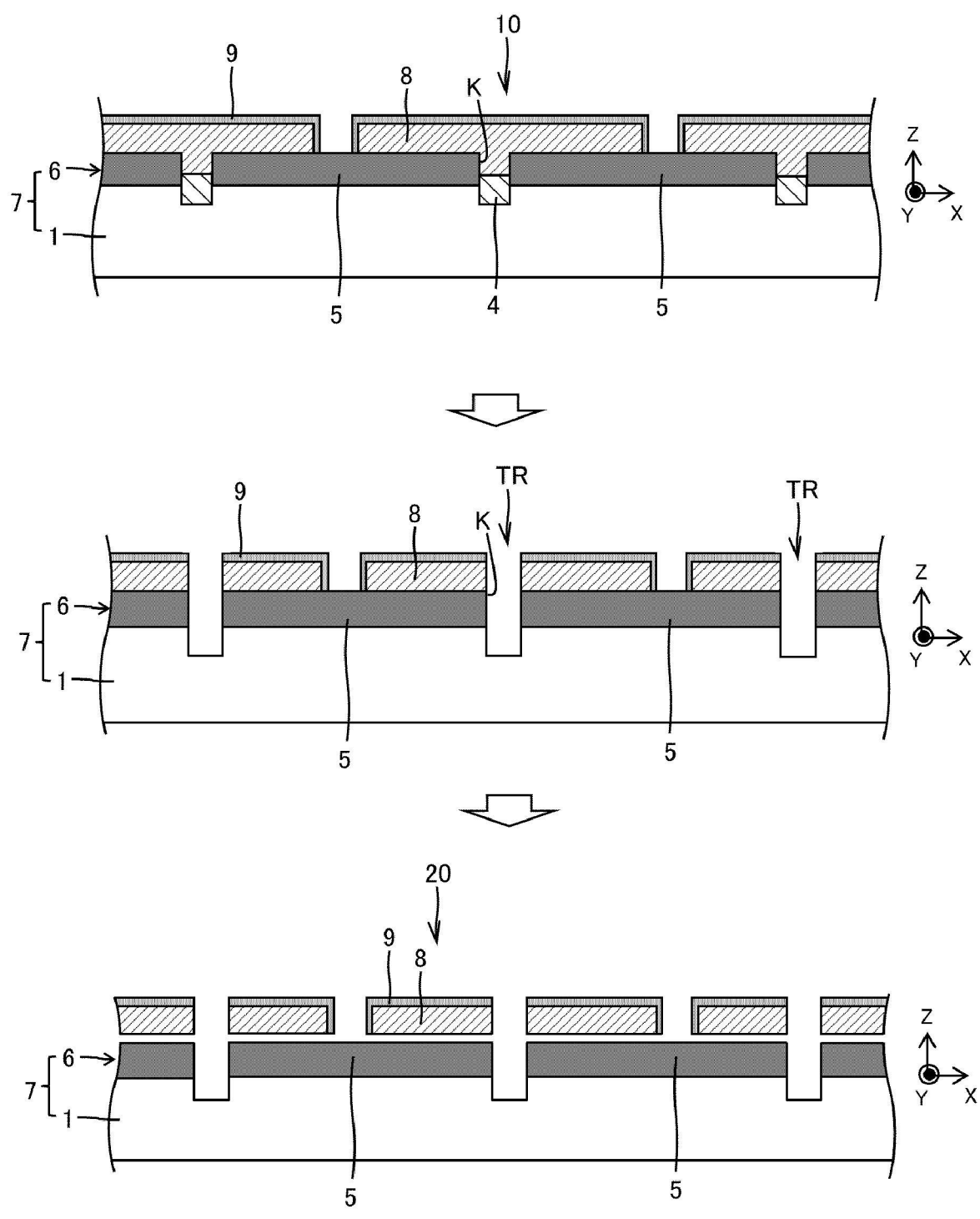
【圖8】



【圖9】



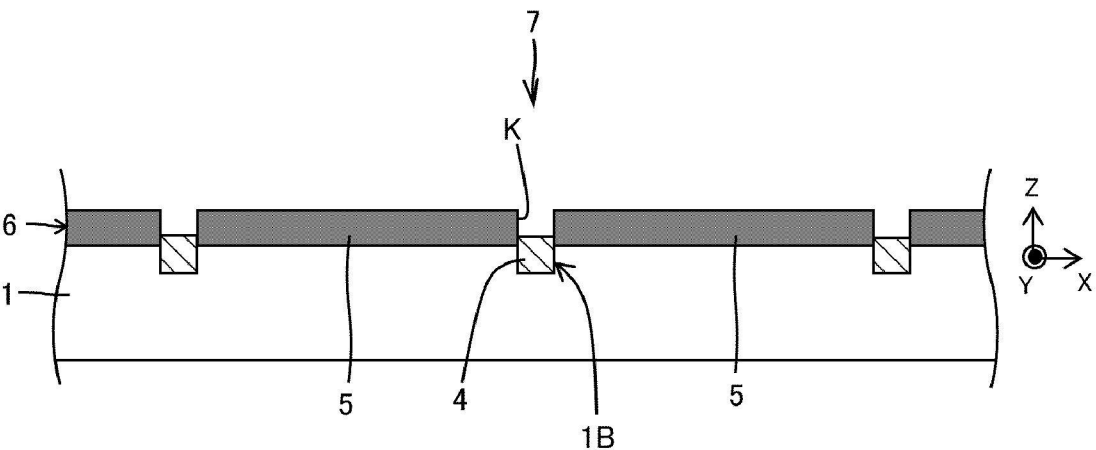
【圖10】



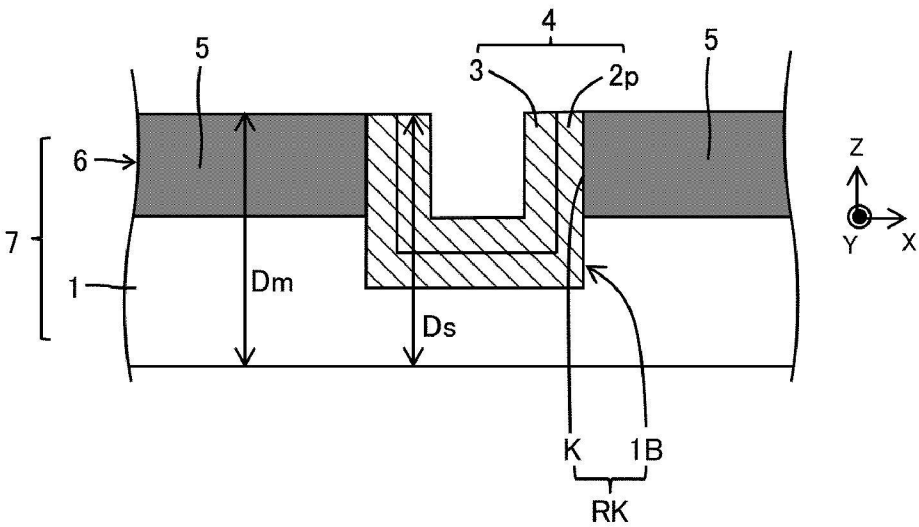
【圖11】

Diagram illustrating a cross-sectional view of a semiconductor device. The device includes a substrate 23, a first conductive layer 8, and a second conductive layer 20. A first conductive pad 25 is formed on the first conductive layer 8. A second conductive pad 30 is formed on the second conductive layer 20. A gap 20 is formed between the first conductive pad 25 and the second conductive pad 30.

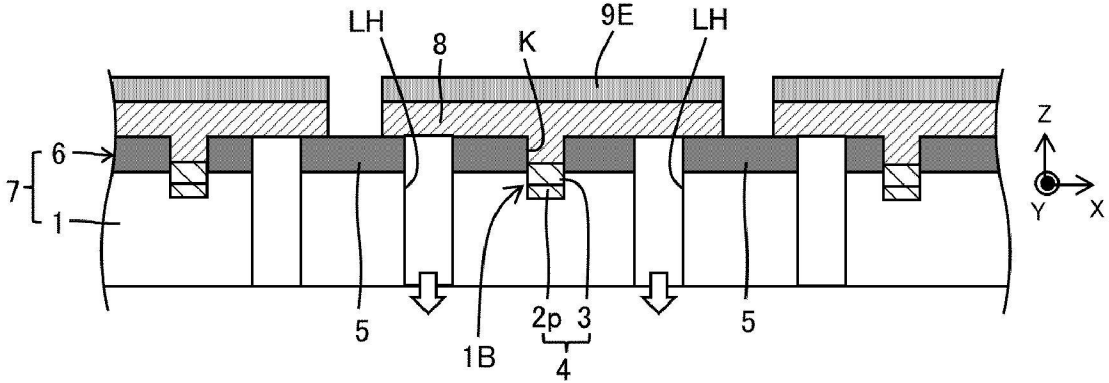
【圖14】



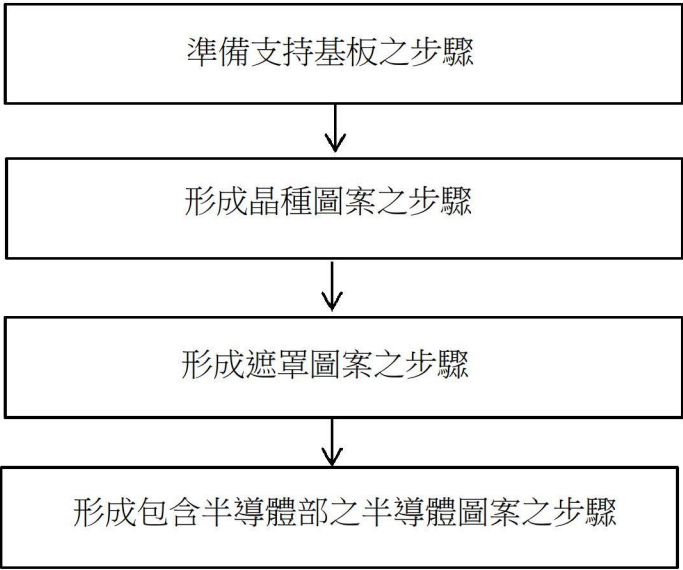
【圖15A】



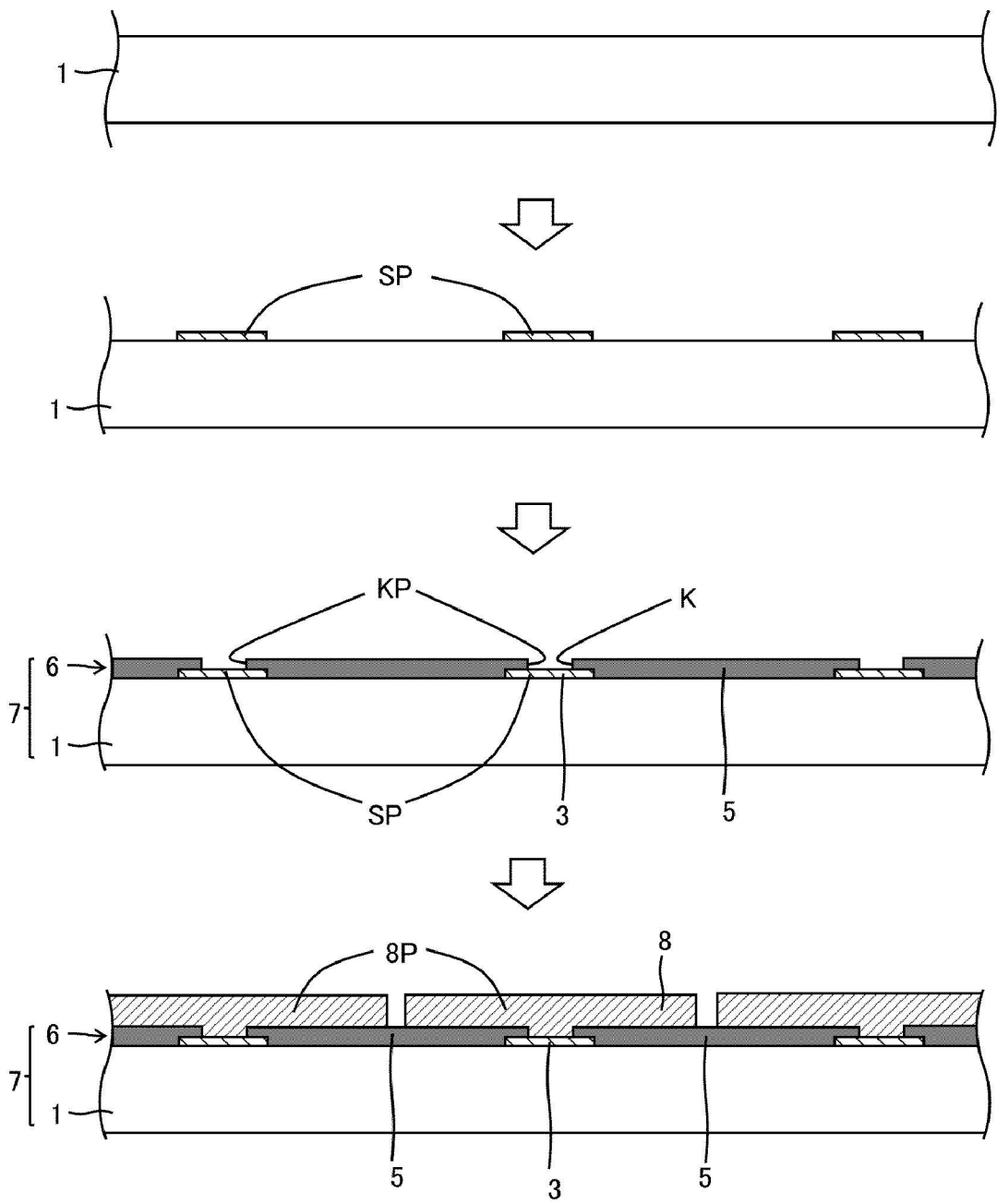
【圖15B】



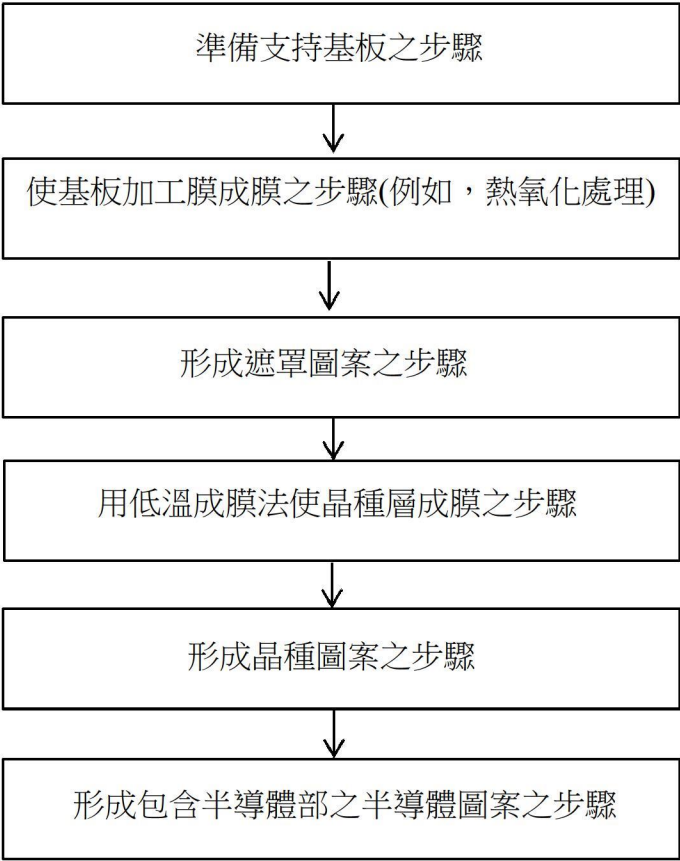
【圖16】



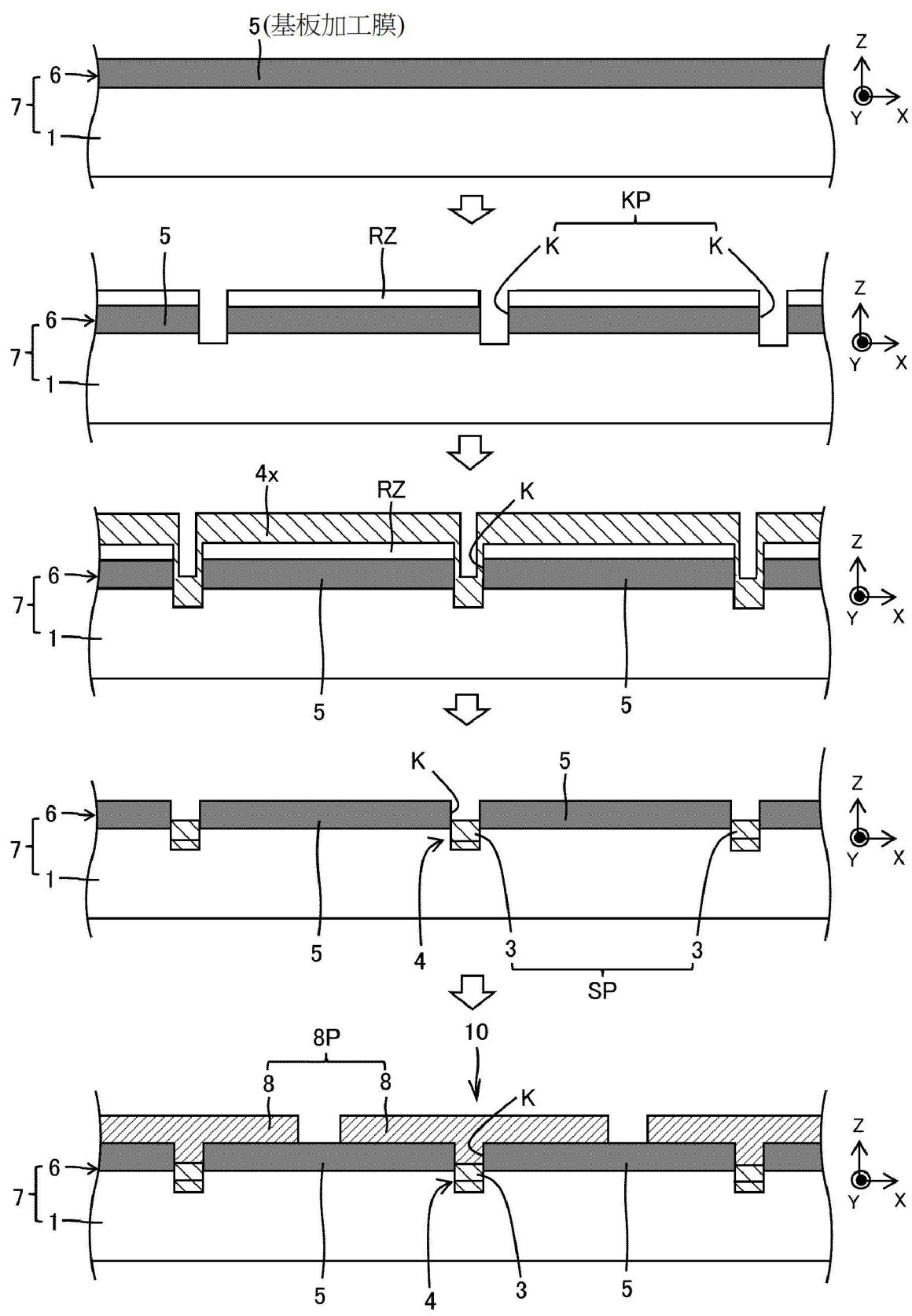
【圖17A】



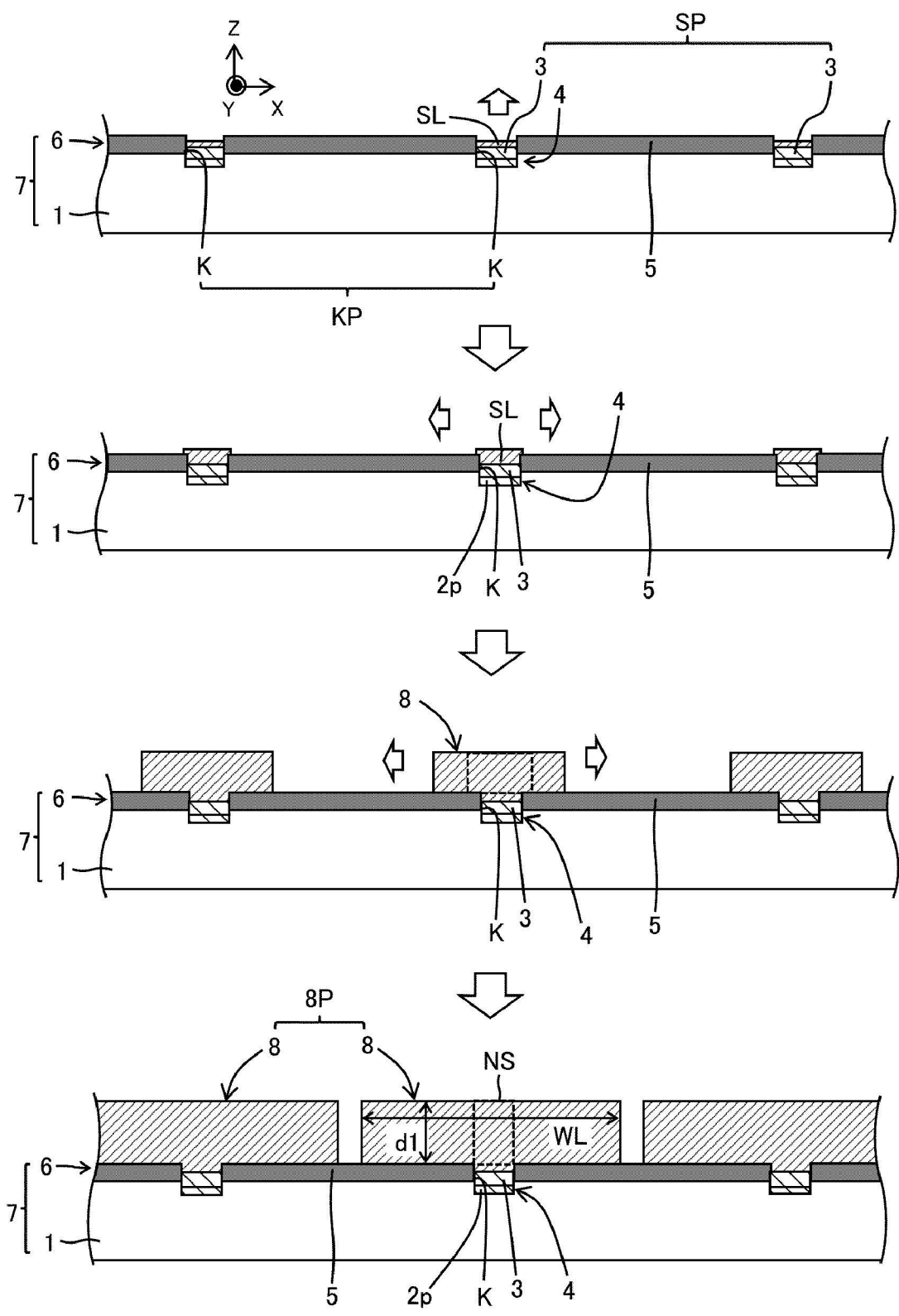
【圖17B】



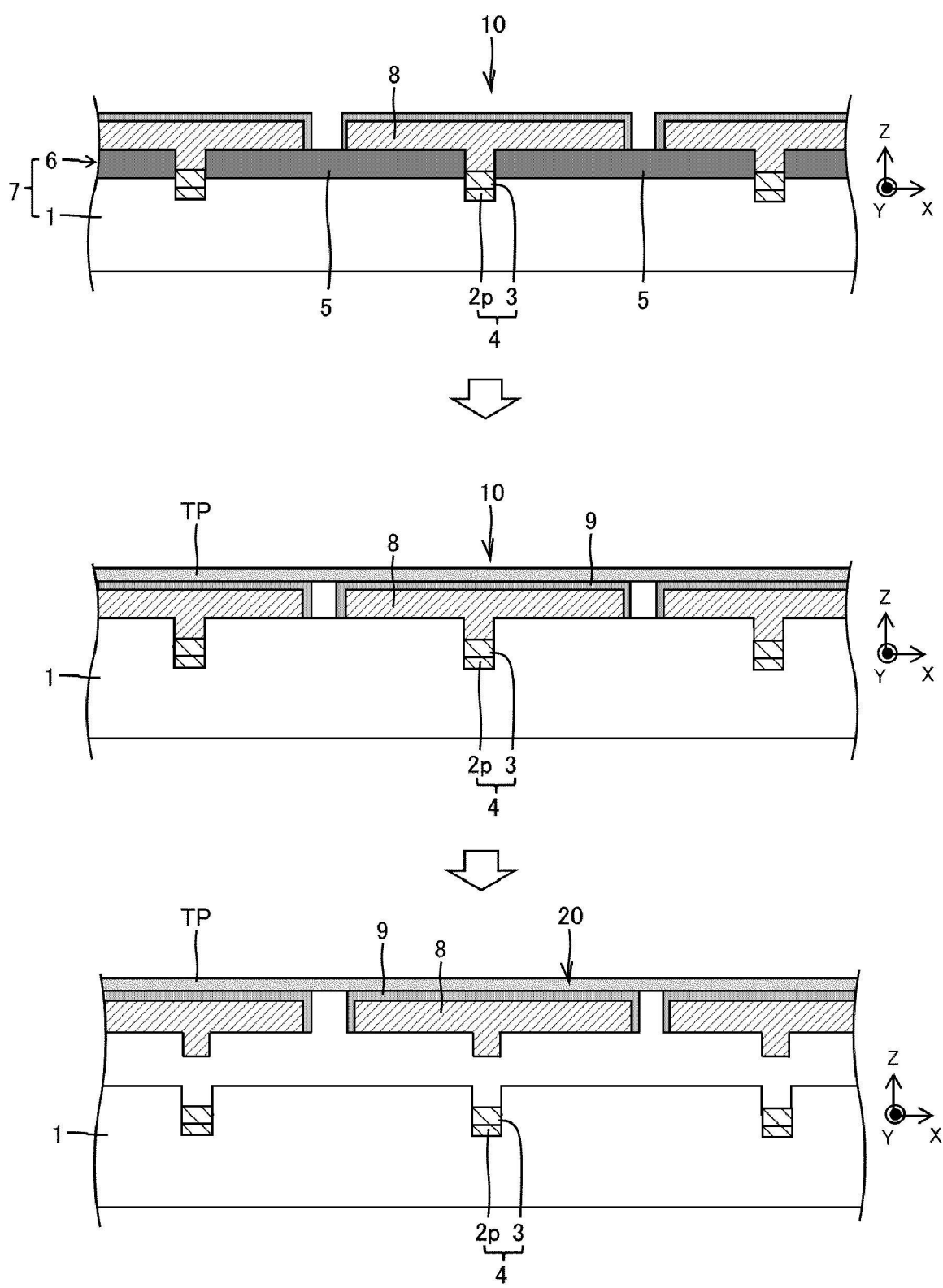
【圖18A】



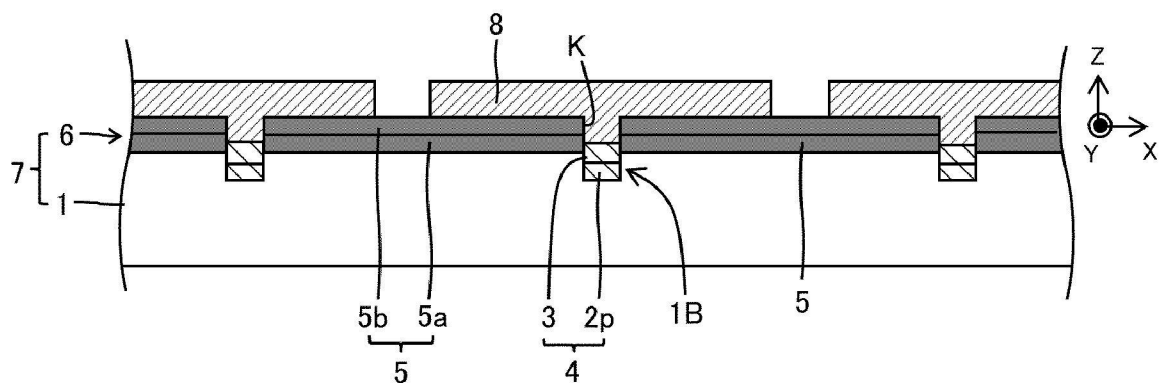
【圖18B】



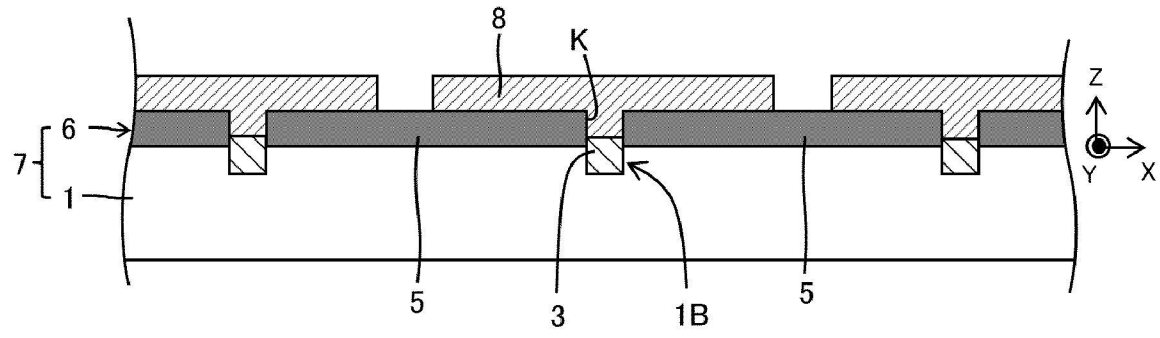
【圖19】



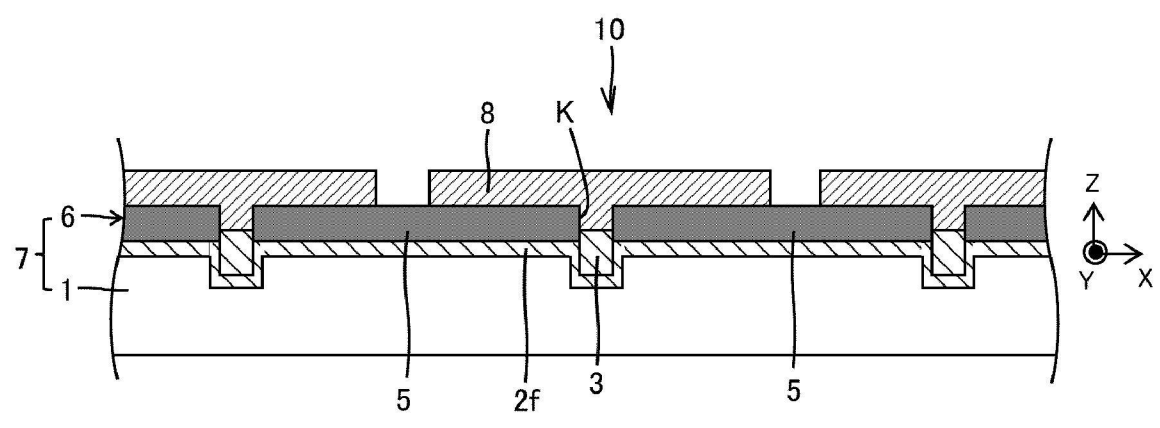
【圖20】



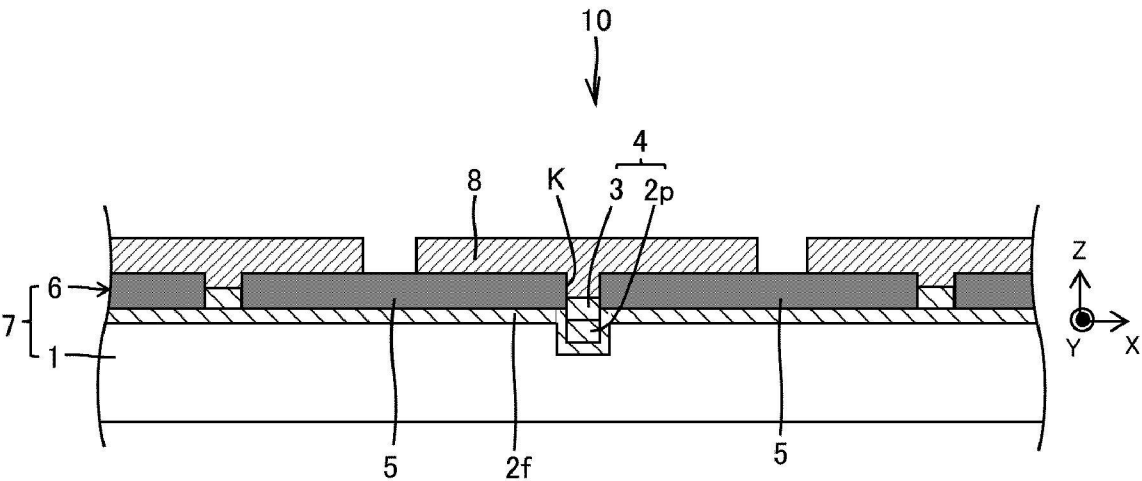
【圖21】



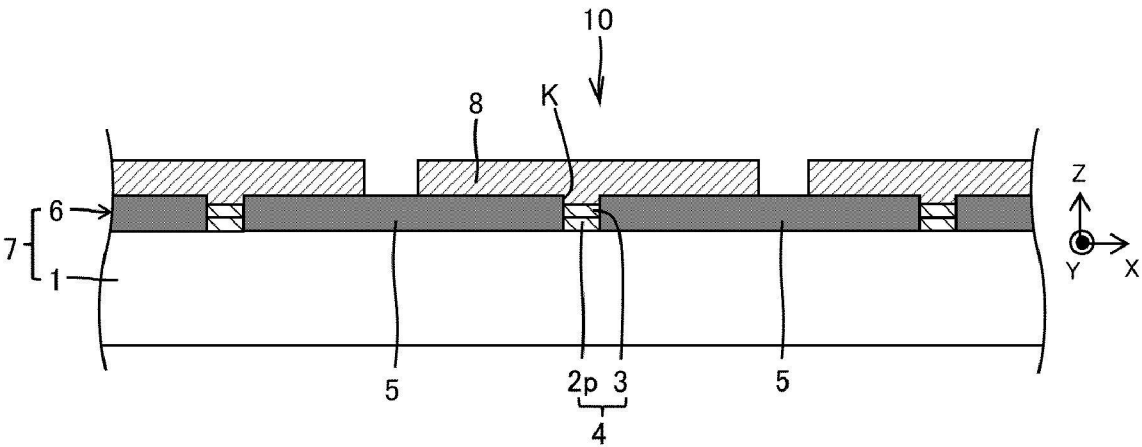
【圖22】



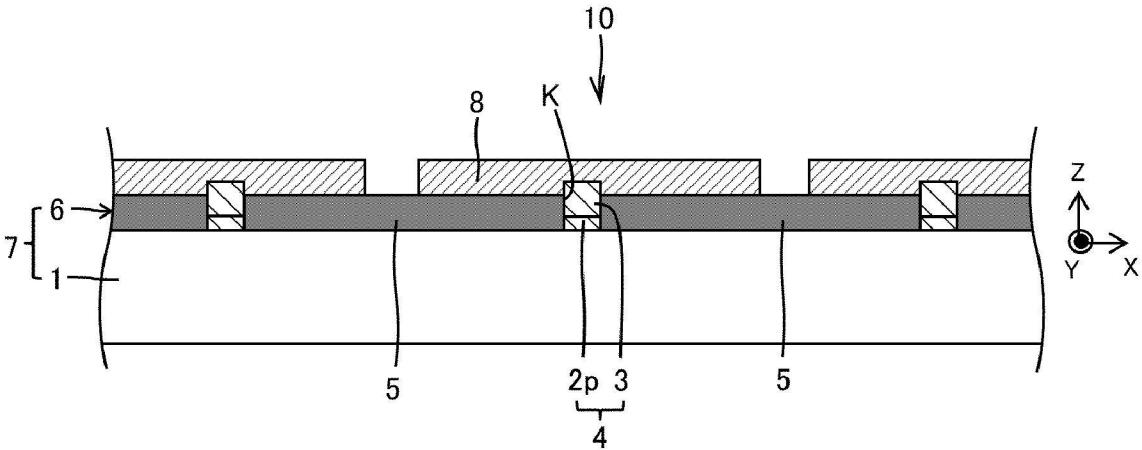
【圖23】



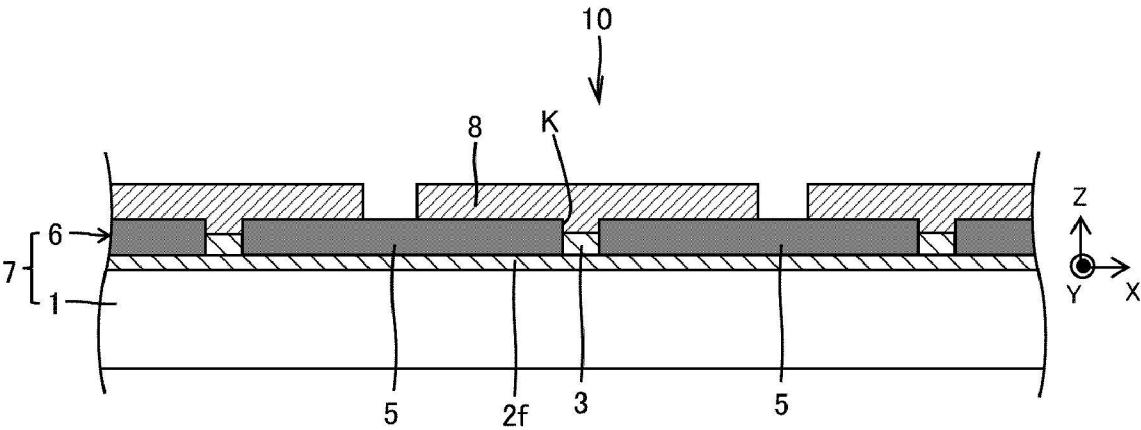
【圖24】



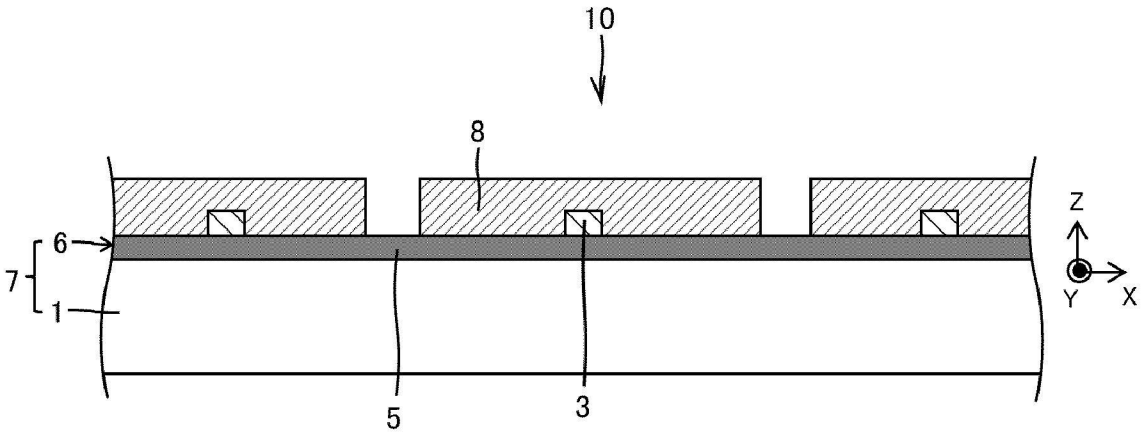
【圖25】



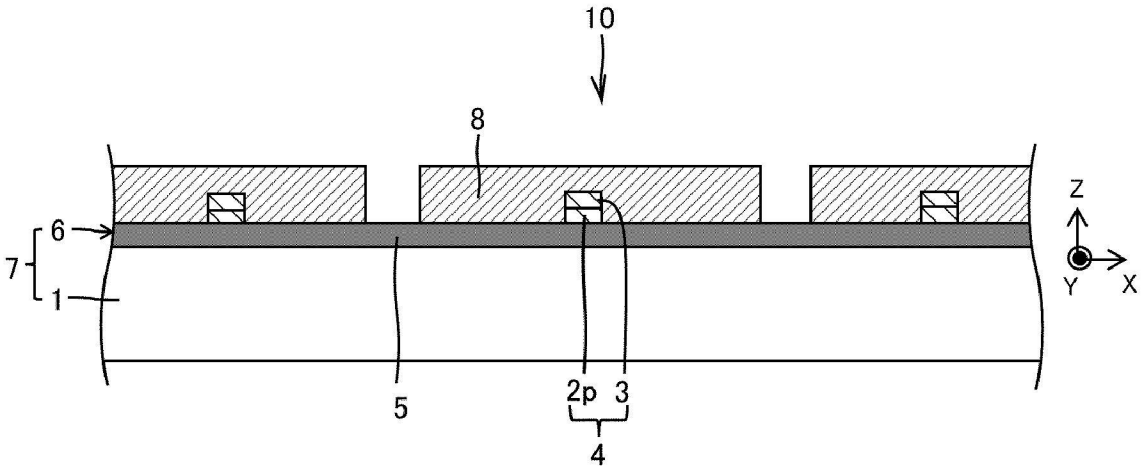
【圖26】



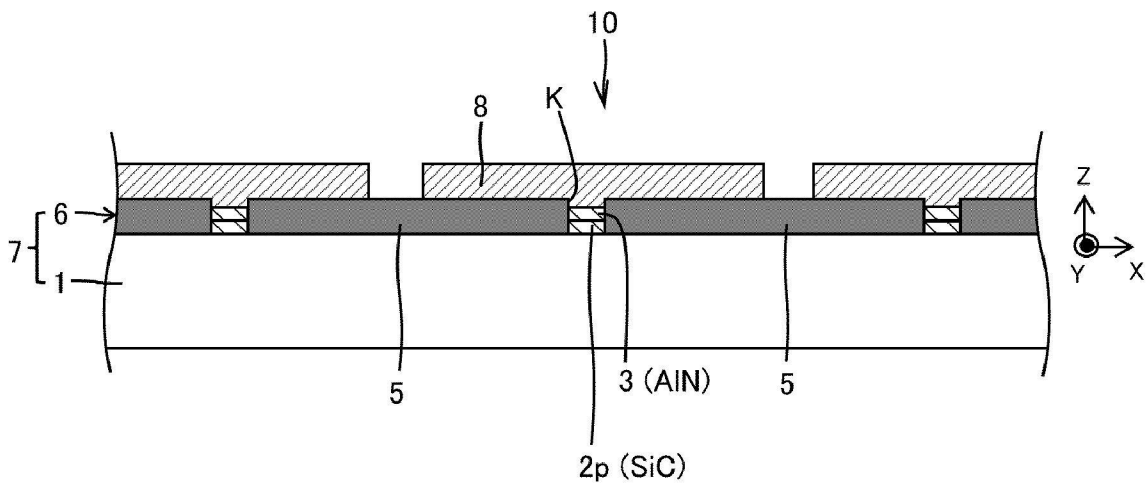
【圖27】



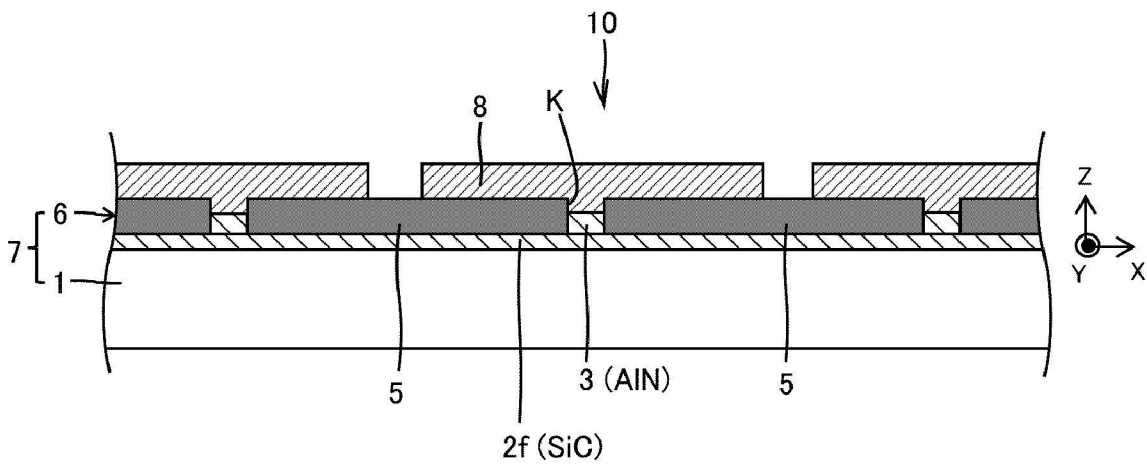
【圖28】



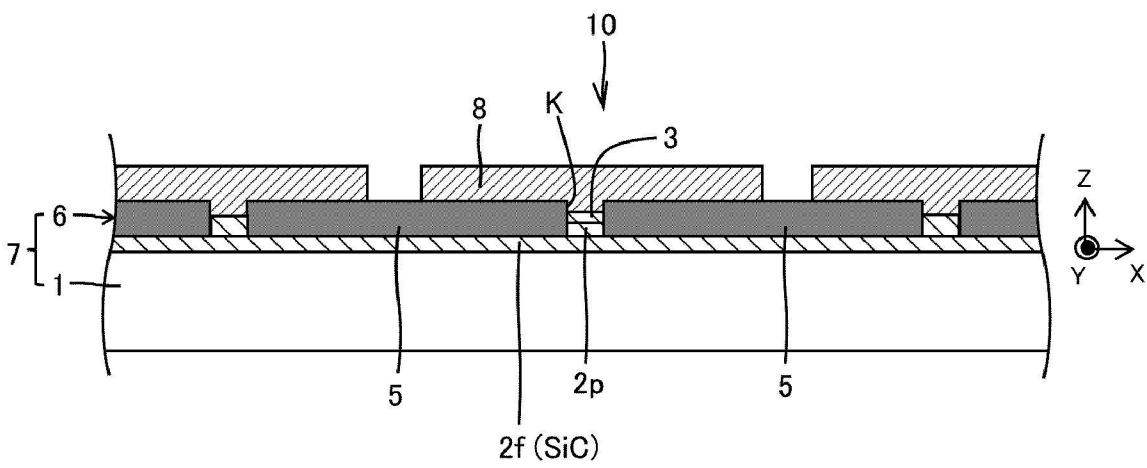
【圖29】



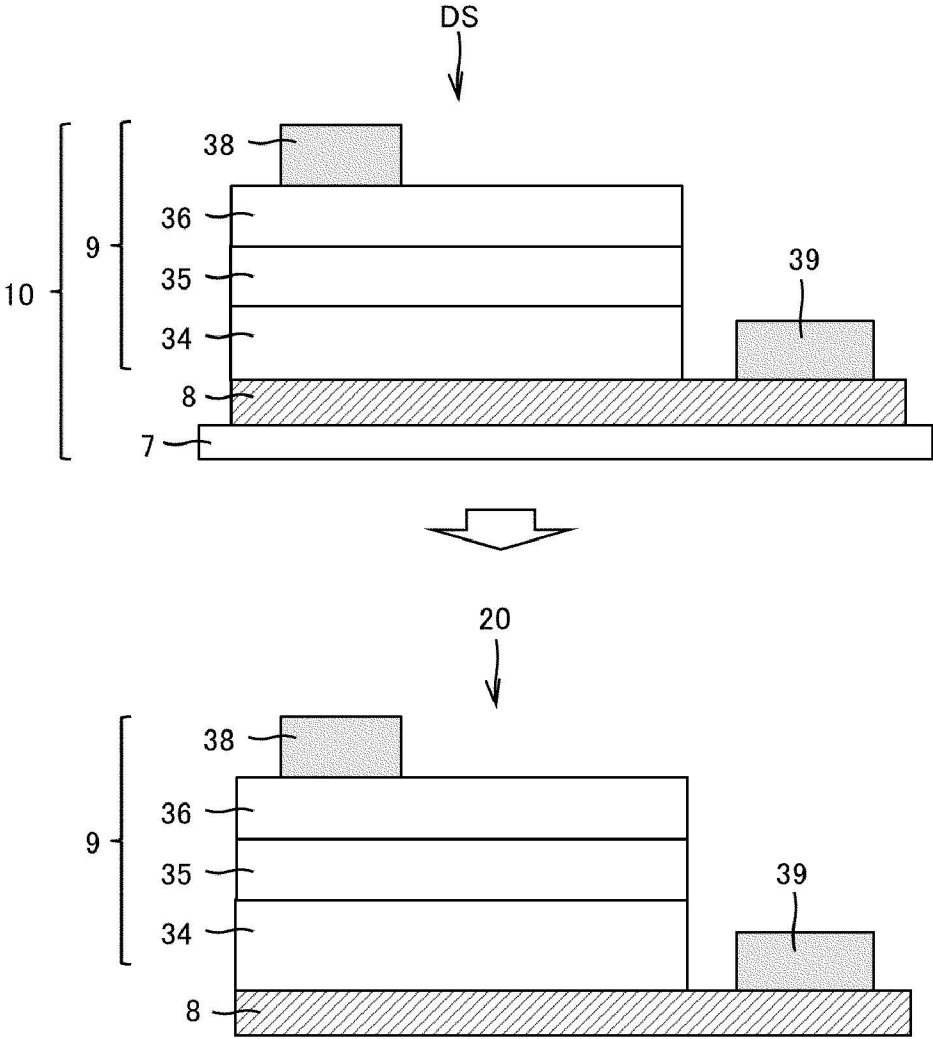
【圖30】



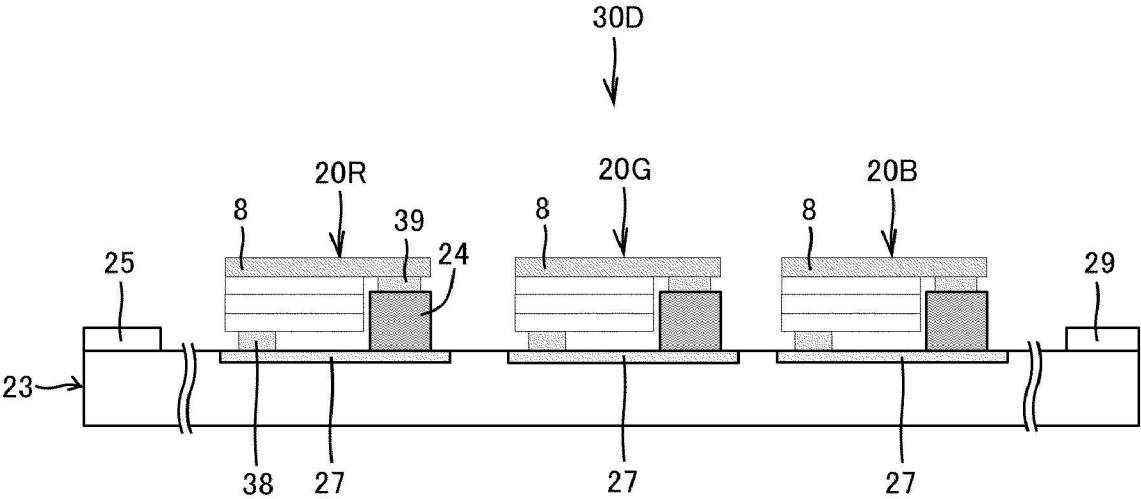
【圖31】



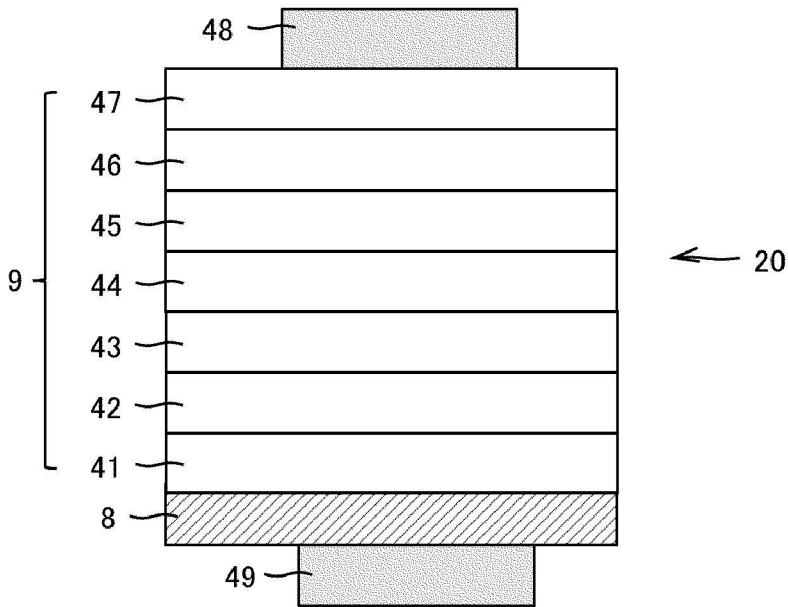
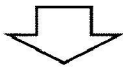
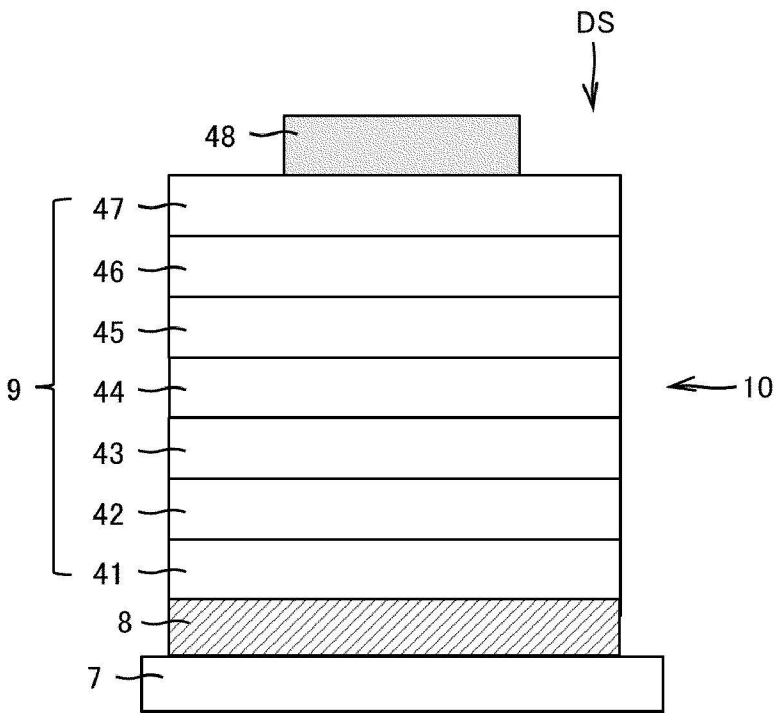
【圖32】



【圖33】



【圖34】



【圖35】