【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成17年9月22日(2005.9.22)

【公開番号】特開2003-60095(P2003-60095A)
【公開日】平成15年2月28日(2003.2.28)
【出願番号】特願2002-178046(P2002-178046)
【国際特許分類第７版】
　ＨＯ１Ｌ　21/8247
　ＨＯ１Ｌ　27/10
　ＨＯ１Ｌ　27/115
　ＨＯ１Ｌ　29/788
　ＨＯ１Ｌ　29/792
【ＦＩ】
　ＨＯ１Ｌ　29/78　　３７１
　ＨＯ１Ｌ　27/10　　４５１
　ＨＯ１Ｌ　27/10　　４３４

【手続補正書】
【提出日】平成17年4月13日(2005.4.13)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
トランジスタのソース領域とドレイン領域の間であって、該トランジスタのチャンネル領域とコントロールゲートとの間に設けられた、分離層で囲まれた半導体層(CH2)を有する集積メモリ構造をもち、
　前記半導体層は、該トランジスタのコントロールゲートの下にある電位障壁ゾーン(Z2)により分けられる２つの電位井戸ゾーン(Z1, Z3)を含んでおり、
　前記２つの電位井戸ゾーンのいずれかに選択的に電荷キャリアを閉じ込めるよう、メモリ構造をバイアスする書き込み手段と、
　例えばトランジスタのドレイン電流を測定することにより、該２つの電位井戸ゾーンのいずれかに電荷キャリアが存在することを検出するよう、メモリ構造をバイアスする読み出し手段と、
　を備える、集積半導体メモリデバイス。
【請求項２】
前記分離層で囲まれた半導体層は、
　前記トランジスタのソースおよびドレイン領域と同じ導電性のタイプを有して、前記電位障壁ゾーンを形成する中心ゾーンと、
　前記中心ゾーンの両側にそれぞれ設けられた２つの外側ゾーンであって、同じタイプの導電性を有するが、該中心ゾーンとは異なるタイプの導電性を有し、前記２つの電位井戸ゾーンを形成する２つの外側ゾーンと、
　を含む、請求項１に記載の集積半導体メモリデバイス。
【請求項３】
前記分離層で囲まれた半導体層は、初期状態ではドープされておらず、
　前記集積メモリ構造は、前記トランジスタのコントロールゲートの両側にそれぞれ配置された２つの補助ゲート（GA）であって、該コントロールゲートから分離され、該コント

ロールゲートとは異なるタイプの導電性を有する２つの補助ゲートを含み、
前記２つの電位井戸ゾーンは、前記２つの補助ゲートの下にあって、該補助ゲートにより誘導され、前記電位障壁ゾーンは、前記コントロールゲートにより誘導される、
請求項１に記載の集積半導体メモリデバイス。
【請求項４】
前記書き込み手段は、前記２つの電位井戸ゾーンのいずれかに選択的に電荷キャリアを閉じ込めるべく、前記ソースおよびドレインの電極をバイアスすることができる、
請求項２および３のいずれかに記載の集積半導体メモリデバイス。
【請求項５】
前記書き込み手段は、
前記ソースまたはドレイン電極をバイアスすることにより、前記電荷キャリアを閉じ込め、
さらに、前記２つの電位井戸間の前記電位障壁を除去すべく前記コントロールゲートをバイアスし、
次に、該コントロールゲートのバイアスを外し、
最終的に、前記ソースまたはドレイン電極のバイアスを外すことができる、
請求項４に記載の集積半導体メモリデバイス。
【請求項６】
前記読み出し手段は、前記コントロールゲート、および必要に応じて前記２つの補助ゲートを、前記書き込み手段によって用いられたものと逆のバイアス電圧でバイアスすることができる、
請求項４または５に記載の集積半導体メモリデバイス。
【請求項７】
請求項１から６のいずれかに記載のメモリデバイスを少なくとも１つ備える集積回路。
【請求項８】
集積半導体メモリデバイスを製造する方法であって、
ＭＯＳトランジスタを製造するステップと、
前記トランジスタのソースおよびドレイン領域の間であって、該トランジスタのチャンネル領域とコントロールゲートの間に設けられた、分離層で囲まれた半導体層(CH2)を製造するステップと、を含み、
前記半導体層は、該トランジスタのコントロールゲートの下にある電位障壁ゾーンにより分けられる２つの電位井戸ゾーンを含む、
方法。
【請求項９】
分離層で囲まれた半導体層を製造する前記ステップは、
第１のタイプの導電性を有するシリコン基板上で、シリコンに対して選択的に除去可能な材料から形成された第１の層（C1）をエピタキシャル成長させるステップと、
前記第１の層上に、第２のタイプの導電性を有するシリコン半導体の第２の層（C2）をエピタキシャル成長させるステップと、
前記第２の層上に、表面分離層(C3)を形成するステップと、を含み、
トランジスタを製造する前記ステップは、
前記表面分離層上に、第２のタイプの導電性を有するコントロールゲートの半導体領域を形成するステップを含み、
分離層で囲まれた半導体層を製造する前記ステップは、さらに、
前記ゲート領域の両側の前記半導体第２の層中にドーパントの注入を行うステップであって、前記トランジスタのソースおよびドレイン領域と同じ導電性のタイプを有し、かつ、前記電位障壁ゾーンを形成する中心ゾーンを、該第２の層中に形成すると共に、該中心ゾーンの両側にそれぞれ設けられる２つの外側ゾーンを、該第２の層中に形成し、該２つの外側ゾーンは、同じタイプの導電性を有するが、該中心ゾーンと異なるタイプの導電性を有しており、さらに該２つの外側ゾーンは、前記２つの電位井戸ゾーンを形成する、ス

テップと、
分離スペーサ(ESP)により側面が囲われている前記コントロールゲート領域の両側で、前記表面分離層、前記半導体の第２の層、前記第１の層、および前記基板の一部をエッチングするステップと、
トンネルを形成するよう前記第１の層を選択的に除去し、絶縁材料で該トンネルを満たすステップと、
前記半導体第２の層のサイドウォール上に、側面分離層（CSL）を形成するステップと、を含む、
請求項８に記載の方法。
【請求項１０】
トンネルを満たす前記ステップは、酸化物をコンフォーマルに成膜することを含み、
側面分離層を形成する前記ステップは、シリコン酸化し、形成された該酸化物を異方性プラズマエッチングすることを含む、
請求項９に記載の方法。
【請求項１１】
トランジスタを製造する前記ステップは、さらに、
前記基板において、前記ソースおよびドレイン領域を、側面を分離された前記半導体第２の層の両側でエピタキシャル成長させることを含む、
請求項９または１０に記載の方法。
【請求項１２】
分離層で囲まれた半導体層を製造する前記ステップは、さらに、
第１のタイプの導電性を有するシリコン基板上に、シリコンに対して選択的に除去可能な材料から形成される第１の層をエピタキシャル成長させるステップと、
前記第１の層上に、ドープされていないシリコン半導体の第２の層をエピタキシャル成長させるステップと、
前記第２の層上に、表面分離層を形成するステップと、を含み、
トランジスタを製造する前記ステップは、さらに、
前記表面分離層上に、第２のタイプの導電性を有する半導体コントロールゲートを形成するステップを含み、
分離層で囲まれた半導体層を製造する前記ステップは、さらに、
前記トランジスタのコントロールゲートの両側にそれぞれ位置付けられる２つの補助ゲートであって、該コントロールゲートから分離され、同じタイプの導電性を有するが、該コントロールゲートとは異なるタイプの導電性を有する２つの補助ゲートを形成するステップであって、前記２つの電位井戸ゾーンは、該２つの補助ゲートの下にあり、かつ該補助ゲートにより誘導され、前記電位障壁ゾーンは、該コントロールゲートにより誘導される、ステップと、
分離スペーサ（ESP）に側面が囲われている前記コントロールゲートおよび前記２つの補助ゲート領域により形成されるアセンブリの両側で、前記表面分離層、前記半導体第２の層、前記第１の層、および前記基板の一部をそれぞれエッチングするステップと、
トンネルを形成するために前記第１の層を選択的に除去し、絶縁材料で該トンネルを満たすステップと、
前記半導体第２の層のサイドウォール上に、側面分離層（CSL）を形成するステップと、を含む、
請求項８に記載の方法。
【請求項１３】
コントロールゲートを形成する前記ステップ、および２つの補助ゲートを形成する前記ステップは、
前記第２のタイプの導電性を有する第１の半導体ゲート材料の層を成膜するステップと、
ブロックを形成するように、前記ゲート材料の層を異方性エッチングするステップと、

前記ブロックにおいて、２つの対称となる側面のくぼみを形成するステップと、
前記くぼみの壁に、分離層を形成するステップと、
前記側面分離層でコートされた前記２つのくぼみを、前記第１のタイプの導電性を有する第２のゲート材料で満たすステップと、
を含む、請求項１２に記載の方法。
【請求項１４】
側面のくぼみを形成する前記ステップは、
前記ブロックを熱酸化し、さらに、形成された該酸化物をウェットエッチングすることを含む、
請求項１３に記載の方法。
【請求項１５】
トンネルを満たす前記ステップは、酸化物のコンフォーマルな成膜を含み、
側面分離層を形成する前記ステップは、シリコン酸化し、さらに、該酸化物を異方性プラズマエッチングすることを含む、
請求項１２から１４のいずれかに記載の方法。
【請求項１６】
トランジスタを製造する前記ステップは、さらに、
前記基板において、前記ソースおよびドレイン領域を、側面を分離された前記半導体第２の層の両側でエピタキシャル成長させることを含む、
請求項１２から１５のいずれかに記載の方法。
【請求項１７】
前記選択的に除去可能な材料は、シリコンゲルマニウム合金である、
請求項９から１６のいずれかに記載の方法。
【請求項１８】
分離層で囲まれた半導体層を製造する前記ステップは、
第１のタイプの導電性を有するシリコン基板上に、分離第１層を形成するステップと、
前記分離第１層上に、ドープされていない半導体第２層を成膜するステップと、
前記第２層上に、表面分離層を形成するステップと、を含み、
トランジスタを製造する前記ステップは、
前記表面分離層上に、第２のタイプの導電性を有する半導体コントロールゲート領域を形成するステップを含み、
分離層で囲まれた半導体層を製造する前記ステップは、さらに、
前記トランジスタのコントロールゲートの両側に位置付けられる２つの補助ゲートであって、該コントロールゲートから分離され、同じタイプの導電性を有するが、該コントロールゲートとは異なるタイプの導電性を有する２つの補助ゲートを形成するステップであって、前記２つの電位井戸ゾーンは、該２つの補助ゲートの下に置かれて、該補助ゲートにより誘導され、前記電位障壁ゾーンは、該コントロールゲートにより誘導される、ステップと、
分離スペーサ(ESP)に側面が囲われている前記コントロールゲートおよび前記２つの補助ゲート領域により形成されるアセンブリの両側で、前記表面分離層および前記半導体第２の層をそれぞれエッチングするステップと、
前記半導体第２の層のサイドウォール上に、側面分離層（CSL）を形成するステップと、を含む、
請求項８に記載の方法。
【請求項１９】
トランジスタを製造する前記ステップは、
前記基板を露出するように、前記分離層で囲まれた半導体層の両側で、前記分離第１層を異方性エッチングするステップと、
側面を分離された前記半導体第２の層の両側で、前記基板に、前記ソースおよびドレイン領域をエピタキシャル成長するステップと、

を含む、請求項１８に記載の方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００３２
【補正方法】変更
【補正の内容】
【００３２】
側面のくぼみの形成ステップは、例えば、ブロックを熱酸化し、形成された該酸化物のウェットエッチングを行うステップを備える。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００９７
【補正方法】変更
【補正の内容】
【００９７】
次に、ブロックBLは、側面が対照的にくぼまなければならない。この目的のため、熱酸化処理を実行し、形成された該酸化物をウェットエッチングしてもよい。２つの側面のくぼみは、そうして得られる。そして側面のくぼみは、例えば薄い窒素層C4等の分離層でコートされる。その場でn^+ ドープされたゲート半導体材料の層は、分離層でコートされたくぼみが満たされるよう、成膜される。この第２ゲート材料層は、異方性エッチングされ、そのエッチングは、窒化物層C4で止まる。従って補助ゲートGAは、第１エッチング処理のハードマスクMSが再利用されるので、自己整合の方法で定義される。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】０１０２
【補正方法】変更
【補正の内容】
【０１０２】
それから、ポリシリコンすなわちドープされていないアモルファスシリコンによりつくられる半導体第２層が成膜される。それから、上方の分離酸化物、p^+ ドープゲートポリシリコン、及び窒化ハードマスクが成膜される。コントロールゲート及び補助ゲートのフォーメーションは、図２２で説明しているように、上述の具現化方法で説明されたものと同等である。