



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월25일
 (11) 등록번호 10-1809887
 (24) 등록일자 2017년12월12일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
 (21) 출원번호 10-2010-0049476
 (22) 출원일자 2010년05월27일
 심사청구일자 2015년05월27일
 (65) 공개번호 10-2010-0129198
 (43) 공개일자 2010년12월08일
 (30) 우선권주장
 JP-P-2009-131187 2009년05월29일 일본(JP)
 (56) 선행기술조사문헌
 JP2008276212 A*
 (뒷면에 계속)

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
사사키, 토시나리
 일본 243-0036, 가나가와켄, 아쓰기시, 하세, 398, 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
오하라, 히로키
 일본 243-0036, 가나가와켄, 아쓰기시, 하세, 398, 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
사카타 주니치로
 일본 243-0036, 가나가와켄, 아쓰기시, 하세, 398, 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 (74) 대리인
장훈

전체 청구항 수 : 총 10 항

심사관 : 최혜미

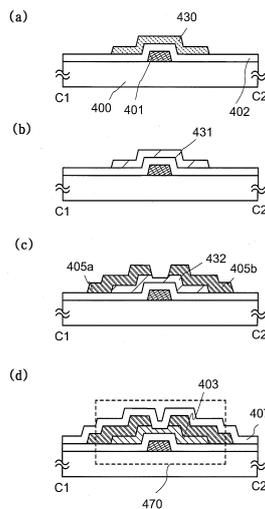
(54) 발명의 명칭 **반도체 장치 및 반도체 장치의 제작 방법**

(57) 요약

안정된 전기 특성을 갖는 박막 트랜지스터를 갖는, 신뢰성이 좋은 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또한, 신뢰성이 높은 반도체 장치를 저가격으로 생산성을 좋게 제작하는 것을 과제의 하나로 한다.

채널 형성 영역으로서 산화물 반도체층을 사용하는 박막 트랜지스터를 갖는 반도체 장치의 제작 방법에 있어서, 산화물 반도체층을 질소 분위기하에서 가열하여 저저항화함으로써, 저저항화된 산화물 반도체층을 형성한다. 또한, 저저항화된 산화물 반도체층에 있어서 게이트 전극층과 중첩하는 영역을 선택적으로 고저항화함으로써, 고저항화된 산화물 반도체 영역을 형성한다. 산화물 반도체층의 고저항화는, 상기 산화물 반도체층에 접하여 스퍼터링법에 의하여 산화 실리콘을 형성함으로써 행한다.

대표도 - 도1



(56) 선행기술조사문헌

KR1020080052107 A*

JP2008235871 A*

JP2008166716 A*

JP2007123861 A*

KR1020080104588 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

반도체 장치의 제작 방법에 있어서:

절연 표면을 갖는 기판 위에 게이트 전극층을 형성하는 단계와;

상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에 제 1 산화물 반도체층을 형성하는 단계와;

상기 제 1 산화물 반도체층을 질소 분위기하에서 가열하여 저저항화합으로써, 제 2 산화물 반도체층이 형성되는 단계와;

상기 제 2 산화물 반도체층 위에 도전막을 형성하는 단계와;

상기 도전막을 선택적으로 에칭하여, 상기 게이트 전극층과 중첩하는 상기 제 2 산화물 반도체층의 일부를 노출하고, 소스 전극층 및 드레인 전극층을 형성하는 단계와;

산화 실리콘막과 접하는 상기 제 2 산화물 반도체층의 영역이 상기 소스 전극층 및 상기 드레인 전극층 중 하나와 접하는 상기 제 2 산화물 반도체층보다 고저항화하도록, 상기 제 2 산화물 반도체층, 상기 소스 전극층, 및 상기 드레인 전극층 위에 상기 산화 실리콘막을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 7

반도체 장치의 제작 방법에 있어서:

절연 표면을 갖는 기판 위에 게이트 전극층을 형성하는 단계와;

상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에 제 1 산화물 반도체층을 형성하는 단계와;

상기 제 1 산화물 반도체층 위에 도전막을 형성하는 단계와;

상기 도전막을 선택적으로 에칭하여, 상기 게이트 전극층과 중첩하는 상기 제 1 산화물 반도체층의 일부를 노출하고, 소스 전극층 및 드레인 전극층을 형성하는 단계와;

상기 제 1 산화물 반도체층, 상기 소스 전극층, 및 상기 드레인 전극층을 질소 분위기하에서 가열하여 상기 제 1 산화물 반도체층을 저저항화함으로써, 제 2 산화물 반도체층이 형성되는 단계와;

산화 실리콘막과 접하는 상기 제 2 산화물 반도체층의 영역이 상기 소스 전극층 및 상기 드레인 전극층 중 하나와 접하는 상기 제 2 산화물 반도체층보다 고저항화하도록, 상기 제 2 산화물 반도체층, 상기 소스 전극층, 및 상기 드레인 전극층 위에 상기 산화 실리콘막을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 8

반도체 장치의 제작 방법에 있어서:

절연 표면을 갖는 기판 위에 게이트 전극층을 형성하는 단계와;

상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에 도전막을 형성하는 단계와;

상기 도전막을 선택적으로 에칭하여 소스 전극층 및 드레인 전극층을 형성하는 단계와;

상기 소스 전극층 및 상기 드레인 전극층 위에 제 1 산화물 반도체층을 형성하는 단계와;

상기 제 1 산화물 반도체층을 질소 분위기하에서 가열하여 저저항화함으로써, 제 2 산화물 반도체층이 형성되는 단계와;

산화 실리콘막과 접하는 상기 제 2 산화물 반도체층의 영역이 상기 소스 전극층 및 상기 드레인 전극층 중 하나와 접하는 상기 제 2 산화물 반도체층보다 고저항화하도록, 상기 제 2 산화물 반도체층 위에 상기 산화 실리콘막을 형성하는 단계를 포함하고,

상기 산화 실리콘막과 접하는 상기 제 2 산화물 반도체층의 상기 영역은 채널 형성 영역으로서 사용되는, 반도체 장치의 제작 방법.

청구항 9

제 6 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 제 1 산화물 반도체층은 질소 분위기하에서 200℃ 이상의 온도로 가열 처리되는, 반도체 장치의 제작 방법.

청구항 10

제 6 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 제 1 산화물 반도체층은 산소 분위기, 아르곤 분위기, 또는 아르곤 및 산소를 포함하는 분위기하에서 스퍼터링법에 의하여 형성되는, 반도체 장치의 제작 방법.

청구항 11

제 6 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 산화 실리콘막은 산소 분위기, 아르곤 분위기, 또는 아르곤 및 산소를 포함하는 분위기하에서 스퍼터링법에 의하여 형성되는, 반도체 장치의 제작 방법.

청구항 12

제 6 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 산화 실리콘막을 형성한 후에 대기 분위기하 또는 질소 분위기하에서 300℃ 이하의 온도로 행해지는 가열 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 13

제 6 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 반도체 장치는 포스터, 광고, 전자 서적, 텔레비전 장치, 디지털 포토 프레임, 게임기, 컴퓨터, 및 손목 시계로 이루어지는 그룹 중으로부터 선택된 하나에 내장되는, 반도체 장치의 제작 방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

반도체 장치의 제작 방법에 있어서:

기판 위에 인듐 및 아연을 포함하는 제 1 산화물 반도체층을 형성하는 단계와;

상기 제 1 산화물 반도체층을 질소 분위기하에서 200℃ 이상으로 가열하여 저저항화함으로써, 제 2 산화물 반도체층이 형성되는 단계와;

상기 제 2 산화물 반도체층에 전기적으로 접속되는 도전막을 형성하는 단계와;

상기 도전막을 선택적으로 에칭하여 상기 제 2 산화물 반도체층의 일부를 노출하고, 소스 전극층 및 드레인 전극층을 형성하는 단계와,

상기 제 2 산화물 반도체층, 상기 소스 전극층, 및 상기 드레인 전극층 위에 산화 실리콘막을 형성하는 단계를 포함하고,

상기 제 2 산화물 반도체층은 제 1 영역 및 제 2 영역을 포함하고,

상기 제 1 영역은 상기 산화 실리콘막과 접하고 상기 제 2 영역은 상기 소스 전극층 및 상기 드레인 전극층 중 하나와 접하고,

상기 제 1 영역은 상기 제 2 영역보다 높은 저항을 가지는, 반도체 장치의 제작 방법.

청구항 19

제 18 항에 있어서,

상기 소스 전극층 및 드레인 전극층을 형성하는 단계에서, 상기 제 2 산화물 반도체층은 상기 제 1 영역에서 에칭되는, 반도체 장치의 제작 방법.

발명의 설명

기술 분야

[0001] 산화물 반도체를 사용하는 반도체 장치 및 그 제작 방법에 관한 것이다.

배경 기술

[0002] 금속 산화물은 다양하게 존재하고, 다양한 용도에 사용된다. 산화 인듐은 잘 알려진 재료이고, 액정 디스플레이 등에서 필요하게 되는 투명 전극 재료로서 사용되고 있다.

[0003] 금속 산화물 중에는 반도체 특성을 나타내는 것이 있다. 반도체 특성을 나타내는 금속 산화물로서는, 예를 들어, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있고, 이와 같은 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역으로 하는 박막 트랜지스터가 이미 알려져 있다(특허문헌 1 내지 특허문헌 4, 비특허문헌 1 참조).

[0004] 그런데, 금속 산화물은 1원계 산화물뿐만 아니라 다원계 산화물도 알려져 있다. 예를 들어, 동족 계열(Homologous Series)을 갖는 $InGaO_3(ZnO)_m$ (m: 자연수)는, In, Ga 및 Zn를 갖는 다원계 산화물 반도체로서 알려져 있다(비특허문헌 2 내지 비특허문헌 4 참조).

[0005] 그리고 상술한 바와 같은 In-Ga-Zn계 산화물로 구성되는 산화물 반도체를 박막 트랜지스터의 채널층으로서 적용할 수 있다는 것이 확인되어 있다(특허문헌 5, 비특허문헌 5 및 비특허문헌 6 참조).

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 특개소60-198861호 공보
- (특허문헌 0002) 특개평8-264794호 공보
- (특허문헌 0003) 특표평11-505377호 공보
- (특허문헌 0004) 특개2000-150900호 공보
- (특허문헌 0005) 특개2004-103957호 공보

비특허문헌

- [0007] (비특허문헌 0001) M.W.Prins, K.O.Grosse-Holz, G.Muller, J.F.M.Cillessen, J.B.Giesbers, R.P.Weening, and R.M.Wolf, "A ferroelectric transparent thin-film transistor", Appl.Phys.Lett., 17 June 1996, Vol.68, p.3650-3652
- (비특허문헌 0002) M.Nakamura, N.Kimizuka, and T.Mohri, "The Phase Relations in the $In_2O_3-Ga_2ZnO_4-ZnO$ System at 1350°C", J.Solid State Chem.,1991, Vol.93, p.298-315
- (비특허문헌 0003) N.Kimizuka, M.Isobe, and M.Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, $In_2O_3(ZnO)_m$ (m=3, 4, and 5), $InGaO_3(ZnO)_3$, and $Ga_2O_3(ZnO)_m$ (m=7, 8, 9, and 16) in the $In_2O_3-ZnGa_2O_4-ZnO$ System」, J.Solid State Chem., 1995, Vol.116, p.170-178
- (비특허문헌 0004) M.Nakamura, N.Kimizuka, T.Mohori, M.Isobe, "동족계열, $InFeO_3(ZnO)_m$ (m: 자연수)와 그 동형 화합물의 합성 및 결정 구조", 고체 물리, 1993, Vol.28, No.5, p.317-327
- (비특허문헌 0005) K.Nomura, H.Ohta, K.Ueda, T.Kamiya, M.Hirano, and H.Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol.300, p.1269-1272
- (비특허문헌 0006) K.Nomura, H.Ohta, A.Takagi, T.Kamiya, M.Hirano, and H.Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Vol.432, p.488-492

발명의 내용

해결하려는 과제

[0008] 안정된 전기 특성을 갖는 박막 트랜지스터를 갖는, 신뢰성이 좋은 반도체 장치를 제작하고, 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0009] 채널 형성 영역을 포함하는 반도체층을 산화물 반도체층으로 하는 박막 트랜지스터를 갖는 반도체 장치의 제작 방법에 있어서, 산화물 반도체층을 형성한 후, 질소 분위기하에 있어서 가열 처리를 행하고, 또 가열 처리된 산화물 반도체층에 있어서, 게이트 전극층과 중첩하는 영역에 접하여 스퍼터링법에 의한 산화 실리콘막을 형성한다.

[0010] 산화물 반도체층은, 질소 분위기하에 있어서의 가열 처리에 의하여, 저저항화(전기 전도율이 높아짐, 바람직하게는 전기 전도율 $1 \times 10^{-1} \text{S/cm}$ 이상 $1 \times 10^2 \text{S/cm}$ 이하)하여, 저저항화한 산화물 반도체층으로 할 수 있다. 한편, 저저항화한 산화물 반도체층에 접하여 스퍼터링법에 의하여 산화 실리콘막을 형성하면, 저저항화한 산화물 반도체층에 있어서 적어도 산화 실리콘막과 접하는 영역을 고저항화(전기 전도율이 낮아짐)하여, 고저항화 산화물 반도체 영역으로 할 수 있다.

[0011] 본 명세서에 있어서, 성막하였을 때의 산화물 반도체층을 제 1 산화물 반도체층이라고도 하고, 제 1 산화물 반도체층을 질소 분위기하에서 가열하고 저저항화한 산화물 반도체층을 제 2 산화물 반도체층이라고도 하고, 제 2 산화물 반도체층에 접하여 스퍼터링법에 의하여 산화 실리콘막을 형성하고, 제 2 산화물 반도체층에 있어서 산화 실리콘막과 접하는 영역을 제 2 산화물 반도체층보다 고저항화한 영역으로서 갖는 산화물 반도체층을 제 3 산화물 반도체층이라고도 한다. 본 명세서에 있어서, 제 2 산화물 반도체층은 제 1 산화물 반도체층보다 저항이 낮고, 제 3 산화물 반도체층의 고저항화한 영역은 제 2 산화물 반도체층보다 저항이 높다. 따라서, 제 1 산화물 반도체층과 제 3 산화물 반도체층의 고저항화한 영역의 저항은 어느 쪽이 더 높거나 더 낮아도 좋다(어느 경우도 있을 수 있음).

[0012] 고저항화 산화물 반도체 영역을 채널 형성 영역으로서 사용함으로써, 박막 트랜지스터의 전기 특성은 안정화되고, 오프 전류의 증가 등을 방지할 수 있다.

[0013] 질소 분위기하에 있어서의 산화물 반도체층의 가열 처리는, 온도 200℃ 이상으로 행하는 것이 바람직하다. 질소 분위기하에 있어서의 산화물 반도체층의 가열 처리는, 소스 전극층 및 드레인 전극층의 형성 후에 행하여도 좋다.

[0014] 또한, 산화물 반도체층은, 희소 가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희소 가스(대표적으로는 아르곤) 및 산소 분위기하에 있어서, 스퍼터링법에 의하여 형성할 수 있다.

[0015] 산화 실리콘막은, 박막 트랜지스터의 보호 절연층으로서도 기능한다. 산화 실리콘막의 스퍼터링법에 의한 성막은 희소 가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희소 가스(대표적으로는 아르곤) 및 산소 분위기하에 있어서 행할 수 있다.

[0016] 보호 절연층이 되는 산화 실리콘막을 형성한 후, 질소 분위기하, 또는 대기 분위기하(대기 중)에 있어서, 박막 트랜지스터에 가열 처리(바람직하게는 온도 300℃ 이하)를 행하여도 좋다. 상기 가열 처리를 행하면, 박막 트랜지스터의 전기적 특성의 편차를 경감할 수 있다.

[0017] 따라서, 전기 특성이 양호하고, 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체 장치를 제작하고, 제공할 수 있게 된다.

[0018] 산화물 반도체층으로서, 반도체 특성을 갖는 산화물 재료를 사용하면 좋다. 예를 들어, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 구조의 산화물 반도체를 사용할 수 있고, 특히, In-Ga-Zn-O계 산화물 반도체를 사용하는 것이 바람직하다. 또한, M은, 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn), 및 코발트(Co) 중으로부터 선택된 1종의 금속 원소 또는 복수의 금속 원소를 가리킨다. 예를 들어 M으로서, Ga의 경우가 있는 것 외에, Ga와 Ni 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소가 포함되는 경우가 있다. 또한, 상기 산화물 반도체에 있어서, M으로서 포함되는 금속 원소 이외에, 불순물 원소로서 Fe, Ni 이외의 천이 금속 원소, 또는 상기 천이 금속의 산화물이 포함되어 있는 것이 있다. 본 명세서에 있어서는, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 구조의 산화물 반도체 중, M으로서 적어도 Ga를 포함하는 구조의 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체라고 부르고, 상기 박막을 In-Ga-Zn-O계 비

단결정막이라고도 부른다.

- [0019] 또한, 산화물 반도체층에 적용하는 산화물 반도체로서 상기 이외에도 In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체를 적용할 수 있다. 또한, 상기 산화물 반도체층에 산화 실리콘을 포함시켜도 좋다.
- [0020] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 산화물 반도체층을 형성하고, 산화물 반도체층을 질소 분위기하에서 가열하고, 가열한 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하고, 게이트 절연층, 가열한 산화물 반도체층, 소스 전극층 및 드레인 전극층 위에 가열한 산화물 반도체층의 일부와 접하는 산화 실리콘막을 스퍼터링법에 의하여 형성한다.
- [0021] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 산화물 반도체층을 형성하고, 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하고, 산화물 반도체층 및 소스 전극층 및 드레인 전극층을 질소 분위기하에서 가열하고, 게이트 절연층, 가열한 산화물 반도체층, 소스 전극층 및 드레인 전극층 위에 가열한 산화물 반도체층의 일부와 접하는 산화 실리콘막을 스퍼터링법에 의하여 형성한다.
- [0022] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 소스 전극층 및 드레인 전극층을 형성하고, 소스 전극층 및 드레인 전극층 위에 산화물 반도체층을 형성하고, 산화물 반도체층을 질소 분위기하에서 가열하고, 게이트 절연층, 소스 전극층, 드레인 전극층, 및 가열한 산화물 반도체층 위에 가열한 산화물 반도체층과 접하는 산화 실리콘막을 스퍼터링법에 의하여 형성한다.
- [0023] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 제 1 산화물 반도체층을 형성하고, 제 1 산화물 반도체층을 질소 분위기하에서 가열하여 저저항화하고, 저저항화한 제 2 산화물 반도체층 위에 도전막을 형성하고, 도전막을 선택적으로 에칭하여 게이트 전극층과 중첩하는 제 2 산화물 반도체층의 일부를 노출하고, 또 소스 전극층 및 드레인 전극층을 형성하고, 제 2 산화물 반도체층, 소스 전극층 및 드레인 전극층 위에 산화 실리콘막을 스퍼터링법에 의하여 형성하고, 제 2 산화물 반도체층의 산화 실리콘막과 접하는 영역을 제 2 산화물 반도체층보다 고저항화한다.
- [0024] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 제 1 산화물 반도체층을 형성하고, 제 1 산화물 반도체층 위에 도전막을 형성하고, 도전막을 선택적으로 에칭하여 게이트 전극층과 중첩하는 제 1 산화물 반도체층의 일부를 노출하고, 또 소스 전극층 및 드레인 전극층을 형성하고, 제 1 산화물 반도체층, 소스 전극층 및 드레인 전극층을 질소 분위기하에서 가열하여 제 1 산화물 반도체층을 저저항화하고, 저저항화한 제 2 산화물 반도체층, 소스 전극층 및 드레인 전극층 위에 산화 실리콘막을 스퍼터링법에 의하여 형성하고, 제 2 산화물 반도체층의 산화 실리콘막과 접하는 영역을 제 2 산화물 반도체층보다 고저항화한다.
- [0025] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 도전막을 형성하고, 도전막을 선택적으로 에칭하여 소스 전극층 및 드레인 전극층을 형성하고, 소스 전극층 및 드레인 전극층 위에 제 1 산화물 반도체층을 형성하고, 제 1 산화물 반도체층을 질소 분위기하에서 가열하여 저저항화하고, 저저항화한 제 2 산화물 반도체층 위에 산화 실리콘막을 스퍼터링법에 의하여 형성하고, 제 2 산화물 반도체층의 산화 실리콘막과 접하는 영역을 제 2 산화물 반도체층보다 고저항화한다.
- [0026] 또한, 박막 트랜지스터는, 정전기 등에 의하여 파괴되기 쉽기 때문에, 게이트 선 또는 소스 선에 대하여, 구동 회로 보호용의 보호 회로를 동일 기판 위에 형성하는 것이 바람직하다. 보호 회로는, 산화물 반도체를 사용한 비선형 소자를 사용하여 구성하는 것이 바람직하다.
- [0027] 또한, "제 1", "제 2"라고 붙인 서수사(序數詞)는, 편의상 사용하는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 또한, 본 명세서에 있어서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것이 아니다.
- [0028] 또한, 구동 회로를 갖는 표시 장치로서는, 액정 표시 장치 이외에, 발광 소자를 사용한 발광 표시 장치나, 전기

영동 표시 소자를 사용한 전자 페이퍼라고도 불리는 표시 장치를 들 수 있다.

[0029] 발광 소자를 사용한 발광 표시 장치에 있어서는, 화소부에 복수의 박막 트랜지스터를 갖고, 화소부에 있어서는 어느 박막 트랜지스터의 게이트 전극과 다른 트랜지스터의 소스 배선, 또는 드레인 배선을 접속시키는 개소를 갖는다. 또한, 발광 소자를 사용한 발광 표시 장치의 구동 회로에 있어서는, 박막 트랜지스터의 게이트 전극과 그 박막 트랜지스터의 소스 배선, 또는 드레인 배선을 접속시키는 개소를 갖는다.

[0030] 또한, 본 명세서 중에 있어서, 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

발명의 효과

[0031] 안정된 전기 특성을 갖는 박막 트랜지스터를 제작하고, 제공할 수 있다. 따라서, 전기 특성이 양호하고, 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

- [0032] 도 1a 내지 도 1d는 반도체 장치의 제작 방법을 설명하는 도면.
- 도 2a 및 도 2b는 반도체 장치를 설명하는 도면.
- 도 3a 내지 도 3d는 반도체 장치의 제작 방법을 설명하는 도면.
- 도 4a 및 도 4b는 반도체 장치를 설명하는 도면.
- 도 5a 내지 도 5d는 반도체 장치의 제작 방법을 설명하는 도면.
- 도 6a 내지 도 6c는 반도체 장치의 제작 방법을 설명하는 도면.
- 도 7은 반도체 장치를 설명하는 도면.
- 도 8a1, 도 8a2, 도 8b1, 도 8b2는 반도체 장치를 설명하는 도면.
- 도 9는 반도체 장치를 설명하는 도면.
- 도 10a1, 도 10a2, 도 10b는 반도체 장치를 설명하는 도면.
- 도 11a 및 도 11b는 반도체 장치를 설명하는 도면.
- 도 12는 반도체 장치의 화소 등가 회로를 설명하는 도면.
- 도 13a 내지 도 13c는 반도체 장치를 설명하는 도면.
- 도 14a 및 도 14b는 반도체 장치의 블록도를 설명하는 도면.
- 도 15는 신호선 구동 회로의 구성을 설명하는 도면.
- 도 16은 신호선 구동 회로의 동작을 설명하는 타이밍 차트.
- 도 17은 신호선 구동 회로의 동작을 설명하는 타이밍 차트.
- 도 18은 시프트 레지스터의 구성을 설명하는 도면.
- 도 19는 도 18에 도시하는 플립플롭의 접속 구성을 설명하는 도면.
- 도 20은 반도체 장치를 설명하는 도면.
- 도 21a 및 도 21b는 전자 페이퍼의 사용형태의 예를 설명하는 도면.
- 도 22는 전자 서적의 일례를 도시하는 외관도.
- 도 23a 및 도 23b는 텔레비전 장치 및 디지털 포토 프레임의 예를 도시하는 외관도.
- 도 24a 및 도 24b는 게임기의 예를 도시하는 외관도.
- 도 25a 및 도 25b는 컴퓨터 및 휴대 전화기의 일례를 도시하는 외관도.
- 도 26a 내지 도 26d는 박막 트랜지스터의 전기 특성 평가의 결과를 도시하는 도면.

도 27a 내지 도 27d는 박막 트랜지스터의 전기 특성 평가의 결과를 도시하는 도면.

도 28a 내지 도 28d는 반도체 장치의 제작 방법을 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0033] 실시형태에 대하여, 도면을 사용하여 자세히 설명한다. 다만, 이하의 설명에 한정되지 않고, 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세한 내용을 변경할 수 있는 것은 당업자라면 쉽게 이해가 된다. 따라서, 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면간에 공통적으로 사용하고, 그 반복 설명은 생략한다.
- [0034] (실시형태 1)
- [0035] 반도체 장치 및 반도체 장치의 제작 방법을 도 1a 내지 도 2b, 및 도 28a 내지 도 28d를 사용하여 설명한다.
- [0036] 도 2a는 반도체 장치가 갖는 박막 트랜지스터(470)의 평면도이며, 도 2b는 도 2a의 선 C1-C2에 있어서의 단면도이다. 박막 트랜지스터(470)는 역 스테거형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 반도체층(403), 소스 전극층 또는 드레인 전극층(405a, 405b)을 포함한다. 또한, 박막 트랜지스터(470)를 덮어, 반도체층(403)에 접하는 절연막(407)이 형성되어 있다.
- [0037] 반도체층(403)은, 적어도 절연막(407)과 접하는 영역이 고저항화 산화물 반도체 영역이며, 상기 고저항화 산화물 반도체 영역을 채널 형성 영역으로서 사용할 수 있다.
- [0038] 고저항화 산화물 반도체 영역을 채널 형성 영역으로서 사용함으로써, 박막 트랜지스터의 전기 특성은 안정화되고, 오프 전류의 증가 등을 방지할 수 있다.
- [0039] 또한, 산화물 반도체층인 반도체층(403)과 접하는 소스 전극층 또는 드레인 전극층(405a, 405b)으로서, 산소 친화성이 높은 금속을 함유하는 재료를 사용하는 것이 바람직하다. 상기 산소 친화성이 높은 금속은, 티타늄, 알루미늄, 망간, 마그네슘, 지르코늄, 베릴륨, 토륨 중 어느 하나 또는 복수 중에서 선택된 재료인 것이 바람직하다. 반도체층(403)과, 산소 친화성이 높은 금속층을 접촉시켜 열 처리를 행하면, 반도체층(403)으로부터 금속층에 산소 원자가 이동하고, 계면 부근에 있어서 캐리어 밀도가 증가되어, 저저항의 영역이 형성된다. 따라서, 박막 트랜지스터(470)에 있어서, 콘택트 저항이 낮고, 온 전류를 높게 할 수 있다. 상기 저저항의 영역은 계면을 갖는 막 형상이라도 좋다.
- [0040] 따라서, 전기 특성이 양호하고 신뢰성이 좋은 박막 트랜지스터(470)를 갖는 반도체 장치를 제작하고, 제공할 수 있게 된다.
- [0041] 채널 형성 영역을 포함하는 반도체층(403)으로서, 반도체 특성을 갖는 산화물 재료를 사용하면 좋다. 예를 들어, $InMO_3(ZnO)_m(m>0)$ 로 표기되는 구조의 산화물 반도체를 사용할 수 있고, 특히, In-Ga-Zn-O계 산화물 반도체를 사용하는 것이 바람직하다. 또한, M은, 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn), 및 코발트(Co) 중으로부터 선택된 1종의 금속 원소 또는 복수의 금속 원소를 가리킨다. 예를 들어 M으로서, Ga의 경우가 있는 것 외에, Ga와 Ni 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소가 포함되는 경우가 있다. 또한, 상기 산화물 반도체에 있어서, M으로서 포함되는 금속 원소 이외에, 불순물 원소로서 Fe, Ni, 그 이외의 천이 금속 원소, 또는 상기 천이 금속의 산화물이 포함되어 있는 것이 있다. 본 명세서에 있어서는, $InMO_3(ZnO)_m(m>0)$ 로 표기되는 구조의 산화물 반도체 중, M으로서 적어도 Ga를 포함하는 구조의 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체라고 부르고, 상기 박막을 In-Ga-Zn-O계 비단결정막이라고도 부른다.
- [0042] 또한, 산화물 반도체층에 적용하는 산화물 반도체로서 상기 외에도, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체를 적용할 수 있다. 또한, 상기 산화물 반도체에 산화 실리콘을 포함시켜도 좋다.
- [0043] 도 1a 내지 도 1d에 박막 트랜지스터(470)의 제작 공정의 단면도를 도시한다.
- [0044] 도 1a에 있어서, 절연 표면을 갖는 기판인 기판(400) 위에 게이트 전극층(401)을 형성한다. 하지막이 되는 절연막을 기판(400)과 게이트 전극층(401) 사이에 형성하여도 좋다. 하지막은, 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 또는 산화질화 실리콘막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조에 의하여 형성할 수 있다. 게이트 전극층(401)의 재료

는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 또는 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여, 단층으로 또는 적층하여 형성할 수 있다.

[0045] 예를 들어, 게이트 전극층(401)의 2층의 적층 구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화 티타늄층 또는 질화 탄탈층을 적층한 2층 구조, 질화 티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로서는, 텅스텐층 또는 질화 텅스텐층과, 알루미늄과 실리콘의 합금층 또는 알루미늄과 티타늄의 합금층과, 질화 티타늄층 또는 티타늄층을 적층한 적층 구조로 하는 것이 바람직하다.

[0046] 게이트 전극층(401) 위에 게이트 절연층(402)을 형성한다.

[0047] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층 또는 질화산화 실리콘층을 단층으로 또는 적층하여 형성할 수 있다. 예를 들어, 성막 가스로서 SiH_4 , 산소 및 질소를 사용하여 플라즈마 CVD법에 의하여 산화질화 실리콘층을 형성하면 좋다. 또한, 게이트 절연층(402)으로서, 유기 실란 가스를 사용한 CVD법에 의하여, 산화 실리콘층을 형성할 수도 있다. 유기 실란 가스로서는, 규산 에틸(TEOS: 화학식 $Si(OC_2H_5)_4$), 테트라메틸실란(TMS: 화학식 $Si(CH_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란(화학식 $SiH(OC_2H_5)_3$), 트리스디메틸아미노실란(화학식 $SiH(N(CH_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.

[0048] 게이트 절연층(402) 위에, 산화물 반도체막을 형성한다.

[0049] 또한, 산화물 반도체막을 스퍼터링법에 의하여 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 행하여, 게이트 절연층(402)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 역 스퍼터링이란, 타겟 측에 전압을 인가하지 않고, 아르곤 분위기하에서 기판 측에 RF 전원을 사용하여 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 사용하여도 좋다. 또한, 아르곤 분위기에 산소, N_2O 등을 더한 분위기에서 행하여도 좋다. 또한, 아르곤 분위기에 Cl_2 , CF_4 등을 더한 분위기에서 행하여도 좋다.

[0050] 산화물 반도체막으로서, In-Ga-Zn-O계 비단결정막을 사용한다. 산화물 반도체막은, In-Ga-Zn-O계 산화물 반도체 타겟을 사용하여 스퍼터링법에 의하여 형성한다. 또한, 산화물 반도체막은 희소 가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희소 가스(대표적으로는 아르곤) 및 산소 분위기하에 있어서 스퍼터링법에 의하여 형성할 수 있다.

[0051] 게이트 절연층(402) 및 산화물 반도체막을 대기에 노출시키지 않고 연속적으로 형성하여도 좋다. 대기에 노출시키지 않고 연속적으로 형성함으로써, 계면이 물이나 하이드로 카본 등의 대기 성분이나 대기 중에 부유하는 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있으므로, 박막 트랜지스터 특성의 편차를 저감할 수 있다.

[0052] 산화물 반도체막을 포토리소그래피 공정에 의하여 섬 형상의 산화물 반도체층인 산화물 반도체층(430)(제 1 산화물 반도체층)으로 가공한다(도 1a 참조).

[0053] 산화물 반도체층(430)에 질소 분위기하에 있어서 가열 처리를 행한다. 산화물 반도체층(430)은 질소 분위기하에 있어서의 가열 처리에 의하여, 저저항화(전기 전도율이 높아짐. 바람직하게는, 전기 전도율 $1 \times 10^{-1} S/cm$ 이상 $1 \times 10^2 S/cm$ 이하)하고, 저저항화된 산화물 반도체층(431)(제 2 산화물 반도체층)으로 할 수 있다(도 1b 참조).

[0054] 질소 분위기하에 있어서의 산화물 반도체층(430)의 가열 처리는, 온도 $200^\circ C$ 이상으로 행하는 것이 바람직하다. 질소 분위기하에 있어서의 산화물 반도체층의 가열 처리는, 섬 형상의 산화물 반도체층(430)으로 가공하기 전의 산화물 반도체막에 행하여도 좋다.

[0055] 게이트 절연층(402) 및 산화물 반도체층(431) 위에 도전막을 형성한다.

[0056] 도전막의 재료로서는 Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나 상술한 원소를 조합한 합금막 등을 들 수 있다.

[0057] 또한, 도전막의 재료로서는, 산소 친화성이 높은 금속인 티타늄막을 사용하는 것이 바람직하다. 또한, 티타늄

막 위에 상기 Al, Cr, Ta, Mo, W 중에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나 상술한 원소를 조합한 합금막 등을 적층하여도 좋다.

- [0058] 또한, 200℃ 내지 600℃의 열 처리를 행하는 경우에는, 이 열 처리에 견딜 수 있는 내열성을 도전막에 갖게 하는 것이 바람직하다. Al 단체로는 내열성이 부족하고, 또한, 부식하기 쉽다는 등의 문제점이 있으므로 내열성 도전성 재료와 조합하여 형성한다. Al과 조합하는 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.
- [0059] 산화물 반도체층(431), 도전막을 에칭 공정에 의하여 에칭하여, 산화물 반도체층(432), 및 소스 전극층 또는 드레인 전극층(405a, 405b)을 형성한다(도 1c 참조). 또한, 산화물 반도체층(431)은 일부분만이 에칭되어, 흠부(오픈부)를 갖는 산화물 반도체층(432)이 된다.
- [0060] 질소 분위기하에 있어서의 산화물 반도체층의 가열 처리는, 도 28a 내지 도 28d에 도시하는 바와 같이, 소스 전극층 또는 드레인 전극층(405a, 405b)을 형성한 후에 행하여도 좋다. 절연 표면을 갖는 기판(400) 위에 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(430)을 형성한다(도 28a 참조). 산화물 반도체층(430) 위에 소스 전극층 또는 드레인 전극층(405a, 405b)을 형성하고, 산화물 반도체층(430)의 일부를 에칭하여 산화물 반도체층(441)을 형성한다(도 28b 참조). 다음에, 산화물 반도체층(441), 및 소스 전극층 또는 드레인 전극층(405a, 405b)에 질소 분위기하에 있어서의 가열 처리를 행한다. 그 가열 처리에 의하여, 산화물 반도체층(441)은 저저항화되고, 저저항화된 산화물 반도체층(432)으로 할 수 있다(도 28c 참조).
- [0061] 산화물 반도체층(432)에 접하여 스퍼터링법에 의한 산화 실리콘막을 절연막(407)으로서 형성한다. 저저항화된 산화물 반도체층(432)에 접하여, 스퍼터링법에 의하여 산화 실리콘막인 절연막(407)을 형성하면, 저저항화된 산화물 반도체층(432)에 있어서 적어도 산화 실리콘막인 절연막(407)과 접하는 영역을 고저항화(전기 전도율이 낮아짐)하고, 고저항화 산화물 반도체 영역으로 할 수 있다. 따라서, 산화물 반도체층(432)은 고저항화 산화물 반도체 영역을 갖는 반도체층(403)(제 3 산화물 반도체층)이 되고, 박막 트랜지스터(470)를 제작할 수 있다(도 1d 및 도 28d 참조).
- [0062] 절연막(407)이 되는 산화 실리콘막의 스퍼터링법에 의한 성막은, 희소 가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희소 가스(대표적으로는 아르곤) 및 산소 분위기하에 있어서 행할 수 있다. 또한, 타겟으로서, 산화 실리콘 타겟을 사용하여도, 실리콘 타겟을 사용하여도 좋다. 예를 들어, 실리콘 타겟을 사용하여 산소, 및 질소 분위기에서 스퍼터링법에 의하여 산화 실리콘막을 형성할 수 있다.
- [0063] 또한, 절연막(407)이 되는 산화 실리콘막을 형성한 후, 질소 분위기하, 또는 대기 분위기하(대기 중)에 있어서 박막 트랜지스터(470)에 가열 처리(바람직하게는, 온도 300℃ 이하)를 행하여도 좋다. 예를 들어, 질소 분위기하에서 350℃, 1시간의 가열 처리를 행한다. 상기 가열 처리를 행하면, 박막 트랜지스터(470)의 전기적 특성의 편차를 경감할 수 있다.
- [0064] 채널 형성 영역의 반도체층은 고저항화 영역이기 때문에, 박막 트랜지스터의 전기 특성은 안정화되고, 오프 전류의 증가 등을 방지할 수 있다. 따라서, 전기 특성이 양호하고 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체 장치로 할 수 있다.
- [0065] (실시형태 2)
- [0066] 반도체 장치 및 반도체 장치의 제작 방법을 도 3a 내지 도 4b를 사용하여 설명한다. 실시형태 1과 동일한 부분 또는 같은 기능을 갖는 부분, 및 공정은, 실시형태 1과 마찬가지로 행할 수 있고, 반복 설명은 생략한다.
- [0067] 도 4a는 반도체 장치가 갖는 박막 트랜지스터(460)의 평면도이며, 도 4b는 도 4a의 선 D1-D2에 있어서의 단면도이다. 박막 트랜지스터(460)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(450) 위에, 게이트 전극층(451), 게이트 절연층(452), 소스 전극층 또는 드레인 전극층(455a, 455b), 및 반도체층(453)을 포함한다. 또한, 박막 트랜지스터(460)를 덮고, 반도체층(453)에 접하는 절연막(457)이 형성되어 있다. 반도체층(453)은, In-Ga-Zn-O계 비단결정막을 사용한다.
- [0068] 박막 트랜지스터(460)는, 박막 트랜지스터(460)를 포함하는 영역 모두에 있어서 게이트 절연층(452)이 존재하고, 게이트 절연층(452)과 절연 표면을 갖는 기판인 기판(450) 사이에 게이트 전극층(451)이 형성되어 있다. 게이트 절연층(452) 위에는 소스 전극층 또는 드레인 전극층(455a, 455b)이 형성되어 있다. 그리고 게이트 절연층(452), 및 소스 전극층 또는 드레인 전극층(455a, 455b) 위에 반도체층(453)이 형성되어 있다. 또한,

도시하지 않지만, 게이트 절연층(452) 위에는 소스 전극층 또는 드레인 전극층(455a, 455b)에 대하여 배선층을 갖고, 상기 배선층은 반도체층(453)의 외주부보다 외측으로 연장되어 있다.

- [0069] 반도체층(453)은, 적어도 절연막(457)과 접하는 영역이 고저항화 산화물 반도체 영역이며, 상기 고저항화 산화물 반도체 영역을 채널 형성 영역으로서 사용할 수 있다.
- [0070] 고저항화 산화물 반도체 영역을 채널 형성 영역으로서 사용함으로써, 박막 트랜지스터의 전기 특성은 안정화되고, 오프 전류의 증가 등을 방지할 수 있다.
- [0071] 또한, 산화물 반도체층인 반도체층(453)과 접하는 소스 전극층 또는 드레인 전극층(455a, 455b)으로서, 산소 친화성이 높은 금속을 함유하는 재료를 사용하는 것이 바람직하다. 상기 산소 친화성이 높은 금속은, 티타늄, 알루미늄, 망간, 마그네슘, 지르코늄, 베릴륨, 토륨 중 어느 하나 또는 복수 중에서 선택된 재료인 것이 바람직하다. 반도체층(453)과, 산소 친화성이 높은 금속층을 접촉시켜 열 처리를 행하면, 반도체층(453)으로부터 금속층에 산소 원자가 이동하고, 계면 부근에 있어서 캐리어 밀도가 증가하고, 저저항의 영역이 형성된다. 따라서, 박막 트랜지스터(460)에 있어서, 콘택트 저항이 낮고, 온 전류는 높게 할 수 있다. 상기 저저항의 영역은 계면을 갖는 막 상태여도 좋다.
- [0072] 따라서, 전기 특성이 양호하고, 신뢰성이 좋은 박막 트랜지스터(460)를 갖는 반도체 장치를 제작하고, 제공할 수 있게 된다.
- [0073] 도 3a 내지 도 3d에 박막 트랜지스터(460)의 제작 공정의 단면도를 도시한다.
- [0074] 절연 표면을 갖는 기판인 기판(450) 위에 게이트 전극층(451)을 형성한다. 하지막이 되는 절연막을 기판(450)과 게이트 전극층(451) 사이에 형성하여도 좋다. 하지막은, 기판(450)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 또는 산화질화 실리콘막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조에 의하여 형성할 수 있다. 게이트 전극층(451)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 사용하여, 단층 또는 적층으로 형성할 수 있다.
- [0075] 게이트 전극층(451) 위에 게이트 절연층(452)을 형성한다.
- [0076] 게이트 절연층(452)은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층 또는 질화산화 실리콘층을 단층으로 또는 적층하여 형성할 수 있다. 또한, 게이트 절연층(452)으로서, 유기 실란 가스를 사용한 CVD법에 의하여 산화 실리콘층을 형성할 수도 있다.
- [0077] 게이트 절연층(452) 위에, 도전막을 적층하고, 포토리소그래피 공정에 의하여 섬 형상의 소스 전극층 또는 드레인 전극층(455a, 455b)으로 가공한다(도 3a 참조).
- [0078] 소스 전극층 또는 드레인 전극층(455a, 455b)의 재료로서는, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다.
- [0079] 또한, 소스 전극층 또는 드레인 전극층(455a, 455b)의 재료로서는, 산소 친화성이 높은 금속인 티타늄막을 사용하면 바람직하다. 또한, 티타늄막 위에 Al, Cr, Ta, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 적층하여도 좋다.
- [0080] 또한, 200℃ 내지 600℃의 열 처리를 행하는 경우에는, 이 열 처리에 견딜 수 있는 내열성을 도전막에 갖게 하는 것이 바람직하다. Al 단체로는 내열성이 부족하고, 또한, 부식하기 쉽다는 등의 문제점이 있으므로 내열성 도전성 재료와 조합하여 형성한다. Al과 조합하는 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.
- [0081] 다음에, 게이트 절연층(452), 및 소스 전극층 또는 드레인 전극층(455a, 455b) 위에 산화물 반도체막을 형성하고, 포토리소그래피 공정에 의하여 섬 형상의 산화물 반도체층(483)(제 1 산화물 반도체층)으로 가공한다(도 3b 참조).
- [0082] 산화물 반도체층(483)은, 채널 형성 영역이 되기 때문에, 실시형태 1의 산화물 반도체막과 마찬가지로 형성한다.
- [0083] 또한, 산화물 반도체층(483)을 스퍼터링법에 의하여 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시

키는 역 스퍼터링을 행하고, 게이트 절연층(452)의 표면에 부착되어 있는 오물을 제거하는 것이 바람직하다.

- [0084] 산화물 반도체층(483)에 질소 분위기하에 있어서 가열 처리를 행한다. 산화물 반도체층(483)은, 질소 분위기하에 있어서의 가열 처리에 의하여, 저저항화(전기 전도율이 높아짐. 바람직하게는, 전기 전도율 $1 \times 10^{-1} \text{S/cm}$ 이상 $1 \times 10^2 \text{S/cm}$ 이하)하고, 저저항화된 산화물 반도체층(484)(제 2 산화물 반도체층)으로 할 수 있다(도 3c 참조).
- [0085] 질소 분위기하에 있어서의 산화물 반도체층(483)의 가열 처리는, 온도 200℃ 이상으로 행하는 것이 바람직하다.
- [0086] 산화물 반도체층(484)에 접하여 스퍼터링법에 의한 산화 실리콘막을 절연막(457)으로서 형성한다. 저저항화된 산화물 반도체층(484)에 접하여, 스퍼터링법에 의하여 산화 실리콘막인 절연막(457)을 형성하면, 저저항화된 산화물 반도체층(484)에 있어서, 적어도 산화 실리콘막인 절연막(457)과 접하는 영역을 고저항화(전기 도전율이 낮아짐)하고, 고저항화 산화물 반도체 영역으로 할 수 있다. 따라서, 산화물 반도체층(484)은, 고저항화 산화물 반도체 영역을 갖는 반도체층(453)(제 3 산화물 반도체층)이 되고, 박막 트랜지스터(460)를 제작할 수 있다(도 3d 참조).
- [0087] 절연막(457)이 되는 산화 실리콘막의 스퍼터링법에 의한 형성은 희소 가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희소 가스(대표적으로는 아르곤) 및 산소 분위기하에 있어서 행할 수 있다. 또한, 타깃으로서 산화 실리콘 타깃을 사용하여도 실리콘 타깃을 사용하여도 좋다. 예를 들어, 실리콘 타깃을 사용하여 산소, 및 질소 분위기하에서 스퍼터링법에 의하여 산화 실리콘막을 형성할 수 있다.
- [0088] 또한, 절연막(457)이 되는 산화 실리콘막을 형성한 후, 질소 분위기하, 또는 대기 분위기하(대기 중)에 있어서, 박막 트랜지스터(460)에 가열 처리(바람직하게는 온도 300℃ 이하)를 행하여도 좋다. 예를 들어, 질소 분위기하에서 350℃, 1시간의 열 처리를 행한다. 상기 가열 처리를 행하면, 박막 트랜지스터(460)의 전기적 특성의 편차를 경감할 수 있다.
- [0089] 채널 형성 영역의 반도체층은 고저항화 영역이기 때문에, 박막 트랜지스터의 전기 특성은 안정화되고, 오프 전류의 증가 등을 방지할 수 있다. 따라서, 전기 특성이 양호하고, 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체 장치로 할 수 있다.
- [0090] (실시형태 3)
- [0091] 박막 트랜지스터를 포함하는 반도체 장치의 제작 공정에 대하여, 도 5a 내지도 7 및 도 8a1, 도 8a2, 도 8b1, 도 8b2를 사용하여 설명한다.
- [0092] 도 5a에 있어서, 투광성을 갖는 기판(100)에는 바륨보로실리케이트 유리나, 알루미늄보로실리케이트 유리 등의 유리 기판을 사용할 수 있다.
- [0093] 다음에, 도전층을 기판(100) 전체 면에 형성한 후, 제 1 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의하여 필요하지 않는 부분을 제거하여 배선 및 전극(게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108), 및 제 1 단자(121))을 형성한다. 이 때, 적어도 게이트 전극층(101)의 단부에 테이퍼 형상이 형성되도록 에칭한다.
- [0094] 게이트 전극층(101)을 포함하는 게이트 배선과 용량 배선(108), 단자부의 제 1 단자(121)는, 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성하는 것이 바람직하다. 또한, 알루미늄(Al)이나 구리(Cu) 등의 저저항 도전성 재료로 형성하는 경우에는, 알루미늄(Al) 단체, 구리(Cu) 단체로는 내열성이 부족하고, 또 부식하기 쉽다는 등의 문제점이 있으므로, 상기 내열성 도전성 재료와 조합하여 형성한다.
- [0095] 다음에, 게이트 전극층(101) 위에 게이트 절연층(102)을 전체 면에 형성한다. 게이트 절연층(102)은 스퍼터링법, CVD법 등을 사용하여 막 두께를 50nm 내지 250nm로 한다.
- [0096] 예를 들어, 게이트 절연층(102)으로서 스퍼터링법에 의하여 산화 실리콘막을 사용하여 100nm의 두께로 형성한다. 물론, 게이트 절연층(102)은 이러한 산화 실리콘막에 한정되는 것이 아니라, 산화질화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 탄탈막 등의 상이한 절연막을 사용하여, 이들의 재료로 이루어지는 단층 또는 적층 구조로 하여 형성하여도 좋다.

- [0097] 다음에, 게이트 절연층(102) 위에, 산화물 반도체막(In-Ga-Zn-O계 비단결정막)을 형성한다. 플라즈마 처리 후, 대기에 노출시키지 않고 In-Ga-Zn-O계 비단결정막을 형성하는 것은 게이트 절연층과 반도체막의 계면에 먼지나 수분이 부착시키지 않는 점에서 유용하다. 여기서, 직경 8인치의 In(인듐), Ga(갈륨), 및 Zn(아연)을 포함하는 산화물 반도체 타깃(In-Ga-Zn-O계 산화물 반도체 타깃(In_2O_3 : Ga_2O_3 : ZnO =1: 1: 1[mol 비]))을 사용하고, 기판과 타깃 사이의 거리를 170mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기 하에서 형성한다. 또한, 펄스 직류(DC) 전원을 사용하면, 먼지를 경감할 수 있어, 막 두께 분포도 균일하게 되기 때문에 바람직하다. In-Ga-Zn-O계 비단결정막의 막 두께는 5nm 내지 200nm로 한다. 산화물 반도체막으로서, In-Ga-Zn-O계 산화물 반도체 타깃을 사용하여 스퍼터링법에 의하여 막 두께 50nm의 In-Ga-Zn-O계 비단결정막을 형성한다.
- [0098] 스퍼터링법에는, 스퍼터링용 전원에 고주파 전원을 사용하는 RF 스퍼터링법과 DC 스퍼터링법이 있고, 또한, 펄스적으로 바이어스를 주는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법은 주로 절연막을 형성하는 경우에 사용되고, DC 스퍼터링법은 주로 금속막을 형성하는 경우에 사용된다.
- [0099] 또한, 재료가 상이한 타깃을 복수 설치할 수 있는 다원(多元) 스퍼터링 장치도 있다. 다원 스퍼터링 장치는, 동일 챔버에서 상이한 재료막을 적층으로 형성할 수도 있고, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 형성할 수도 있다.
- [0100] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 사용하는 스퍼터링 장치나, 글로우 방전을 사용하지 않고 마이크로파를 사용하여 발생시킨 플라즈마를 사용하는 ECR 스퍼터링법을 사용하는 스퍼터링 장치가 있다.
- [0101] 또한, 스퍼터링법을 사용하는 성막방법으로서 성막 중에 타깃 물질과 스퍼터링 가스 성분을 화학 반응시켜 이들의 화합물 박막을 형성하는 리액티브 스퍼터링법이나 성막 중에 기판에도 전압을 가하는 바이어스 스퍼터링법도 있다.
- [0102] 다음에, 제 2 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 산화물 반도체막을 에칭한다. 예를 들어, 인산과 아세트산과 질산을 혼합한 용액을 사용한 웨트 에칭에 의하여 불필요한 부분을 제거하여 산화물 반도체층(133)을 형성한다. 또한, 여기서의 에칭은 웨트 에칭에 한정되지 않고 드라이 에칭을 이용하여도 좋다.
- [0103] 드라이 에칭에 사용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들어, 염소(Cl_2), 염화 붕소(BCl_3), 염화 실리콘(SiCl_4), 사염화 탄소(CCl_4) 등)가 바람직하다.
- [0104] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어, 사불화 탄소(CF_4), 불화 유황(SF_6), 불화 질소(NF_3), 트리플루오로메탄(CHF_3) 등), 브롬화 수소(HBr), 산소(O_2), 이들의 가스에 헬륨(He)이나 아르곤(Ar) 등의 희소 가스를 첨가한 가스 등을 사용할 수 있다.
- [0105] 드라이 에칭법으로서, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판 측의 전극에 인가되는 전력량, 기판 측의 전극 온도 등)은 적절히 조절한다.
- [0106] 웨트 에칭에 사용하는 에칭액으로서, 인산과 아세트산과 질산을 혼합한 용액, 암모니아과수(과산화수소: 암모니아: 물=5:2:2) 등을 사용할 수 있다. 또한, ITO07N(KANTO CHEMICAL CO. INC 제)을 사용하여도 좋다.
- [0107] 또한, 웨트 에칭 후의 에칭액은 에칭된 재료와 함께 세정에 의하여 제거된다. 그 제거된 재료를 포함하는 에칭액의 폐액을 정제하고, 포함되는 재료를 재활용하여도 좋다. 상기 에칭 후의 폐액으로부터 산화물 반도체층에 포함되는 인듐 등의 재료를 회수하여 재활용함으로써, 자원을 유효 활용하여 저가격화할 수 있다.
- [0108] 원하는 가공 형상으로 에칭할 수 있도록, 재료에 따라 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적절히 조절한다.
- [0109] 다음에, 산화물 반도체막(133)에 질소 분위기하에서 가열 처리를 행한다.
- [0110] 가열 처리는 200℃ 이상으로 행하면 좋다. 예를 들어, 질소 분위기하에서 350℃, 1시간의 열 처리를 행한다. 이 질소 분위기하의 가열 처리에 의하여, 산화물 반도체층(133)은 저저항화하여 도전율이 높아진다. 따라서,

저저항화된 산화물 반도체층(134)이 형성된다(도 5b 참조). 산화물 반도체층(134)의 전기 전도율은, 1×10^{-1} S/cm 이상 1×10^2 S/cm 이하가 바람직하다. 또한, 이 가열 처리는, 소스 전극층 및 드레인 전극층을 형성한 후에 행하여도 좋다.

- [0111] 다음에, 산화물 반도체층(134) 위에 금속 재료로 이루어지는 도전막(132)을 스퍼터링법이나 진공 증착법으로 형성한다(도 5c 참조).
- [0112] 도전막(132)의 재료로서는, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다.
- [0113] 또한, 200℃ 내지 600℃의 열 처리를 행하는 경우에는, 이 열 처리에 견딜 수 있는 내열성을 도전막에 갖게 하는 것이 바람직하다. Al 단체로는 내열성이 부족하고, 또한, 부식하기 쉽다는 등의 문제점이 있으므로 내열성 도전성 재료와 조합하여 형성한다. Al과 조합하는 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.
- [0114] 도전막(132)으로서 산소 친화성이 높은 금속인 티타늄막을 사용하면, 바람직하다. 또한, 도전막(132)은 2층 구조로 하여도 좋고, 알루미늄막 위에 티타늄막을 적층하여도 좋다. 또한, 도전막(132)으로서 Ti막과 그 Ti막 위에 증착하여 Nd를 포함하는 알루미늄(Al-Nd)막을 적층하고, 또한 그 위에 Ti막을 형성하는 3층 구조로 하여도 좋다. 도전막(132)은, 실리콘을 포함하는 알루미늄막의 단층 구조로 하여도 좋다.
- [0115] 다음에, 제 3 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 소스 전극층 또는 드레인 전극층(105a, 105b), 및 제 2 단자(122)를 형성한다(도 5d 참조). 이 때의 에칭 방법으로서 웨트 에칭 또는 드라이 에칭을 사용한다. 예를 들어, 도전막(132)으로서 알루미늄막, 또는 알루미늄 합금막을 사용하는 경우는, 인산과 초산과 황산을 혼합한 용액을 사용한 웨트 에칭을 행할 수 있다. 또한, 암모니아과수(과산화수소: 암모니아: 물=5:2:2)를 사용한 웨트 에칭에 의하여, 도전막(132)을 에칭하여 소스 전극층 또는 드레인 전극층(105a, 105b)을 형성하여도 좋다. 이 에칭 공정에 있어서, 산화물 반도체층(134)의 노출 영역도 일부 에칭되어 반도체층(135)이 된다. 따라서, 소스 전극층 또는 드레인 전극층(105a, 105b) 사이의 반도체층(135)은 막 두께가 얇은 영역이 된다. 도 5d에 있어서는, 소스 전극층 또는 드레인 전극층(105a, 105b), 반도체층(135)의 에칭을 드라이 에칭에 의하여 한 번에 행하기 때문에, 소스 전극층 또는 드레인 전극층(105a, 105b) 및 반도체층(135)의 단부는 일치하고, 연속적인 구조로 되어 있다.
- [0116] 또한, 이 제 3 포토리소그래피 공정에 있어서, 소스 전극층 또는 드레인 전극층(105a, 105b)과 같은 재료인 제 2 단자(122)를 단자부에 남긴다. 또한, 제 2 단자(122)는 소스 배선(소스 전극층 또는 드레인 전극층(105a, 105b)을 포함하는 소스 배선)과 전기적으로 접속되어 있다.
- [0117] 또한, 다계조 마스크에 의하여 형성한 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 수를 줄일 수 있기 때문에, 공정 간략화, 저가격화를 도모할 수 있다.
- [0118] 여기서, 산화물 반도체층인 반도체층(135) 및 소스 전극층 또는 드레인 전극층(105a, 105b)에 가열 처리를 행하여도 좋다. 소스 전극층 또는 드레인 전극층(105a, 105b)에 산소 친화성이 높은 금속을 사용하면, 이 가열 처리에 의하여 산화물 반도체층으로부터 소스 전극층 또는 드레인 전극층(105a, 105b)에 산소 원자가 이동하기 때문에, 소스 전극층 또는 드레인 전극층(105a, 105b)과 접하는 영역을 저저항 영역으로 할 수 있다. 이 소스 전극층 또는 드레인 전극층(105a, 105b)과, 반도체층(135) 사이에 형성되는 저저항 영역은, 계면을 갖는 막 상태라도 좋다.
- [0119] 다음에, 게이트 절연층(102), 산화물 반도체층(135), 소스 전극층 또는 드레인 전극층(105a, 105b)을 덮는 보호 절연층(107)을 형성한다. 보호 절연층(107)은, 스퍼터링법에 의하여 형성하는 산화 실리콘막을 사용한다. 소스 전극층 또는 드레인 전극층(105a, 105b) 사이에 형성된 산화물 반도체층(135)의 노출 영역과 보호 절연층(107)인 산화 실리콘막이 접하여 형성됨으로써, 보호 절연층(107)과 접하는 산화물 반도체층(135)의 영역이 고저항화(전기 전도율이 낮아짐)되고, 고저항화된 채널 형성 영역을 갖는 반도체층(103)을 형성할 수 있다(도 6a 참조).
- [0120] 상술한 공정으로 박막 트랜지스터(170)를 제작할 수 있다.
- [0121] 박막 트랜지스터(170)를 형성한 후, 가열 처리를 행하여도 좋다. 가열 처리는, 산소 분위기하, 또는 질소 분위기

기하에 있어서, 300℃ 이상으로 행하면 좋다. 이 가열 처리에 의하여 박막 트랜지스터의 전기 특성의 편차를 경감할 수 있다.

- [0122] 다음에, 제 4 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 보호 절연층(107) 및 게이트 절연층(102)의 에칭에 의하여 소스 전극층 또는 드레인 전극층(105b)에 도달하는 콘택트 홀(125)을 형성한다. 또한, 여기서의 에칭에 의하여 제 2 단자(122)에 도달하는 콘택트 홀(127), 제 1 단자(121)에 도달하는 콘택트 홀(126)도 형성한다. 이 단계에서의 단면도를 도 6b에 도시한다.
- [0123] 다음에, 레지스트 마스크를 제거한 후, 투명 도전막을 형성한다. 투명 도전막의 재료로서는, 산화 인듐(In_2O_3)이나 산화 인듐 산화 주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 표기함) 등을 스퍼터링법이나 진공 증착법 등을 사용하여 형성한다. 이와 같은 재료의 에칭 처리는 염산계의 용액에 의하여 행한다. 그러나, 특히 ITO의 에칭은 잔사(殘渣)가 발생하기 쉽기 때문에, 에칭 가공성을 개선하기 위하여 산화 인듐 산화 아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$)을 사용하여도 좋다.
- [0124] 다음에, 제 5 포토리소그래피 공정을 행하고, 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 화소 전극층(110)을 형성한다.
- [0125] 또한, 이 제 5 포토리소그래피 공정에 있어서, 용량부에 있어서의 게이트 절연층(102) 및 보호 절연층(107)을 유전체로 하고, 용량 배선(108)과 화소 전극층(110)으로 유지 용량이 형성된다.
- [0126] 또한, 이 제 5 포토리소그래피 공정에 있어서, 제 1 단자(121) 및 제 2 단자(122)를 레지스트 마스크로 덮어 단자부에 형성된 투명 도전막(128, 129)을 남긴다. 투명 도전막(128, 129)은 FPC와의 접속에 사용되는 전극 또는 배선이 된다. 제 1 단자(121) 위에 형성된 투명 도전막(128)은, 게이트 배선의 입력 단자로서 기능하는 접속용의 단자 전극이 된다. 제 2 단자(122) 위에 형성된 투명 도전막(129)은 소스 배선의 입력 단자로서 기능하는 접속용의 단자 전극이다.
- [0127] 다음에, 레지스트 마스크를 제거하고, 이 단계에서의 단면도를 도 6c에 도시한다. 또한, 이 단계에서의 평면도가 도 7에 상당한다.
- [0128] 또한, 도 8a1, 도 8a2는, 이 단계에서의 게이트 배선 단자부의 평면도 및 단면도를 각각 도시한다. 도 8a1은 도 8a2 중의 E1-E2선에 따른 단면도에 상당한다. 도 8a1에 있어서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은, 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 8a1에 있어서, 단자부에서는 게이트 배선과 같은 재료로 형성되는 제 1 단자(151)와, 소스 배선과 같은 재료로 형성되는 접속 전극층(153)이 게이트 절연층(152)을 사이에 두고 중첩하고, 투명 도전막(155)에서 도통시키고 있다. 또한, 도 6c에 도시한 투명 도전막(128)과 제 1 단자(121)가 접촉한 부분이 도 8a1의 투명 도전막(155)과 제 1 단자(151)가 접촉하는 부분에 대응한다.
- [0129] 또한, 도 8b1, 및 도 8b2는, 도 6c에 도시하는 소스 배선 단자부와는 상이한 소스 배선 단자부의 단면도 및 평면도를 각각 도시한다. 또한, 도 8b1은 도 8b2 중의 F1-F2선에 따른 단면도에 상당한다. 도 8b1에 있어서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은, 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 8b1에 있어서, 단자부에서는 게이트 배선과 같은 재료로 형성되는 전극층(156)이 소스 배선과 전기적으로 접속되는 제 2 단자(150) 하방에 게이트 절연층(152)을 사이에 두고 중첩된다. 전극층(156)은 제 2 단자(150)와 전기적으로 접속되지 않고, 전극층(156)을 제 2 단자(150)와 상이한 전위, 예를 들어, 플로팅, GND(접지 전위), 0V 등으로 설정하면, 노이즈 대책을 위한 용량, 또는 정전기 대책을 위한 용량을 형성할 수 있다. 또한, 제 2 단자(150)는 보호 절연막(154)을 통하여 투명 도전막(155)과 전기적으로 접속하고 있다.
- [0130] 게이트 배선, 소스 배선, 및 용량 배선은 화소 밀도에 따라 복수개 설치되는 것이다. 또한, 단자부에 있어서는, 게이트 배선과 동전위의 제 1 단자, 소스 배선과 동전위의 제 2 단자, 용량 배선과 동전위의 제 3 단자 등이 복수 나열되어 배치된다. 각각의 단자의 개수는, 각각 임의의 개수로 형성하면 좋은 것으로 하고, 실시자가 적절히 결정하면 좋다.
- [0131] 상술한 바와 같이, 5회의 포토리소그래피 공정에 의하여 5장의 포토 마스크를 사용하여 보텀 게이트형의 스택 구조의 박막 트랜지스터인 박막 트랜지스터(170)를 갖는 화소 박막 트랜지스터부, 유지 용량을 완성시킬 수 있다. 그리고, 이들을 개개의 화소에 대응하여 매트릭스 형상으로 배치하여 화소부를 구성함으로써 액티브 매트릭스형의 표시 장치를 제작하기 위한 한편의 기관으로 할 수 있다. 본 명세서에서는 편의상 이와 같은 기관을 액티브 매트릭스 기관이라고 부른다.

- [0132] 액티브 매트릭스형의 액정 표시 장치를 제작하는 경우에는, 액티브 매트릭스 기판과 대향 전극이 형성된 대향 기판과의 사이에 액정층을 형성하여, 액티브 매트릭스 기판과 대향 기판을 고정한다. 또한, 대향 기판에 형성된 대향 전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기판 위에 형성하고, 공통 전극과 전기적으로 접속하는 제 4 단자를 단자부에 설치한다. 이 제 4 단자는 공통 전극을 고정 전위, 예를 들어, GND, 0V 등에 설정하기 위한 단자이다.
- [0133] 또한, 용량 배선을 형성하지 않고, 화소 전극을 인접하는 화소의 게이트 배선과 보호 절연막 및 게이트 절연층을 사이에 두고 중첩하여 유지 용량을 형성하여도 좋다.
- [0134] 액티브 매트릭스형의 액정 표시 장치에 있어서는, 매트릭스 형상으로 배치된 화소 전극을 구동시킴으로써, 화면상에 표시 패턴을 형성한다. 상세하게는 선택된 화소 전극과 상기 화소 전극에 대응하는 대향 전극 사이에 전압이 인가됨으로써, 화소 전극과 대향 전극의 사이에 배치된 액정층의 광학 변조가 행해지고, 이 광학 변조가 표시 패턴으로서 관찰자에게 인식된다.
- [0135] 액정 표시 장치의 동영상 표시에 있어서, 액정 분자 자체의 응답이 늦기 때문에, 잔상이 생기거나, 또는 동영상에 흐릿해진다는 문제가 있다. 액정 표시 장치의 동영상 특성을 개선하기 위하여, 전체 면 흑색 표시를 1 프레임 간격으로 행하는, 소위, 흑 삽입이라고 불리는 구동 기술이 있다.
- [0136] 또한, 수직 동기 주파수를 보통의 1.5배, 바람직하게는, 2배 이상으로 함으로써 응답 속도를 개선하는, 소위, 배속(倍速) 구동이라고 불리는 구동 기술도 있다.
- [0137] 또한, 액정 표시 장치의 동영상 특성을 개선하기 위하여, 백 라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원 등을 사용하여 면 광원을 구성하고, 면 광원을 구성하는 각 광원을 독립적으로 1프레임 기간 내에서 간헐 점등 구동하는 구동 기술도 있다. 면 광원으로서 3 종류 이상의 LED를 사용하여도 좋고, 백색 발광의 LED를 사용하여도 좋다. 독립적으로 복수의 LED를 제어할 수 있기 때문에, 액정층의 광학 변조의 변환 타이밍에 맞추어 LED의 발광 타이밍을 동기시킬 수도 있다. 이 구동 기술은, LED를 부분적으로 소등할 수 있기 때문에, 특히 한 화면을 차지하는 검은 표시 영역의 비율이 많은 영상 표시의 경우에는, 소비 전력의 저감 효과를 도모할 수 있다.
- [0138] 이들 구동 기술을 조합함으로써, 액정 표시 장치의 동영상 특성 등의 표시 특성을 종래보다 개선할 수 있다.
- [0139] 본 명세서에 개시하는 n 채널형의 트랜지스터는, 산화물 반도체막을 채널 형성 영역에 사용하고, 양호한 동 특성을 갖기 때문에, 이와 같은 구동 기술을 조합할 수 있다.
- [0140] 또한, 발광 표시 장치를 제작하는 경우, 유기 발광 소자의 한쪽 전극(캐소드라고도 부름)은, 저전원 전위, 예를 들어, GND, 0V 등으로 설정하기 때문에, 단자부에 캐소드를 저전원 전위, 예를 들어, GND, 0V 등으로 설정하기 위한 제 4 단자가 설치된다. 또한, 발광 표시 장치를 제작하는 경우에는, 소스 배선, 및 게이트 배선에 더하여 전원 공급선을 형성한다. 따라서, 단자부에는, 전원 공급선과 전기적으로 접속하는 제 5 단자를 설치한다.
- [0141] 산화물 반도체를 사용한 박막 트랜지스터로 형성함으로써, 제작 비용을 저감할 수 있다.
- [0142] 채널 형성 영역의 반도체층은 고저항화 영역이기 때문에, 박막 트랜지스터의 전기 특성은 안정화되고, 오프 전류의 증가 등을 방지할 수 있다. 따라서, 전기 특성이 양호하고 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체 장치로 할 수 있다.
- [0143] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0144] (실시형태 4)
- [0145] 반도체 장치의 일레인 표시 장치에 있어서, 동일 기판 위에 적어도 구동 회로의 일부와 화소부에 배치하는 박막 트랜지스터를 제작하는 예에 대하여 이하에 설명한다.
- [0146] 화소부에 배치하는 박막 트랜지스터는, 실시형태 1 내지 실시형태 3에 따라 형성한다. 또한, 실시형태 1 내지 실시형태 3에 나타내는 박막 트랜지스터는, n채널형 TFT이기 때문에, 구동 회로 중, n채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기판 위에 형성한다.
- [0147] 반도체 장치의 일레인 액티브 매트릭스형 액정 표시 장치의 블록도의 일례를 도 14a에 도시한다. 도 14a에 도시하는 표시 장치는, 기판(5300) 위에 표시 소자를 구비한 화소를 복수 갖는 화소부(5301)와, 각 화소를 선택하는 주사선 구동 회로(5302)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5303)를 갖는

다.

- [0148] 또한, 실시형태 1 내지 실시형태 3에 나타내는 박막 트랜지스터는, n채널형 TFT이고, n채널형 TFT로 구성하는 신호선 구동 회로에 대하여 도 15를 사용하여 설명한다.
- [0149] 도 15에 도시하는 신호선 구동 회로는, 드라이버 IC(5601), 스위치군(5602_1 내지 5602_M), 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1 내지 5621_M)을 갖는다. 스위치 군(5602_1 내지 5602_M)의 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 갖는다.
- [0150] 드라이버 IC(5601)는 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1 내지 5621_M)에 접속된다. 그리고, 스위치 군(5602_1 내지 5602_M)은 각각, 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 스위치 군(5602_1 내지 5602_M) 각각에 대응한 배선(5621_1 내지 5621_M)에 접속된다. 그리고, 배선(5621_1 내지 5621_M)의 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 제 3 박막 트랜지스터(5603c)를 사이에 두고, 3개의 신호선에 접속된다. 예를 들어, J열체의 배선(5621_J; 배선(5621_1 내지 5621_M 중 어느 하나)은, 스위치 군(5602_J)이 갖는 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 사이에 두고, 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속된다.
- [0151] 또한, 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613)에는, 각각 신호가 입력된다.
- [0152] 또한, 드라이버 IC(5601)는 단결정 기판 위에 형성되는 것이 바람직하다. 또한, 스위치 군(5602_1 내지 5602_M)은, 화소부와 동일 기판 위에 형성되는 것이 바람직하다. 따라서, 드라이버 IC(5601)와 스위치군(5602_1 내지 5602_M)은 FPC 등을 통하여 접속하면 좋다.
- [0153] 다음에, 도 15에 도시한 신호선 구동 회로의 동작에 대하여, 도 16의 타이밍 차트를 참조하여 설명한다. 또한, 도 16의 타이밍 차트는 i번째 행의 주사선(Gi)이 선택되는 경우의 타이밍 차트를 나타내고 있다. 또한, i번째 행의 주사선 Gi의 선택 기간은, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3으로 분할되어 있다. 또한, 도 15의 신호선 구동 회로는 다른 행의 주사선이 선택되는 경우에도 도 16과 같은 동작을 한다.
- [0154] 또한, 도 16의 타이밍 차트는, J번째 열의 배선(5621_J)이 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 통하여, 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속되는 경우에 대하여 나타낸다.
- [0155] 또한, 도 16의 타이밍 차트는, i번째 행의 주사선(Gi)이 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온/오프의 타이밍(5703a), 제 2 박막 트랜지스터(5603b)의 온/오프의 타이밍(5703b), 제 3 박막 트랜지스터(5603c)의 온/오프의 타이밍(5703c) 및 J번째 열의 배선(5621_J)에 입력되는 신호(5721_J)를 나타낸다.
- [0156] 또한, 배선(5621_1 내지 5621_M)에는 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 각각 다른 비디오 신호가 입력된다. 예를 들어, 제 1 서브 선택 기간 T1에 있어서 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj-1에 입력되고, 제 2 서브 선택 기간 T2에서 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj에 입력되고, 제 3 서브 선택 기간 T3에 있어서 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj+1에 입력된다. 또한, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 배선(5621_J)에 입력되는 비디오 신호를 각각 Data_j-1, Data_j, Data_j+1로 한다.
- [0157] 도 16에 도시하는 바와 같이, 제 1 서브 선택 기간(T1)에 있어서 제 1 박막 트랜지스터(5603a)가 온이 되고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프가 된다. 이 때, 배선(5621_J)에 입력되는 Data_j-1이, 제 1 박막 트랜지스터(5603a)를 사이에 두고, 신호선 Sj-1에 입력된다. 제 2 서브 선택 기간 T2에서는, 제 2 박막 트랜지스터(5603b)가 온이 되고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프가 된다. 이 때, 배선(5621_J)에 입력되는 Data_j가, 제 2 박막 트랜지스터(5603b)를 사이에 두고, 신호선 Sj에 입력된다. 제 3 서브 선택 기간 T3에서는, 제 3 박막 트랜지스터(5603c)가 온이 되고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프가 된다. 이 때, 배선(5621_J)에 입력되는 Data_j+1이, 제 3 박막 트랜지스터(5603c)를 사이에 두고, 신호선(Sj+1)에 입력된다.
- [0158] 이상으로부터, 도 15의 신호선 구동 회로는, 1 게이트 선택 기간을 3개로 분할함으로써, 1 게이트 선택 기간 중에 1개의 배선(5621)으로부터 3개의 신호선에 비디오 신호를 입력할 수 있다. 따라서, 도 15의 신호선 구동 회

로는, 드라이버 IC(5601)가 형성되는 기판과, 화소부가 형성되어 있는 기판과의 접속수를 신호선의 개수에 비해 약 1/3로 할 수 있다. 접속수가 약 1/3이 됨으로써, 도 15의 신호선 구동 회로는 신뢰성, 수율 등을 향상시킬 수 있다.

- [0159] 또한, 도 15와 같이, 1 게이트 선택 기간을 복수의 서브 선택 기간으로 분할함으로써, 복수의 서브 선택 기간 각각에 있어서, 어느 1개의 배선으로부터 복수의 신호선 각각에 비디오 신호를 입력할 수 있다면, 박막 트랜지스터의 배치나 개수, 구동 방법 등은 한정되지 않는다.
- [0160] 예를 들어, 3개 이상의 서브 선택 기간 각각에 있어서 1개의 배선으로부터 3개 이상의 신호선 각각에 비디오 신호를 입력하는 경우는, 박막 트랜지스터 및 박막 트랜지스터를 제어하기 위한 배선을 추가하면 좋다. 단, 1게이트 선택 기간을 4개 이상의 서브 선택 기간으로 분할하면, 1개의 서브 선택 기간이 짧아진다. 따라서, 1게이트 선택 기간은, 2개 또는 3개의 서브 선택 기간으로 분할되는 것이 바람직하다.
- [0161] 다른 예로서, 도 17의 타이밍 차트에 나타내는 바와 같이, 1개의 선택 기간을 프리차지 기간(T_p), 제 1 서브 선택 기간(T_1), 제 2 서브 선택 기간(T_2), 제 3 선택 기간(T_3)으로 분할하여도 좋다. 또한, 도 17의 타이밍 차트는 i 번째 행의 주사선(G_i)이 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온/오프의 타이밍(5803a), 제 2 박막 트랜지스터(5603b)의 온/오프의 타이밍(5803b), 제 3 박막 트랜지스터(5603c)의 온/오프의 타이밍(5803c) 및 J 번째 열의 배선(5621_J)에 입력되는 신호(5821_J)를 나타내고 있다. 도 17에 나타낸 바와 같이, 프리차지 기간(T_p)에서 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 온이 된다. 이 때, 배선(5621_J)에 입력되는 프리차지 전압 V_p 가 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 사이에 두고, 각각 신호선(S_{j-1}), 신호선(S_j), 신호선(S_{j+1})에 입력된다. 제 1 서브 선택 기간 T_1 에 있어서 제 1 박막 트랜지스터(5603a)가 온이 되고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프가 된다. 이 때, 배선(5621_J)에 입력되는 $Data_{j-1}$ 이, 제 1 박막 트랜지스터(5603a)를 사이에 두고, 신호선 S_{j-1} 에 입력된다. 제 2 서브 선택 기간 T_2 에서는, 제 2 박막 트랜지스터(5603b)가 온이 되고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프가 된다. 이 때, 배선(5621_J)에 입력되는 $Data_j$ 가, 제 2 박막 트랜지스터(5603b)를 사이에 두고, 신호선 S_j 에 입력된다. 제 3 서브 선택 기간 T_3 에서는, 제 3 박막 트랜지스터(5603c)가 온이 되고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프가 된다. 이때, 배선(5621_J)에 입력되는 $Data_{j+1}$ 이, 제 3 박막 트랜지스터(5603c)를 사이에 두고, 신호선(S_{j+1})에 입력된다.
- [0162] 이상으로부터, 도 17의 타이밍 차트를 적용한 도 15의 신호선 구동 회로는, 서브 선택 기간 전에 프리차지 선택 기간을 설정함으로써, 신호선을 프리차지할 수 있기 때문에, 화소로의 비디오 신호의 기록을 고속으로 행할 수 있다. 또한, 도 17에서, 도 16과 같은 것에 관해서는 공통의 부호를 이용하여 나타내고, 동일 부분 또는 동일한 기능을 갖는 부분의 상세한 설명은 생략한다.
- [0163] 또한, 주사선 구동 회로의 구성에 대하여 설명한다. 주사선 구동 회로는 시프트 레지스터, 버퍼를 갖는다. 또한, 경우에 따라서는 레벨 시프터를 가져도 좋다. 주사선 구동 회로에 있어서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 있어서 완충 증폭되고, 대응하는 주사선에 공급된다. 주사선에는, 1라인분의 화소의 트랜지스터의 게이트 전극이 접속된다. 그리고, 1라인분의 화소의 트랜지스터를 일제히 온으로 하여야 하기 때문에, 버퍼는 큰 전류를 흘릴 수 있는 것이 사용된다.
- [0164] 주사선 구동 회로의 일부에 사용하는 시프트 레지스터의 일 형태에 대하여 도 18 및 도 19를 사용하여 설명한다.
- [0165] 도 18에 시프트 레지스터의 회로 구성을 도시한다. 도 18에 도시한 시프트 레지스터는, 플립플롭(5701_1 내지 5701_n) 등의 복수의 플립플롭으로 구성된다. 또한, 제 1 클럭 신호, 제 2 클럭 신호, 스타트 펄스 신호, 리셋 신호가 입력되어 동작한다.
- [0166] 도 18의 시프트 레지스터의 접속 관계에 관하여 설명한다. 도 18의 시프트 레지스터는, i 번째 단의 플립플롭(5701_i)(플립플롭(5701_1 내지 5701_n) 중 어느 하나)은, 도 19에 도시한 제 1 배선(5501)이 제 7 배선(5717_i-1)에 접속되고, 도 19에 도시한 제 2 배선(5502)이 제 7 배선(5717_i+1)에 접속되고, 도 19에 도시한 제 3 배선(5503)이 제 7 배선(5717_i)에 접속되고, 도 19에 도시한 제 6 배선(5506)이 제 5 배선(5715)에 접속된다.
- [0167] 또한, 도 19에 도시한 제 4 배선(5504)이 홀수번째 단의 플립플롭에서는 제 2 배선(5712)에 접속되고, 짝수번째

단의 플립플롭에서는 제 3 배선(5713)에 접속되고, 도 19에 도시한 제 5 배선(5505)이 제 4 배선(5714)에 접속된다.

- [0168] 다만, 1번째 단의 플립플롭(5701_1)의 도 19에 도시한 제 1 배선(5501)은 제 1 배선(5711)에 접속되고, n번째 단의 플립플롭(5701_n)의 도 19에 도시한 제 2 배선(5502)은 제 6 배선(5716)에 접속된다.
- [0169] 또한, 제 1 배선(5711), 제 2 배선(5712), 제 3 배선(5713), 제 6 배선(5716)을 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 4 배선(5714), 제 5 배선(5715)을, 각각 제 1 전원선, 제 2 전원선이라고 불러도 좋다.
- [0170] 다음에, 도 18에 도시한 플립플롭의 상세한 내용에 대하여, 도 19에 도시한다. 도 19에 도시한 플립플롭은 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)를 갖는다. 또한, 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)는, n채널형 트랜지스터이며, 게이트·소스간 전압(Vgs)이 임계 값 전압(Vth)을 상회하였을 때 도통 상태가 되는 것으로 한다.
- [0171] 다음에, 도 18에 도시하는 플립플롭의 접속 구성에 대하여, 이하에 개시한다.
- [0172] 제 1 박막 트랜지스터(5571)의 제 1 전극(소스 전극 또는 드레인 전극의 한쪽)이 제 4 배선(5504)에 접속되고, 제 1 박막 트랜지스터(5571)의 제 2 전극(소스 전극 또는 드레인 전극의 다른 쪽)이 제 3 배선(5503)에 접속된다.
- [0173] 제 2 박막 트랜지스터(5572)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 2 박막 트랜지스터(5572)의 제 2 전극이 제 3 배선(5503)에 접속된다.
- [0174] 제 3 박막 트랜지스터(5573)의 제 1 전극이 제 5 배선(5505)에 접속되고, 제 3 박막 트랜지스터(5573)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 3 박막 트랜지스터(5573)의 게이트 전극이 제 5 배선(5505)에 접속된다.
- [0175] 제 4 박막 트랜지스터(5574)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 4 박막 트랜지스터(5574)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 4 박막 트랜지스터(5574)의 게이트 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.
- [0176] 제 5 박막 트랜지스터(5575)의 제 1 전극이 제 5 배선(5505)에 접속되고, 제 5 박막 트랜지스터(5575)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 5 박막 트랜지스터(5575)의 게이트 전극이 제 1 배선(5501)에 접속된다.
- [0177] 제 6 박막 트랜지스터(5576)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 6 박막 트랜지스터(5576)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 6 박막 트랜지스터(5576)의 게이트 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.
- [0178] 제 7 박막 트랜지스터(5577)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 7 박막 트랜지스터(5577)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 7 박막 트랜지스터(5577)의 게이트 전극이 제 2 배선(5502)에 접속된다. 제 8 박막 트랜지스터(5578)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 8 박막 트랜지스터(5578)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 8 박막 트랜지스터(5578)의 게이트 전극이 제 1 배선(5501)에 접속된다.
- [0179] 또한, 제 1 박막 트랜지스터(5571)의 게이트 전극, 제 4 박막 트랜지스터(5574)의 게이트 전극, 제 5 박막 트랜지스터(5575)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 제 2 전극 및 제 7 박막 트랜지스터(5577)의 제 2 전극의 접속 개소를 노드(5543)로 한다. 또한, 제 2 박막 트랜지스터(5572)의 게이트 전극, 제 3 박막 트랜지스터(5573)의 제 2 전극, 제 4 박막 트랜지스터(5574)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 게이트 전극 및 제 8 박막 트랜지스터(5578)의 제 2 전극의 접속 개소를 노드(5544)로 한다.
- [0180] 또한, 제 1 배선(5501) 및 제 2 배선(5502), 제 3 배선(5503) 및 제 4 배선(5504)을, 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 5 배선(5505)을 제 1 전원선, 제 6 배선(5506)을 제 2 전원선이라고 불러도 좋다.

- [0181] 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 1 내지 실시형태 3에 나타내는 n채널형 TFT만으로 제작할 수도 있다. 실시형태 1 내지 실시형태 3에 나타내는 n채널형 TFT는 트랜지스터의 이동도가 크기 때문에, 구동 회로의 구동 주파수를 높게 하는 것이 가능해진다. 또한, 실시형태 1 내지 실시형태 3에 나타내는 n채널형 TFT는 기생 용량이 저감되기 때문에, 주파수 특성(f 특성이라고 불림)이 높다. 예를 들어, 실시형태 1 내지 실시형태 3에 나타내는 n채널형 TFT를 사용한 주사선 구동 회로는, 고속으로 동작시킬 수 있기 때문에, 프레임 주파수를 높게 하는 것, 또는, 흑색 화면 삽입을 실현하는 것 등도 실현할 수 있다.
- [0182] 또한, 주사선 구동 회로의 트랜지스터의 채널 폭을 크게 하는 것이나, 복수의 주사선 구동 회로를 배치하는 것 등에 의하여, 더 높은 프레임 주파수를 실현할 수 있다. 복수의 주사선 구동 회로를 배치하는 경우는, 짝수 행의 주사선을 구동하기 위한 주사선 구동 회로를 한쪽에 배치하고, 홀수 행의 주사선을 구동하기 위한 주사선 구동 회로를 그 반대 쪽에 배치함으로써, 프레임 주파수를 높게 하는 것을 실현할 수 있다. 또한, 복수의 주사선 구동 회로에 의하여, 같은 주사선에 신호를 출력하면, 표시 장치의 대형화에 유리하다.
- [0183] 또한, 반도체 장치의 일레인 액티브 매트릭스형 발광 표시 장치를 제작하는 경우, 적어도 하나의 화소에 복수의 박막 트랜지스터를 배치하기 때문에, 주사선 구동 회로를 복수 배치하는 것이 바람직하다. 액티브 매트릭스형 발광 표시 장치의 블록도의 일례를 도 14b에 도시한다.
- [0184] 도 14b에 도시하는 발광 표시 장치는, 기관(5400) 위에 표시 소자를 구비한 화소를 복수 갖는 화소부(5401)와, 각 화소를 선택하는 제 1 주사선 구동 회로(5402) 및 제 2 주사선 구동 회로(5404)와 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5403)를 갖는다.
- [0185] 도 14b에 도시하는 발광 표시 장치의 화소에 입력되는 비디오 신호를 디지털 형식으로 하는 경우, 화소는 트랜지스터의 온과 오프의 변환에 따라, 발광 또는 비발광 상태가 된다. 따라서, 면적 계조법 또는 시간 계조법을 사용하여 계조의 표시를 행할 수 있다. 면적 계조법은 1화소를 복수의 부(副)화소로 분할하여 각 부화소를 독립적으로 비디오 신호에 따라 구동시킴으로써, 계조 표시를 행하는 구동 방법이다. 또한, 시간 계조법은 화소가 발광하는 기간을 제어함으로써 계조 표시를 행하는 구동 방법이다.
- [0186] 발광 소자는 액정 소자 등과 비교하여 응답 속도가 높기 때문에, 액정 소자보다 시간 계조법에 적합하다. 구체적으로 시간 계조법에 의하여 표시를 행하는 경우, 1프레임 기간을 복수의 서브 프레임 기간으로 분할한다. 그리고, 비디오 신호에 따라, 각 서브 프레임 기간에 있어서, 화소의 발광 소자를 발광 상태, 또는 비발광 상태로 한다. 복수의 서브 프레임 기간으로 분할함으로써, 1프레임 기간 중에 화소가 실제로 발광하는 기간의 합계 길이를 비디오 신호에 따라 제어할 수 있기 때문에, 계조를 표시할 수 있다.
- [0187] 또한, 도 14b에 도시하는 발광 표시 장치에서는, 1개의 화소에 2개의 스위칭용 TFT를 배치하는 경우, 한쪽의 스위칭용 TFT의 게이트 배선인 제 1 주사선에 입력되는 신호를 제 1 주사선 구동 회로(5402)에서 생성하고, 다른 쪽의 스위칭용 TFT의 게이트 배선인 제 2 주사선에 입력되는 신호를 제 2 주사선 구동 회로(5404)에서 생성하는 예를 나타내지만, 제 1 주사선에 입력되는 신호와, 제 2 주사선에 입력되는 신호를, 모두 1개의 주사선 구동 회로로 생성하도록 하여도 좋다. 또한, 예를 들어, 1개의 화소가 갖는 스위칭용 TFT의 수에 따라, 스위칭 소자의 동작을 제어하는데 사용되는 주사선이, 각 화소에 복수 설치되는 경우도 있을 수 있다. 이 경우, 복수의 주사선에 입력되는 신호를, 모두 1개의 주사선 구동 회로로 생성하여도 좋고, 복수의 각 주사선 구동 회로로 생성하여도 좋다.
- [0188] 또한, 발광 표시 장치에 있어서도 구동 회로 중, n채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기관 위에 형성할 수 있다. 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 1 내지 실시형태 3에 나타내는 n채널형 TFT만으로 제작할 수도 있다.
- [0189] 또한, 상술한 구동 회로는 액정 표시 장치나 발광 표시 장치에 한정되지 않고, 스위칭 소자와 전기적으로 접속되는 소자를 이용하여 전자 잉크를 구동시키는 전자 페이퍼에 사용하여도 좋다. 전자 페이퍼는, 전기 영동(泳動) 표시 장치(전기 영동 디스플레이)라고도 불리고, 종이와 같이 읽기 쉽다는 장점, 다른 표시 장치와 비교하여 저소비 전력, 얇고 가벼운 형상으로 할 수 있는 이점을 갖는다.
- [0190] 전기 영동 디스플레이는, 다양한 형태를 취할 수 있지만, 플러스의 전하를 갖는 제 1 입자와, 마이너스의 전하를 갖는 제 2 입자를 갖는 마이크로 캡슐이 용매 또는 용질에 복수 분산된 것이며, 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜, 한 쪽에 집합한 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하여, 전계가 없는 경우에 있어서, 이동하지 않는 것이다. 또한, 제 1 입자의 색과 제 2 입자의 색은 다른 것(무색을 포함함)으로 한다.

- [0191] 이와 같이, 전기 영동 디스플레이는 유전 상수가 높은 물질이, 높은 전계 영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다. 전기 영동 디스플레이는, 액정 표시 장치에는 필요한 편광판이 필요가 없다.
- [0192] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것이며, 이 전자 잉크는 유리, 플라스틱, 피륙, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 사용함으로써, 컬러 표시도 가능하다.
- [0193] 또한, 액티브 매트릭스 기판 위에 적절히 2개의 전극 사이에 끼워지도록 상기 마이크로 캡슐을 복수 배치하면, 액티브 매트릭스형의 표시 장치가 완성되어, 마이크로 캡슐에 전계를 인가하면 표시할 수 있다. 예를 들어, 실시형태 1 내지 실시형태 3의 박막 트랜지스터에 의하여 얻어지는 액티브 매트릭스 기판을 사용할 수 있다.
- [0194] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성(磁性) 재료, 액정 재료, 강유전성 재료, 일렉트로 루미네선스 재료, 일렉트로 크로믹 재료, 자기 영동 재료 중으로부터 선택된 일종의 재료, 또는, 이들의 복합 재료를 사용하면 좋다.
- [0195] 상술한 공정에 의하여, 반도체 장치로서 신뢰성이 높은 표시 장치를 제작할 수 있다.
- [0196] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0197] (실시형태 5)
- [0198] 박막 트랜지스터를 제작하고, 상기 박막 트랜지스터를 화소부, 또한 구동 회로에 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 박막 트랜지스터를, 구동 회로의 일부 또는 전체를 화소부와 같은 기판 위에 일체로 형성하여 시스템 온 패널을 형성할 수 있다.
- [0199] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는 액정 소자(액정 표시 소자라고도 함) 또는 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의하여 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는, 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의하여 콘트라스트가 변화하는 표시 매체도 적용할 수 있다.
- [0200] 또한, 표시 장치는, 표시 소자가 밀봉된 상태인 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태인 모듈을 포함한다. 또한, 상기 표시 장치를 제작하는 과정에 있어서의, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관한 것으로서, 상기 소자 기판은 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은, 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태라도 좋고, 화소 전극이 되는 도전막을 형성한 후이며, 에칭하여 화소 전극을 형성하기 전인 상태라도 좋고, 모든 형태가 적합하다.
- [0201] 또한, 본 명세서 중에 있어서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터, 예를 들어 FPC(Flexible printed circuit) 또는 TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 선단에 프린트 배선판이 형성된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의하여 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하기로 한다.
- [0202] 반도체 장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여, 도 10a1, 도 10a2, 도 10b를 사용하여 설명한다. 도 10a1, 도 10a2, 도 10b는, 제 1 기판(4001) 위에 형성된 실시형태 3에서 나타낸 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터(4010, 4011), 및 액정 소자(4013)를, 제 2 기판(4006)의 사이에 쉘재(4005)에 의하여 밀봉한, 패널의 평면도이며, 도 10b는 도 10a1, 도 10a2의 M-N에 있어서의 단면도에 상당한다.
- [0203] 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록, 쉘재(4005)가 형성된다. 또한 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성된다. 따라서, 화소부(4002)와, 주사선 구동 회로(4004)는, 제 1 기판(4001)과 쉘재(4005)와 제 2 기판(4006)에 의하여, 액정(4008)과 함께 밀봉된다. 또한, 제 1 기판(4001) 위의 쉘재(4005)에 의하여 둘러싸인 영역과는 상이한 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장된다.
- [0204] 또한, 별도로 형성한 구동 회로의 접속 방법은 특별히 한정되지 않고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 10a1은 COG 방법으로 신호선 구동 회로(4003)를 실장하는 예이며, 도 10a2는 TAB 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이다.

- [0205] 또한, 제 1 기관(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)는 박막 트랜지스터를 복수 갖고, 도 10b에서는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시한다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4020, 4021)이 형성되어 있다.
- [0206] 박막 트랜지스터(4010, 4011)는, 실시형태 3에서 나타낸 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터를 적용할 수 있다. 또한, 실시형태 1 또는 실시형태 2에 나타내는 박막 트랜지스터를 적용하여도 좋다. 본 실시형태에 있어서, 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.
- [0207] 또한, 액정 소자(4013)가 갖는 화소 전극층(4030)은 박막 트랜지스터(4010)와 전기적으로 접속된다. 또한, 액정 소자(4013)의 대향 전극층(4031)은 제 2 기관(4006) 위에 형성된다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 중첩하는 부분이 액정 소자(4013)에 상당한다. 또한, 화소 전극층(4030), 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층(4032, 4033)이 형성되고, 절연층(4032, 4033)을 사이에 두고, 액정층(4008)을 개재하고 있다.
- [0208] 또한, 제 1 기관(4001), 제 2 기관(4006)으로서는, 유리, 금속(대표적으로는 스테인리스), 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름, 또는 아크릴수지 필름을 사용할 수 있다. 또한, 알루미늄 호일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 사용할 수도 있다.
- [0209] 또한, 4035는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이며, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위하여 형성된다. 또한, 구(球) 형상의 스페이서를 사용하여도 좋다. 또한, 대향 전극층(4031)은 박막 트랜지스터(4010)와 동일 기관 위에 형성되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 사용하여, 한 쌍의 기관 간에 배치되는 도전성 입자들 사이에 두고 대향 전극층(4031)과 공통 전위선과를 전기적으로 접속할 수 있다. 또한, 도전성 입자는 절재(4005)에 함유시킨다.
- [0210] 또한, 배향막을 사용하지 않는 블루상(Blue Phase)을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭(cholesteric) 액정을 계속해서 승온하면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서밖에 발현하지 않기 때문에, 온도 범위를 개선하기 위하여 5wt% 이상의 키랄제(chiral agent)를 혼합시킨 액정 조성물을 사용하여 액정층(4008)에 사용한다. 블루 상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 1msec 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다.
- [0211] 또한, 투과형 액정 표시 장치 외에, 반사형 액정 표시 장치에도 반투과형 액정 표시 장치에도 적용할 수 있다.
- [0212] 또한, 액정 표시 장치에서는, 기관의 외측(시인 측)에 편광판을 형성하고, 내측에 착색층, 표시 소자에 사용하는 전극층의 순서로 형성하는 예를 나타내지만, 편광판은 기관의 내측에 설치하여도 좋다. 또한, 편광판과 착색층의 적층 구조도 본 실시형태에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정 조건에 따라 적절히 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광막을 형성하여도 좋다.
- [0213] 또한, 박막 트랜지스터의 표면 요철을 저감하기 위하여, 및 박막 트랜지스터의 신뢰성을 향상시키기 위하여, 상기 실시형태에서 얻어진 박막 트랜지스터를 보호막이나 평탄화 절연막으로서 기능하는 절연층(절연층(4020), 절연층(4021))으로 덮는 구성으로 되어 있다. 또한, 보호막은, 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 방지하기 위한 것이고, 치밀한 막이 바람직하다. 보호막은 스퍼터링법을 사용하여 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 또는 질화산화 알루미늄막의 단층으로 또는 적층하여 형성하면 좋다. 보호막을 스퍼터링법으로 형성하는 예를 나타내지만, 특별히 한정되지 않고 다양한 방법으로 형성하면 좋다.
- [0214] 여기서는, 보호막으로서 적층 구조의 절연층(4020)을 형성한다. 여기서는, 절연층(4020)의 첫 번째 층으로서 스퍼터링법을 사용하여 산화 실리콘막을 형성한다. 보호막으로서 산화 실리콘막을 사용하면, 소스 전극층 및 드레인 전극층으로서 사용하는 알루미늄막의 힐록 방지에 효과가 있다.
- [0215] 또한, 보호막의 2층째로서 절연층(212)을 형성한다. 여기서는, 절연층(4020)의 2층째로서 스퍼터링법을 사용하여 질화 실리콘막을 형성한다. 보호막으로서 질화 실리콘막을 사용하면, 나트륨 등의 가동 이온이 반도체 영역 중에 침입하여, TFT의 전기 특성을 변화시키는 것을 억제할 수 있다.
- [0216] 또한, 보호막을 형성한 후에, 질소 분위기하 또는 대기 분위기하에서, 가열 처리(300℃ 이하)를 행하여도 좋다.
- [0217] 또한, 평탄화 절연막으로서 절연층(4021)을 형성한다. 절연층(4021)으로서는, 폴리이미드, 아크릴, 벤조시클로

부텐, 폴리아미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(붕소 인 유리) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층(4021)을 형성하여도 좋다.

[0218] 또한, 실록산계수지는, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서는 유기기(예를 들어 알킬기나 아릴기)나 플루오르기를 사용하여도 좋다. 또한, 유기기는 플루오르기를 갖고 있어도 좋다.

[0219] 절연층(4021)의 형성법은, 특히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다. 절연층(4021)의 소성 공정과 반도체층의 어닐링을 겸함으로써 효율적으로 반도체 장치를 제작하는 것이 가능하게 된다.

[0220] 화소 전극층(4030), 대향 전극층(4031)은 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0221] 또한, 화소 전극층(4030), 대향 전극층(4031)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 시트 저항이 10000Ω/□(Ω/square) 이하, 파장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 0.1Ω·cm 이하인 것이 바람직하다.

[0222] 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자가 사용될 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.

[0223] 또한, 별도로 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004), 또는 화소부(4002)에 주어지는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.

[0224] 접속 단자 전극(4015)이 액정 소자(4013)가 갖는 화소 전극층(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은, 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성된다.

[0225] 접속 단자 전극(4015)은, FPC(4018)가 갖는 단자와, 이방성 도전막(4019)을 통하여 전기적으로 접속되어 있다.

[0226] 또한, 도 10a1, 도 10a2, 도 10b에 있어서는, 신호선 구동 회로(4003)를 별도 형성하고, 제 1 기관(4001)에 실장되는 예를 나타내고 있지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부분 또는 주사선 구동 회로의 일부분만을 별도로 형성하여 실장하여도 좋다.

[0227] 도 20은 본 명세서에 개시하는 제작 방법에 의하여 제작되는 TFT 기관(2600)을 사용하여 반도체 장치로서 액정 표시 모듈을 구성하는 일례를 도시한다.

[0228] 도 20은 액정 표시 모듈의 일례이며, TFT 기관(2600)과 대향 기관(2601)이 절재(2602)에 의하여 고착되고, 그 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605)이 형성되어 표시 영역을 형성한다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하고, RGB 방식의 경우에는, 적색, 녹색, 청색의 각 색에 대응한 착색층이 각 화소에 대응하여 제공된다. TFT 기관(2600)과 대향기관(2601)의 외측에는 편광판(2606), 편광판(2607), 확산판(2613)이 배치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)에 의하여 구성되고, 회로 기관(2612)은, 플렉시블 배선 기관(2609)에 의하여 TFT 기관(2600)의 배선 회로부(2608)와 접속되고, 컨트롤 회로나 전원 회로 등의 외부 회로가 내장되어 있다. 또한, 편광판과 액정층 사이에 위상차판을 갖는 상태로 적층되어도 좋다.

[0229] 액정 표시 모듈에는, TN(Twisted Nematic)모드, IPS(In-Plane-Switching)모드, FFS(Fringe Field Switching)모드, MVA(Multi-domain Vertical Alignment)모드, PVA(Patterned Vertical Alignment)모드, ASM(Axially Symmetric aligned Micro-cell)모드, OCB(Optical Compensated Birefringence)모드, FLC(Ferroelectric Liquid Crystal)모드, AFLC(Anti Ferroelectric Liquid Crystal)모드 등을 사용할 수 있다.

[0230] 상술한 공정에 의하여, 반도체 장치로서 신뢰성이 높은 액정 표시 패널을 제작할 수 있다.

[0231] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

- [0232] (실시형태 6)
- [0233] 반도체 장치로서 전자 페이퍼의 예를 나타낸다.
- [0234] 스위칭 소자와 전기적으로 접속하는 소자를 이용하여 전자 잉크를 구동시키는 전자 페이퍼에 반도체 장치를 사용하여도 좋다. 전자 페이퍼는, 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리고, 종이와 같이 읽기 쉽다는 장점, 다른 표시 장치와 비교하여 저소비 전력, 얇고 가벼운 형상으로 할 수 있는 이점을 갖는다.
- [0235] 전기 영동 디스플레이는, 다양한 형태를 취할 수 있지만, 플러스의 전하를 갖는 제 1 입자와, 마이너스의 전하를 갖는 제 2 입자를 갖는 마이크로 캡슐이 용매 또는 용질에 복수 분산된 것이며, 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜, 한 쪽에 집합한 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하여, 전계가 없는 경우에 있어서, 이동하지 않는 것이다. 또한, 제 1 입자의 색과 제 2 입자의 색은 상이한 것(무색을 포함함)으로 한다.
- [0236] 이와 같이, 전기 영동 디스플레이는 유전 상수가 높은 물질이 높은 전계 영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다. 전기 영동 디스플레이는, 액정 표시 장치에는 필요한 편광판이 필요가 없다.
- [0237] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것이며, 이 전자 잉크는 유리, 플라스틱, 피륙, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 사용함으로써, 컬러 표시도 가능하다.
- [0238] 또한, 액티브 매트릭스 기판 위에 적절히 2개의 전극 사이에 끼워지도록 상기 마이크로 캡슐을 복수 배치하면, 액티브 매트릭스형의 표시 장치가 완성되어, 마이크로 캡슐에 전계를 인가하면 표시할 수 있다. 예를 들어, 실시형태 1 내지 실시형태 3의 박막 트랜지스터에 의하여 얻어지는 액티브 매트릭스 기판을 사용할 수 있다.
- [0239] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성(磁性) 재료, 액정 재료, 강유전성 재료, 일렉트로 루미네스스 재료, 일렉트로 크로믹 재료, 자기 영동 재료 중으로부터 선택된 일종의 재료, 또는, 이들의 복합 재료를 사용하면 좋다.
- [0240] 도 9는, 반도체 장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 도시한다. 반도체 장치에 사용되는 박막 트랜지스터(581)로서는, 실시형태 1에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 2 또는 실시형태 3에서 나타내는 박막 트랜지스터도 본 실시의 박막 트랜지스터(581)로서 적용할 수도 있다.
- [0241] 도 9의 전자 페이퍼는 트위스트 볼 표시 방식을 사용한 표시 장치의 예이다. 트위스트 볼 표시 방식이란, 백색과 흑색으로 나누어 칠해진 구형 입자를 표시 소자에 사용하는 전극층인 제 1 전극층 및 제 2 전극층의 사이에 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 발생시켜 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.
- [0242] 기판(580)과 기판(596) 사이에 밀봉되는 박막 트랜지스터(581)는, 보텀 게이트 구조의 박막 트랜지스터이고, 반도체층과 접하는 절연막(583)에 덮여 있다. 박막 트랜지스터(581)의 소스 전극층 또는 드레인 전극층에 의하여 제 1 전극층(587)과, 절연층(585)에 형성되는 개구에서 접하여 전기적으로 접속되어 있다. 제 1 전극층(587)과 제 2 전극층(588) 사이에는 흑색 영역(590a) 및 백색 영역(590b)을 갖고, 주위에 액체로 채워져 있는 캐비티(594)를 포함하는 구형 입자(589)가 형성되고, 구형 입자(589)의 주위는 수지 등의 충전재(595)로 충전된다(도 9 참조). 제 1 전극층(587)이 화소 전극에 상당하고, 제 2 전극층(588)이 공통 전극에 상당한다. 제 2 전극층(588)은, 박막 트랜지스터(581)와 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 사용하여 한 쌍의 기판간에 배치되는 도전성 입자를 사이에 두고, 제 2 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.
- [0243] 또한, 트위스트 볼 대신에, 전기 영동 소자를 사용할 수도 있다. 투명한 액체와, 양(正)으로 대전한 흰 미립자와 음(負)으로 대전한 검은 미립자를 봉입한 직경 10 μ m 내지 200 μ m 정도의 마이크로 캡슐을 사용한다. 제 1 전극층과 제 2 전극층 사이에 설치되는 마이크로 캡슐은, 제 1 전극층과 제 2 전극층에 의하여, 전장(電場)이 주어지면, 흰 미립자와, 검은 미립자가 반대 방향으로 이동하고, 백색 또는 흑색을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이고, 일반적으로 전자 페이퍼라고 불리고 있다. 전기 영동 표시 소자는, 액정 표시 소자에 비하여 반사율이 높기 때문에, 보조 라이트는 불필요하고, 또한 소비 전력이 작고, 어두운 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 한번 표시한 상을 유지할 수 있기 때문에, 전과 발신원으로부터 표시 기능이 딸린 반도체 장치(단순히 표시 장치, 또는

표시 장치를 구비하는 반도체 장치라고도 함)를 멀리한 경우에도, 표시된 상을 보존해 두는 것이 가능해진다.

- [0244] 상술한 공정에 의하여, 반도체 장치로서 신뢰성이 높은 전자 페이퍼를 제작할 수 있다.
- [0245] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0246] (실시형태 7)
- [0247] 반도체 장치로서 발광 표시 장치의 예를 나타낸다. 표시 장치가 갖는 표시 소자로서는, 여기서는 일렉트로 루미네선스를 이용하는 발광 소자를 사용하여 나타낸다. 일렉트로 루미네선스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불리고 있다.
- [0248] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되고, 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성 유기 화합물이 여기 상태를 형성하고, 그 여기 상태에서 기저 상태로 복귀할 때 발광한다. 이와 같은 메커니즘 때문에, 이들 발광 소자는 전류 여기형의 발광 소자라고 불린다.
- [0249] 무기 EL 소자는 그의 소자 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이며, 발광 메카니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층으로 끼우고, 더욱이 그것을 전극으로 끼운 구조이고, 발광 메카니즘은 금속 이온의 내각(內殼) 전자 전이를 이용하는 국제형 발광이다. 또한, 여기서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.
- [0250] 도 12는, 반도체 장치의 예로서 디지털 시간 계조 구동을 적용할 수 있는 화소 구성의 일례를 도시한 도면이다.
- [0251] 디지털 시간 계조 구동을 적용할 수 있는 화소의 구성 및 화소의 동작에 대하여 설명한다. 여기서는 산화물 반도체층을 채널 형성 영역에 사용하는 n채널형 트랜지스터를 1개의 화소에 2개 사용하는 예를 나타낸다.
- [0252] 화소(6400)는, 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광소자(6404) 및 용량 소자(6403)를 갖는다. 스위칭용 트랜지스터(6401)는 게이트가 주사선(6406)에 접속되고, 제 1 전극(소스 전극 및 드레인 전극의 한쪽)이 신호선(6405)에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 한쪽)이 구동용 트랜지스터(6402)의 게이트에 접속되어 있다. 구동용 트랜지스터(6402)는, 게이트가 용량 소자(6403)를 통하여 전원선(6407)에 접속되고, 제 1 전극이 전원선(6407)에 접속되고, 제 2 전극이 발광 소자(6404)의 제 1 전극(화소 전극)에 접속되어 있다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 상당한다. 공통 전극(6408)은 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다.
- [0253] 또한, 발광 소자(6404)의 제 2 전극(공통 전극(6408))에는 저전원 전위가 설정되어 있다. 또한, 저전원 전위는 전원선(6407)으로 설정되는 고전원 전위를 기준으로 하여 저전원 전위<고전원 전위를 충족시키는 전위이며, 저전원 전위로서는 예를 들어 GND, 0V 등이 설정되어 있어도 좋다. 이 고전원 전위와 저전원 전위의 전위차를 발광 소자(6404)에 인가하여, 발광 소자(6404)에 전류를 흘려 발광소자(6404)를 발광시키기 때문에, 고전원 전위와 저전원 전위의 전위차가 발광 소자(6404)의 순방향 임계 값 전압 이상이 되도록 각각의 전위를 설정한다.
- [0254] 또한, 용량 소자(6403)는 구동용 트랜지스터(6402)의 게이트 용량을 대응하여 생략할 수도 있다. 구동용 트랜지스터(6402)의 게이트 용량에 대해서는, 채널 영역과 게이트 전극 사이에서 용량이 형성되어 있어도 좋다.
- [0255] 여기서, 전압 입력 전압 구동 방식의 경우에는, 구동용 트랜지스터(6402)의 게이트에는, 구동용 트랜지스터(6402)가 충분히 온하는지, 오프하는지의 2개 상태가 되는 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)는 선형 영역에서 동작시키기 때문에, 전원선(6407)의 전압보다 높은 전압을 구동용 트랜지스터(6402)의 게이트에 가한다. 또한, 신호선(6405)에는 (전원선 전압+구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 가한다.
- [0256] 또한, 디지털 시간 계조 구동 대신에, 아날로그 계조 구동을 행하는 경우, 신호의 입력을 상이하게 함으로써, 도 12와 같은 화소 구성을 사용할 수 있다.
- [0257] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 발광 소자(6404)의 순방향 전압+구동용 트랜지스터(6402)의 V_{th} 이상의 전압을 가한다. 발광 소자(6404)의 순방향 전압이란, 원하는 휘도로 하는 경우의 전압을 가리키고, 적어도 순방향 임계 값 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 흘릴 수 있다. 구동용 트랜지스터

(6402)를 포화 영역에서 동작시키기 위하여, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘려, 아날로그 계조 구동을 행할 수 있다.

- [0258] 또한, 도 12에 도시하는 화소 구성은, 이것에 한정되지 않는다. 예를 들어, 도 12에 도시하는 화소에 새롭게 스위치, 저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가하여도 좋다.
- [0259] 다음에, 발광 소자의 구성에 대하여, 도 13a 내지 도 13c를 사용하여 설명한다. 여기서는, 구동용 TFT가 n형인 경우를 예로 들어, 화소의 단면 구조에 대하여 설명한다. 도 13a 내지 도 13c의 반도체 장치에 사용되는 구동용 TFT인 TFT(7001, 7011, 7021)는, 실시형태 1에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 2 또는 실시형태 3에서 나타내는 박막 트랜지스터를 TFT(7001, 7011, 7021)로서 적용할 수도 있다.
- [0260] 발광 소자는, 발광을 추출하기 위하여 양극과 음극 중의 적어도 한쪽이 투명이면 좋다. 그리고, 기판 위에 박막 트랜지스터 및 발광 소자를 형성하고, 기판과는 반대 면으로부터 발광을 추출하는 상면 사출이나, 기판 측의 면으로부터 발광을 추출하는 하면 사출이나, 기판 측 및 기판과는 반대 측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 화소 구성은 어느 사출 구조의 발광 소자에도 적용할 수 있다.
- [0261] 상면 사출 구조의 발광 소자에 대하여 도 13a를 사용하여 설명한다.
- [0262] 도 13a에, 구동용 TFT인 TFT(7001)가 n형이고, 발광 소자(7002)로부터 방출되는 광이 양극(7005) 측으로 사출되는 경우의, 화소의 단면도를 도시한다. 도 13a에서는 발광 소자(7002)의 음극(7003)과 구동용 TFT인 TFT(7001)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순차로 적층된다. 음극(7003)은 일함수가 작고, 또 광을 반사하는 도전막이라면 다양한 재료를 사용할 수 있다. 예를 들어, Ca, Al, MgAg, AILi 등이 바람직하다. 그리고 발광층(7004)은, 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 복수의 층으로 구성되는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다. 또한, 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 광을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성하고, 예를 들어, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 기재함), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의, 투광성을 갖는 도전성 도전막을 사용하여도 좋다.
- [0263] 음극(7003) 및 양극(7005)으로 발광층(7004)을 끼운 영역이 발광 소자(7002)에 상당한다. 도 13a에 도시한 화소의 경우, 발광 소자(7002)로부터 발해지는 광은, 화살표로 도시하는 바와 같이 양극(7005) 측으로 사출된다.
- [0264] 다음에, 하면 사출 구조의 발광 소자에 대하여 도 13b를 사용하여 설명한다. 구동용 TFT(7011)가 n형이고, 발광 소자(7012)로부터 발해지는 광이 음극(7013) 측에 사출되는 경우의, 화소의 단면도를 도시한다. 도 13b에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 갖는 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 형성되어 있고, 음극(7013) 위에 발광층(7014), 양극(7015)이 순차로 적층되어 있다. 또한, 양극(7015)이 투광성을 갖는 경우, 양극 위를 덮도록, 광을 반사 또는 차폐하기 위한 차폐막(7016)이 형성되어 있어도 좋다. 음극(7013)은, 도 13a의 경우와 마찬가지로, 일함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 다만, 그 막 두께는, 광을 투과하는 정도(바람직하게는, 5nm 내지 30nm 정도)로 한다. 예를 들어, 20nm의 막 두께를 갖는 알루미늄막을, 음극(7013)으로서 사용할 수 있다. 그리고 발광층(7014)은, 도 13a와 마찬가지로, 단수의 층으로 구성되어도, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7015)은 광을 투과할 필요는 없지만, 도 13a와 마찬가지로, 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다. 그리고 차폐막(7016)은, 예를 들어, 광을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어, 흑색 안료를 첨가한 수지 등을 사용할 수도 있다.
- [0265] 음극(7013) 및 양극(7015)으로 발광층(7014)을 끼운 영역이 발광 소자(7012)에 상당한다. 도 13b에 도시하는 화소의 경우, 발광 소자(7012)로부터 발해지는 광은, 화살표로 제시하는 바와 같이 음극(7013) 측으로 사출된다.
- [0266] 다음에, 양면 사출 구조의 발광 소자에 대하여, 도 13c를 사용하여 설명한다. 도 13c에서는, 구동용 TFT(7021)와 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에 발광 소자(7022)의 음극(7023)이 성막되어 있고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차로 적층되어 있다. 음극(7023)은, 도 13a의 경우와 마찬가지로, 일함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 다만, 그 막 두께는, 광을 투과

하는 정도로 한다. 예를 들어, 20nm의 막 두께를 갖는 Al을, 음극(7023)으로서 사용할 수 있다. 그리고 발광층(7024)은, 도 13a와 마찬가지로, 단수의 층으로 구성되어 있어도 좋고, 복수의 층이 적층되도록 구성되어 있어도 좋다. 양극(7025)은, 도 13a와 마찬가지로, 광을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다.

- [0267] 음극(7023)과, 발광층(7024)과, 양극(7025)이 중첩되는 부분이 발광 소자(7022)에 상당한다. 도 13c에 도시한 화소의 경우, 발광 소자(7022)로부터 방출되는 광은, 화살표로 도시하는 바와 같이, 양극(7025) 측과 음극(7023) 측의 양쪽 모두로 사출된다.
- [0268] 또한, 여기서는, 발광 소자로서 유기 EL 소자에 대하여 기술하였지만, 발광 소자로서 무기 EL 소자를 형성할 수도 있다.
- [0269] 또한, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되어 있는 예를 나타냈지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되어 있는 구성이어도 좋다.
- [0270] 또한, 반도체 장치는, 도 13a 내지 도 13c에 도시한 구성에 한정되지 않고, 본 명세서에 개시하는 기술적 사상에 근거하는 각종 변형이 가능하다.
- [0271] 다음에, 반도체 장치의 일 형태에 상당하는 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면에 대하여 도 11a 및 도 11b를 사용하여 설명한다. 도 11a는, 제 1 기판 위에 형성된 박막 트랜지스터 및 발광 소자를 제 2 기판과의 사이에 절재에 의하여 밀봉한 패널의 평면도이며, 도 11b는, 도 11a의 H-I에 있어서의 단면도에 상당한다.
- [0272] 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록, 절재(4505)가 형성되어 있다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b) 위에 제 2 기판(4506)이 형성되어 있다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 제 1 기판(4501)과 절재(4505)와 제 2 기판(4506)에 의하여, 충전재(4507)와 함께 밀봉되어 있다. 이와 같이, 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(부착 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(밀봉)하는 것이 바람직하다.
- [0273] 또한, 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 박막 트랜지스터를 복수 갖고, 도 11b에서는 화소부(4502)에 포함되는 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시한다.
- [0274] 박막 트랜지스터(4509, 4510)는 실시형태 3에서 나타낸 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터를 적용할 수 있다. 또한, 실시형태 1 또는 실시형태 2에 나타내는 박막 트랜지스터를 적용하여도 좋다. 박막 트랜지스터(4509, 4510)는 n 채널형 박막 트랜지스터이다.
- [0275] 또한, 부호 4511은 발광 소자에 상당하고, 발광 소자(4511)가 갖는 화소 전극인 제 1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속되어 있다. 또한, 발광 소자(4511)의 구성은, 제 1 전극층(4517), 전계 발광층(4512), 제 2 전극층(4513)의 적층 구조이지만, 도시한 구성에 한정되지 않는다. 발광 소자(4511)로부터 추출되는 광의 방향 등에 맞추어, 발광 소자(4511)의 구성을 적절히 바꿀 수 있다.
- [0276] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성한다. 특히 감광성의 재료를 사용하여, 제 1 전극층(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 갖고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0277] 전계 발광층(4512)은, 단수의 층으로 구성되어 있어도 좋고, 복수의 층이 적층되도록 구성되어 있어도 좋다.
- [0278] 발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제 2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성하여도 좋다. 보호막으로서는, 질화 실리콘막, 질화산화 실리콘막, DLC막 등을 형성할 수 있다.
- [0279] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 주어지는 각종 신호 및 전위는, FPC(4518a, 4518b)로부터 공급된다.
- [0280] 접속 단자 전극(4515)이, 발광 소자(4511)가 갖는 제 1 전극층(4517)과 같은 도전막으로 형성되고, 단자 전극

(4516)은, 박막 트랜지스터(4509, 4510)가 갖는 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다.

- [0281] 접속 단자 전극(4515)은, FPC(4518a)가 갖는 단자와, 이방성 도전막(4519)을 통하여 전기적으로 접속되어 있다.
- [0282] 발광 소자(4511)로부터의 광의 추출 방향에 위치하는 기관으로는, 제 2 기관은 투광성이야 할 필요가 있다. 그 경우에는, 유리 기관, 플라스틱 기관, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 사용한다.
- [0283] 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성 기체 외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌비닐 아세테이트)를 사용할 수 있다. 예를 들어, 충전재로서 질소를 사용하면 좋다.
- [0284] 또한, 필요하다면, 발광 소자의 사출 면에 편광판, 또는 원형 편광판(타원형 편광판을 포함함), 위상차판(1/4 파장판, 1/2 파장판), 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋다. 또한 편광판 또는 원형 편광판에 반사 방지막을 형성하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산하고, 번쩍임(glare)을 저감할 수 있는 안티글래어(anti-glare) 처리를 적용할 수 있다.
- [0285] 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막에 의하여 형성된 구동회로로 실장되어 있어도 좋다. 또한, 신호선 구동 회로만, 또는 일부, 또는 주사선 구동 회로만, 또는 일부만을 별도 형성하여 실장하여도 좋고, 도 11a 및 도 11b의 구성에 한정되지 않는다.
- [0286] 상술한 공정에 의하여, 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제작할 수 있다.
- [0287] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0288] (실시형태 8)
- [0289] 본 명세서에 개시하는 반도체 장치는, 전자 페이퍼로서 적용할 수 있다. 전자 페이퍼는, 정보를 표시하는 것이 라면 다양한 분야의 전자 기기에 사용할 수 있다. 예를 들어, 전자 페이퍼를 사용하여 전자 서적(전자 북), 포스터, 전자 등의 탈 것류의 차내 광고, 신용 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 전자 기기의 일례를 도 21a 내지 도 22에 도시한다.
- [0290] 도 21a는 전자 페이퍼로 제작된 포스터(2631)를 도시한다. 광고 매체가 종이의 인쇄물인 경우에는, 광고의 교환은 사람들의 손으로 행해지지만, 본 명세서에서 개시하는 전자 페이퍼를 사용하면, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 흐트러지지 않고, 안정된 화상을 얻을 수 있다. 또한, 포스터는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.
- [0291] 또한, 도 21b는 전자 등의 탈 것류의 차내 광고(2632)를 도시한다. 광고 매체가 종이의 인쇄물인 경우는, 광고의 교환은 사람들의 손으로 행해지지만, 본 명세서에서 개시하는 전자 페이퍼를 사용하면, 일 손이 덜 필요하고, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 흐트러지지 않고, 안정된 화상을 얻을 수 있다. 또한, 광고는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.
- [0292] 도 22는 전자 서적(2700)의 일례를 도시한다. 예를 들어, 전자 서적(2700)은 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성된다. 케이스(2701) 및 케이스(2703)는 축(軸)부(2711)에 의하여 일체화되어, 상기 축부(2711)를 축으로 하여 개폐(開閉) 동작을 행할 수 있다. 이와 같은 구성에 의하여 종이의 서적과 같은 동작을 행할 수 있다.
- [0293] 케이스(2701)에는 표시부(2705)가 내장되고, 케이스(2703)에는 표시부(2707)가 내장된다. 표시부(2705) 및 표시부(2707)는 연속된 화면을 표시하는 구성으로 하여도 좋고, 상이한 화면을 표시하는 구성으로 하여도 좋다. 상이한 화면을 표시하는 구성으로 함으로써, 예를 들어, 우측의 표시부(도 22에서는 표시부(2705))에 문장을 표시하고, 좌측의 표시부(도 22에서는 표시부(2707))에 화상을 표시할 수 있다.
- [0294] 또한, 도 22에는 케이스(2701)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 케이스(2701)에 있어서, 전원(2721), 조작키(2723), 스피커(2725) 등을 구비한다. 조작키(2723)에 의하여 다른 페이지로 이동할 수 있다. 또한, 케이스의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 케이스의 이면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 커

이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(2700)은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.

[0295] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고, 다운로드하는 구성으로 할 수도 있다.

[0296] (실시형태 9)

[0297] 본 명세서에서 개시하는 반도체 장치는, 다양한 전자 기기(게임기도 포함함)에 적용할 수 있다. 전자 기기로서는 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, Pachinko기 등의 대형 게임기 등을 들 수 있다.

[0298] 도 23a에는 텔레비전 장치(9600)의 일례를 도시한다. 텔레비전 장치(9600)는 케이스(9601)에 표시부(9603)가 조립된다. 표시부(9603)에 의하여 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)에 의하여 케이스(9601)를 지지한 구성을 도시한다.

[0299] 텔레비전 장치(9600)의 조작은 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(9610)에 의하여 행할 수 있다. 리모트 컨트롤러(9610)가 구비하는 조작 키(9609)에 의하여 채널이나 음량을 조작할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(9610)에 상기 리모트 컨트롤러(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 하여도 좋다.

[0300] 또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반의 텔레비전 방송을 수신할 수 있고, 또 모뎀을 사이에 두고 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자끼리 등)의 정보 통신을 행할 수도 있다.

[0301] 도 23b는 디지털 포토 프레임(9700)의 일례를 도시한다. 예를 들어, 디지털 포토 프레임(9700)은 케이스(9701)에 표시부(9703)가 조립된다. 표시부(9703)는 각종 화상을 표시할 수 있고, 예를 들어, 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 일반적인 포토 프레임과 마찬가지로 기능시킬 수 있다.

[0302] 또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 한다. 이들의 구성은 표시부와 동일 면에 내장되어도 좋지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에 디지털 카메라를 사용하여 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 취득하고, 취득한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.

[0303] 또한, 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 원하는 화상의 데이터를 취득하여, 표시시키는 구성으로 할 수도 있다.

[0304] 도 24a는 휴대형 게임기이며, 케이스(9881)와 케이스(9891)의 2개의 케이스로 구성되어 있고, 연결부(9893)에 의해 개폐 가능하게 연결되어 있다. 케이스(9881)에는, 표시부(9882)가 내장되고, 케이스(9891)에는 표시부(9883)가 내장되어 있다. 또한, 도 24a에 도시하는 휴대형 게임기는, 그 이외, 스피커부(9884), 기록 매체 삽입부(9886), LED램프(9890), 입력 수단(조작기(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도(傾度), 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9889))등을 구비한다. 물론, 휴대형 게임기의 구성은 상술한 내용에 한정되지 않고, 적어도 본 명세서에 개시되는 반도체 장치를 구비한 구성이면 좋고, 그 이외 부속 설비가 적절히 설치된 구성으로 할 수 있다. 도 24a에 도시하는 휴대형 게임기는 기록 매체에 기록되는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능이나, 다른 휴대형 게임기와 무선 통신을 행하여 정보를 공유하는 기능을 갖는다. 또한, 도 24a에 도시하는 휴대형 게임기가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0305] 도 24b는 대형 게임기인 슬롯머신(9900)의 일례를 도시한다. 슬롯 머신(9900)은, 케이스(9901)에 표시부(9903)가 내장되어 있다. 또한, 슬롯 머신(9900)은 그 이외에, 스타트 레버나 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 구비한다. 물론, 슬롯 머신(9900)의 구성은, 상술한 내용에 한정되지 않고, 적어도 본 명세서에 개시되는 반도체 장치를 구비한 구성이면 좋고, 그 이외 부속 설비가 적절히 설치된 구성으로 할 수 있다.

- [0306] 도 25a는 휴대형의 컴퓨터의 일례를 도시하는 사시도이다.
- [0307] 도 25a의 휴대형의 컴퓨터는, 상부 케이스(9301)와 하부 케이스(9302)를 접속하는 경첩 유닛을 닫힌 상태로 하여 표시부(9303)를 갖는 상부 케이스(9301)와, 키보드(9304)를 갖는 하부 케이스(9302)를 중첩한 상태로 할 수 있고, 운반이 편리함과 동시에, 사용자가 키보드 입력하는 경우에는, 경첩 유닛을 열린 상태로 하여, 표시부(9303)를 보고 입력 조작을 행할 수 있다.
- [0308] 또한, 하부 케이스(9302)는 키보드(9304) 외에 입력 조작을 행하는 포인팅 디바이스(9306)를 갖는다. 또한, 표시부(9303)를 터치 입력 패널로 하면, 표시부의 일부에 터치하여 입력 조작을 행할 수도 있다. 또한, 하부 케이스(9302)는 CPU나 하드 디스크 등의 연산 기능부를 갖고 있다. 또한, 하부 케이스(9302)는 다른 기기, 예를 들어, USB의 통신 규격에 준거한 통신 케이블이 삽입되는 외부 접속 포트(9305)를 갖고 있다.
- [0309] 상부 케이스(9301)에는 상부 케이스(9301) 내부에 슬라이드시켜 수납 가능한 표시부(9307)를 더 갖고 있고, 넓은 표시 화면을 실현할 수 있다. 또한, 수납 가능한 표시부(9307)의 화면의 방향을 사용자는 조절할 수 있다. 또한, 수납 가능한 표시부(9307)를 터치 입력 패널로 하면, 수납 가능한 표시부의 일부에 접함으로써 입력 조작을 행할 수도 있다.
- [0310] 표시부(9303) 또는 수납 가능한 표시부(9307)는, 액정 표시 패널, 유기 발광소자 또는 무기 발광 소자 등의 발광 표시 패널 등의 영상 표시 장치를 사용한다.
- [0311] 또한, 도 25a의 휴대형의 컴퓨터는, 수신기 등을 구비한 구성으로 하여, 텔레비전 방송을 수신하여 영상을 표시부에 표시할 수 있다. 또한, 상부 케이스(9301)와 하부 케이스(9302)를 접속하는 경첩 유닛을 닫힌 상태로 한 채로, 표시부(9307)를 슬라이드시켜 화면 전체 면을 노출시키고, 화면 각도를 조절하여 사용자가 텔레비전 방송을 볼 수도 있다. 이 경우에는, 경첩 유닛을 열린 상태로 하여 표시부(9303)를 표시시키지 않고, 또한, 텔레비전 방송을 표시할 뿐인 회로의 기동만을 행하기 때문에, 최소한의 소비 전력으로 할 수 있어, 배터리 용량이 한정되어 있는 휴대형의 컴퓨터에 있어서 유용하다.
- [0312] 또한, 도 25b는, 손목 시계와 같이 사용자의 팔이나 손목에 장착 가능한 형태를 갖고 있는 휴대 전화의 일례를 도시하는 사시도이다.
- [0313] 이 휴대전화는, 적어도 전화 기능을 갖는 통신 장치 및 배터리를 갖는 본체, 본체를 팔이나 손목에 장착하기 위한 밴드부, 팔이나 손목에 대한 밴드부의 고정 상태를 조절하는 조절부(9205), 표시부(9201), 스피커(9207), 및 마이크(9208)로 구성되어 있다.
- [0314] 또한, 본체는, 조작 스위치(9203)를 갖고, 전원 입력 스위치나, 표시 전환 스위치나, 활상 개시 지시 스위치 외에, 예를 들어, 스위치를 누르면 인터넷용의 프로그램이 기동되는 등, 각 기능을 대응시킬 수 있다.
- [0315] 이 휴대 전화의 입력 조작은, 표시부(9201)에 손가락이나 입력 펜 등으로 터치하는 것, 또는 조작 스위치(9203)의 조작, 또는 마이크(9208)에 대한 음성 입력에 의해 행해진다. 또한, 도 25b에서는, 표시부(9201)에 표시된 표시 버튼(9202)을 도시하고 있고, 손가락 등으로 터치하여 입력을 행할 수 있다.
- [0316] 또한, 본체는, 촬영 렌즈를 통하여 결상(結像)되는 피사체상을 전자 화상 신호로 변환하는 촬상 수단을 갖는 카메라부(9206)를 갖는다. 또한, 특히 카메라부는 형성하지 않아도 좋다.
- [0317] 또한, 도 25b에 도시하는 휴대 전화는, 텔레비전 방송의 수신기 등을 구비한 구성으로 하여, 텔레비전 방송을 수신하여 영상을 표시부(9201)에 표시할 수 있고, 또한, 메모리 등의 기억 장치 등을 구비한 구성으로 하여, 텔레비전 방송을 메모리에 녹화할 수 있다. 또한, 도 25b에 도시하는 휴대 전화는, GPS 등의 위치 정보를 수집할 수 있는 기능을 갖고 있어도 좋다.
- [0318] 표시부(9201)는, 액정 표시 패널, 유기 발광 소자 또는 무기 발광 소자 등의 발광 표시 패널 등의 영상 표시 장치를 사용한다. 도 25b에 도시하는 휴대 전화는, 소형이고, 또 경량이기 때문에, 배터리 용량이 한정되어 있고, 표시부(9201)에 사용하는 표시 장치는 저소비 전력으로 구동할 수 있는 패널을 사용하는 것이 바람직하다.
- [0319] 또한, 도 25b에서는 "팔이나 손목"에 장착하는 타입의 전자 기기를 도시하였지만, 특별히 한정되지 않고, 휴대할 수 있는 형상을 갖고 있는 것이면 좋다.
- [0320] (실시예 1)

- [0321] 본 실시예에서는, 발명의 일 형태인 박막 트랜지스터를 제작하고, 그 전기 특성의 평가를 행한 결과를 나타낸다.
- [0322] 본 실시예에서는 공정이 상이한 4종류의 박막 트랜지스터(A 내지 D)를 제작하였다. 박막 트랜지스터의 제작 방법을 설명한다. 유리 기판 위에 하지막으로서 CVD법에 의하여 막 두께 100nm의 산화질화 실리콘막을 형성하고, 산화질화 실리콘막 위에 게이트 전극층으로서 스퍼터링법에 의하여 막 두께 150nm의 텅스텐막을 형성하고, 게이트 전극층 위에 게이트 절연층으로서 CVD법에 의하여 막 두께 200nm의 산화질화 실리콘막을 형성하였다.
- [0323] 게이트 절연층 위에 In-Ga-Zn-O계 산화물 반도체 타겟(In₂O₃: Ga₂O₃: ZnO=1:1:1)을 사용하여, 기판과 타겟 사이의 거리를 60mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 아르곤 및 산소(아르곤: 산소=30sccm: 15sccm) 분위기하에서 성막하여, 반도체층을 형성하였다.
- [0324] 반도체층 위에 소스 전극층 및 드레인 전극층으로서 티타늄막(막 두께 50nm), 알루미늄막(막 두께 200nm), 및 티타늄막(막 두께 50nm)의 적층을 스퍼터링 방법에 의하여 형성하였다.
- [0325] 다음에, 박막 트랜지스터(A 및 B)에 있어서는, 반도체층을 대기 분위기하, 350℃에서 1시간 가열하였다. 박막 트랜지스터(C 및 D)에 있어서는, 반도체층을 질소 분위기하, 350℃에서 1시간 가열하였다. 이 가열 처리를 제 1 가열 처리로 한다.
- [0326] 박막 트랜지스터(A 내지 D)에 있어서는, 반도체층에 접하도록 절연막으로서 스퍼터링법에 의하여 막 두께 300nm의 산화 실리콘막을 형성하였다. 또한, 절연막 위에 배선층으로서 티타늄막(막 두께 50nm), 알루미늄막(막 두께 200nm), 및 티타늄막(막 두께 50nm)의 적층을, 스퍼터링법에 의하여 형성하였다.
- [0327] 다음에, 박막 트랜지스터(A 및 C)에 있어서는, 대기 분위기하, 250℃에서 1시간 가열하고, 박막 트랜지스터(B 및 D)에 있어서는, 반도체층을 질소 분위기하, 250℃에서 1시간 가열하였다. 이 가열 처리를 제 2 가열 처리로 한다.
- [0328] 상술한 공정으로, 제 1 가열 처리가 대기 분위기하, 350℃에서 1시간, 제 2 가열 처리가 대기 분위기하, 250℃에서 1시간의 박막 트랜지스터(A), 제 1 가열 처리가 대기 분위기하, 350℃에서 1시간, 제 2 가열 처리가 질소 분위기하, 250℃에서 1시간의 박막 트랜지스터(B), 제 1 가열 처리가 질소 분위기하, 350℃에서 1시간, 제 2 가열 처리가 대기 분위기하, 250℃에서 1시간의 박막 트랜지스터(C), 제 1 가열 처리가 질소 분위기하, 350℃에서 1시간, 제 2 가열 처리가 질소 분위기하, 250℃에서 1시간의 박막 트랜지스터(D)를 제작하였다. 박막 트랜지스터(A 내지 D)의 반도체층의 채널 길이(L)는, 20 μ m, 채널 폭(W)은 20 μ m였다.
- [0329] 박막 트랜지스터(A 내지 D)에 각각 BT 스트레스 시험(바이어스·온도 스트레스 시험)을 행하고, 전기 특성을 평가하였다. BT 스트레스 시험에 있어서는 측정 조건은, 온도 150℃, 시간 1시간, 게이트 전압(V_g) +20V, 드레인 전압(V_d)은 1V와 10V이다.
- [0330] 도 26a 내지 도 26d는, 플러스 게이트 BT 스트레스 시험, 도 27a 내지 도 27d는 마이너스 게이트 BT 스트레스 시험의 결과(V_g(게이트 전압)-I_d(드레인 전류), V_g(게이트 전압)-I_g(게이트 전류), V_g(게이트 전압)- μ FE(이동도))이고, 도 26a, 도 27a에 박막 트랜지스터(A), 도 26b, 도 27b에 박막 트랜지스터(B), 도 26c, 도 27c에 박막 트랜지스터(C), 도 26d, 도 27d에 박막 트랜지스터(D)의 평가 결과를 도시한다. 또한, 도 26a 내지 도 26d 중의 화살표는, 시험 전과 시험 후의 V_g(게이트 전압)-I_d(드레인 전류) 곡선의 시프트를 도시한다.
- [0331] 도 27a 내지 도 27d에 도시하는 바와 같이, 마이너스 게이트 BT 스트레스 시험에 있어서는, 박막 트랜지스터(A 내지 D)에 있어서 임계 값 전압의 시프트(움직임)는 거의 볼 수 없었다.
- [0332] 그렇지만, 도 26a 내지 도 26d에 도시하는 바와 같이, 플러스 게이트 BT 스트레스 시험에 있어서는, 제 1 가열 처리를 대기 분위기하에서 행한 박막 트랜지스터(A)(도 26a) 및 박막 트랜지스터(B)(도 26b)는, 플러스 게이트 BT 스트레스 시험 전과 시험 후에는, 그 임계 값 전압이 크게 시프트되고, +15V 이상의 움직임이 있었다. 한편, 제 1 가열 처리를 질소 분위기하에서 행한 박막 트랜지스터(C)(도 26c) 및 박막 트랜지스터(D)(도 26d)는, 플러스 게이트 BT 스트레스 시험 전과 시험 후에는, 그 임계 값 전압에 거의 시프트가 없고, 움직임은 +5V 이하였다. 따라서, 제 1 가열 처리를 질소 분위기하에서 행하여 제작한 박막 트랜지스터(C) 및 박막 트랜지스터(D)에 있어서는, 안정된 전기 특성을 갖는 것이 확인되었다.
- [0333] 이상으로, 본 명세서에서 개시하는 발명과 같이, 반도체층을 형성한 후, 절연막을 형성하기 전에 행하는 제 1

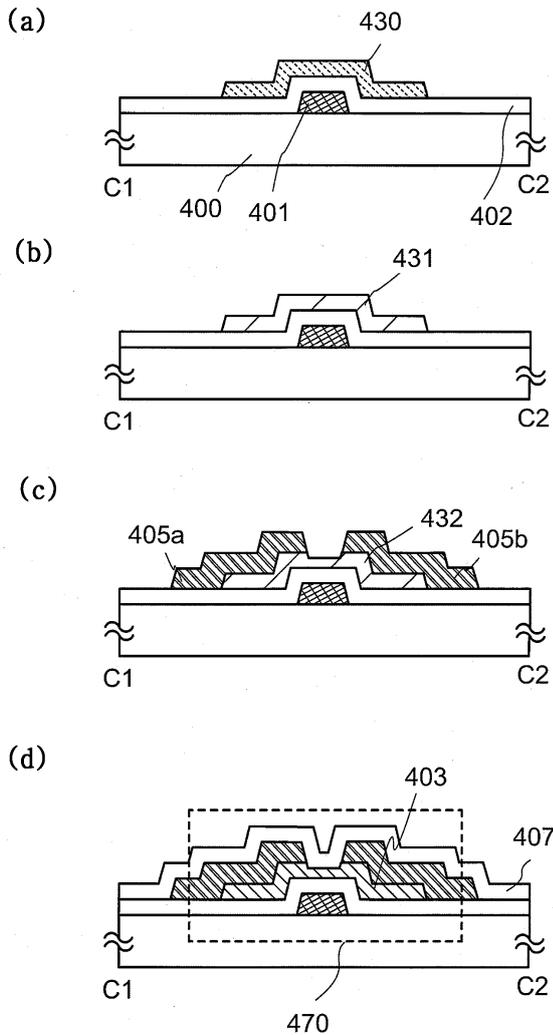
가열 처리를 질소 분위기하에서 행하여 박막 트랜지스터를 제작하면, 안정된 전기 특성의 박막 트랜지스터로 할 수 있고, 상기 박막 트랜지스터를 갖는 반도체 장치에 높은 신뢰성을 부여할 수 있다는 것이 확인되었다.

부호의 설명

- 400: 기판
- 401: 게이트 전극층
- 402: 게이트 절연층
- 403: 반도체층
- 405a: 소스 전극층 또는 드레인 전극층
- 405b: 소스 전극층 또는 드레인 전극층
- 407: 절연막
- 430: 산화물 반도체층
- 431: 산화물 반도체층
- 432: 산화물 반도체층
- 470: 박막 트랜지스터

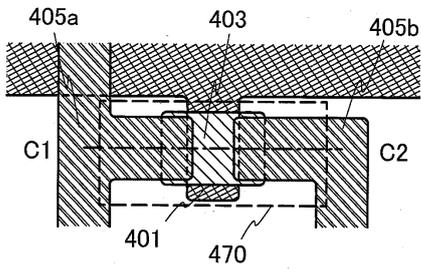
도면

도면1

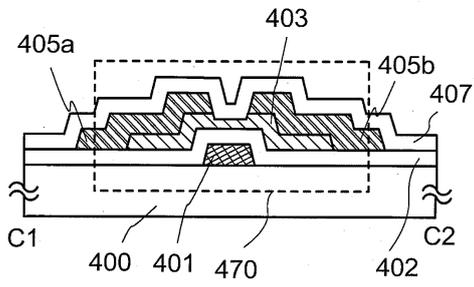


도면2

(a)

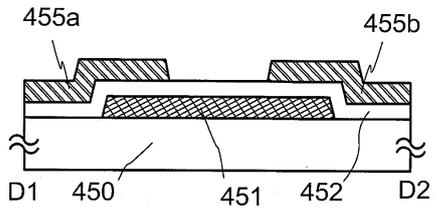


(b)

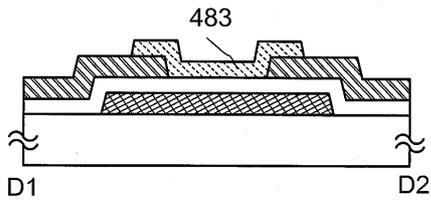


도면3

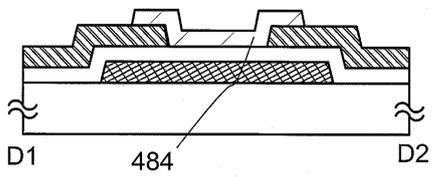
(a)



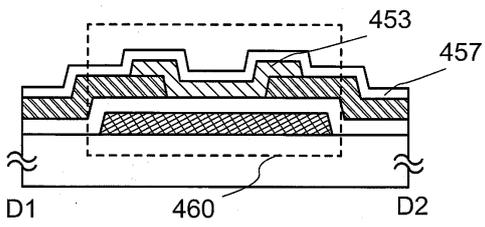
(b)



(c)

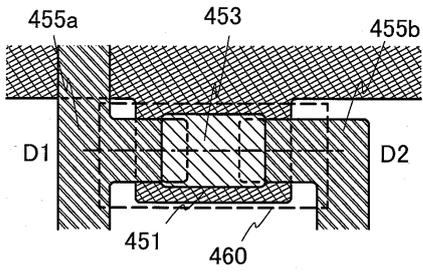


(d)

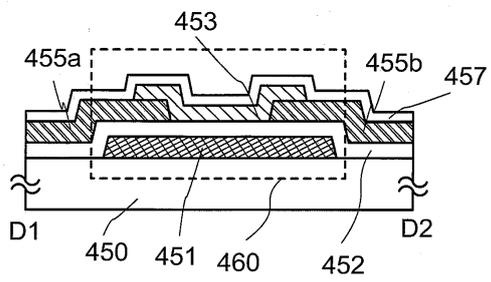


도면4

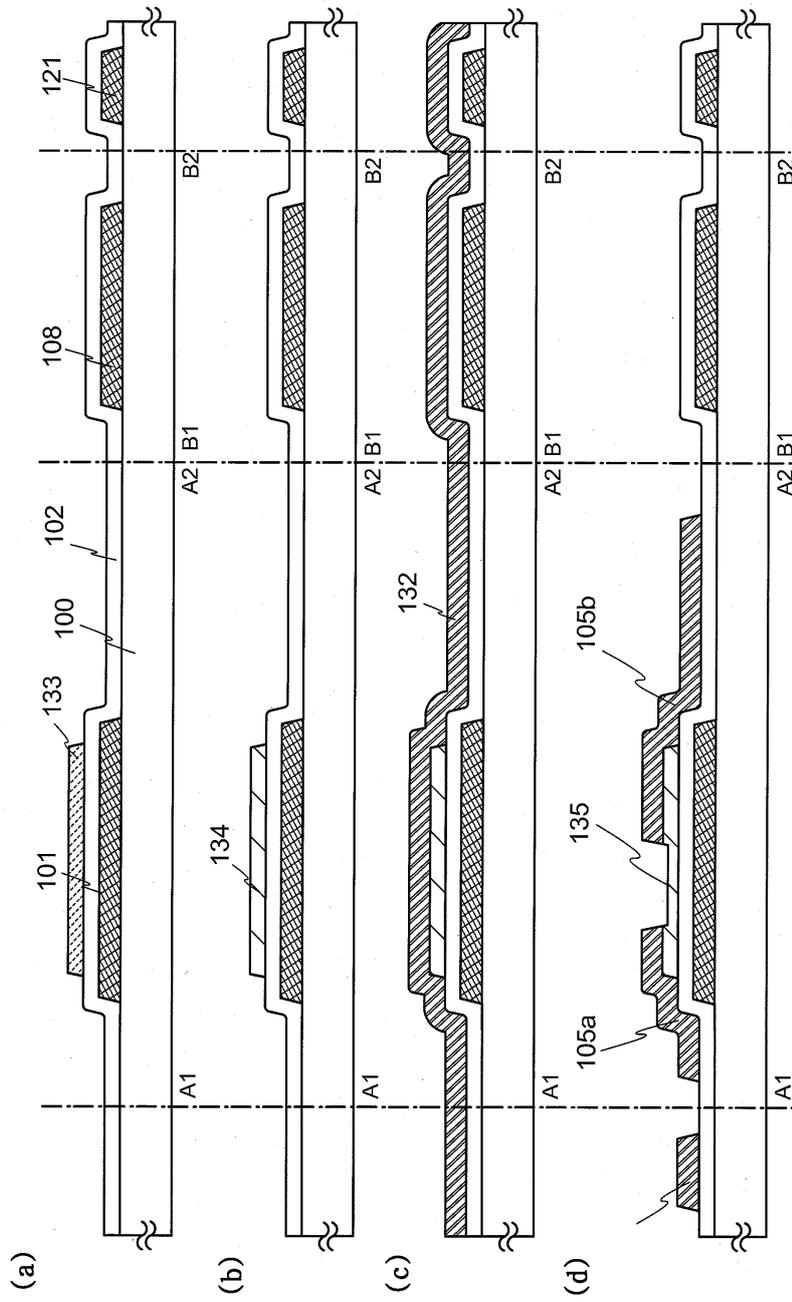
(a)



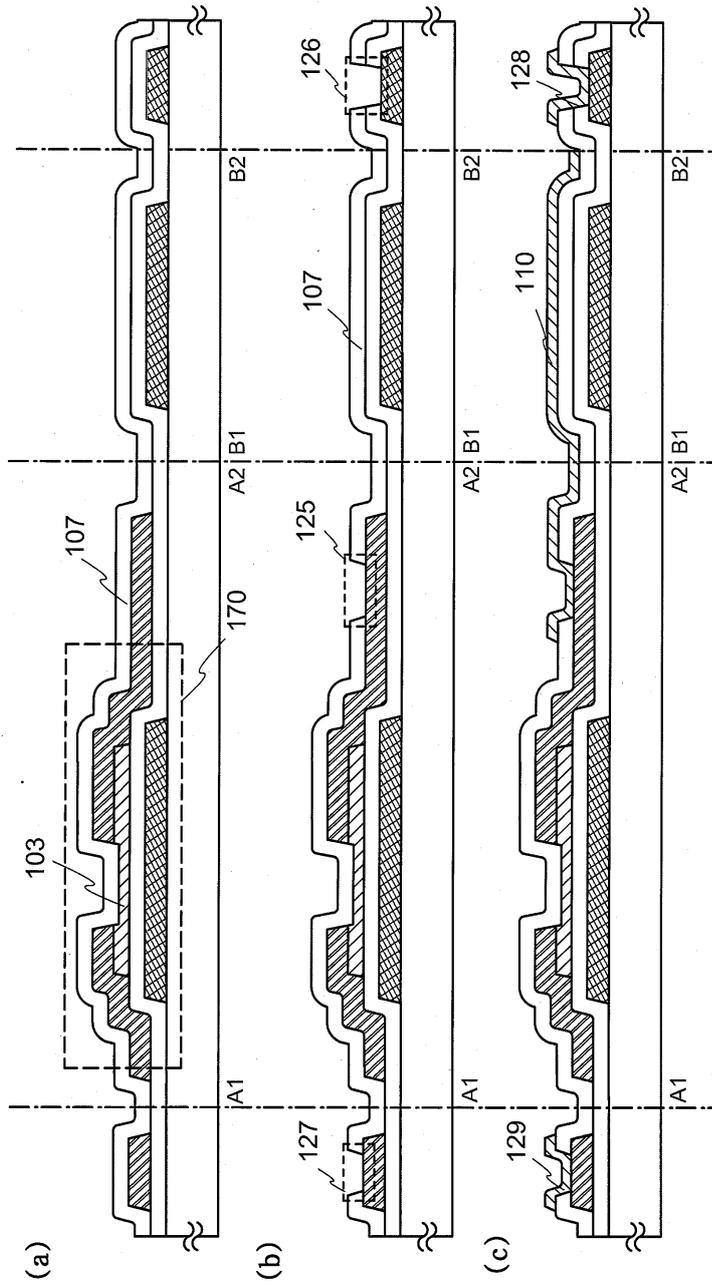
(b)



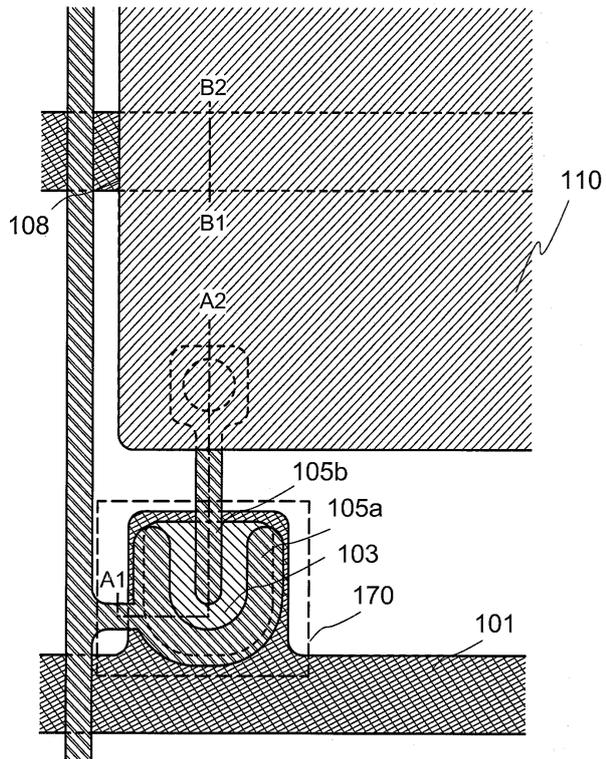
도면5



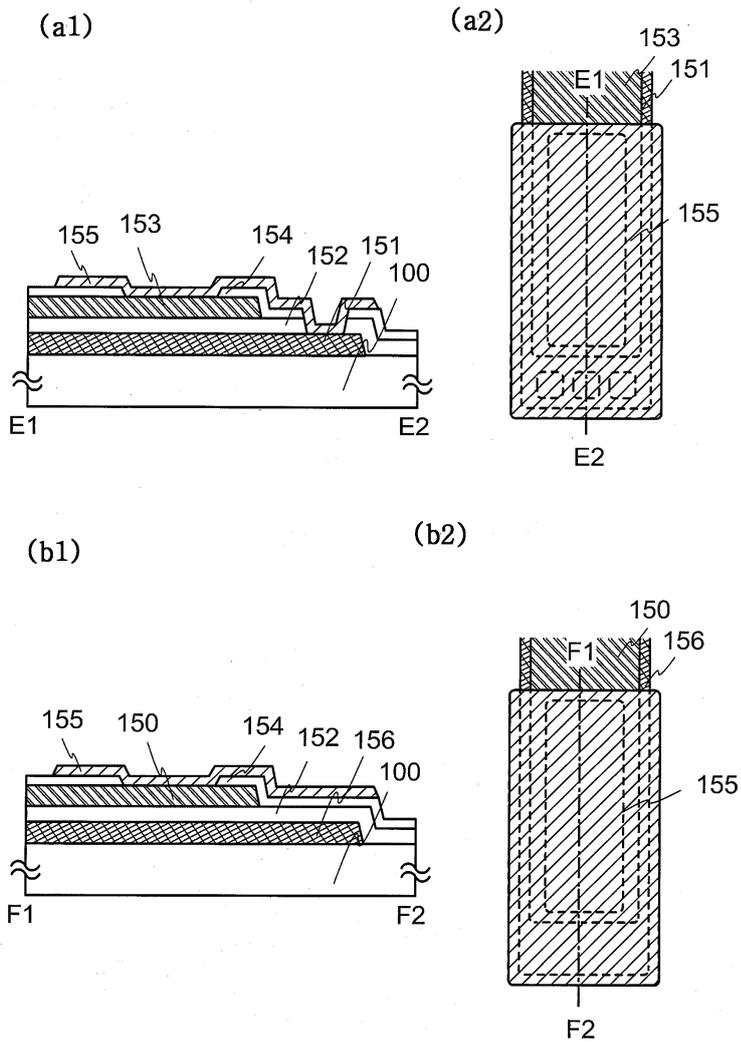
도면6



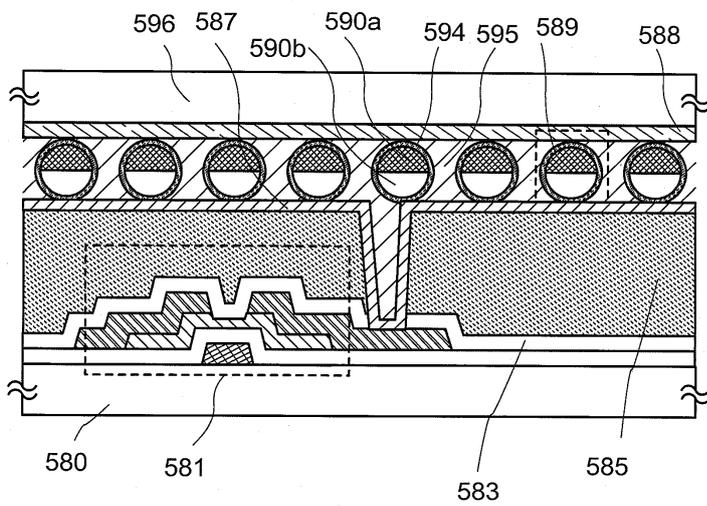
도면7



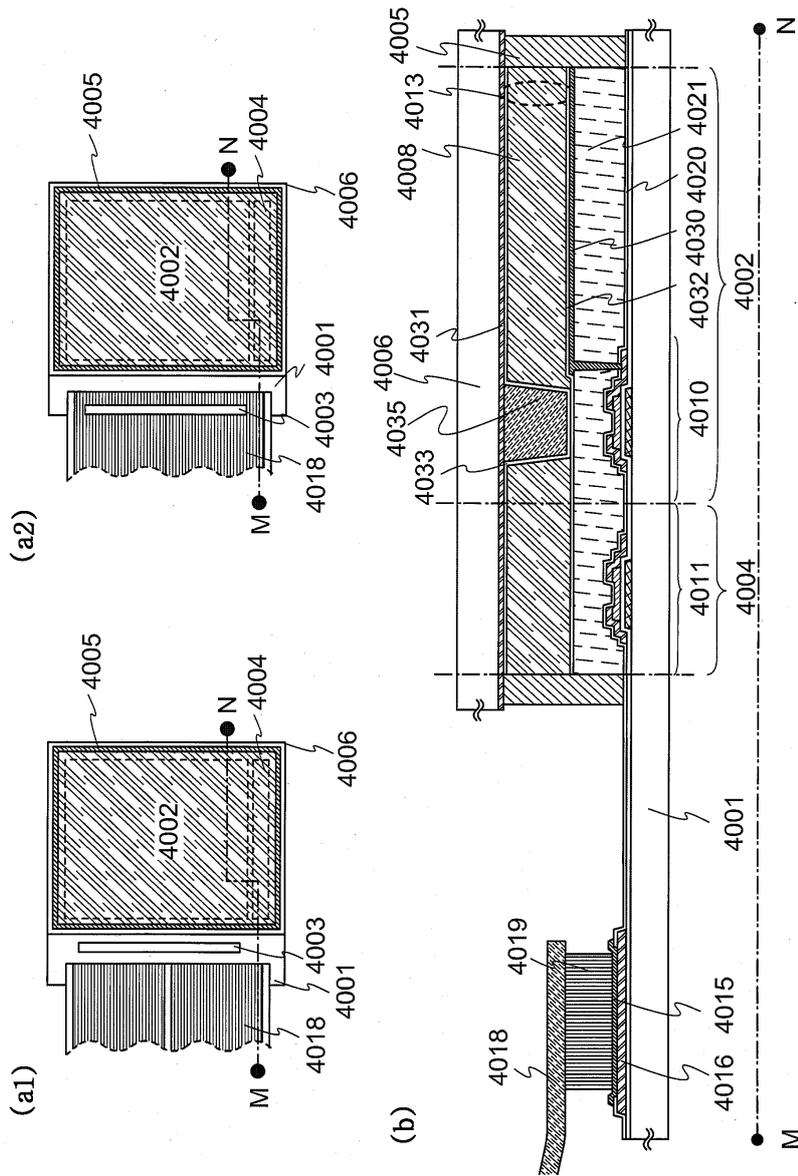
도면8



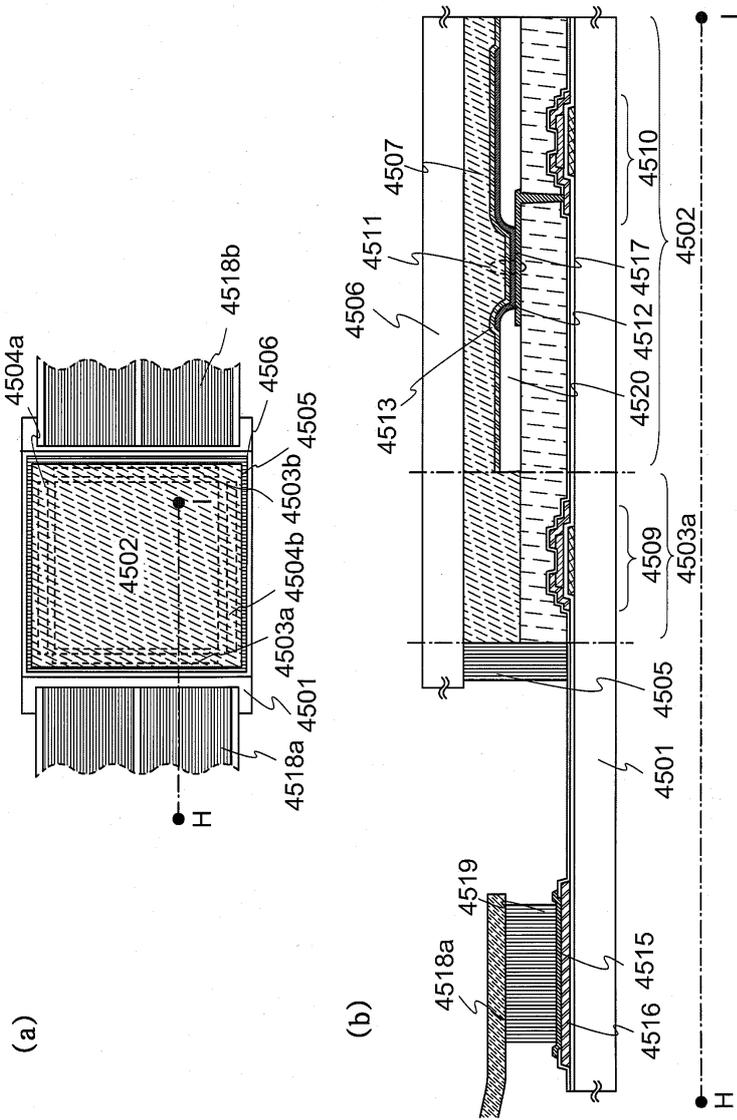
도면9



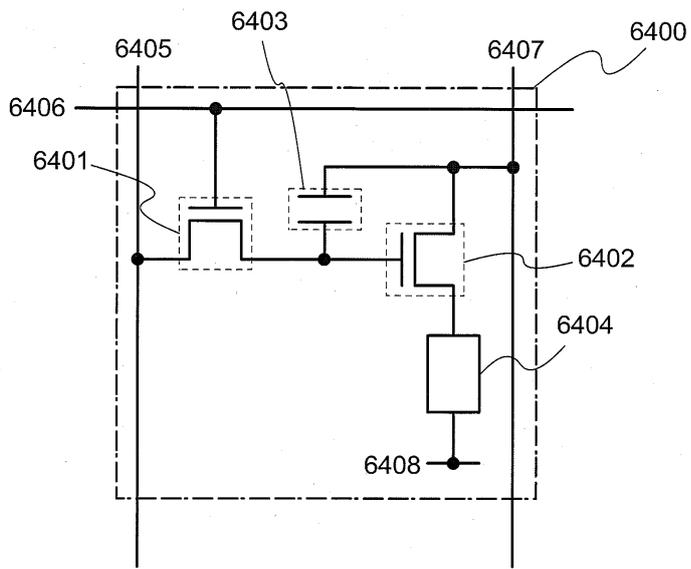
도면10



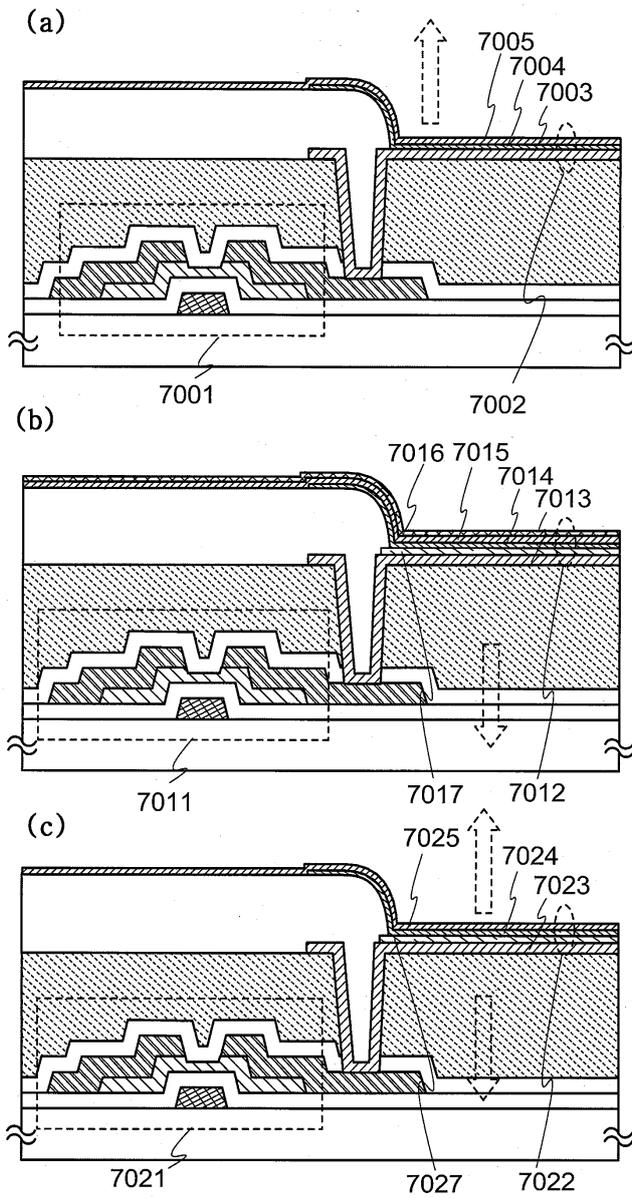
도면11



도면12

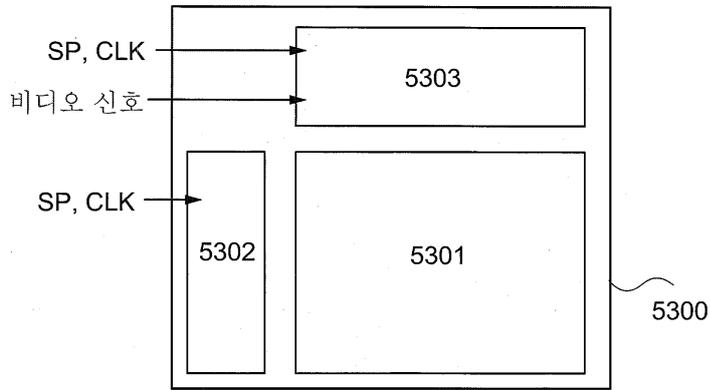


도면13

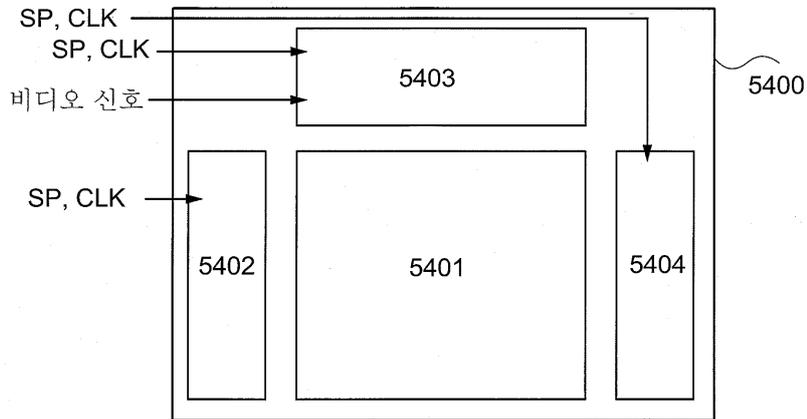


도면14

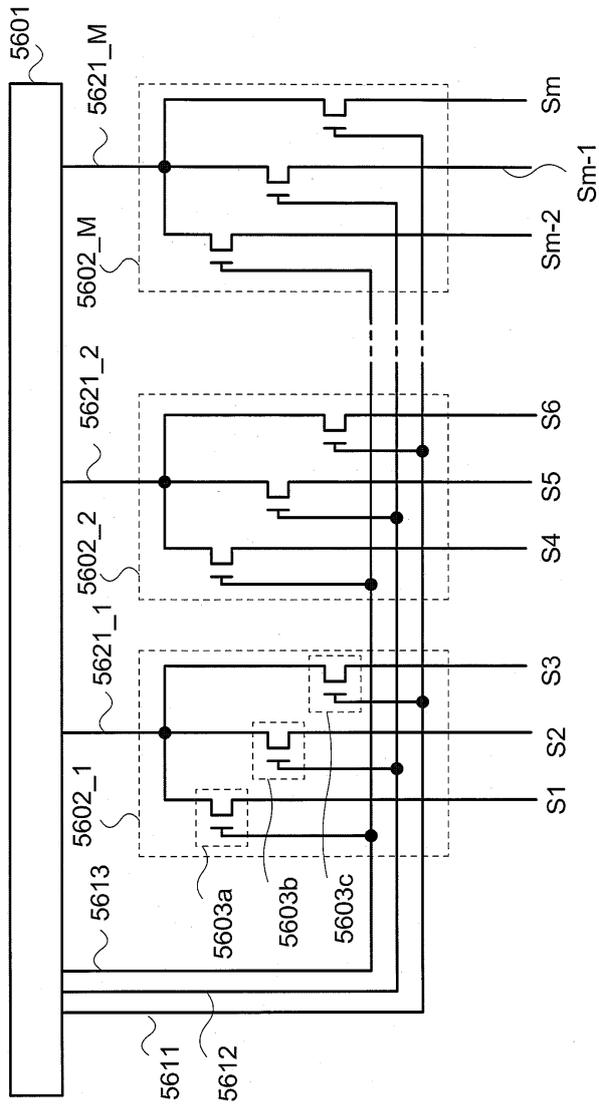
(a)



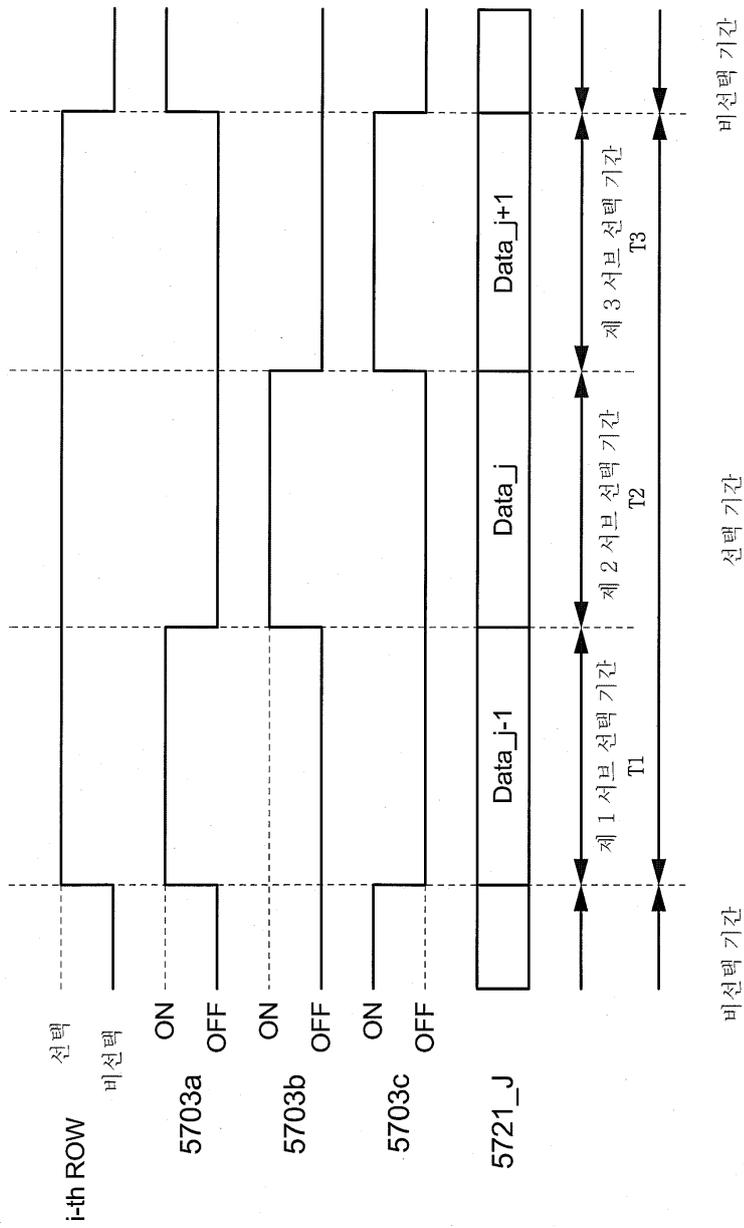
(b)



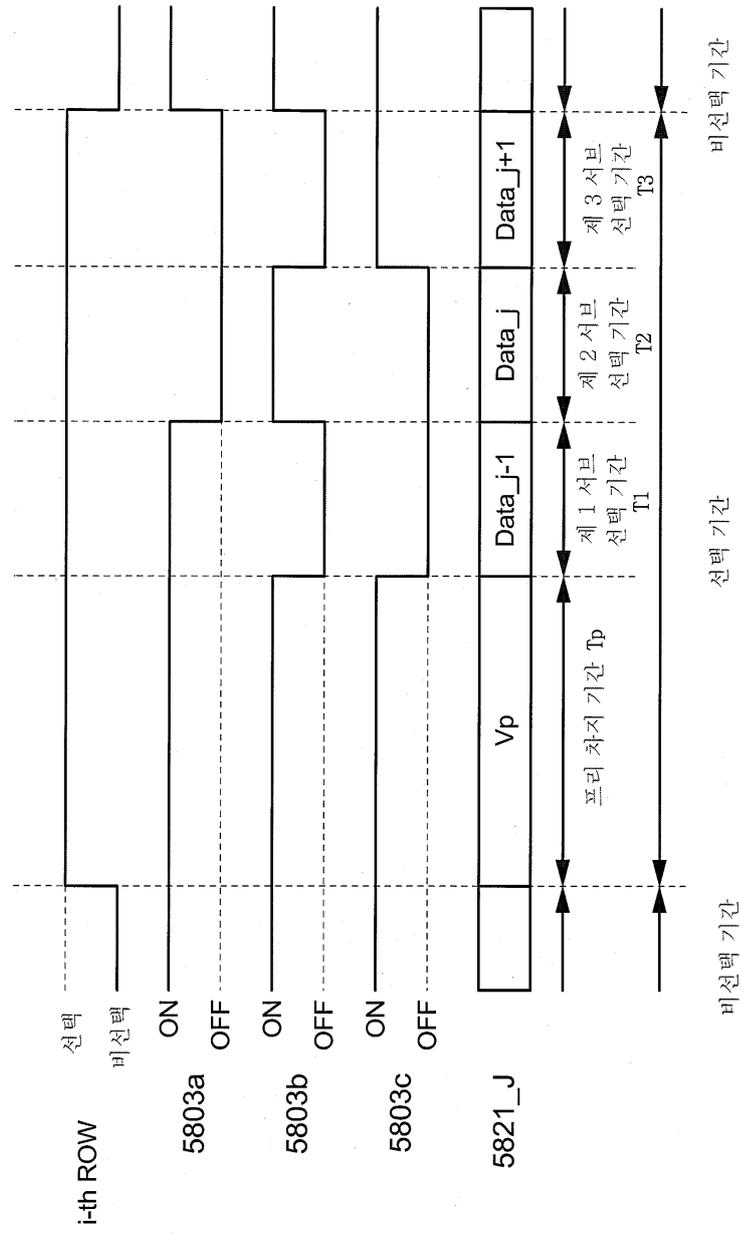
도면15



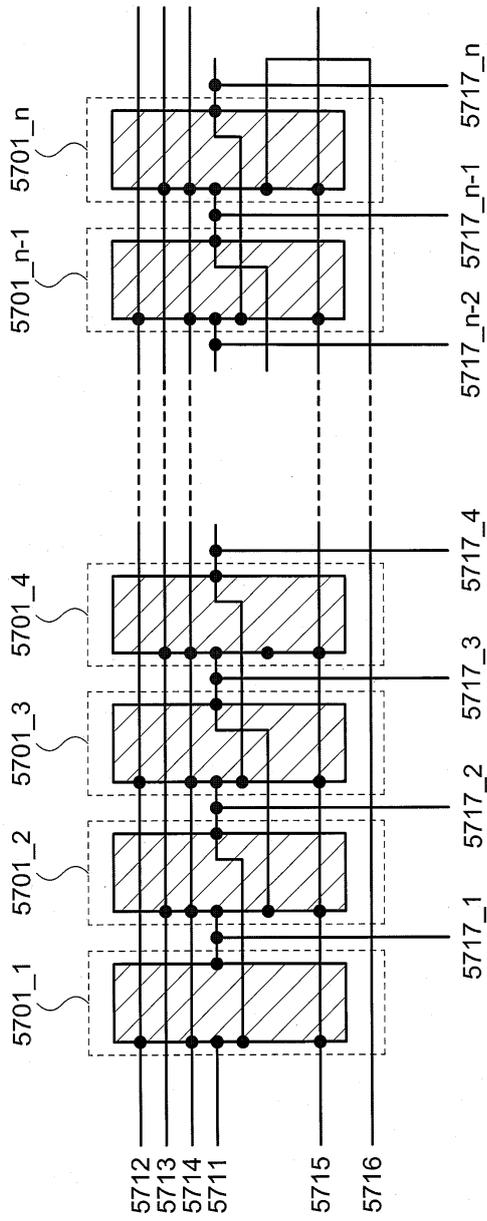
도면16



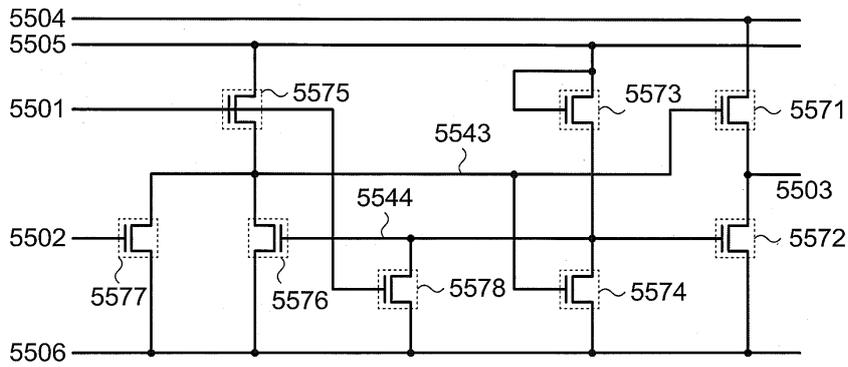
도면17



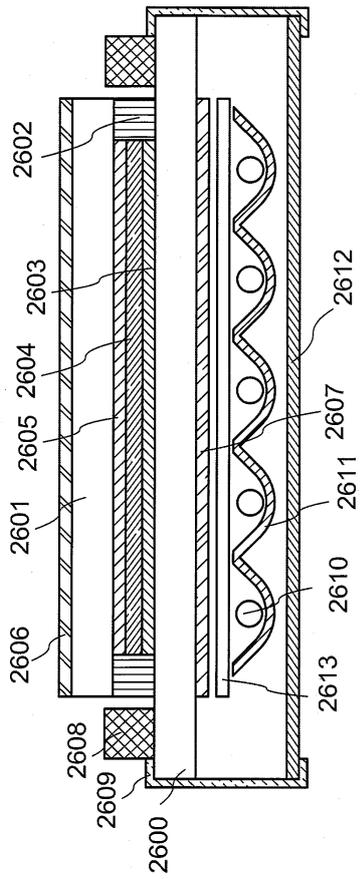
도면18



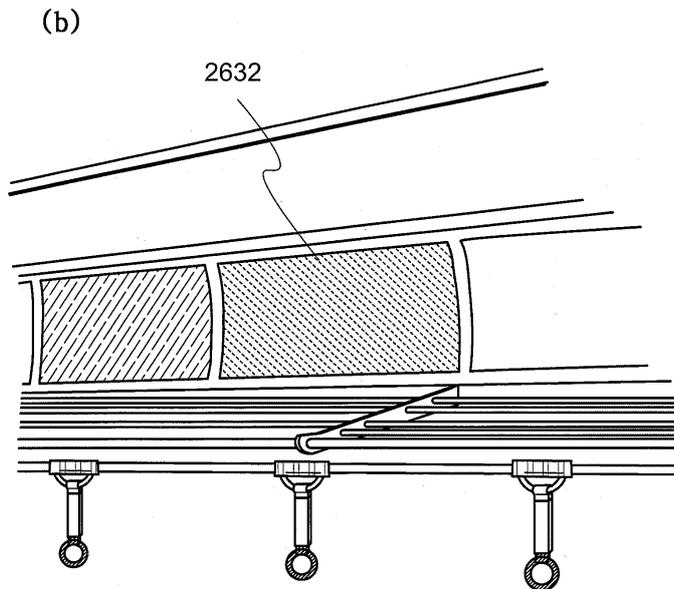
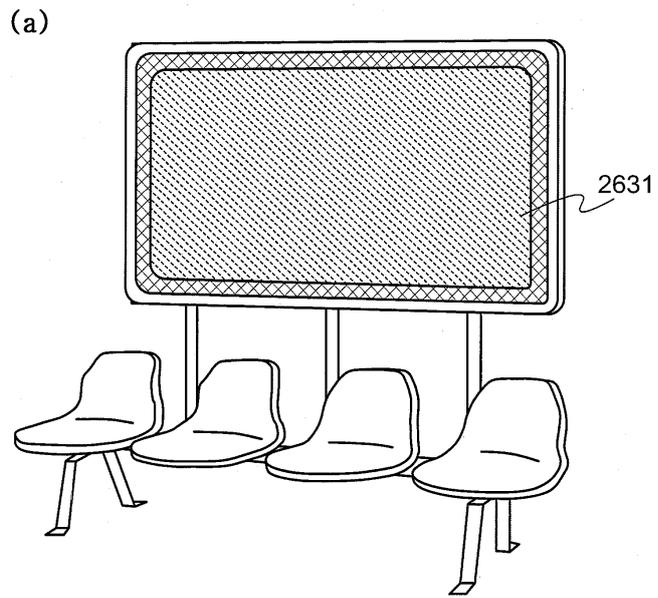
도면19



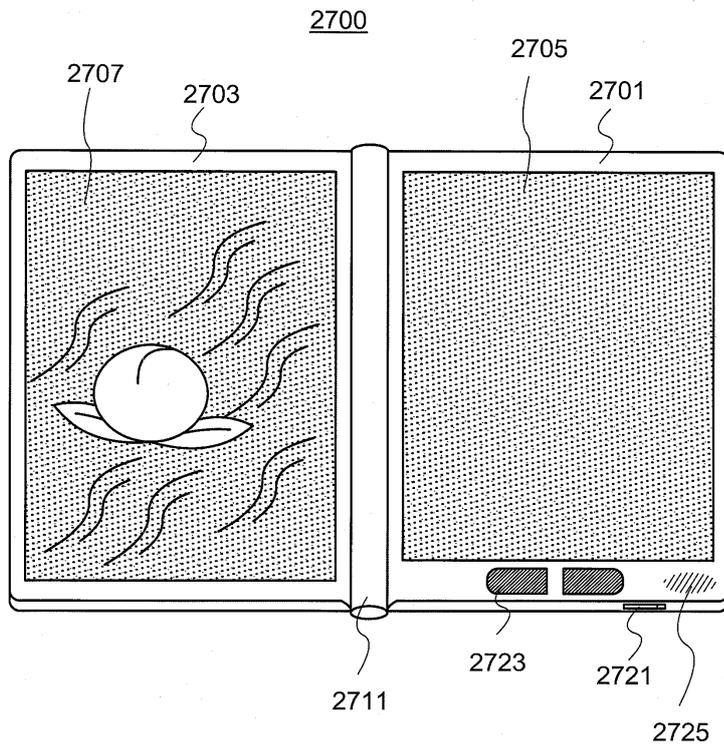
도면20



도면21

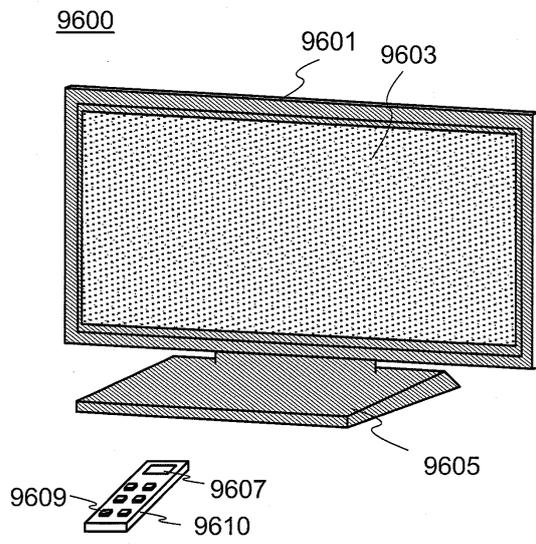


도면22

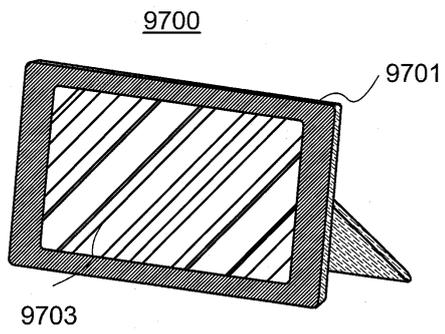


도면23

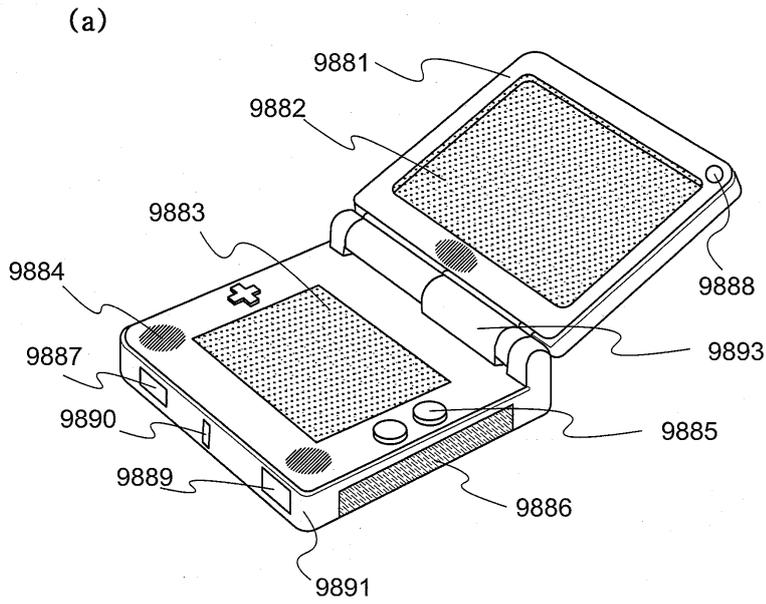
(a)



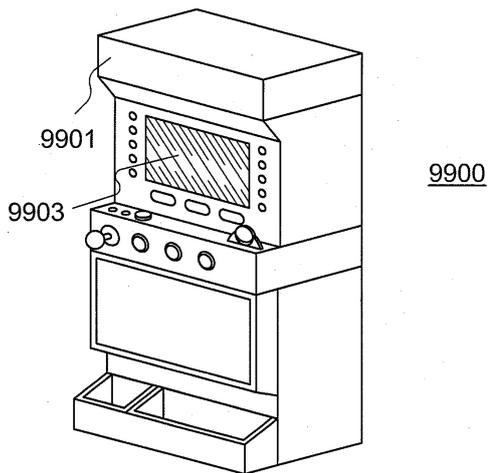
(b)



도면24

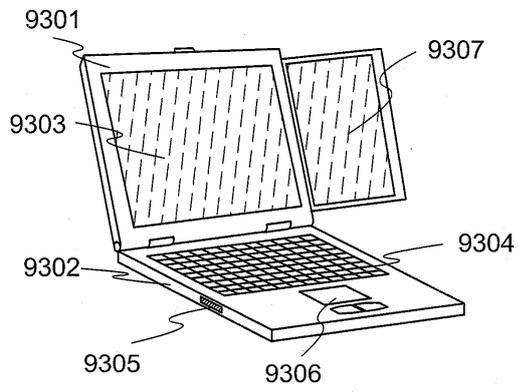


(b)

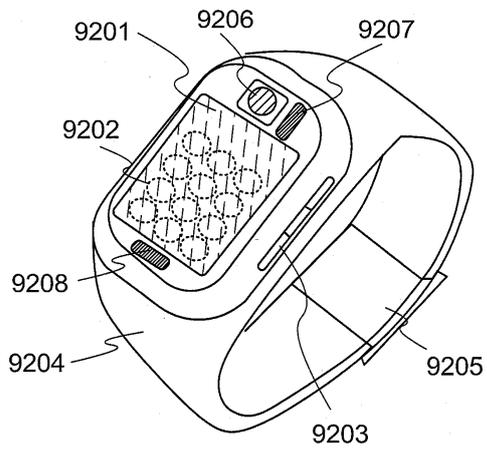


도면25

(a)

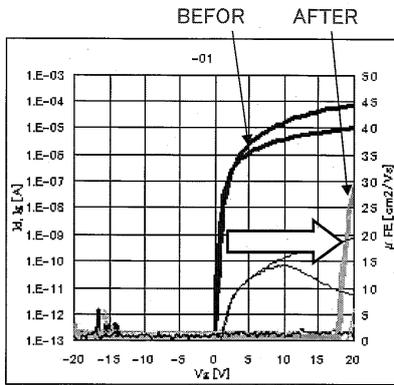


(b)

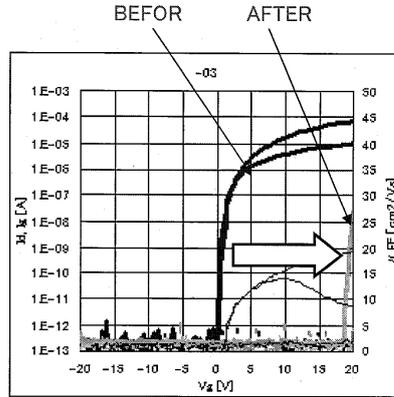


도면26

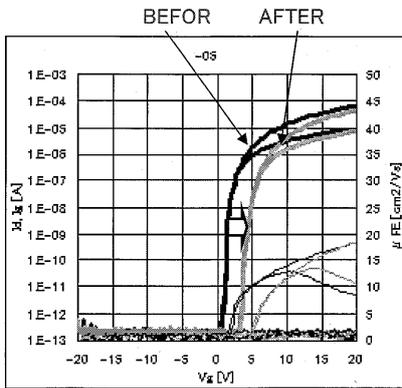
(a)



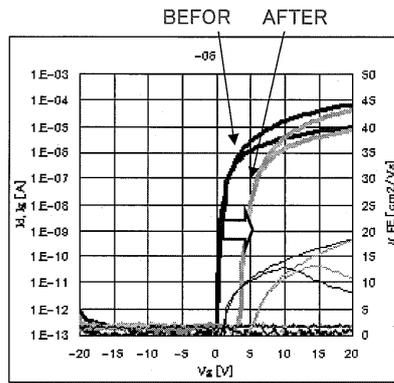
(b)



(c)

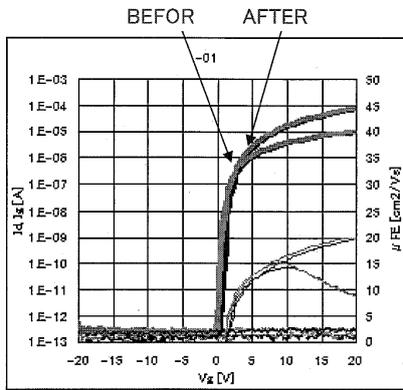


(d)

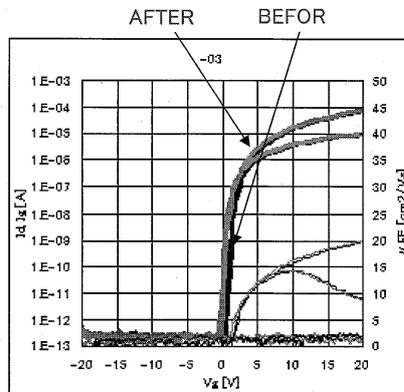


도면27

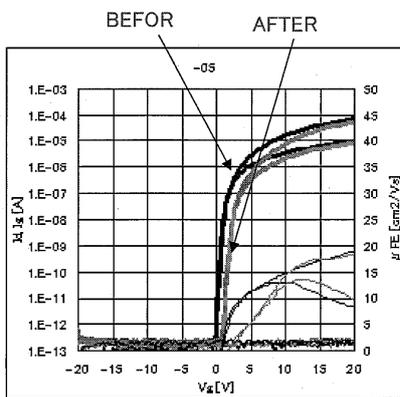
(a)



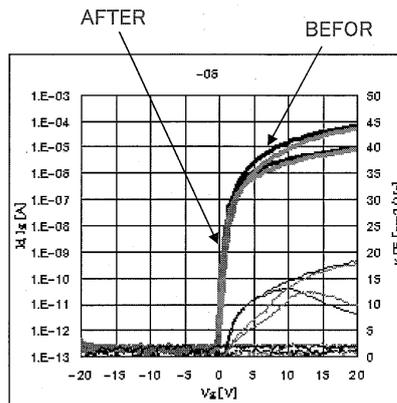
(b)



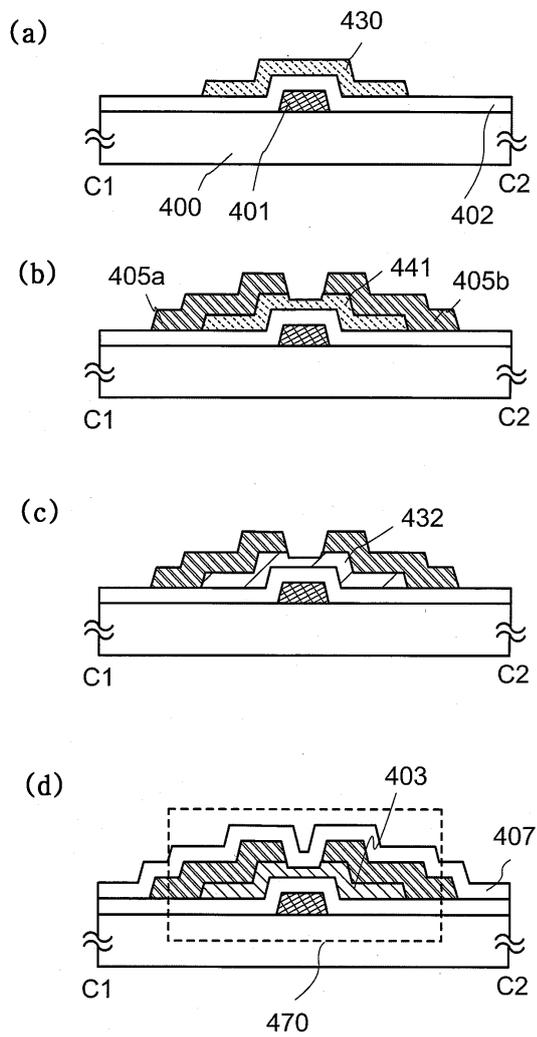
(c)



(d)



도면28



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 19

【변경전】

상기 제 2 산화물 반도체층은

【변경후】

상기 소스 전극층 및 드레인 전극층을 형성하는 단계에서, 상기 제 2 산화물 반도체층은