

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5478916号
(P5478916)

(45) 発行日 平成26年4月23日 (2014. 4. 23)

(24) 登録日 平成26年2月21日 (2014. 2. 21)

(51) Int. Cl.	F I
HO 1 L 27/12 (2006. 01)	HO 1 L 27/12 B
HO 1 L 21/02 (2006. 01)	HO 1 L 21/265 Q
HO 1 L 21/265 (2006. 01)	HO 1 L 21/265 F
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 2 7 D
HO 1 L 29/786 (2006. 01)	HO 1 L 27/08 3 3 1 E
請求項の数 6 (全 26 頁) 最終頁に続く	

(21) 出願番号	特願2009-49196 (P2009-49196)	(73) 特許権者	000153878
(22) 出願日	平成21年3月3日 (2009. 3. 3)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2009-246346 (P2009-246346A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成21年10月22日 (2009. 10. 22)	(72) 発明者	下村 明久
審査請求日	平成24年3月1日 (2012. 3. 1)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2008-66165 (P2008-66165)		半導体エネルギー研究所内
(32) 優先日	平成20年3月14日 (2008. 3. 14)		
(33) 優先権主張国	日本国 (JP)	審査官	右田 勝則

最終頁に続く

(54) 【発明の名称】 SOI 基板の作製方法

(57) 【特許請求の範囲】

【請求項 1】

ベース基板上に半導体層を形成して化学機械研磨処理を行う SOI 基板の作製方法であって、

複数の半導体基板のそれぞれにおいて、前記ベース基板と接合する表面からの深さが異なる位置に脆化層を形成し、

前記ベース基板面内の前記化学機械研磨処理における研磨量が大きい領域に、前記表面から深い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板面内の前記化学機械研磨処理における研磨量が小さい領域に、前記表面から浅い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板と、前記ベース基板上に配置されている前記複数の半導体基板とを接合させ、

前記脆化層を起点として、前記ベース基板と接合された前記複数の半導体基板を分離することで複数の第 1 の半導体層を形成し、

前記複数の第 1 の半導体層を化学機械研磨処理により研磨して第 2 の半導体層を形成することを特徴とする SOI 基板の作製方法。

【請求項 2】

ベース基板上に半導体層を形成してエッチング処理を行う SOI 基板の作製方法であって、

複数の半導体基板のそれぞれにおいて、前記ベース基板と接合する表面からの深さが異

10

20

なる位置に脆化層を形成し、

前記ベース基板面内の前記エッチング処理のエッチングレートが大きい領域に、前記表面から深い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板面内の前記エッチング処理のエッチングレートが小さい領域に、前記表面から浅い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板と、前記ベース基板上に配置されている前記複数の半導体基板とを接合させ、

前記脆化層を起点として、前記ベース基板と接合された前記複数の半導体基板を分離することで複数の第1の半導体層を形成し、

前記複数の第1の半導体層をエッチングして第2の半導体層を形成することを特徴とするSOI基板の作製方法。

10

【請求項3】

ベース基板上に半導体層を形成して化学機械研磨処理を行うSOI基板の作製方法であって、

複数の半導体基板のそれぞれにおいて、前記ベース基板と接合する表面からの深さが異なる位置に脆化層を形成し、

前記ベース基板の中央部に、前記表面から浅い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板の周縁部に、前記表面から深い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

20

前記ベース基板と、前記ベース基板上に配置されている前記複数の半導体基板とを接合させ、

前記脆化層を起点として、前記ベース基板と接合された前記複数の半導体基板を分離することで複数の第1の半導体層を形成し、

前記複数の第1の半導体層を化学機械研磨処理により研磨して第2の半導体層を形成することを特徴とするSOI基板の作製方法。

【請求項4】

ベース基板上に半導体層を形成してエッチング処理を行うSOI基板の作製方法であって、

複数の半導体基板のそれぞれにおいて、前記ベース基板と接合する表面からの深さが異なる位置に脆化層を形成し、

30

前記ベース基板の中央部に、前記表面から深い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板の周縁部に、前記表面から浅い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板と、前記ベース基板上に配置されている前記複数の半導体基板とを接合させ、

前記脆化層を起点として、前記ベース基板と接合された前記複数の半導体基板を分離することで複数の第1の半導体層を形成し、

前記複数の第1の半導体層をエッチングして第2の半導体層を形成することを特徴とするSOI基板の作製方法。

40

【請求項5】

請求項1乃至請求項4のいずれか一において、

前記脆化層の形成は、イオンドーピング法により行うことを特徴とするSOI基板の作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一において、

前記ベース基板は透光性基板であることを特徴とするSOI基板の作製方法。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、SOI基板（Silicon on Insulator）の作製方法に関する。また、SOI基板を用いる半導体装置の作製方法に関する。

【背景技術】

【0002】

単結晶半導体のインゴットを薄く切断して作製されるシリコンウエハーに代わって、絶縁層の上に薄い単結晶半導体層を設けたSOIと呼ばれる半導体基板（SOI基板）が開発されている。SOI基板上に設けられた集積回路は、シリコンウエハー上に形成する場合よりもトランジスタの寄生容量を小さくすることができるので、動作速度の向上と消費電力の低減に効果があるとされている。そのためマイクロプロセッサ等の高性能な半導体装置への応用が検討されている。

10

【0003】

SOI基板を作製する方法の一つとして、特許文献1に開示された方法（水素イオン注入剥離法と呼ばれることがある。）が挙げられる。特許文献1に開示された方法は、第1のシリコンウエハーに水素イオンを注入することで表面から所定の深さに微小気泡層を形成し、第1のシリコンウエハーを第2のシリコンウエハー上に接合し、微小気泡層を劈開面として劈開させることで、第2のシリコンウエハー上に薄いシリコン層（SOI層）を形成する技術である。この技術によれば、SOI層を分離する熱処理を行うことに加え、酸化性雰囲気での熱処理によってSOI層に酸化シリコン膜を形成した後に該酸化シリコン膜を除去し、次に1000～1300℃の還元性雰囲気下で熱処理を行って接合強度を

20

【0004】

一方で、耐熱性ガラス等の絶縁性基板上に単結晶シリコン層を設けた半導体装置が知られている（特許文献2を参照）。この半導体装置は、歪み点が750℃以上の結晶化ガラスの全面を絶縁性シリコン膜で保護し、水素イオン注入分離法により得られる単結晶シリコン層が該絶縁性シリコン膜上に固着した構成を有する。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2000-124092号公報

30

【特許文献2】特開平11-163363号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1に開示された方法によって、二つの基板を張り合わせ、一方の基板に形成された微小気泡層又は改質層（脆化層ともいう。以下、本明細書中においては脆化層という。）を起点として該基板を分離することで作製するSOI基板を作製すると、脆化層における結晶性が著しく低い。そのため、これらの層を、化学機械研磨処理（Chemical Mechanical Polishing。以下、CMPという。）又はドライエッチング等により除去する必要がある。

40

【0007】

しかし、大面積基板を用いた場合には、CMPやドライエッチングでは、基板面内において研磨量又はエッチング量のばらつきが生じる。CMPでは、研磨液を含んだ液を供給しながら研磨布を基板に対して回転させつつ研磨を行い、回転中心から遠いほど研磨布の移動量が大きくなる。そのため、被処理基板の中央に近いほど研磨量が小さくなり、周縁部ほど研磨量が大きくなる傾向がある。ドライエッチングでは、装置の構成（チャンバーの形状等）又はエッチング条件（ガス種、ガス流量比、圧力、パワー等）等によって、基板面内におけるエッチングレートの分布が大きく変化する。一般に、大面積基板対応のドライエッチング装置では、パワーの均一供給が難しく、また、被処理基板と排気孔との間の距離の差異が大きくなるため、プラズマ分布の面内均一性を保つことが困難である。そ

50

のため、被処理基板の中央に近いほどエッチング量が大きくなることが多く、等しい深さに脆化層が形成された基板を貼り合わせると、CMP又はドライエッチング処理後のSOI層の厚さは、基板面内でばらつきを生じることになる。

【0008】

そこで、本発明の一態様は、SOI層の厚さの均一性に優れたSOI基板の作製方法を提供することを課題とする。

【課題を解決するための手段】

【0009】

本発明の一態様は、複数の半導体基板に形成される脆化層の半導体基板表面からの深さをそれぞれ異ならせ、脆化層の深さが異なる半導体基板をエッチング量又は研磨量に応じて配置する。具体的には、エッチング量又は研磨量の大きい部分には、脆化層が深い位置に形成されるものを配置し、エッチング量又は研磨量の小さい部分には、脆化層が浅い位置に形成されるものを配置し、CMP又はエッチングを行うことで、基板面内におけるSOI層の均一性が高いSOI基板を作製する。半導体基板の表面から脆化層までの深さは、例えば、ドーブにより脆化層を形成する際の加速電圧により制御すればよい。

10

【発明の効果】

【0010】

大面積基板を用いた場合であっても、基板面内において均一な厚さのSOI層を有するSOI基板を作製することができる。

【図面の簡単な説明】

20

【0011】

【図1】SOI基板の作製方法の一例を説明する図。

【図2】SOI基板の作製方法の一例を説明する図。

【図3】SOI基板の作製方法の一例を説明する図。

【図4】SOI基板の作製方法の一例を説明する図。

【図5】SOI基板の作製方法の一例を説明する図。

【図6】SOI基板の作製方法の一例を説明する図。

【図7】SOI基板を用いた半導体装置の作製方法の一例を示す図。

【図8】SOI基板を用いた半導体装置の作製方法の一例を示す図。

【図9】SOI基板を用いた半導体装置の一例を示す図。

30

【図10】SOI基板を用いた半導体装置の一例を示す図。

【図11】SOI基板を用いた表示装置の一例を示す図。

【図12】SOI基板を用いた表示装置の一例を示す図。

【図13】SOI基板を用いた電子機器を示す図である。

【図14】SOI基板を用いた電子機器を示す図である。

【発明を実施するための形態】

【0012】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。また、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。また、便宜上、絶縁膜は上面図には表さない場合がある。

40

【0013】

(実施の形態1)

本実施の形態では、本発明の一態様であるSOI基板の作製方法の一例について、図面を参照して説明する。まず、第1の基板100（ベース基板、ベースウエハーとも呼ばれる。）と第2の基板200（接合基板、ボンドウエハーとも呼ばれる。）を準備する。

【0014】

50

第1の基板100は、少なくとも、作製工程に耐えうる程度の耐熱性を有し、且つ作製工程中で変質等を生じない程度の耐薬品性を有することを要する。この限りにおいて、第1の基板100の材料は特定のものに限定されない。例えば、ガラス基板、石英基板、単結晶シリコン基板若しくはステンレス基板等又はこれらの基板上に絶縁層が設けられた基板を用いることができる。ここでは、ガラス基板を用いる。ガラス基板は他の基板よりも大面積のものを作製しやすく、第1の基板として好適だからである。なお、第1の基板100として透光性基板（透光性を有する基板）を用いると、表示装置に適用できるSOI基板を作製することができる。

【0015】

第2の基板200には、半導体基板を用いる。半導体基板に用いる代表的な材料としては、シリコン又はゲルマニウムが挙げられる。または、ガリウムヒ素、インジウムリン等の化合物半導体を用いても良い。シリコン基板として、代表的には、直径が5インチ（約120mm）、8インチ（約200mm）、12インチ（約300mm）のものが用いられる。また、シリコン基板の形状は円形に限定されず、矩形状であってもよい。また、第2の基板200は単結晶半導体基板に限定されず、多結晶半導体基板であってもよい。本実施の形態では、第2の基板200として、矩形状に加工された単結晶シリコン基板を用いる。

【0016】

まず、第1の基板100上に、絶縁層により第1の接合層110を形成する（図1（A-1）を参照）。第1の接合層110は、酸化シリコン、酸化窒化シリコン又は窒化酸化シリコンにより形成することができ、特に第1の基板100がガラス基板の場合には、窒化酸化シリコンにより形成することが好ましい。第1の接合層110として窒化酸化シリコンを用いると、ガラス基板に含まれるナトリウム及びカリウム等の不純物元素が単結晶半導体中に侵入することを防止できる。または、シランガス、ジシランガス、トリシランガス又は有機シランガス等のシラン系ガスを用いてCVD法（化学気相成長法）により形成される酸化シリコン層を用いることができるが、特に有機シランガスを用いて酸化シリコン層を形成することで、他の形成方法よりも表面の平坦性が高い接合層を形成することができる。シランガスを用いる場合には、形成ガス中に二酸化窒素又は一酸化二窒素を含ませることが好適である。有機シランガスとしては、テトラエトキシシラン（略称：TEOS、化学式： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、テトラメチルシラン（化学式： $\text{Si}(\text{CH}_3)_4$ ）、トリメチルシラン（化学式： $(\text{CH}_3)_3\text{SiH}$ ）、テトラメチルシクロテトラシロキサン（略称：TMCTS）、オクタメチルシクロテトラシロキサン（略称：OMCTS）、ヘキサメチルジシラザン（略称：HMDS）、トリエトキシシラン（化学式： $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）又はトリスジメチルアミノシラン（化学式： $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等のシリコン含有化合物を用いることができる。

【0017】

なお、第1の接合層110の形成にはCVD法又はスパッタリング法を用いることができる。ここで、CVD法には、プラズマCVD、熱CVD又は光CVDを含むものとする。または、基板を熱により酸化することで形成される酸化層を用いても良い。または、第1の基板100の表面をオゾン水、過酸化水素水又は硫酸過水等で処理することで形成される絶縁層を用いても良い。なお、第1の接合層110は概ね5nm以上500nm以下の厚さで設けるとよい。

【0018】

なお、第1の接合層110は、表面の平坦性が高く、且つ表面に親水性を有する材料によって設けることを要する。具体的には、第1の接合層110の表面の平均面粗さ（Ra）が0.5nm以下、自乗平均粗さ（Rms）が0.6nm以下、好ましくは、平均面粗さが0.3nm以下、自乗平均粗さが0.4nm以下となるように形成する。

【0019】

上記のように第1の基板100を処理する一方、第2の基板200にも処理を行う。

【0020】

第2の基板200には、表面から所定の深さの位置に脆化層202を形成する。脆化層202は、清浄化された第2の基板200の表面から、電界で加速されたイオンを所定の深さに注入することで形成される（図1（A-2）を参照）。ここで、第1の基板100上に形成される結晶性半導体層（以下、SOI層という。）の厚さを考慮して加速電圧等を調整する。SOI層の厚さは、5nm以上500nm以下、好ましくは10nm以上200nm以下とする。脆化層202の形成には、水素ガス、不活性ガス又はハロゲンガスを用いる。ここで、不活性ガスとしてはヘリウムが好ましく、ハロゲンとしてはフッ素が好ましい。軽元素のほうが基板の深い位置まで侵入できるため、加速電圧の調整による脆化層の形成が比較的容易だからである。

【0021】

10

脆化層202の形成では高い加速電圧でイオン注入を行うため、第2の基板200の表面が荒くなることがある。そのため、イオン注入される表面に予め保護層201を設けておくとよい。この保護層201は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン若しくは窒化シリコン等を単層で又は関そうして0.5nm以上200nm以下の厚さで設ければよい。

【0022】

なお、ここでドーピング条件によって、半導体基板の表面から脆化層202までの深さが決定される。すなわち、ドーピング条件（特に、加速電圧）を変化させることで、形成されるSOI層の厚さを変化させることができる。

【0023】

20

図2は、イオン注入時の加速電圧（横軸）と分離直後の半導体層の厚さ（縦軸）との関係の一例を示す。ここで、縦軸に示す分離直後の半導体層の厚さは、第1の基板100と複数の第2の基板200とを接合させ、第2の基板200に設けられた脆化層202を起点として分離した直後の半導体層を分光エリプソメータ（株式会社堀場製作所製、全自動超薄膜計測システム（UT-300））により測定したものである。例えば、後のCMP処理による研磨量の大きい領域における研磨量が、研磨量の小さい領域における研磨量の2倍程度であれば、研磨量の大きい領域に配置する第2の基板200に対しては加速電圧約50kVでドーピングして半導体層の厚さを約120nmとし、研磨量の小さい領域に配置する第2の基板200に対しては加速電圧約30kVでドーピングして半導体層の厚さを約60nmとすればよい。

30

【0024】

または、後のCMP処理による研磨量の大きい領域における研磨量が、研磨量の小さい領域における研磨量の3倍程度であれば、研磨量の大きい領域に配置する第2の基板200に対しては加速電圧約50kVでドーピングして半導体層の厚さを約120nmとし、研磨量の小さい領域に配置する第2の基板200に対しては加速電圧約30kVでドーピングして半導体層の厚さを約40nmとすればよい。ここで、ドーピングするイオン種としては H^+ を用いたが、他のイオン種を用いた場合も同様の傾向がある。また、ドーピング時の加速電圧を一定とし、イオン種として H_3^+ を用いると、 H^+ を用いた場合のほぼ1/3の深さに脆化層が形成される。従って、加速電圧を一定とし、ドーピングに用いるイオン種を異ならせることで、表面から脆化層までの深さを異ならせても良い。例えば、後のCMP処理による研磨量の大きい領域における研磨量が、研磨量の小さい領域における研磨量の3倍程度であれば、研磨量の大きい領域に配置する第2の基板200に対しては H^+ を用いてドーピングを行い、研磨量の小さい領域に配置する第2の基板200に対しては H_3^+ を用いてドーピングを行い、これらのドーピング時の加速電圧等は等しいもの（例えば40kV）とすればよい。ただし、これらの条件に限定されるものではない。

40

【0025】

次に、第2の基板200上に第2の接合層210を形成する（図1（B-2）を参照）。第2の接合層210は、第1の接合層110と同様に形成すればよい。ただし、CVD法等による場合には、第2の基板200に設けられた脆化層202からの脱ガスが起らない温度（例えば、350℃以下）とするとよい。また、単結晶半導体基板若しくは多結

50

晶半導体基板からSOI層を分離する熱処理は、接合層を形成する温度よりも高い温度で行われるとよい。

【0026】

なお、化学気相成長法としては、プラズマCVD法、熱CVD法又は光CVD法を用いれば良い。特に、TEOSと酸素を用いたプラズマCVD法によれば、接合層に適する平坦な酸化シリコン層を低温（概ね350℃以下）で形成することができる。または、SiH₄とNO₂を用いた熱CVD法を適用してもよい。

【0027】

また、第2の接合層210となる酸化シリコン層は、オゾン水と過酸化水素水とを含む薬液処理により形成してもよいし、オゾン水による処理のみで形成しても良い。その場合には、厚さは0.5nm以上5nm以下程度とする。

10

【0028】

または、第2の接合層210として、第2の基板200を熱により酸化することで形成される酸化層を用いても良い。第2の基板200として単結晶シリコン基板を用いる場合には、基板を熱により酸化することで、好適な酸化層を形成することができる。また、熱により酸化することで酸化層を形成する場合には、雰囲気中にハロゲンを含むガスを含ませるとよい。雰囲気中に含ませるハロゲンを含むガスとしては、HCl、HF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂等の一種又は複数種を用いる。雰囲気中にハロゲンを含むガスを含ませて熱により酸化することで、ハロゲンを含んだ酸化層を形成することができる。第2の接合層210にハロゲンを含ませておくと、例えばガラス基板と半導体基板を接合させるに際して、ガラス基板に含まれるナトリウム又はカリウム等の不純物元素が半導体基板中に侵入し、拡散することを防ぐことができる。

20

【0029】

なお、第1の接合層110と第2の基板200との接合強度に問題がなければ、第2の接合層210を形成することなく、第1の接合層110と第2の基板200とを直接接合しても良い。

【0030】

同様に、第1の接合層110を形成することなく、第1の基板100と第2の接合層210とを直接接合しても良い。

【0031】

30

つまり、必ずしも第1の基板100上と第2の基板200上の双方に接合層を形成しなくともよい。接合層を形成しない場合には、工程数が減るため、スループットを向上させることができる。

【0032】

次に、第1の基板100上に形成された第1の接合層110と、第2の基板200上に形成された第2の接合層210とを密接させて接合する。第1の接合層110と第2の接合層210とを接合させることにより、接合形成層112が形成される（図1（C）を参照）。より強固に接合するためには、第1の基板100と第2の基板200に対して圧力を加えれば良い。ここで、加える圧力の方向は、第1の接合層110と第2の接合層210の接合面に対して、概ね垂直な方向とする。更に、熱処理を行うことで接合強度が向上する。また、圧力を加えた状態で熱処理をしても良い。圧力を加えた状態で熱処理を行うことで、第1の接合層110と第2の接合層210との接合がより強固になるため、接合層間の分離を低減でき、歩留まりが向上する。また、作製される半導体装置の信頼性が向上する。

40

【0033】

本実施の形態では、第1の接合層110（または第1の基板100）と第2の接合層210（または第2の基板200）とを接合させ、脆化層202を起点として第2の基板200を分離し、残存する脆化層の一部を除去することで、SOI層を形成する。そして、本実施の形態では、残存する脆化層をCMP（Chemical Mechanical Polishing）により除去する。しかし、大面積基板をCMPにより研磨処理す

50

ると、被処理物の面内で研磨量に大きなばらつきが生じる。従って、第2の基板200において表面から脆化層までの深さが一様であると、CMPによる研磨処理量のばらつきがSOI層の厚さのばらつきとなる。

【0034】

そこで、本実施の形態では、CMPによる研磨量の大きい領域には表面から深い位置に脆化層が設けられた第2の基板を配置し、CMPによる研磨量の小さい領域には表面から浅い位置に脆化層が設けられた第2の基板を配置する。すなわち、第1の基板の中央部には、表面から浅い位置に脆化層が設けられた第2の基板を配置して接合させ、第1の基板の周縁部には、表面から深い位置に脆化層が設けられた第2の基板を配置して接合させる。表面から脆化層までの深さが異なる複数の第2の基板は、脆化層までの深さを多段階に設定して、配置すればよい。図3を参照して具体的に説明する。

10

【0035】

図3(A)は、第2の基板200A~200Dの側面図を示す。第2の基板200A~200Dは、接合層表面から脆化層までの深さが異なる。第2の基板200Aは接合層表面から距離aの位置に脆化層202Aを有し、第2の基板200Bは接合層表面から距離bの位置に脆化層202Bを有し、第2の基板200Cは接合層表面から距離cの位置に脆化層202Cを有し、第2の基板200Dは接合層表面から距離dの位置に脆化層202Dを有する。なお、a~dの大小関係は $a < b < c < d$ としている。すなわち、本実施の形態では、表面から脆化層までの深さを4段階としている。ただし、これに限定されず、2段階又は3段階に設定しても良いし、更に多段階に設定しても良い。

20

【0036】

図3(B)は、第2の基板200A~200Dが貼り合わせられる第1の基板100の上面図を示す。第1の基板100は4の領域により分けられる。ここでは、第1の基板100のサイズは、縦が約600mm、横が約720mmであり、第2の基板200A~200Dのサイズは、縦が約120mm、横が約120mmである。従って、第1の基板100上には、複数の第2の基板200を6行5列で配置することができる。ただし、これに限定されず、あらゆるサイズの基板を用いることができる。そして、貼り合わせ後の工程でCMPによる研磨量の大きい領域(第1の基板100の周縁部)には表面から深い位置に脆化層が設けられた第2の基板を配置し、CMPによる研磨量の小さい領域(第1の基板100の中央部)には表面から浅い位置に脆化層が設けられた第2の基板を配置する。すなわち、第1の基板100上の第1の領域221には第2の基板200Aを配置し、第2の領域222には第2の基板200Bを配置し、第3の領域223には第2の基板200Cを配置し、第4の領域224には第2の基板200Dを配置する。このように配置して貼り合わせを行うことで、CMPによる研磨量の大きい領域には厚い層が形成され、CMPによる研磨量の小さい領域には薄い層が形成されることになる(図3(C)を参照)。

30

【0037】

なお、接合を低温で行うためには、接合を形成する面を清浄化することが好ましい。清浄化された第1の接合層110と清浄化された第2の接合層210とを密接させると、表面間引力により接合形成層112が形成される。清浄化した表面を親水性表面とするためには、清浄化した表面に対して多数の水酸基を付与すればよい。例えば、第1の接合層110及び第2の接合層210の一方又は双方の表面を、酸素プラズマ処理若しくはオゾン処理することで、これらの表面を親水性にすることができる。このように表面を親水性とすることで、表面の水酸基が作用して水素結合により強固な接合が形成される。第1の接合層110と第2の接合層210が異種材料である場合には、清浄化工程を経ることが特に好ましい。

40

【0038】

また、良好な接合を形成するために、接合を形成する面を活性化しておいても良い。例えば、接合を形成する面に原子ビーム又はイオンビームを照射する。原子ビーム又はイオンビームを利用する場合には、例えば、アルゴン等の不活性ガス中性原子ビーム又は不活

50

性ガスイオンビームを用いることができる。このようなビームの照射により、第1の接合層110又は第2の接合層210の表面に未結合手が露出し、化学的に活性な表面が形成される。または、プラズマ照射若しくはラジカル処理を行ってもよい。接合を形成する面に対してこのような表面処理を行うことにより、第1の接合層110と第2の接合層210が異種材料であっても、概ね200～400℃で接合形成層112を形成することができる。表面を活性化して接合するには、当該表面を高度に清浄化しておくことが要求されるので、真空中で行うことが好ましく、より好ましくは高真空中で行う。このように、表面処理を経て接合された接合形成層112では、接合強度が向上するため、歩留まりが向上する。

【0039】

10

接合形成層112の接合強度を更に高めるためには、接合後に加熱処理又は加圧処理を行うことが好ましい。第1の接合層110と第2の接合層210が室温にて貼り合わせられた場合には、接合後に熱処理を行うことが、特に好ましい。加熱処理又は加圧処理を行うことで、接合を形成する面において接合に寄与する主な結合を水素結合から共有結合にすることができ、接合強度が向上する。加熱処理の温度は、第1の基板100の耐熱温度以下で行う。加圧処理においては、接合面に対して概ね垂直な方向に圧力を加える。ここで加える圧力は、第1の基板100と第2の基板200の機械的強度を考慮して決定する。

【0040】

20

次に、複数の第2の基板200が貼り合わせられた第1の基板100に対して熱処理を行い、脆化層202を起点として、第2の基板200を第1の基板100から分離する（図1（D）及び図3（C）を参照）。ここで、分離には物理的手段を用いればよい。熱処理の温度は第1の接合層110及び第2の接合層210の形成温度以上、第1の基板100の耐熱温度以下で行うことが好ましい。例えば、第1の基板100としてガラス基板を用いる場合には、概ね400～600℃の熱処理を行うことにより、脆化層202に形成された微小な空洞の体積が変化し、脆化層202に沿って劈開させることが容易となる。第1の基板100として単結晶シリコン基板を用いる場合には概ね1000℃程度までの温度で熱処理を行うことが可能である。接合形成層112は第1の基板100と接合しているので、第1の基板100上には第2の基板200と同じ結晶性のSOI層が残存することとなる。

30

【0041】

なお、物理的手段とは、力学的手段又は機械的手段を意味する。すなわち、対象物に対して力学的エネルギー（機械的エネルギー）を付与する手段を指しており、その手段は、代表的には機械的に力を加えること（例えば、人間の手や把持具で引き剥がす処理、ローラーを回転させながら分離する処理等）である。また、ウォータージェットで劈開して分離する方法を適用しても良い。

【0042】

本実施の形態では、上記の分離工程後にCMPにより研磨することで、残存する損傷層114を除去しつつ平坦化及び薄膜化され、SOI層116が形成される（図1（E）及び図3（D）を参照）。SOI層116の厚さは第2の基板200Aの表面から脆化層202Aまでの距離aより小さくする。具体的には、SOI層116の厚さは概ね5～500nm、好ましくは10～200nmとする。上記説明したように複数の第2の基板200A～200Dを配置した第1の基板100をCMPにより研磨することで、第1の基板100上に、厚さのばらつきの小さいSOI層を形成することができる。なお、複数の第2の基板200A～200Dにより形成されるSOI層をまとめてSOI層116と呼ぶこととする。

40

【0043】

次に、SOI層に対して、結晶性の向上を目的とした熱処理等を、第1の基板100の耐熱温度以下で行うことが好ましい。なお、第1の基板100が単結晶シリコン基板又は石英基板等である場合には概ね1000℃で処理を行うことが可能であるが、第1の基板

50

100がガラス基板である場合には、概ね400～600℃での熱処理に限られる。そこで、第1の基板100がガラス基板である場合には、レーザ照射を行うことが好ましい。レーザ照射には線状レーザを用いることが好ましい。線状レーザを用いることで、高いスループットで処理を行うことができる。上記したようにSOI層の厚さのばらつきを小さくすることができるため、線状レーザを用いて処理を行っても面内ばらつきを生じることなく結晶性を均一にすることができる。

【0044】

なお、本実施の形態では第1の基板100のサイズを縦600mmとし、横720mmとしたが、これに限定されない。第1の基板100のサイズが更に大きくなると、CMPによる面内ばらつきが更に大きくなるため、本実施の形態にて説明したように厚さの異なる第2の基板を配置する効果が更に大きくなる。また、第2の基板200のサイズも特に限定されないことは勿論である。

10

【0045】

また、脆化層202を劈開面として第2の基板200を分離する前に、分離しやすくするためのきっかけを形成してもよい。さらには、第2の基板200を分離する際、第1の基板100又は第2の基板200の少なくとも一方の表面に光又は熱により剥離可能な粘着シートを設けて、第1の基板100及び第2の基板200のいずれかを固定し、他方を引き剥がすと、分離が更に容易になる。このとき、第1の基板100又は第2の基板200の他方に支持部材を設けることで、容易に引き剥がすことができる。

20

【0046】

なお、SOI層116と接合形成層112の間にバリア層を設けても良い。バリア層は、第1の基板100として用いられるガラス基板からアルカリ金属若しくはアルカリ土類金属のような可動イオンとなる不純物元素が拡散してSOI層116がこれらに汚染されることを防止できる材料により形成する。バリア層としては、例えば、窒化シリコン、窒化酸化シリコン若しくは酸化窒化シリコンなどの窒素を含有する絶縁物により単層で、又は積層して形成することができる。例えば、SOI層116側から酸化窒化シリコン層と、窒化酸化シリコン層と、を積層して形成することで、バリア層を設けることができる。

【0047】

なお、ここで酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法(RBS:Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS:Hydrogen Forward Scattering)を用いて測定した場合に、組成範囲として酸素が50～70原子%、窒素が0.5～15原子%、シリコンが25～35原子%、水素が0.1～10原子%の範囲で含まれるものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、RBS及びHFSを用いて測定した場合に、組成範囲として酸素が5～30原子%、窒素が20～55原子%、シリコンが25～35原子%、水素が10～30原子%の範囲で含まれるものをいう。但し、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

30

40

【0048】

なお、第1の接合層110が不要な場合には特に形成しなくても良い(図4を参照)。または、第2の接合層210が不要な場合には特に形成しなくても良い(図5を参照)。なお、接合層が不要な場合とは、接合層を形成しなくとも、貼り合わせ面同士が良好に貼り合わせられる場合をいう。第1の接合層110及び第2の接合層210の一方のみを形成し、又は双方を形成しないことで、工程数が減少し、スループットが向上する。

【0049】

(実施の形態2)

本実施の形態では、本発明の一態様であるSOI基板の作製方法の一例であって、実施の形態1とは異なるものについて、図面を参照して説明する。具体的には、脆化層の除去

50

にCMPではなく、エッチング工程を用いる点異なる。

【0050】

まず、実施の形態1と同様に、第1の基板100と、第2の基板200とを準備し、第1の基板100上に第1の接合層110を形成し、第2の基板200上に第2の接合層210を形成する。第1の基板100及び第2の基板200は、実施の形態1で用いたものと同様のものを用いることができる。また、第1の接合層110及び第2の接合層210は、実施の形態1と同様の材料及び方法によって形成し、貼り合わせ面の処理（平坦性を高める処理又はイオンビーム等により表面を活性化する処理等）も同様に行うことができる。また、第2の基板200には、実施の形態1と同様に、イオン注入により脆化層202を形成しておく。

10

【0051】

第1の接合層110（または第1の基板100）と、第2の接合層210（または第2の基板200）とを密接させることで接合を行う。第1の接合層110と第2の接合層210を接合することにより、接合形成層112が形成される。より強固に接合するためには、第1の基板100と第2の基板200に対して圧力を加えれば良い。ここで、加える圧力の方向は、第1の接合層110と第2の接合層210の接合面に対して、概ね垂直な方向とする。更に、熱処理を行うことで接合強度が向上する。また、圧力を加えた状態で熱処理をしても良い。圧力を加えた状態で熱処理を行うことで、第1の接合層110と第2の接合層210との接合がより強固になるため、接合層間が剥離してしまうことを低減でき、歩留まりが向上する。また、作製される半導体装置の信頼性が向上する。

20

【0052】

次に、第2の基板が有する脆化層202を起点として第2の基板200を分離し、残存する脆化層の一部を除去することで、SOI層を形成する。そして、本実施の形態では、残存する脆化層202をエッチング工程により除去する。エッチングには、ドライエッチングを用いる。しかし、ドライエッチングでは、電界強度の分布によって被処理面内におけるエッチング量にばらつきが生じる。一般に、ドライエッチングにおける電界集中は、被処理面内で同心円状の分布を示すことが多く、被処理物の中央部では電界強度が集中し、被処理物の周縁部では電界強度の集中が弱い。従って、表面から脆化層までの深さが一様な第2の基板を用いた場合には、エッチングによるエッチング量のばらつきがSOI層の厚さのばらつきとなって現れる。

30

【0053】

そこで、本実施の形態では、ドライエッチングにおける電界集中が被処理面内で同心円状の分布を示す場合について説明する。つまり、本実施の形態では、エッチング量の大きい領域には表面から深い位置に脆化層が設けられた第2の基板を配置し、エッチング量の小さい領域には表面から浅い位置に脆化層が設けられた第2の基板を配置する。すなわち、第1の基板の周縁部には、表面から浅い位置に脆化層が設けられた第2の基板を配置して接合させ、基板の中央部には、表面から深い位置に脆化層が設けられた第2の基板を配置して接合させる。

【0054】

表面から脆化層までの深さが異なる複数の第2の基板は、脆化層までの深さを多段階に設定して、配置すればよい。具体例について、図6を参照して説明する。

40

【0055】

図6（A）は、第2の基板200A～200Dの側面図を示す。第2の基板200A～200Dは、接合層表面から脆化層までの深さが異なる。第2の基板200Aは接合層表面から距離aの位置に脆化層202Aが形成され、第2の基板200Bは接合層表面から距離bの位置に脆化層202Bが形成され、第2の基板200Cは接合層表面から距離cの位置に脆化層202Cが形成され、第2の基板200Dは接合層表面から距離dの位置に脆化層202Dが形成されている。なお、a～dの大小関係は $a < b < c < d$ としている。すなわち、本実施の形態では、表面から脆化層までの深さを4段階としている。ただし、これに限定されず、2段階又は3段階に設定しても良いし、更に多段階に設定しても

50

良い。

【0056】

図6(B)は、第2の基板200A~200Dが貼り合わせられる第1の基板100の上面図を示す。第1の基板100は4の領域に区分けされる。ここでは、第1の基板100のサイズは、縦が約600mm、横が約720mmであり、第2の基板200A~200Dのサイズは縦が約120mm、横が約120mmである。従って、第1の基板100上には、第2の基板200を6行5列で配置することができる。ただし、これに限定されず、あらゆるサイズのものを用いることができる。そして、貼り合わせ後の工程でエッチング量の大きい領域(第1の基板100の中央部)には表面から深い位置に脆化層が設けられる第2の基板を配置し、エッチング量の小さい領域(第1の基板100の周縁部)には表面から浅い位置に脆化層が設けられる第2の基板を配置する。すなわち、第1の基板100上の第1の領域231には第2の基板200Dを配置し、第2の領域232には第2の基板200Cを配置し、第3の領域233には第2の基板200Bを配置し、第4の領域234には第2の基板200Aを配置する。このように配置して貼り合わせを行うことで、エッチング量の大きい領域には厚い層が形成され、エッチング量の小さい領域には薄い層が形成されることになる(図6(C)を参照)。

10

【0057】

接合形成層112を形成後、実施の形態1と同様に、加熱処理又は加圧処理を行うことにより、接合強度を向上させることができる。

【0058】

第1の基板100と第2の基板200を貼り合わせた後、実施の形態1と同様に、脆化層202を起点として、第2の基板200を第1の基板100から分離する。本実施の形態では、上記の分離工程後にエッチングされることで平坦化及び薄膜化され、SOI層116が形成される(図6(D)を参照)。SOI層116の厚さは第2の基板200Aの表面から脆化層202Aまでの距離aより小さくする。具体的には、SOI層116の厚さは概ね5~500nm、好ましくは10~200nmとする。上記説明したように第2の基板200A~200Dを配置した第1の基板100をエッチングすることで、第1の基板100上に、厚さのばらつきの小さいSOI層を形成することができる。

20

【0059】

なお、本実施の形態では第1の基板100のサイズを縦600mmとし、横720mmとしたが、これに限定されない。第1の基板100のサイズが更に大きくなると、CMPによる面内ばらつきが更に大きくなるため、本実施の形態にて説明したように厚さの異なる第2の基板を配置する効果が更に大きくなる。また、第2の基板200のサイズも特に限定されないことは勿論である。

30

【0060】

なお、上記の説明に限定されず、第1の接合層110が不要な場合には特に形成しなくても良い(図4を参照)。または、第2の接合層210が不要な場合には特に形成しなくても良い(図5を参照)。なお、これらの接合層が不要な場合とは、接合層を形成しなくとも、貼り合わせ面と被貼り合わせ面が良好に貼り合わせられ、接合強度が十分である場合をいう。第1の接合層110及び第2の接合層210の一方のみを形成し、又は双方を形成しないことで、工程数が減少し、スループットが向上する。

40

【0061】

すなわち、本実施の形態にて説明したように、第2の基板の分離後にCMPではなくエッチング工程を用いる場合には、配置方法を異ならせる必要がある。

【0062】

(実施の形態3)

本実施の形態では、実施の形態1及び実施の形態2を適用して作製したSOI基板を用いて、半導体装置を作製する方法について説明する。

【0063】

まず、図7及び図8を参照して、nチャネル型薄膜トランジスタ(n型TFET)及びp

50

チャンネル型薄膜トランジスタ（p型TFT）の作製方法を説明する。複数の薄膜トランジスタを組み合わせることで、様々な半導体装置を作製することができる。

【0064】

ここで、薄膜トランジスタを作製するための基板として、実施の形態1又は実施の形態2で説明した方法により作製したSOI基板を用いることとする。図7（A）は、本実施の形態にて用いるSOI基板の断面図を示す。

【0065】

まず、SOI層116をエッチングにより素子分離して、島状の半導体層301及び半導体層302を形成する。島状の半導体層301にはn型TFTを形成し、島状の半導体層302にはp型TFTを形成する（図7（B）を参照）。

10

【0066】

次に、島状の半導体層301及び島状の半導体層302上に絶縁層304を形成する。次に、絶縁層304を介して島状の半導体層301上にゲート電極305を形成し、島状の半導体層302上にゲート電極306を形成する（図7（C）を参照）。

【0067】

なお、SOI層116のエッチングを行う前に、TFTのしきい値電圧を制御するために、p型の導電性を付与する不純物元素又はn型の導電性を付与する不純物元素をSOI層116に添加することが好ましい。例えば、n型TFTが形成される領域にボロンを添加し、pチャンネル型TFTが形成される領域にリン又はヒ素を添加する。

【0068】

20

次に、島状の半導体層301にn型の不純物領域307を形成し、島状の半導体層302にp型の高濃度不純物領域309を形成する。まず、島状の半導体層301にn型の不純物領域307を形成する。このため、p型TFTとなる島状の半導体層302をレジストマスクで覆い、n型の導電性を付与する不純物元素（例えば、リン又はヒ素）を島状の半導体層301に添加する。イオンドーピング法によりn型の導電性を付与する不純物元素を添加することにより、ゲート電極305がマスクとなり、島状の半導体層301に自己整合的にn型の不純物領域307が形成される。島状の半導体層301のゲート電極305と重なる領域は、チャンネル形成領域308となる（図7（D）を参照）。

【0069】

次に、島状の半導体層302を覆うマスクを除去した後、n型TFTとなる島状の半導体層301をレジストマスクで覆う。次に、イオンドーピング法によりp型の導電性を付与する不純物元素（例えば、ボロン）を島状の半導体層302に添加する。p型の導電性を付与する不純物元素の添加工程では、ゲート電極306がマスクとして機能して、島状の半導体層302にp型の高濃度不純物領域309が自己整合的に形成される。p型の高濃度不純物領域309はソース領域又はドレイン領域として機能する。島状の半導体層302のゲート電極306と重なる領域はチャンネル形成領域310となる。ここでは、n型の不純物領域307を形成した後、p型の高濃度不純物領域309を形成する方法を説明したが、p型の高濃度不純物領域309を形成した後にn型の不純物領域307を形成してもよい。

30

【0070】

40

次に、島状の半導体層301を覆うレジストマスクを除去した後、窒化シリコン等の窒素化合物や酸化シリコン等の酸化物からなる単層構造又は積層構造の絶縁層を形成する。ここで、絶縁層の形成には、CVD法等を用いればよく、例えばプラズマCVD法を用いることができる。そして、この絶縁層に対して、垂直方向の異方性エッチングを行うことで、ゲート電極305及びゲート電極306の側面に接してサイドウォール絶縁層311及びサイドウォール絶縁層312を形成する。この異方性エッチングにより、絶縁層304も一部を除いてエッチングされる。なお、ここで絶縁層304のエッチングされる領域は、ゲート電極305、ゲート電極306、サイドウォール絶縁層311及びサイドウォール絶縁層312と重畳しない領域である。この工程により、絶縁層313及び絶縁層314が形成される（図8（A）を参照）。

50

【0071】

次に、島状の半導体層302をレジストマスク315で覆い、島状の半導体層301に対してn型の導電性を付与する不純物元素を更に添加する。この添加時には、ゲート電極305及びサイドウォール絶縁層311がマスクとなり、n型の高濃度不純物領域317が形成される。次に、p型の導電性を付与する不純物元素及びn型の導電性を付与する不純物元素を活性化するために加熱処理を行う。

【0072】

上記の加熱処理の後、図8(C)に示すように、絶縁層318を形成する。絶縁層318は水素を含むことが好ましい。絶縁層318を形成後、350℃以上450℃以下で加熱処理を行い、絶縁層318中に含まれる水素を島状の半導体層301及び島状の半導体層302中に拡散させる。絶縁層318は、プロセス温度が350℃以下のプラズマCVD法により、窒化シリコン又は窒化酸化シリコンを堆積することで形成できる。絶縁層318に水素を含ませると、島状の半導体層301及び島状の半導体層302に水素を供給することができ、島状の半導体層301及び島状の半導体層302中、並びに島状の半導体層301と絶縁層313の界面、及び島状の半導体層302と絶縁層314の界面に存在する捕獲中心となる欠陥を効果的に終端することができる。

10

【0073】

次に、絶縁層319を形成する。絶縁層319は、酸化シリコン、BPSG(Boro Phospho Silicate Glass)等の無機材料からなる絶縁層、または、ポリイミド、アクリル等の有機材料からなる絶縁層から選ばれたものを単層で、または積層して形成することができる。

20

【0074】

次に、絶縁層319にコンタクトホールを形成し、配線320を形成する。配線320は、例えば、アルミニウムまたはアルミニウム合金等の低抵抗金属をバリアメタルで挟んだ3層構造の導電層で形成することができる。バリアメタルは、モリブデン、クロム又はチタン等の金属材料により形成することができる。

【0075】

以上の工程により、nチャネル型TFTとpチャネル型TFTを有する半導体装置を作製することができる。SOI基板の作製過程で、チャネル形成領域を構成する半導体層の金属元素の濃度を低減させているので、オフ電流が小さく、しきい値電圧の変動が抑制されたTFTを作製することができる。

30

【0076】

以上、図7及び図8を参照してTFTの作製方法を説明したが、容量又は抵抗等のTFT以外の各種半導体素子を形成することで、付加価値の高い半導体装置を作製することができる。以下、半導体装置の具体的な態様について図面を参照して説明する。

【0077】

まず、半導体装置の一例として、マイクロプロセッサについて説明する。図9はマイクロプロセッサ330の構成例を示すブロック図である。

【0078】

マイクロプロセッサ330は、演算回路331(Arithmetic Logic Unit。ALUともいう。)、演算回路制御部332、命令解析部333、割り込み制御部334、タイミング制御部335、レジスタ336、レジスタ制御部337、バスインターフェース338、読み出し専用メモリであるROM339、及びROMインターフェース340を有する。

40

【0079】

バスインターフェース338を介してマイクロプロセッサ330に入力された命令は、命令解析部333に入力されてデコードされた後、演算回路制御部332、割り込み制御部334、レジスタ制御部337及びタイミング制御部335に入力される。演算回路制御部332、割り込み制御部334、レジスタ制御部337及びタイミング制御部335は、デコードされた命令に基づいて様々な制御を行う。

50

【0080】

演算回路制御部332は、演算回路331の動作を制御するための信号を生成する。また、割り込み制御部334は、マイクロプロセッサ330がプログラム実行中のときに外部の入出力装置や周辺回路からの割り込み要求を処理する回路である。割り込み制御部334は、割り込み要求の優先度等を判断し、割り込み要求を処理する。レジスタ制御部337は、レジスタ336のアドレスを生成し、マイクロプロセッサ330の状態に応じてレジスタ336の読み出し及び書き込みを行う。タイミング制御部335は、演算回路331、演算回路制御部332、命令解析部333、割り込み制御部334及びレジスタ制御部337の動作のタイミングを制御する信号を生成する。例えば、タイミング制御部335は、基準クロック信号CLK1を用いて内部クロック信号CLK2を生成する、内部クロック生成部を備えている。図9に示すように、内部クロック信号CLK2は他の回路に入力される。

10

【0081】

次に、非接触でデータの送受信を行う機能及び演算機能を備えた半導体装置の一例について説明する。図10は、このような半導体装置の構成例を示すブロック図である。図10に示す半導体装置は、無線通信により外部装置と信号の送受信を行って動作するコンピュータという（以下、「RF CPU」という。）ことができる。

【0082】

図10に示すように、RF CPU351は、アナログ回路部352及びデジタル回路部353を有する。アナログ回路部352は、共振容量を有する共振回路354、整流回路355、定電圧回路356、リセット回路357、発振回路358、復調回路359及び変調回路360を有する。デジタル回路部353は、RFインターフェース361、制御レジスタ362、クロックコントローラ363、CPUインターフェース364、CPU365、RAM366、ROM367を有する。なお、CPUは、中央処理ユニットであり、RAMはランダムアクセスメモリであり、ROMは読み出し専用メモリである。

20

【0083】

RF CPU351の動作の概要は以下の通りである。アンテナ368が受信した信号は共振回路354により誘導起電力を生じる。誘導起電力は、整流回路355を経て容量部369を充電する。この容量部369は、セラミックコンデンサ又は電気二重層コンデンサ等のキャパシタで形成されていることが好ましい。容量部369は、RF CPU351を構成する基板に集積されている必要はなく、他の部品としてRF CPU351に組み込まれてもよい。

30

【0084】

リセット回路357は、デジタル回路部353を初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路358は、定電圧回路356により生成される制御信号に応じて、クロック信号の周波数とデューティ比を変更する。復調回路359は、受信信号を復調する回路であり、変調回路360は、送信するデータを変調する回路である。

【0085】

例えば、復調回路359はローパスフィルタで形成され、振幅変調（ASK）方式の受信信号を、その振幅の変動をもとにして二値化する。また、送信データを振幅変調（ASK）方式の送信信号の振幅を変動させて送信するため、変調回路360は、共振回路354の共振点を変化させることで通信信号の振幅を変化させる。

40

【0086】

クロックコントローラ363は、電源電圧またはCPU365における消費電流に応じて、クロック信号の周波数とデューティ比を変更するための制御信号を生成する。電源電圧の監視は電源管理回路370が行っている。

【0087】

アンテナ368からRF CPU351に入力された信号は、復調回路359で復調された後、RFインターフェース361で制御コマンドやデータ等に分解される。制御コマン

50

ドは制御レジスタ 362 に格納される。制御コマンドには、ROM 367 に記憶されているデータの読み出し、RAM 366 へのデータの書き込み、CPU 365 への演算命令等が含まれている。

【0088】

CPU 365 は、CPU インターフェース 364 を介して ROM 367、RAM 366、制御レジスタ 362 にアクセスする。CPU インターフェース 364 は、CPU 365 が要求するアドレスにより、ROM 367、RAM 366 及び制御レジスタ 362 のいずれかに対するアクセス信号を生成する機能を有する。

【0089】

なお、CPU 365 の演算方式は、ROM 367 に OS（オペレーティングシステム）を記憶させ、起動とともにプログラムを読み出して実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の演算処理を行い、その他の演算はプログラムを用いて CPU 365 が処理する方式を適用することができる。

【0090】

次に、図 11 乃至図 12 を参照して、半導体装置の一種である表示装置について説明する。

【0091】

実施の形態 1 及び実施の形態 2 で説明した SOI 基板の作製工程では、第 1 の基板をガラス基板とすることができる。従って、第 1 の基板にガラス基板を用い、第 1 の基板上に複数の半導体層を形成することで、一辺が 1 メートルを超える大面積の SOI 基板を作製することができる。

【0092】

第 1 の基板として、例えば、マザーガラスと呼ばれる大面積ガラス基板を用いることができる。図 11 は第 1 の基板 100 としてマザーガラスを用いた場合の上面図である。このような大面積の基板に複数の半導体素子を設けることで、液晶表示装置及びエレクトロルミネッセンス表示装置を作製することができる。また、このような表示装置だけでなく、太陽電池、フォト IC、半導体記憶装置など各種の半導体装置を製造することができる。

【0093】

実施の形態 1 又は実施の形態 2 にて説明したように、第 1 の基板としてマザーガラスを用いた場合には、1 枚のマザーガラスには複数の半導体基板から分離されて形成された SOI 層が設けられている。マザーガラスから複数の表示パネルを切り出すためには、一の表示パネルを形成する領域の全面が SOI 層に含まれるように形成することが好ましい。一の表示パネルを形成する領域には、走査線駆動回路、信号線駆動回路及び画素部が含まれる。

【0094】

図 11 は液晶表示装置を説明するための図面である。図 11 (A) は液晶表示装置の画素部が有する一画素の上面図であり、図 11 (B) は図 11 (A) の A-B における断面図である。

【0095】

図 11 (A) において、画素は、半導体層 420、半導体層 420 と交差する走査線 422、走査線 422 と交差する信号線 423、画素電極 424、及び画素電極 424 と半導体層 420 とを接続させる電極 428 を有する。半導体層 420 は、第 1 の基板 100 に貼り合わせられた SOI 層 116 から形成された層であり、画素の TFT 425 を構成する。

【0096】

SOI 基板としては、実施の形態 1 又は実施の形態 2 にて説明した方法により作製された SOI 基板が用いられている。図 11 (B) に示すように、第 1 の基板 100 上に、接

10

20

30

40

50

合形成層 112 を有し、接合形成層 112 上に半導体層 420 を有する。ここでは第 1 の基板 100 として、ガラス基板を用いている。TFT 425 が有する半導体層 420 は、SOI 層 116 をエッチングにより素子分離して形成された層である。半導体層 420 には、チャンネル形成領域 440、n 型の導電性を付与する不純物元素が添加された不純物領域 441 が形成されている。TFT 425 のゲート電極は走査線 422 に含まれ、ソース電極及びドレイン電極の一方は信号線 423 に含まれる。

【0097】

絶縁層 427 上には、信号線 423、画素電極 424 及び電極 428 が設けられている。絶縁層 427 上には、柱状スペーサ 429 が形成されている。そして、信号線 423、画素電極 424、電極 428 及び柱状スペーサ 429 を覆って配向膜 430 が形成されている。対向基板 432 には、対向電極 433、対向電極 433 を覆って配向膜 434 が形成されている。柱状スペーサ 429 は、第 1 の基板 100 により形成されるアクティブマトリクス基板と対向基板 432 とのギャップを一定に保持するために設けられている。柱状スペーサ 429 によって形成されたギャップには液晶層 435 が設けられている。図 11 に示すように、コンタクトホールと重畳する領域に柱状スペーサ 429 を配置することが好ましい。

10

【0098】

図 12 はエレクトロルミネセンス表示装置（以下、EL 表示装置という。）を説明するための図面である。図 12 (A) は EL 表示装置の画素部が有する一画素の上面図であり、図 12 (B) は、図 12 (A) の C-D における断面図である。

20

【0099】

図 12 (A) に示すように、画素は、選択用トランジスタ 451、表示制御用トランジスタ 452、走査線 455、信号線 456 及び電流供給線 457、第 1 の画素電極 458 を有する。エレクトロルミネセンス材料を含んで形成される層（EL 層）が一对の電極間に挟まれた構造の発光素子が各画素に設けられている。また、第 1 の画素電極 458 が、EL 層を挟む電極の一方である。また、半導体層 453 は、選択用トランジスタ 451 のチャンネル形成領域、ソース領域及びドレイン領域を形成する。半導体層 454 は、表示制御用トランジスタ 452 のチャンネル形成領域、ソース領域及びドレイン領域を形成する。半導体層 453 及び半導体層 454 は、第 1 の基板 100 に貼り合わせられた SOI 層 116 から形成された層である。

30

【0100】

選択用トランジスタ 451 において、ゲート電極は走査線 455 に含まれ、ソース電極及びドレイン電極の一方は信号線 456 に含まれ、他方は電極 461 として形成されている。また、表示制御用トランジスタ 452 において、ゲート電極 462 が電極 461 と電氣的に接続され、ソース電極及びドレイン電極の一方は、第 1 の画素電極 458 に電氣的に接続される電極 463 として形成されており、他方は電流供給線 457 に含まれている。

【0101】

表示制御用トランジスタ 452 は p 型 TFT である。図 12 (B) に示すように、半導体層 454 には、チャンネル形成領域 491 及び p 型の導電性を付与する不純物元素が添加された不純物領域 492 が形成されている。なお、SOI 基板としては、実施の形態 1 又は実施の形態 2 にて説明した方法により作製された SOI 基板が用いられている。

40

【0102】

また、表示制御用トランジスタ 452 を覆って、絶縁層 477 が形成されている。絶縁層 477 上には、信号線 456、電流供給線 457、電極 461 及び電極 463 等が形成されている。また、絶縁層 477 上には、電極 463 に接続されている第 1 の画素電極 458 が形成されている。第 1 の画素電極 458 の周辺部は、絶縁性の隔壁 478 で囲まれている。第 1 の画素電極 458 上には EL 層 479 が設けられ、EL 層 479 上には第 2 の画素電極 480 が設けられている。また、補強板として対向基板 481 が設けられており、対向基板 481 は樹脂層 482 を介して第 1 の基板 100 に固定されている。

50

【0103】

EL表示装置の階調の制御方式には、発光素子の輝度を電流で制御する電流駆動方式と、電圧で制御する電圧駆動方式とがあるが、電流駆動方式では、トランジスタの特性値の差が大きい場合には採用することは困難であり、採用するためには特性のばらつきを補正する補正回路を要する。実施の形態1及び実施の形態2にて説明したSOI基板の作製方法を用いることによりSOI層の厚さのばらつきを小さくし、半導体層のばらつきを小さくすることができ、トランジスタ間の特性のばらつきを小さくし、補正回路を有することなく電流駆動方式を採用することが可能となる。

【0104】

また、実施の形態1及び実施の形態2にて説明したSOI基板を用いることで、表示装置のみならず様々な電気機器を作製することができる。このような電気機器としては、ビデオカメラ、デジタルカメラ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍など）、記録媒体を備えた画像再生装置（具体的にはDVD（digital versatile disc）等の記録媒体に記憶された音声データを再生し、且つ記憶された画像データを表示しうる表示装置を備えた装置等が含まれる。

10

【0105】

図13を参照して、電気機器の具体的な態様を説明する。図13（A）は携帯電話機の一例を示す。携帯電話機501は、表示部502及び操作スイッチ503等を含んで構成されている。表示部502に、図11を参照して説明した液晶表示装置又は図12を参照して説明したEL表示装置を適用することで、表示むらが少なく画質の優れた表示部502とすることができる。

20

【0106】

図13（B）はデジタルプレーヤーの一例を示す。デジタルプレーヤー511は、表示部512、操作部513及びイヤホン514等を含んで構成されている。イヤホン514の代わりにヘッドホン又は無線式イヤホンを用いてもよい。表示部512に、図11を参照して説明した液晶表示装置又は図12を参照して説明したEL表示装置を適用することで、画面サイズが0.3インチから2インチ程度の場合であっても、表示むらが少なく画質の優れた表示部502とすることができ、表示部502には高精細な画像及び多量の文字情報を表示することができる。

30

【0107】

図13（C）は、電子ブック521の外観図である。この電子ブック521は、表示部522及び操作スイッチ523を含んで構成されている。電子ブック521にはモデムが内蔵されていてもよいし、図10に示したR F C P Uを内蔵させて、無線で情報を送受信することができる構成としてもよい。表示部522には、図11を参照して説明した液晶表示装置又は図12を参照して説明したEL表示装置を適用することで、表示むらが少なく画質の優れた表示部522とすることができる。

【0108】

図14は、図13とは異なる形態の携帯電話の一例であり、図14（A）が正面図、図14（B）が背面図、図14（C）が2つの筐体をスライドさせたときの正面図である。図14に示すスマートフォン携帯電話は、筐体601及び602二つの筐体で構成されている。図14に示すスマートフォン携帯電話は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能な所謂スマートフォンである。

40

【0109】

図14に示すスマートフォン携帯電話は、筐体601及び602の二つの筐体で構成されている。筐体601においては、表示部603、スピーカ604、マイクロフォン605、操作キー606、ポインティングデバイス607、表面カメラ用レンズ608、外部接続端子ジャック609、イヤホン端子610等を備え、筐体602においては、キーボ

50

ード611、外部メモリスロット612、裏面カメラ613、ライト614等を備えているなどにより構成されている。また、アンテナは筐体601内部に内蔵されている。

【0110】

また、上記構成に加えて、非接触ICチップ、小型記録装置等を内蔵していてもよい。

【0111】

重なり合った筐体601と筐体602（図14（A）に示す。）はスライドし、図14（C）のように展開する。表示部603には、上記実施の形態に示される表示装置を組み込むことが可能であり、使用形態に応じて表示の方向が適宜変化する。表示部603と同一面上に及び表面カメラ用レンズ608を同一の面に備えているため、テレビ電話が可能である。また、表示部603をファインダーとし裏面カメラ613及びライト614で静止画及び動画の撮影が可能である。

10

【0112】

スピーカ604及びマイクロフォン605は音声通話に限らず、テレビ電話、録音、再生等の用途に使用できるが可能である。操作キー606では、電話の発着信、電子メール等の簡単な情報入力、画面のスクロール、カーソル移動等が可能である。

【0113】

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード611を用いると便利である。更に、重なり合った筐体601と筐体602（図14（A））はスライドし、図14（C）のように展開し、携帯情報端末としての使用できる場合は、キーボード611、ポインティングデバイス607を用い円滑な操作でマウスの操作が可能である。外部接続端子ジャック609はACアダプタ及びUSBケーブル等の各種ケーブルと接続可能であり、充電及びパーソナルコンピュータ等とのデータ通信が可能である。また、外部メモリスロット612に記録媒体を挿入しより大量のデータ保存及び移動に対応できる。

20

【0114】

筐体602の裏面（図14（B））には、裏面カメラ613及びライト614を備えており、表示部603をファインダーとし静止画及び動画の撮影が可能である。

【0115】

また、上記機能構成に加えて、赤外線通信機能、USBポート、テレビワンセグ受信機能、非接触ICチップ、イヤホンジャック等を備えたものであってもよい。

30

【符号の説明】

【0116】

- 100 第1の基板
- 110 第1の接合層
- 112 接合形成層
- 114 残存する損傷層
- 116 SOI層
- 200 第2の基板
- 200A 第2の基板
- 200B 第2の基板
- 200C 第2の基板
- 200D 第2の基板
- 201 保護層
- 202 脆化層
- 202A 脆化層
- 202B 脆化層
- 202C 脆化層
- 202D 脆化層
- 210 第2の接合層
- 221 第1の領域

40

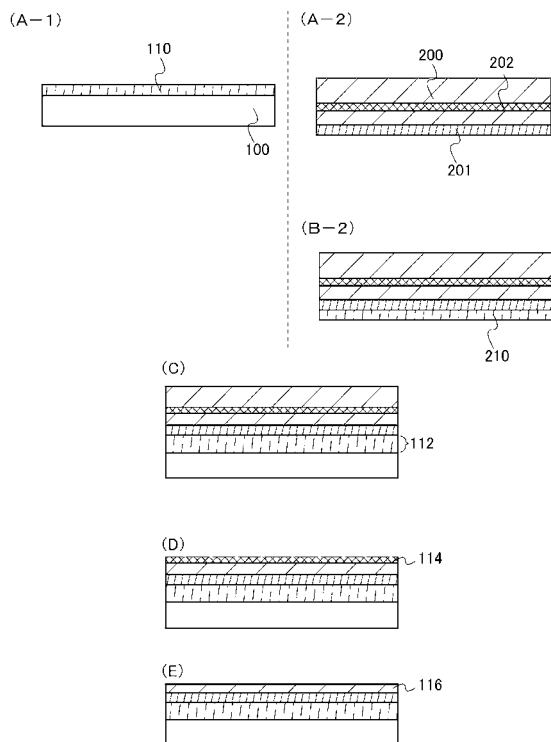
50

2 2 2	第 2 の領域	
2 2 3	第 3 の領域	
2 2 4	第 4 の領域	
2 3 1	第 1 の領域	
2 3 2	第 2 の領域	
2 3 3	第 3 の領域	
2 3 4	第 4 の領域	
3 0 1	半導体層	
3 0 2	半導体層	
3 0 4	絶縁層	10
3 0 5	ゲート電極	
3 0 6	ゲート電極	
3 0 7	不純物領域	
3 0 8	チャネル形成領域	
3 0 9	高濃度不純物領域	
3 1 0	チャネル形成領域	
3 1 1	サイドウォール絶縁層	
3 1 2	サイドウォール絶縁層	
3 1 3	絶縁層	
3 1 4	絶縁層	20
3 1 5	レジストマスク	
3 1 7	高濃度不純物領域	
3 1 8	絶縁層	
3 1 9	絶縁層	
3 2 0	配線	
3 3 0	マイクロプロセッサ	
3 3 1	演算回路	
3 3 2	演算回路制御部	
3 3 3	命令解析部	
3 3 4	割り込み制御部	30
3 3 5	タイミング制御部	
3 3 6	レジスタ	
3 3 7	レジスタ制御部	
3 3 8	バスインターフェース	
3 3 9	ROM	
3 4 0	ROMインターフェース	
3 5 1	R F C P U	
3 5 2	アナログ回路部	
3 5 3	デジタル回路部	
3 5 4	共振回路	40
3 5 5	整流回路	
3 5 6	定電圧回路	
3 5 7	リセット回路	
3 5 8	発振回路	
3 5 9	復調回路	
3 6 0	変調回路	
3 6 1	R F インターフェース	
3 6 2	制御レジスタ	
3 6 3	クロックコントローラ	
3 6 4	C P U インターフェース	50

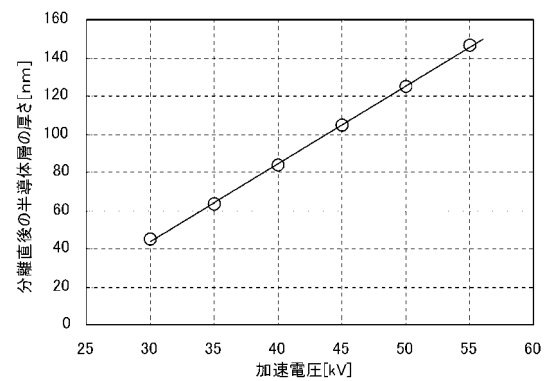
3 6 5	C P U	
3 6 6	R A M	
3 6 7	R O M	
3 6 8	アンテナ	
3 6 9	容量部	
3 7 0	電源管理回路	
4 2 0	半導体層	
4 2 2	走査線	
4 2 3	信号線	
4 2 4	画素電極	10
4 2 5	T F T	
4 2 7	絶縁層	
4 2 8	電極	
4 2 9	柱状スペーサ	
4 3 0	配向膜	
4 3 2	対向基板	
4 3 3	対向電極	
4 3 4	配向膜	
4 3 5	液晶層	
4 4 0	チャンネル形成領域	20
4 4 1	不純物領域	
4 5 1	選択用トランジスタ	
4 5 2	表示制御用トランジスタ	
4 5 3	半導体層	
4 5 4	半導体層	
4 5 5	走査線	
4 5 6	信号線	
4 5 7	電流供給線	
4 5 8	第 1 の画素電極	
4 6 1	電極	30
4 6 2	ゲート電極	
4 6 3	電極	
4 7 7	絶縁層	
4 7 8	隔壁	
4 7 9	E L 層	
4 8 0	第 2 の画素電極	
4 8 1	対向基板	
4 8 2	樹脂層	
4 9 1	チャンネル形成領域	
4 9 2	不純物領域	40
5 0 1	携帯電話機	
5 0 2	表示部	
5 0 3	操作スイッチ	
5 1 1	デジタルプレーヤー	
5 1 2	表示部	
5 1 3	操作部	
5 1 4	イヤホン	
5 2 1	電子ブック	
5 2 2	表示部	
5 2 3	操作スイッチ	50

- 601 筐体
- 602 筐体
- 603 表示部
- 604 スピーカ
- 605 マイクロフォン
- 606 操作キー
- 607 ポインティングデバイス
- 608 表面カメラ用レンズ
- 609 外部接続端子ジャック
- 610 イヤホン端子
- 611 キーボード
- 612 外部メモリスロット
- 613 裏面カメラ
- 614 ライト

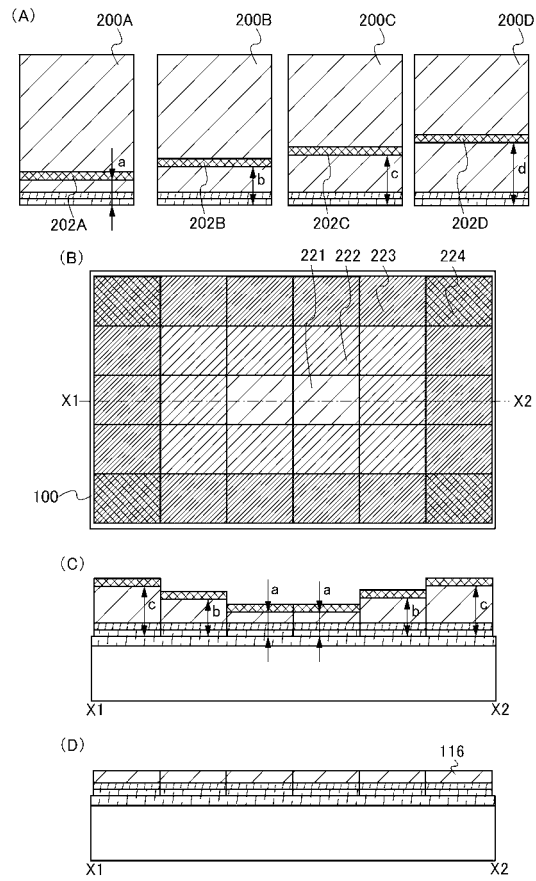
【図 1】



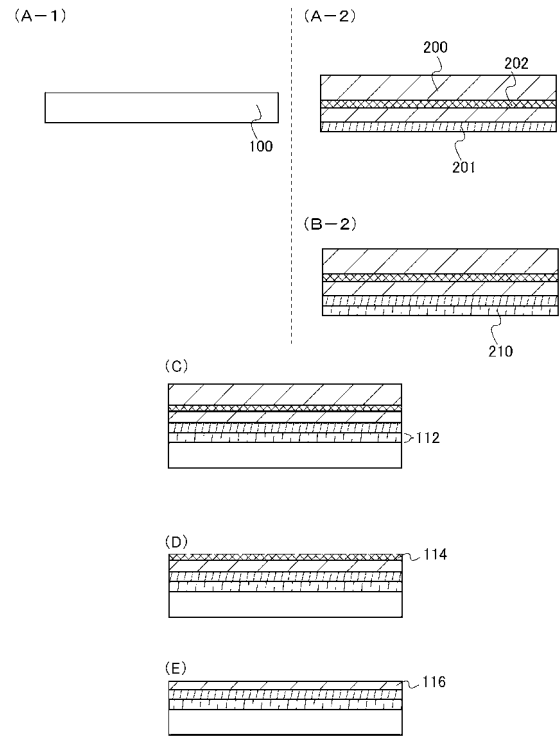
【図 2】



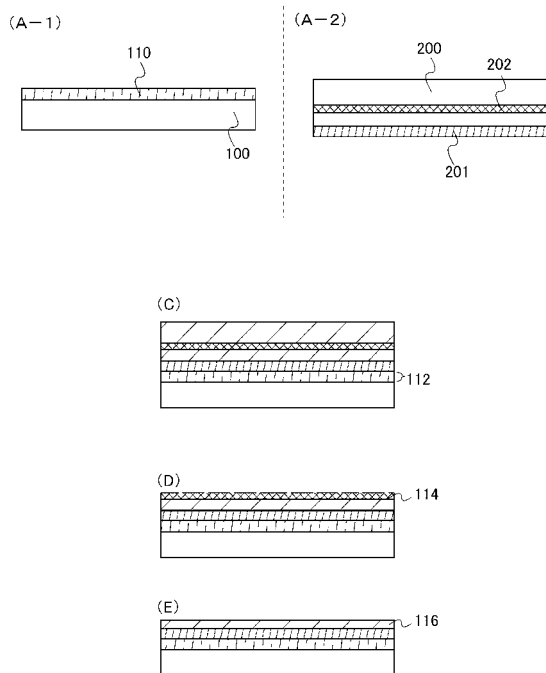
【図 3】



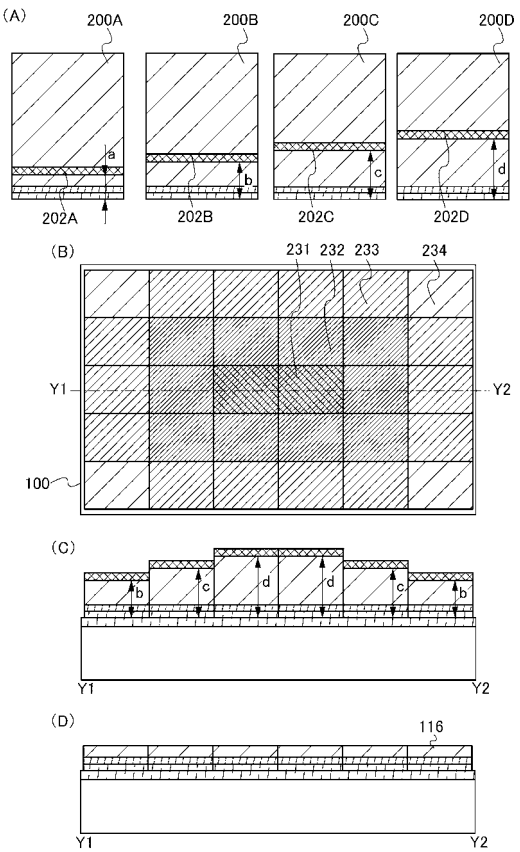
【図 4】



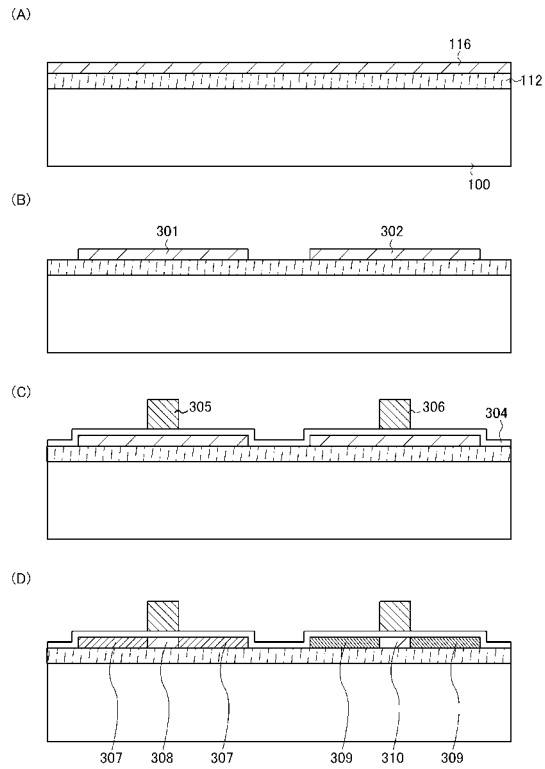
【図 5】



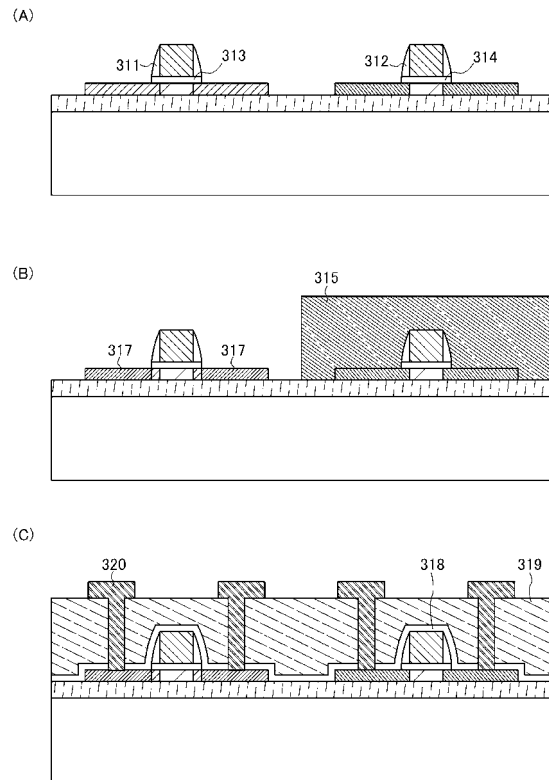
【図 6】



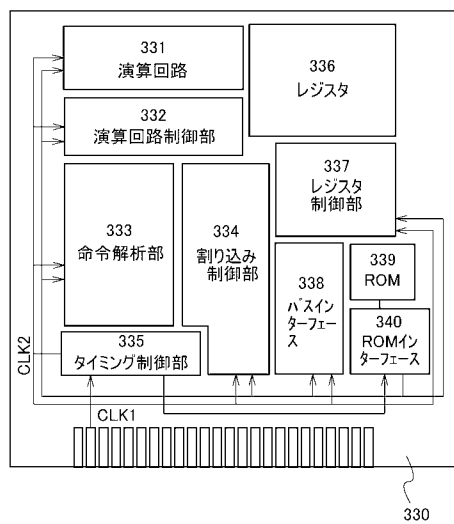
【圖 7】



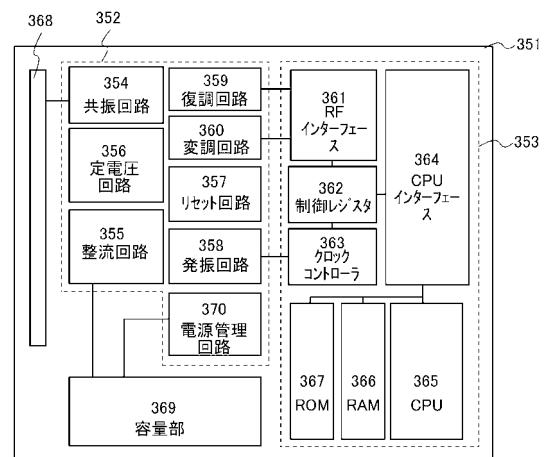
【图 8】



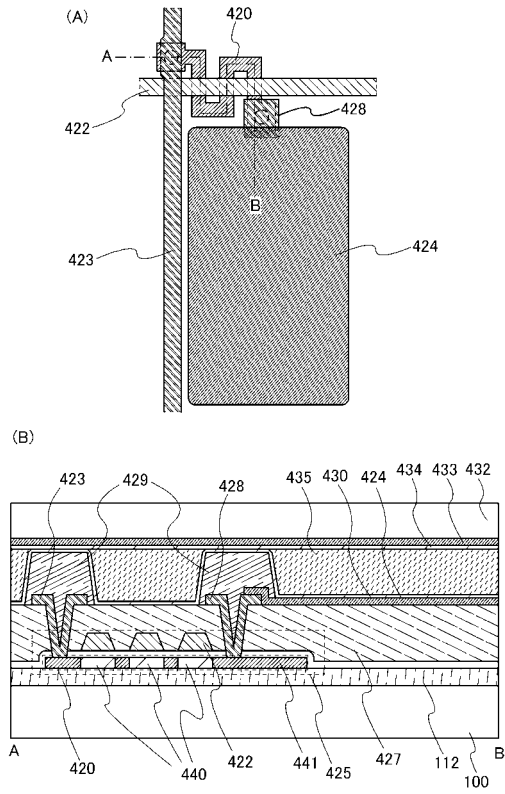
【图 9】



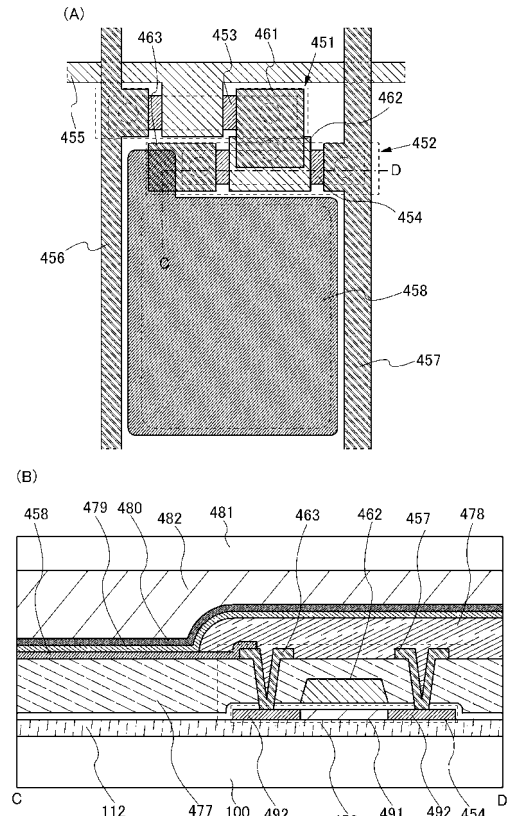
【図 10】



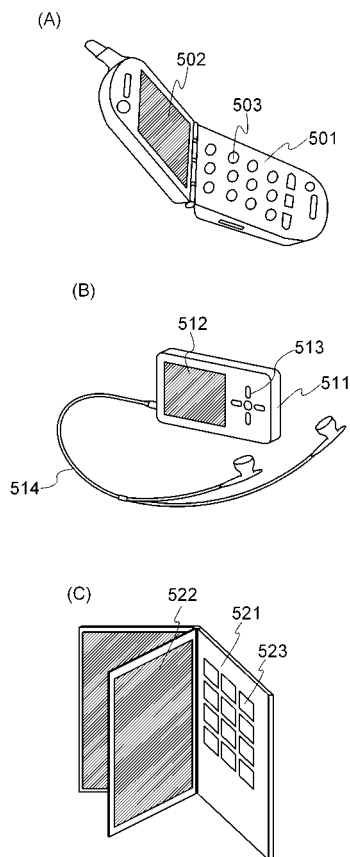
【図 1 1】



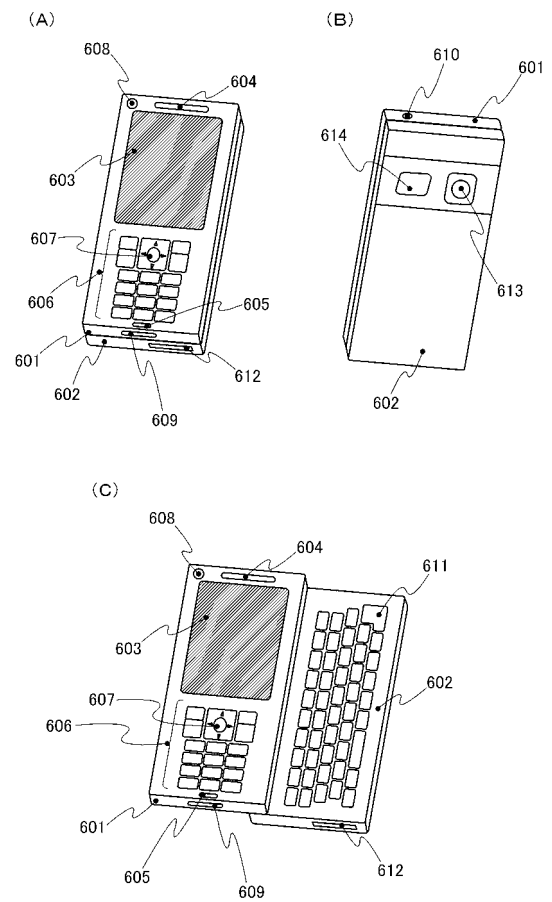
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(51)Int.Cl.		F I	
<i>H 0 1 L</i>	<i>27/08</i>	<i>(2006.01)</i>	<i>G 0 2 F</i> 1/1368
<i>G 0 2 F</i>	<i>1/1368</i>	<i>(2006.01)</i>	<i>H 0 5 B</i> 33/02
<i>H 0 5 B</i>	<i>33/02</i>	<i>(2006.01)</i>	<i>H 0 5 B</i> 33/14 A
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	<i>H 0 5 B</i> 33/14 Z
<i>H 0 5 B</i>	<i>33/14</i>	<i>(2006.01)</i>	<i>H 0 1 L</i> 21/304 6 2 1 D
<i>H 0 1 L</i>	<i>21/304</i>	<i>(2006.01)</i>	<i>H 0 1 L</i> 21/302 1 0 5 B
<i>H 0 1 L</i>	<i>21/3065</i>	<i>(2006.01)</i>	

(56)参考文献 特開 2 0 0 7 - 1 9 4 4 8 0 (J P, A)
 特開 2 0 0 5 - 0 1 1 8 3 4 (J P, A)
 特表 2 0 0 8 - 5 1 1 1 3 7 (J P, A)
 特表 2 0 0 5 - 5 3 9 2 5 9 (J P, A)

(58)調査した分野(Int.Cl., DB名)

<i>H 0 1 L</i>	<i>2 1 / 0 2</i>
<i>G 0 2 F</i>	<i>1 / 1 3 6 8</i>
<i>H 0 1 L</i>	<i>2 1 / 2 6 5</i>
<i>H 0 1 L</i>	<i>2 1 / 3 0 4</i>
<i>H 0 1 L</i>	<i>2 1 / 3 0 6 5</i>
<i>H 0 1 L</i>	<i>2 1 / 3 3 6</i>
<i>H 0 1 L</i>	<i>2 7 / 0 8</i>
<i>H 0 1 L</i>	<i>2 7 / 1 2</i>
<i>H 0 1 L</i>	<i>2 9 / 7 8 6</i>
<i>H 0 1 L</i>	<i>5 1 / 5 0</i>
<i>H 0 5 B</i>	<i>3 3 / 0 2</i>
<i>H 0 5 B</i>	<i>3 3 / 1 4</i>