

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國 (地 區) 申請專利，申請日期：1995.2.15 案號：08/390344, ☐有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

1. 發明領域

本發明係概括地關於引線接合型晶片之有機晶片載體。

2. 相關技術敘述

半導體積體電路裝置(下文中稱為半導體晶片或僅稱為晶片)的電氣包裝一般係將一個或幾個晶片貼置於一諸如礬土等陶瓷晶片載體基底上，並使用引線接合以便將各晶片上的輸入/輸出(input/output I/O)接觸墊電氣連接至陶瓷晶片載體基底上的對應接觸墊(並從而連接至對應之扇出電路)。其結果的陶瓷晶片載體則再貼置在印刷電路板(PCB)或印刷電路卡(PCC)上，並藉此(經由PCB或PCC上之電路)電氣連接到貼置在PCB或PCC上的其他此類陶瓷晶片載體及/或其他電子元件。

雖然上述包裝方法當然很有用，但使用陶瓷晶片載體的確會有某些限制與缺點。例如，如已知的實況，電氣信號推進通過介電層上一引線或二介電層之間引線的速率正比於介電層或諸介電層之介電常數的平方根值倒數。但是陶瓷的介電常數卻相當大，譬如礬土的介電常數約為9，此會導致陶瓷晶片載體的信號推進速率相當低，且在某些情況下低得不能接受。

陶瓷晶片載體基底之使用亦導致某些I/O限制。例如，單層陶瓷晶片載體基底僅包括單一層的扇出電路在單陶瓷層的上側表面，延伸至圍繞該單一陶瓷層外側週邊之接觸墊。(一接線框之內側接線連接至這些週邊接觸墊，且該種接線框一般被用以將此種陶瓷晶片載體電氣連接至PCB或PCC

五、發明說明(2)

。)但當晶片I/O數目增加時，就需要增加扇出引線數目，並從而減少扇出引線間之間隔，該間隔減少的程度小到鄰接扇出引線間的不良串音變得無法接受。此外，要在圍繞陶瓷層外側週邊形成對應的大量接觸墊即使不是不可能，也愈形困難。故單層陶瓷晶片載體基底在處理高I/O晶片方面的能力確實受到限制。

容納具有相當大量I/O之晶片的企圖導致使用採取所謂球格陣列(ball grid array BGA)代替接線框之多層陶瓷晶片載體基底。這些型式的陶瓷晶片載體基底異於單層陶瓷晶片載體基底，因其在二個或更多個陶瓷層上包括二個或更多個扇出電路層。重要的是，這些扇出電路層被以機械方式穿孔而在電氣上相互連接，這些孔被導電材料電鍍並/或填充。此外，這些孔中的某一些自扇出電路層延伸至降落在晶片載體基底的底部上，在晶片載體基底的底部上貼置有錫球(諸錫球形成格子陣列，所以稱為球格陣列)。這些錫球之作用是在機械上或電氣上連接PCB或PCC上對應的可錫接觸墊。然而用來在電氣上相互連接諸扇出電路層之機械鑽孔有相當大的直徑，故要求扇出引線間之間隔相當大。但此種扇出引線間相當大的間隔限制了此種多層陶瓷晶片載體基底所能容納的晶片I/O數目。

包裝具有相當大數量晶片I/O之晶片的其他企圖導致使用多層陶瓷基底中之多段空穴。(本文中所指"空穴"是基底內的一個凹陷而非延伸穿透基底厚度的孔。)當使用此種包裝型態時，一晶片面朝上貼置在多段空穴的底部。引線接合

五、發明說明(3)

從晶片上側表面上的I/O接觸墊延伸至構成多段空穴之不同段的多層陶瓷基底之不同層的暴露在外之各上側表面上的接觸墊。雖然此種型態確實使容納相當大數量的晶片I/O成為可能，但其造成相當長的引線接合自晶片延伸至多段空穴的諸上側段。結果對應電氣信號之"飛越時間"不良地增加。

陶瓷晶片載體在其散熱能力方面亦受限制。譬如在晶片置於多段空穴底部之多層陶瓷晶片載體的情形下，散熱一般係藉提供一直接在空穴下方的散熱片來達成。但此表示晶片產生的熱量在達到散熱片之前必須傳導通過空穴底部之陶瓷層。結果就限制了散熱率。

故從事於晶片載體開發者迄今尚未成功地尋找到符合下列條件之晶片載體：(1)呈現相當高的電氣信號推進速率；(2)容納相當高的I/O之晶片，同時在相互連接扇出電路之諸不同層時避免需要機械鑽孔；(3)呈現相當短的"飛越時間"；及(4)呈現相當高的散熱率。

發明概述

本發明係關於一種晶片載體，該種晶片載體：(1)呈現相當高的電氣信號推進速率；(2)容納相當高的I/O之晶片，同時在相互連接扇出電路之諸不同層時避免需要機械鑽孔；(3)避免使用相當長的引線接合，並藉此達成相當短的"飛越時間"；及(4)達成相當高的散熱率。

重要的是，本發明性晶片載體採用諸如以FR4及DriClad商標銷售之環氧基樹脂/玻璃形式的有機介電材料代替陶瓷

五、發明說明(4)

介電材料。這些有機材料有相當低的介電常數，譬如FR4之介電常數為4.0。結果使本發明性晶片載體呈現相當高的電氣信號推進速率。

本發明性晶片載體亦採用一有機可光學成像之介電層做為薄膜重分配層(film redistribution layer FRL)。亦即此特殊有機介電層對光敏感，且正如光阻劑般輕易地選擇性地透過一覆罩曝光並顯影以在可光學成像介電層內形成通過孔(此處稱為光通路以有別於機械鑽穿的通過孔)。重要的是，這些光通路可輕易地形成，而其直徑遠小於使用傳統機械鑽孔技術形成之通路的直徑。例如，傳統鑽孔通路孔的直徑一般不小於約千分之12英吋(0.012英吋)，而光通路的直徑可小到諸如千分之2英吋(0.002英吋)。所以當此種可光學成像介電層(或諸介電層)包含在本發明性晶片載體內時，就有可能相互連接2(或更多)層扇出電路，而其對諸扇出引線間間隔的限制程度低於使用機械鑽孔通路者。結果使本發明性晶片載體所容納的晶片具有之I/O數大於傳統陶瓷晶片載體所可能具有的。

本發明性晶片載體進一步採用單段空穴以容納一晶片而不採用多段空穴。結果避免了相當長的引線接合。從而使本發明性晶片載體對應電氣信號而言達成相當短的"飛越時間"。

在本發明的一種具體實例中，熱通路孔配置在單段空穴下方，延伸至晶片載體底部以將晶片產生的熱放出。在另一種具體實例中，一散熱片直接配置在熱通路孔的下面以進

五、發明說明(5)

一步提昇散熱率。還有另一種具體實例，晶片載體包括一諸如銅的金屬層當做散熱器且單段空穴之深度延伸至一甚至進入金屬層。此會使空穴中的晶片與散熱器間有實體的直接接觸，從而造成甚至更大的散熱率。

在另一種具體實例中，本發明性晶片載體包括至少二個有機層，而有一接地平面夾層在其間。與此種具體實例關聯之單段空穴的深度延伸至少到該接地平面。重要的是，此具體實例亦包括一幾乎連續的金屬環，該金屬環環繞空穴的側壁並垂直延伸到晶片載體的頂部表面。此金屬環之存在是有益的，因為其容許輕易的電氣接觸至接地平面，同時又避免需要讓一機械鑽洞通路孔延伸至接地平面。結果可使諸扇出引線間の間隔有利地縮減。

圖式簡述

本發明將參考諸附圖而描述，其中：

圖1是本發明性晶片載體之第一種具體實例的截面圖；

圖2是本發明性晶片載體之第二種具體實例的截面圖；

圖3是本發明性晶片載體之第三種具體實例的截面圖；

圖4是本發明性晶片載體之第四種具體實例的截面圖；

圖5是本發明性晶片載體之第五種具體實例的截面圖；且

圖6是一基底的頂視圖，描寫用以製造本發明性晶片載體之第五種具體實例的程序。

較佳具體實例詳述

本發明係關於一種引線接合型晶片之晶片載體，該發明性晶片載體：(1)呈現相當高的電氣信號推進速率；(2)輕易

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

地容納相當高I/O的晶片；(3)避免需要長引線接合，藉此達成使電氣信號推進通過引線接合之"飛越時間"相當短；且(4)達成相當高的散熱率。

如上所述，本發明性晶片載體達成相當高的電氣推進速率，因其採用諸如以FR4及DriClad商標銷售之環基樹脂/玻璃形式的有機材料取代陶瓷材料。本發明性晶片載體亦輕易地容納相當高I/O之晶片，因其採用至少一個有機可光學成像介電層，在該介電層中已形成有光通路且其作用是做為一薄膜重分佈層(film redistribution layer FRL)以在電氣上相互連接二(或更多)層扇出電路。本發明性晶片載體避免了相當長的引線接合，並從而達成在電氣信號推進通過引線接合時間相當短的"飛越時間"，因其採用單段空穴來容納晶片而不採用多段空穴。此外，本發明性晶片載體的某些具體實例亦在緊靠晶片下方包括諸如熱通道或一層金屬物質以提昇熱傳導。

現參考圖1，本發明性晶片載體10的第一種具體實例包括具有相對表面30與40的晶片載體基底20。此基底20亦包括許多-例如3一個積層有機介電層50、60及70，該等有機介電層係由例如以FR4及DriClad商標銷售之環氧基樹脂/玻璃形式構成的。雖然未清楚地顯示於圖1，有機介電層50的作用是支撐一層例如是銅的扇出電路80。夾層在有機介電層50與60之間的是一層例如是銅的電氣導通物質90，做為一電源平面。夾層在有機介電層60與70之間的是另一層例如是銅的電氣導通物質100，做為一接地平面。

五、發明說明(7)

各個有機介電層50、60與70之厚度範圍由約仟分之2英吋到約仟分之20英吋。小於約仟分之2英吋的厚度是不好的，因為對應的有機介電層將會不良地脆弱，不可靠且難以處理。大於約仟分之20英吋的厚度是不好的，因為如此厚的介電層一般非必要且要鑽通路孔進入如此厚的層也很困難。

各個電氣導通物質層80(扇出電路)、90(電源平面)及100(接地平面)之厚度範圍由約仟分之0.125英吋到約仟分之2.5英吋。小於仟分之0.125英吋的厚度是不好的，因為對應的電氣導通層時常證明為不能忍耐晶片載體所將承受之溫度變動型態。大於約仟分之2.5英吋的厚度是不好的，因為使用傳統電鍍技術需要不利地花很長的時間來形成如此厚的層，且伴隨線寬控制的困難度大幅提昇。

如圖1中所示，晶片載體基底20亦包括一覆蓋在扇出電路層80上的有機可光學成像介電層110。層110的一種有用的合成品例如是以納入本案供卓參之第5,026,624號美國專利中所述材料為基礎之可光學或像可陽離子聚合環氧基樹脂。此特殊材料包括環氧基樹脂系統，其基本上包含重量在約10%到80%之多羥基樹脂(環氧氯丙烷之濃縮產品)及分子量在約40,000到130,000間之雙酚A；重量在約20%與約90%之間分子量從4,000到10,000的環氧化八功能雙酚A甲醛酚醛樹脂；且若要求火焰防止，則重量在約35%與50%之間、軟化點在約60°C與約110°C之間、且分子量在約600與2,500之間的四溴雙酚A之環氧化縮水甘油醚。此種樹脂系統的每

五、發明說明(8)

100份重量被加入約0.1至約15份重量的陽離子光激發劑，該陽離子激發劑能夠在暴露於陽離子輻射中時激發該環氧化樹脂系統之聚合；該系統尚有一特點為對仟分之2.0英吋厚度的薄膜在330到700毫微米範圍有小於0.1的光吸收度。另可依需要加入諸如二萘嵌苯及其衍生物或並三苯及其衍生物之光敏感化劑。

有機可光學成像介電層110可輕易地使用諸如簾狀塗膜或軋輥塗膜等傳統塗膜技術沈澱安置。光學可成像介電層110之厚度範圍從約仟分之2英吋到約仟分之20英吋。小於仟分之2英吋的厚度是不好的，因為要形成如此薄層又要達成期望的光學成像及介電特性很困難。大於仟分之20英吋的厚度是不好的，因在此厚層內形成小的光通路很困難。

使用傳統的光學平版印刷技術，可光學成像介電層110可透過一光罩輕易地選擇性曝光、然後顯影以在層110內形成如圖1所示之光通路120。(請注意被曝光區域進行交叉連結，故而在顯劑下較未被曝光區域不可溶解。)然後可使用傳統電鍍技術將這些光通路120輕易地用諸如銅等導電材料電鍍。

雖然未清晰地顯示於圖1，可光學成像介電層110支撐一層包括接觸墊之諸如銅的扇出電路130。很明顯的是，可光學成像介電層110內之電鍍光通路120的作用是電氣相互連接扇出電路的130與80層。重要的是，如上文所述，光通路的直徑小於機械鑽孔通路洞的直徑。結果使扇出引線間的間隔可小於以前的情況。

五、發明說明(9)

如圖1所示，晶片載體基底20包括一單段空穴140，該單段空穴140之深度僅延伸穿過可光學成像介電層110之厚度。一引線接合型晶片150面朝上放置在空穴的底部，其諸引線接合160從晶片150上的諸接觸墊延伸到扇出電路130層之諸接觸墊。

較佳的是，如圖1中所示，晶片載體基底20包括(機械鑽孔的)熱通路孔170，該等熱通路孔170位於緊貼晶片150下方並延伸穿過有機層80、90及100的厚度。這些熱通路孔170之作用在將晶片150產生之熱量排出至大氣中，故而其作用可提昇散熱率。(請注意這些熱通路孔最好填以加銀環氧基樹脂糊以提昇熱傳導率。請亦注意在製造的最後階段中，一層銲接覆罩材料加諸晶片載體10的表面40，故此銲接覆罩材料蓋在加銀環氧基樹脂糊上。)

熱通路孔170的直徑範圍從約仟分之6英吋到約仟分之12英吋。小於約仟分之6英吋的直徑是不好的，因為對應的熱通路孔達成的熱傳導太小。大於約仟分之12英吋的直徑是不好的，因為與對應熱通路孔中加銀環氧基樹脂糊接觸的銲接覆罩材料層會破碎，且置於其上的晶片會從晶片載體基底上鬆脫。

如圖1中所示般，晶片載體基底20尚包括許多個用機械鑽孔之電鍍通路孔180。每個此種孔180終止於表面40，通路孔180在該處被附接至表面40的諸如銅之導電擋圈190圍繞。表40上亦附接有許多個導電墊200以及將墊200連接至電鍍通路孔180之例如是銅的電路線(未顯示)。貼置在擋圈190

五、發明說明(10)

與導電墊200上的是銲球210，每個銲球的成份包括例如67%的鉛和33%的錫。很明顯的是，這些銲球將附接至PCB或PCC上的可銲接接觸墊。

現參照圖2，晶片載體10的第二種具體實例與第一種具體實例的差異在於單段空穴140之深度亦延伸穿過例如有機層80與90。此外，一散熱器220附接至表面40而大致垂直對齊於晶片150與熱通路孔170。而且，銲球210附接至表面30上的擋圈與接觸墊。

現參考圖3，晶片載體10的第三種具體實例與第一種及第二種具體實例的差異在於晶片載體基底20包括一緊鄰表面30的相當厚之可光學成像介電層110，及一緊鄰表面40的例如是銅的金屬材料層230。此處金屬材料層230的一部份作用是做為補強層且最好是在電氣上接地。另一方面，如前文所述般，可光學成像介電層110支承一層包含接觸墊之扇出電路130。此外，可光學成像介電層110包括光通路120延伸穿過層110之厚度到達在電氣上接地之金屬層230。而且，銲球210附接至扇出電路層130之某些接觸墊。

如圖3中所示，晶片載體10的第三種具體實例包括一單段空穴140延伸穿過可光學成像介電層110之厚度到達金屬材料層230。一引線接合型晶片150安置在空穴140的底部，故與金屬層230直接實際接觸。結果使散熱度獲得提昇，因為金屬層230亦當做一熱散器。

在晶片載體10的此第三種具體實例中，可光學成像介電層110之厚度範圍從約仟分之2英吋到約仟分之20英吋。此

五、發明說明(11)

範圍以外之厚度是不好的，其原因如上文所述。

金屬層230之厚度範圍從約仟分之4英吋到約仟分之20英吋。厚度小於仟分之4英吋是不好的，因為對應的金屬層缺乏剛性而不佳。厚度大於仟分之20英吋是不好的，因為對應金屬層之熱脹係數(coefficients of thermal expansion CTE)主導了對應晶片載體基底之CTE，此會導致晶片載體基底與對應晶片間CTE的不配合，進而導致晶片破裂。

現參考圖4，晶片載體10的第四種具體實例與第三種具體實例的差異在於可光學成像介電層110相當薄，且金屬層230相當厚。此外，單段空穴140之深度延伸穿過可光學成像層110之全部厚度並部份穿過金屬層230的厚度。

在晶片載體10之第四種具體實例中，可光學成像介電層110之厚度仍維持在約仟分之2英吋到約仟分之20英吋範圍中。超過此範圍之厚度因上文所述相同原因而不佳。

金屬層230之(全部)厚度仍在從約仟分之4英吋到約仟分之20英吋的範圍內。超過此範圍之厚度亦因上文所述相同原因而不佳。

緊接在空穴140下方的金屬層230之(部份)厚度應至少約仟分之4英吋。小於仟分之4英吋的厚度是不好的，因為對應金屬層的剛性會太低。

現參考圖5，晶片載體10的第五種具體實例類似於第一種與第二種具體實例的地方是晶片載體基底20包括許多-例如3-層積層有機介電層50、60及70，該等介電層例如由以DriClad商標銷售之環氧基樹脂/玻璃合成物。如前所述，有

五、發明說明(12)

機介電層50支撐一包括有接觸墊之扇出電路層80。夾層在有機介電層50與60之間的是一諸如銅之電氣導通材料層90，該導電層90在本範例中做為一接地平面。夾層在有機介電層60與70之間的是另一諸如銅之做為電源平面的電氣導通材料層100。請注意接地平面側向延伸至空穴140之側壁，而電源平面則否。

有機介電層50、60與70之厚度類似於上文所述者。而且電氣導通層80(扇出電路)、90(接地平面)及100(電源平面)之厚度亦類似於上文所述者。

晶片載體10的第五種具體實例亦類似於第三種與第四種具體實例的地方是晶片載體基底20亦包括一最好是被接地的金屬層230。金屬層230之厚度類似於第三種具體實例中的金屬層230者。

如圖5中所示者，晶片載體10的第五種具體實例亦包括一單段空穴140，該單段空穴140之深度延伸穿過有機介電層50、60及70的厚度而達金屬層230。一晶片150座落在空穴140的底部，且所以與金屬層230直接實體接觸。結果提昇了散熱率，因為如上文所述般，金屬層230當做一散熱器。

重要的是，晶片載體10的第五種具體實例與其他具體實例差異處在於其包括一幾乎連續的例如是銅的電氣導通材料層240，該導電層240附接至並包圍空穴140之側壁。此層240自空穴140的底部垂直延伸至空穴140的頂部，並側向延伸於有機介電層50的上側表面上而鄰接於扇出電路層80。因為接地平面90側向延伸至空穴140的側壁，故層240與接

五、發明說明 (13)

地平面直接實體並在電氣上接觸，所以在電氣上接地。

層240之存在是有利的，因為縮減了許多個機械鑽洞通路孔延伸穿過有機介電層50的厚度到達接地平面之需要。故若某些晶片接觸墊要在電氣上接地，則來自這些晶片接觸墊的引線接合被延伸到有機介電層50之表面上的層240之部份，而不延伸到環繞延伸至接地平面90之機械鑽洞通路孔的擋圈。因為在第五種具體實例中僅需要很少此種機械鑽洞通路孔，故諸扇出引線間之間隔可有利地縮減。

請注意晶片載體10的第五種具體實例包括一機械鑽洞的電鍍通路孔180延伸穿過有機介電層50與60的厚度而達電源平面100。而且第五種具體實例亦包括一例如是銅的金屬環250圍繞空穴140並在實體上與電氣上接觸延伸至電源平面100的電鍍通路孔180。此環250是有益的，因為其免除了額外延伸至電源平面之通路孔的需要。故在電氣上與電源平面100之接觸僅藉電氣接觸環250即達成。

圖6顯示形成層240與環250的一種方法。如圖6中所示，當形成空穴140時，二直角狹縫260與270被以機械方式切割穿過有機介電層50、60及70的厚度。這些狹縫之寬度範圍從約千分之25英吋到約千分之100英吋。這些狹縫之外側表面界定將成為空穴140之側壁。然後有一層光阻劑280沈澱在有機介電層50之表面上。接著將此光阻層曝光並顯影以便將光阻劑留下涵蓋全部的有機介電層50，除了狹縫260與270、有機介電層50表面上要被層240佔據之區域241、及要被環250佔據之區域251。(請注意此層光阻劑係由被狹縫260

五、發明說明 (14)

與270環繞之有機介電材料層支撐。)然後，狹縫260與270、要被層240佔據之區域241、以及要被環250佔據之區域被使用傳統的種晶法及金屬電鍍技術金屬化。接著以機械方式切割穿過狹縫260與270之中心線，這些切割延伸以便結合這些中心線，然後移除切割掉的材料。如此可造成空穴140，並有金屬幾乎連續地延伸(除了諸狹縫在開始時未延伸的空穴角落之外)環繞空穴140之諸側壁。

雖然本發明已參考其較佳具體實例特別顯示並敘述，精於本技術領域者當了解其中可進行各種形式與細節的修改而不背離本發明之精神與範疇。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 引線接合型晶片之有機晶片載體)

本發明揭露一種引線接合型晶片之晶片載體。本晶片載體採用有機介電材料而非傳統的陶瓷材料。此晶片亦使用至少一個具有電鍍光通路(photo-vias)之有機性可光學成像介電層以將2(或更多)層扇出電路在電氣上相互連接。此晶片載體尚使用一單段空穴以包含一晶片而非如傳統般使用多段空穴。而且，此晶片載體包括直接在晶片下的過熱孔及/或金屬層以便提昇散熱效果。

英文發明摘要(發明之名稱： "ORGANIC CHIP CARRIERS FOR WIRE BOND-TYPE CHIPS")

A chip carrier for wire bond-type chips is disclosed. This chip carrier employs organic dielectric materials, rather than ceramic materials, as is conventional. This chip carrier also employs at least one organic, photoimageable dielectric layer, having plated photo-vias, to electrically interconnect two (or more) layers of fan-out circuitry. This chip carrier further employs a single-tiered cavity to contain a chip, rather than a multi-tiered cavity, as is conventional. Moreover, this chip carrier includes thermal via holes and/or a metallic layer, directly beneath the chip, to enhance heat dissipation.

六、申請專利範圍

1. 一種晶片載體，包括：

一晶片載體基底，該晶片載體基底包括一第一表面、一相對於該第一表面之第二表面，及至少第一與第二有機材料層，至少該位於緊鄰該第一表面之第一層為可光學成像者且支承一包括有接觸墊之第一電路層；

一單段空穴，其深度從該第一表面向該第二表面延伸，該深度延伸至少穿過該第一可光學成像層之厚度；及

一半導體晶片，該半導體晶片朝上地位在該空穴內部，且包括晶片接觸墊與自該等晶片接觸墊延伸至該第一可光學成像層上之接觸墊的引線接合；

一介於該第一與第二有機層之間的第二電路層；及

許多個包含電氣導通材料且延伸穿過該第一可光學成像層之該厚度的光通路，該等光通路之作用為電氣連接該第一電路層至該第二電路層。

2. 根據申請專利範圍第1項之晶片載體，其中該單段空穴之該深度亦延伸穿過該第二有機材料層厚度的至少一部份。

3. 根據申請專利範圍第1項之晶片載體，尚包括許多個從該空穴底部延伸穿過該基底而達該第二表面之通路孔。

4. 根據申請專利範圍第1項之晶片載體，尚包括一附接至該第二表面且大致與該半導體晶片對齊之散熱片。

5. 根據申請專利範圍第1項之晶片載體，尚包括許多個附接至該第二表面之電氣導通墊及/或擋圈，及附接至該等墊及/或擋圈之鉚球。

六、申請專利範圍

6. 根據申請專利範圍第1項之晶片載體，其中該第一電氣導通電路層包括許多個電氣導通墊及/或擋圈，且其中該晶片載體尚包括附接至該等墊及/或擋圈之錫球。
7. 一種晶片載體，包括：
 - 一晶片載體基底，該晶片載體基底包括一第一表面、一相對於該第一表面之第二表面，一緊鄰該第一表面且支承一包括有接觸墊之電路層的有機材料層、及一緊鄰該第二表面之金屬材料層；
 - 一單段空穴，該單段空穴之深度從該第一表面向該第二表面延伸，該深度延伸至少達該金屬材料層；
 - 一半導體晶片，該半導體晶片朝上地位在該空穴內部且接觸該金屬材料層，該晶片包括晶片接觸墊與自該等晶片接觸墊延伸至該有機材料層上之接觸墊的引線接合，其中該有機材料層為一可光學成像層，且其中該晶片載體尚包括許多個包含有電氣導通材料且延伸穿過該可光學成像層厚度而達該金屬材料層之光通路。
8. 根據申請專利範圍第7項之晶片載體，其中該金屬材料層在電氣上接地。
9. 根據申請專利範圍第7項之晶片載體，其中該空穴之該深度延伸穿過該金屬材料層厚度的一部份。
10. 根據申請專利範圍第7項之晶片載體，其中該金屬材料包括銅。
11. 根據申請專利範圍第7項之晶片載體，其中該電路層包括許多個電氣導通墊及/或擋圈，且其中該晶片載體尚包括

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

六、申請專利範圍

附接至該等墊及/或擋圈之鉚球。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

01776HW

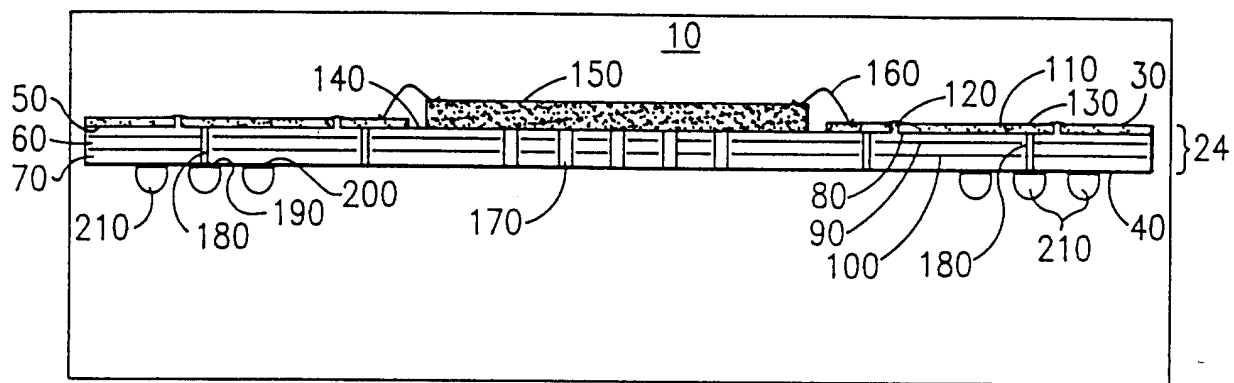


圖 1

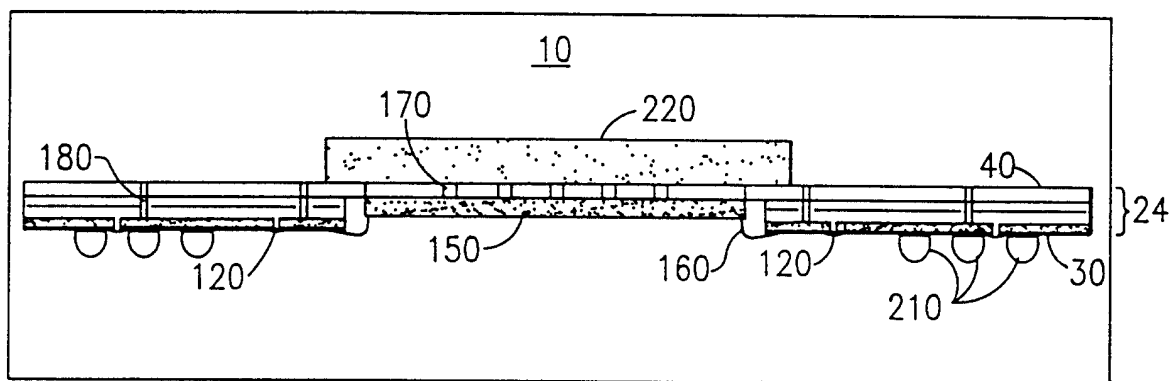


圖 2

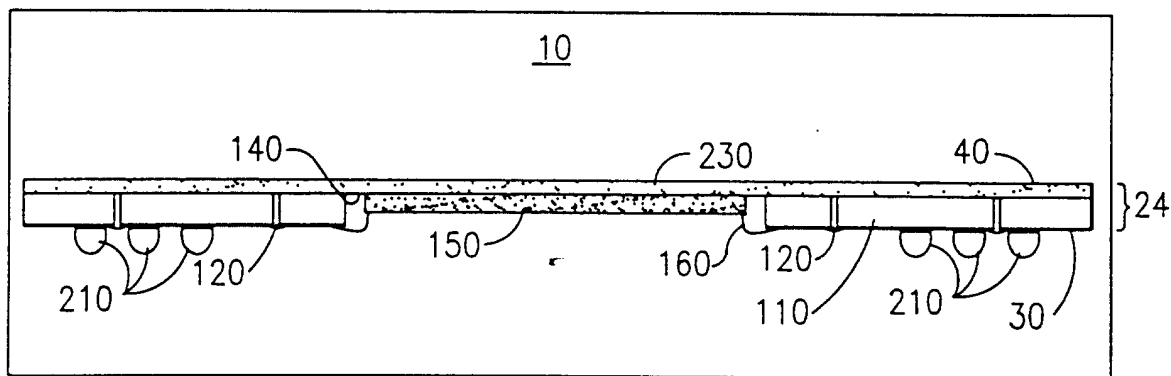


圖 3

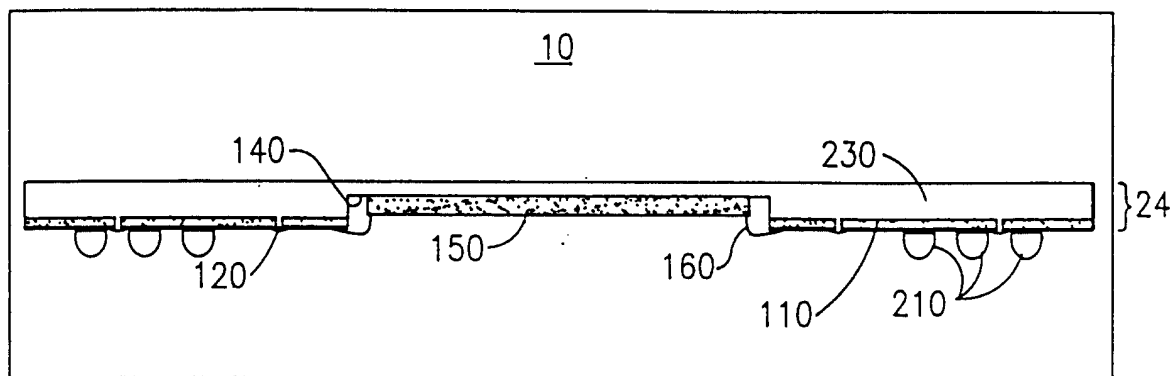


圖 4

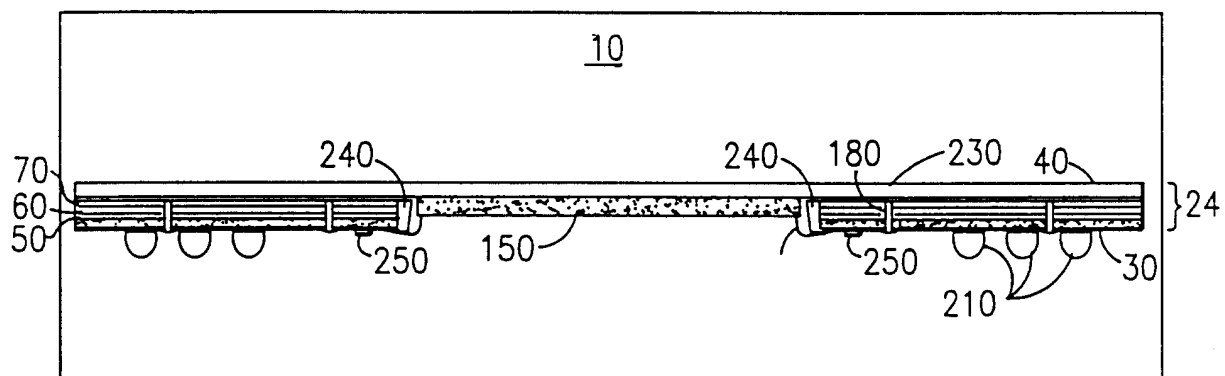


圖 5

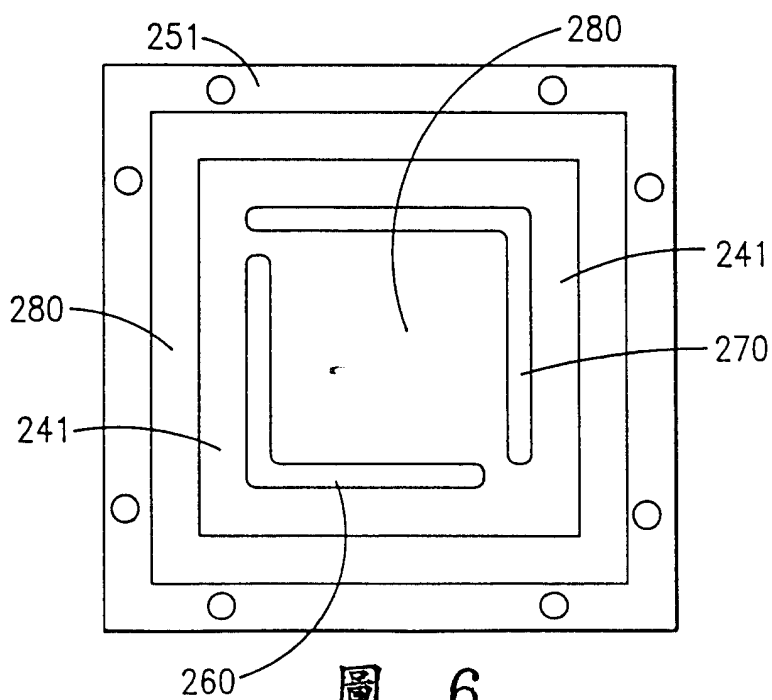


圖 6

公告本

297935

84.11.13 修正
補充

申請日期	84.11.29.
案 號	84112717
類 別	H01L $\frac{23}{48}$, $\frac{23}{34}$

A4
C4

Int. Cl 修正本 (8297935)

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	引線接合型晶片之有機晶片載體
	英 文	"ORGANIC CHIP CARRIERS FOR WIRE BOND-TYPE CHIPS"
二、發明 人	姓 名	1. 艾希溫古瑪·奇魯帕沙·哈特 2. 沙巴胡·希魯巴海·戴賽 3. 湯瑪士·派翠克·杜菲 4. 傑夫瑞·艾倫·奈特
	國 籍	1-2 印度 3-4 美國
三、申請人	住、居所	1. 美國紐約州安狄考市奎瑞吉路2622號 2. 美國紐約州維斯塔市蓋瑞路1803號 3. 美國紐約州安狄考市朵契斯特路5號 4. 美國紐約州安德威兒市史特伯路3694號
	姓 名 (名稱)	美商萬國商業機器公司
三、申請人	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
三、申請人	代 表 人 姓 名	費羅普

裝

訂

線