

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5259242号

(P5259242)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 17/00 6 1 3

G 1 1 C 16/04 (2006.01)

G 1 1 C 17/00 6 2 2 E

G 1 1 C 16/06 (2006.01)

G 1 1 C 17/00 6 3 4 B

G 1 1 C 17/00 6 3 3 B

請求項の数 5 (全 27 頁)

(21) 出願番号 特願2008-112660 (P2008-112660)
 (22) 出願日 平成20年4月23日 (2008.4.23)
 (65) 公開番号 特開2009-266281 (P2009-266281A)
 (43) 公開日 平成21年11月12日 (2009.11.12)
 審査請求日 平成22年8月2日 (2010.8.2)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100095441
 弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 三次元積層不揮発性半導体メモリ

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、前記半導体基板上において第一方向に並んで配置される第一及び第二ブロックから構成されるメモリセルアレイと、前記メモリセルアレイの前記第一方向に直交する第二方向の一端に配置される第一ドライバとを具備し、

前記第一及び第二ブロックは、それぞれ、前記半導体基板上に互いに絶縁されてスタックされる3以上の導電層と、前記3以上の導電層上にこれらとは絶縁されて配置されるビット線と、下端が前記半導体基板に接続され、上端が前記ビット線に接続され、前記3以上の導電層を突き抜ける複数の半導体柱とから構成され、

前記3以上の導電層のうち最上層は、前記第二方向に延びる複数の第一セレクトゲート線から構成され、前記3以上の導電層のうち最下層は、第二セレクトゲート線であり、前記3以上の導電層のうち前記最上層及び前記最下層を除く残りの導電層は、ワード線であり、

前記3以上の導電層のうち前記最上層を除く残りの導電層は、前記第一方向の幅が前記複数の第一セレクトゲート線の前記第一方向の幅よりも広いプレート状を有し、

前記複数の第一セレクトゲート線の各々と前記複数の半導体柱及び前記第二セレクトゲート線と前記複数の半導体柱とによりそれぞれセレクトゲートトランジスタが構成され、前記ワード線と前記複数の半導体柱とによりそれぞれメモリセルが構成され、

前記第一ブロックは、リード対象となるメモリセルを含む選択された第一セルユニット及びリード対象となるメモリセルを含まない非選択の第二セルユニットを有し、前記第二

10

20

セルユニット内の前記リード電位が印加されるメモリセルよりも前記ビット線側に存在するメモリセルのチャンネルに接地電位を与えた状態で前記第一ブロック内の前記ワード線にリード電位又はそれよりも高い転送電位を印加し、この後、前記第二セルユニット内の全てのメモリセルを前記ビット線から切断し、前記ビット線をプリチャージ電位にして、前記第一セルユニット内の前記リード対象となるメモリセルに対してリードを実行し、

前記リード時に、前記第二ブロック内の前記ワード線には前記リード電位及び前記転送電位が印加されない

ことを特徴とする三次元積層不揮発性半導体メモリ。

【請求項 2】

前記接地電位は、前記ビット線から、前記第二セルユニット内の前記リード電位が印加されるメモリセルよりも前記ビット線側に存在するメモリセルのチャンネルに転送されることを特徴とする請求項 1 に記載の三次元積層不揮発性半導体メモリ。

10

【請求項 3】

前記リード電位又は前記転送電位を前記第一ブロック内の前記ワード線に印加するタイミングは、前記第二セルユニット内の全てのメモリセルを前記ビット線から切断するタイミングよりも前であることを特徴とする請求項 1 又は 2 に記載の三次元積層不揮発性半導体メモリ。

【請求項 4】

前記プリチャージ電位を前記ビット線に印加するタイミングは、前記第二セルユニット内の全てのメモリセルを前記ビット線から切断するタイミングと同じ又はそれよりも後であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の三次元積層不揮発性半導体メモリ。

20

【請求項 5】

前記リード電位又は前記転送電位を前記第一ブロック内の前記ワード線に印加した後ににおいても、前記第二セルユニット内の前記リード電位が印加されるメモリセルよりも前記ビット線側に存在するメモリセルのチャンネルは、前記接地電位に維持されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の三次元積層不揮発性半導体メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、三次元積層不揮発性半導体メモリ(3D-stacked nonvolatile semiconductor memory)に関する。

【背景技術】

【0002】

三次元構造により大容量化を図りビットコストを抑える技術としてBiCS (Bit Cost Scalable)技術が知られている(例えば、非特許文献1を参照)。

【0003】

BiCS技術が適用された不揮発性半導体メモリ(以下、BiCSメモリ)は、単なる三次元構造ではなく、デバイス構造及びプロセス技術の工夫により、積層数(number of stacked layers)の増加に比例してビットコストが低減するビットコストスケーラビリティを可能にすることを特徴とする。

40

【0004】

例えば、BiCS技術が適用されたNAND型フラッシュメモリ(以下、BiCS-NANDフラッシュメモリ)の場合には、積層数の増加によりNAND列を構成するセル数を縦方向に増やすことで、二次元構造のNAND型フラッシュメモリのメモリ容量の限界を大幅に上回るメモリ容量を実現する。

【0005】

しかし、BiCS-NANDフラッシュメモリを代表とするBiCSメモリは、独特なデバイス構造を有するため、それを実用化するために解決しなければならない課題も多い。

【0006】

50

その一つに、リードディスタurb(read disturb)がある。

【0007】

BiCSメモリは、1本のビット線に接続される1ブロック内のセルユニット数が複数個になる、という特徴を有する。また、回路動作上から、これら複数個のセルユニットを同時に選択することはできない。このため、選択されたブロック内には、リード対象となるメモリセルを含まない非選択のセルユニットが存在することになる。

【0008】

これは、二次元構造のフラッシュメモリには起こり得なかったことである。

【0009】

従って、リード時には、選択されたブロック内の非選択のセルユニット内のメモリセルに閾値電圧の変動が生じないように、リードディスタurbについて検討する必要がある。

10

【0010】

特に、BiCSメモリでは、二次元構造のフラッシュメモリとは異なり、非選択のブロック内のセルユニットにはリード電位及び転送電位を与えなくて済むため、非選択のブロック内のセルユニットに対するリードディスタurbについては検討不要である。しかし、選択されたブロック内の非選択のセルユニットがビット線から切断されることに起因して、リード電位が与えられる非選択のメモリセルの閾値状態によっては、そのメモリセルよりもビット線側の非選択のメモリセルに対してリードディスタurbによる閾値電圧の変動が生じる。

【非特許文献1】“Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory” 2007 Symposium on VLSI Technology Digest of Technical Papers.p14

20

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明は、BiCS技術が適用された三次元積層不揮発性半導体メモリのリードディスタurbを改善する技術について提案する。

【課題を解決するための手段】

【0012】

本発明の例に係る三次元積層不揮発性半導体メモリは、半導体基板と、前記半導体基板上において第一方向に並んで配置される第一及び第二ブロックから構成されるメモリセルアレイと、前記メモリセルアレイの前記第一方向に直交する第二方向の一端に配置される第一ドライバとを備える。前記第一及び第二ブロックは、それぞれ、前記半導体基板上に互いに絶縁されてスタックされる3以上の導電層と、前記3以上の導電層上にこれらとは絶縁されて配置されるビット線と、下端が前記半導体基板に接続され、上端が前記ビット線に接続され、前記3以上の導電層を突き抜ける複数の半導体柱とから構成される。前記3以上の導電層のうち最上層は、前記第二方向に延びる複数の第一セレクトゲート線から構成され、前記3以上の導電層のうち最下層は、第二セレクトゲート線であり、前記3以上の導電層のうち前記最上層及び前記最下層を除く残りの導電層は、ワード線である。前記3以上の導電層のうち前記最上層を除く残りの導電層は、前記第一方向の幅が前記複数の第一セレクトゲート線の前記第一方向の幅よりも広いプレート状を有する。前記複数の第一セレクトゲート線の各々と前記複数の半導体柱及び前記第二セレクトゲート線と前記複数の半導体柱とによりそれぞれセレクトゲートトランジスタが構成され、前記ワード線と前記複数の半導体柱とによりそれぞれメモリセルが構成される。前記第一ブロックは、リード対象となるメモリセルを含む選択された第一セルユニット及びリード対象となるメモリセルを含まない非選択の第二セルユニットを有する。前記第二セルユニット内の前記リード電位が印加されるメモリセルよりも前記ビット線側に存在するメモリセルのチャンネルに接地電位を与えた状態で前記第一ブロック内の前記ワード線にリード電位又はそれよりも高い転送電位を印加し、この後、前記第二セルユニット内の全てのメモリセルを前記ビット線から切断し、前記ビット線をプリチャージ電位にして、前記第一セルユニット内

30

40

50

の前記リード対象となるメモリセルに対してリードを実行する。また、前記リード時に、前記第二ブロック内の前記ワード線には前記リード電位及び前記転送電位が印加されない。

【発明の効果】

【0013】

本発明によれば、BiCS技術が適用された三次元積層不揮発性半導体メモリのリードディスタープを改善することができる。

【発明を実施するための最良の形態】

【0014】

以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

【0015】

1. 概要

本発明の例では、BiCSメモリ特有の構造に起因するリードディスタープ、即ち、選択されたブロック内の非選択のセルユニット内のメモリセルの閾値変動を防止するためのリード手法について提案する。

【0016】

BiCSメモリの特徴を回路的に一言でいうと、1本のビット線に接続される1ブロック内のセルユニット数が複数個である、ということになる。この場合、回路動作上、これら複数個のセルユニットを同時に選択することはできない。従って、リード時には、1本のビット線に接続される複数個のセルユニットのうちの1つを選択しなければならない。

【0017】

つまり、選択されたブロック内のリード対象となるメモリセルを含まない非選択のセルユニットは、リード時にビット線から切断されることになる。

【0018】

また、非選択のセルユニット内のリード電位が与えられる非選択のメモリセルの閾値状態が、高い閾値状態、例えば、2値記憶(“0”/“1”)の“0”状態である場合には、その非選択のメモリセルは、リード電位が印加される前後においてオフを維持する。

【0019】

このため、非選択のセルユニット内のリード電位が与えられるメモリセルよりもビット線側に存在するメモリセルのチャンネルは、フローティング状態であり、かつ、リード電位が印加されたときに容量カップリングによりチャンネルブーストされる。

【0020】

一方、BiCSメモリでは、リード時には、非選択のセルユニット内のリード電位が与えられるメモリセルよりもソース線側に存在するメモリセルのチャンネルは、ソース線から接地電位が転送される。

【0021】

従って、非選択のセルユニット内のリード電位が与えられるメモリセルには、ソース及びドレイン間に大きな電位差が発生し、それが原因となり、そのメモリセルのソース及びドレイン間にパンチスルーが発生する。

【0022】

このパンチスルーに起因してホットキャリアが発生し、このホットキャリアが非選択のセルユニット内のリード電位が与えられるメモリセルよりもビット線側に存在するメモリセルの電荷蓄積層に注入され、閾値電圧の変動が生じる。

【0023】

このようなリードディスタープを防止するには、リード時に、非選択のセルユニット内のリード電位が与えられるメモリセルのソース及びドレイン間に大きな電位差が発生しないように、動作タイミングを工夫すればよい。

【0024】

そこで、本発明の例では、リード時に、選択されたブロック内の非選択のセルユニット

10

20

30

40

50

内のリード電位が印加されるメモリセルよりもビット線側に存在するメモリセルのチャンネルに接地電位を与え、これによりチャンネルブーストを防止するリード手法を提案する。

【0025】

具体的には、選択されたブロック内の非選択のセルユニット内のリード電位が印加されるメモリセルよりもビット線側に存在するメモリセルのチャンネルに接地電位を与えた状態で選択されたブロック内のワード線にリード電位又はそれよりも高い転送電位を印加し、この後、非選択のセルユニット内の全てのメモリセルをビット線から切断し、ビット線をプリチャージ電位にして、選択されたセルユニット内のリード対象となるメモリセルに対してリードを実行する。

【0026】

接地電位は、例えば、ビット線から、非選択のセルユニット内のリード電位が印加されるメモリセルよりもビット線側に存在するメモリセルのチャンネルに転送する。

【0027】

これにより、選択されたブロック内のワード線にリード電位又はそれよりも高い転送電位を印加したときに、非選択のセルユニット内のリード電位が印加されるメモリセルよりもビット線側に存在するメモリセルのチャンネルがブーストされることはなく、リードディスターブを改善することができる。

【0028】

2. BiCSメモリ

(1) 基本構造

まず、BiCSメモリの基本構造について説明する。

【0029】

図1は、BiCS-NANDフラッシュメモリの鳥瞰図を示している。

【0030】

NANDフラッシュメモリは、例えば、各々が消去の一単位となる複数のブロックから構成される。ここでは、二つのブロックBK<i>、BK<i+1>について図示する。

【0031】

半導体基板内に形成されるソース拡散層24は、例えば、全てのブロックに共通に1つ設けられる。ソース拡散層24は、コンタクトプラグP_{SL}を介して、ソース線SL・M1に接続される。また、ソース拡散層24上には、例えば、導電性ポリシリコンから構成される3以上の導電層が積層される（本例では6層構造）。

【0032】

最上層を除く残りの5つの導電層は、1つのブロックBK<i+1>内でそれぞれプレート状に形成され、かつ、そのX方向の端部は、各々の導電層にコンタクトをとるために階段状に形成される。最下層は、ソース線側セレクトゲート線SGSとなり、最下層及び最上層を除く残りの4つの導電層は、ワード線WL<0>、WL<1>、WL<2>、WL<3>となる。

【0033】

最上層は、X方向に延びるライン状の複数の導電線から構成される。1つのブロックBK<i+1>内には、例えば、6本の導電線が配置される。最上層の例えば6本の導電線は、ビット線側セレクトゲート線SGD<0>、…SGD<5>となる。

【0034】

そして、NANDセルユニットを構成するための複数の活性層（アクティブエリア）AAは、複数の導電層を突き抜けてソース拡散層24に達するように、Z方向（半導体基板の表面に対して垂直方向）に柱状に形成される。

【0035】

複数の活性層AAの上端は、Y方向に延びる複数のビット線BL<0>、…BL<m>に接続される。また、ソース線側セレクトゲート線SGSは、コンタクトプラグP_{SGS}を介して、X方向に延びる引き出し線SGS・M1に接続され、ワード線WL<0>、WL<1>、WL<2>、WL<3>は、それぞれ、コンタクトプラグをP_{WL<0>}、P_{WL<1>}、P_{WL<2>}、P_{WL<3>} 介して、X方向に延びる引き出し線WL<0>・M1、WL<1>・M1、WL<2>・M1、WL<3>・M1に接続される。

10

20

30

40

50

【0036】

さらに、ビット線側セレクトゲート線SGD<0>, …SGD<5>は、それぞれ、コンタクトプラグP_{SGD<0>}, …P_{SGD<5>}を介して、X方向に延びる引き出し線SGD<0>・M1, …SGD<5>・M1に接続される。

【0037】

複数のビット線BL<0>, …BL<m>及び引き出し線SGS・M1, WL<0>・M1, WL<1>・M1, WL<2>・M1, WL<3>・M1, SGD<0>・M1, …SGD<5>・M1は、例えば、金属から構成される。

【0038】

図2は、図1のBiCS-NANDフラッシュメモリの平面図を示している。

【0039】

10

柱状の複数の活性層AAは、半導体基板の上面から見た場合にアレイ状に配置され、メモリセルアレイ15を構成する。NANDセルユニットは、複数の活性層AAの各々に形成されるが、その詳細については後述する。

【0040】

WLドライバ11-i, 11-(i+1)は、引き出し線WL<0>・M1, WL<1>・M1, WL<2>・M1, WL<3>・M1を介してワード線WL<0>, WL<1>, WL<2>, WL<3>に接続され、これらを書き込み／読み出し／消去時に駆動する。

【0041】

SGSドライバ12-i, 12-(i+1)は、引き出し線SGS・M1を介してソース線側セレクトゲート線SGSに接続される。SGDドライバ13は、引き出し線SGD<0>・M1, …SGD<5>・M1を介してビット線側セレクトゲート線SGD<0>, …SGD<5>に接続される。

20

【0042】

SLドライバ14は、ソース線SL・M1を介してソース拡散層24に接続される。

【0043】

このレイアウトでは、周辺回路としてのドライバを構成するトランジスタ数の増加を考慮して、WLドライバ11-i, 11-(i+1)及びSGSドライバ12-i, 12-(i+1)は、メモリセルアレイ15のX方向の一端側に配置され、SGDドライバ13は、メモリセルアレイ15のX方向の他端側に配置される。

【0044】

図3は、図2のIII-III線に沿う断面図である。

30

【0045】

P型半導体基板(P-sub)21内には、N型ウェル領域(N-well)22及びP型ウェル領域(P-well)23が形成される。ソース拡散層24は、N型拡散層であり、P型ウェル領域23内に形成される。

【0046】

P型半導体基板21内には、Nチャネル型FET（例えば、Nチャネル型MOSFET）25が形成され、N型ウェル領域22内には、Pチャネル型FET（例えば、Pチャネル型MOSFET）26が形成される。これらトランジスタは、メモリセルアレイの周辺部に形成される周辺回路（例えば、ドライバ）を構成する。

【0047】

40

ソース線側セレクトゲート線SGS及びワード線WL<0>, WL<1>, WL<2>, WL<3>は、第一メタル層M1内の引き出し線及び第一メタル層M1上の第二メタル層M2内の引き出し線を介して、ドライバを構成するトランジスタに接続される。

【0048】

ワード線WL<3>を例にとると、ワード線WL<3>は、第一メタル層M1内の引き出し線WL<3>・M1及び第一メタル層M1上の第二メタル層M2内の引き出し線WL<3>・M2を介して、ワード線ドライバを構成するNチャネル型FET 25に接続される。

【0049】

ここで、Nチャネル型FET 25及びPチャネル型FET 26のゲート電極は、例えば、ソース線側セレクトゲート線SGSと同時に形成される。

50

【0050】

即ち、Nチャネル型FET 25及びPチャネル型FET 26のゲート電極は、ソース線側セレクトゲート線SGSと同じ構造及び同じ厚さを有する。

【0051】

図4は、図2のIV-IV線に沿う断面図である。

【0052】

複数の活性層（アクティブエリア）AAは、ソース線側セレクトゲート線SGS、ワード線WL<0>、WL<1>、WL<2>、WL<3>及びビット線側セレクトゲート線SGD<0>、…SGD<5>を突き抜けて、その一端（最下部）がソース拡散層24に接続され、その他端（最上部）がビット線BL<0>に接続される。

10

【0053】

複数の活性層AAは、Z方向（半導体基板の表面に対して垂直方向）に柱状に形成され、NANDセルユニット NANDは、複数の活性層AAの各々に形成される。

【0054】

NANDセルユニット NANDの構造例を図5に示す。

【0055】

メモリセルMCは、MONOS構造を有する。

【0056】

MONOS構造とは、電荷蓄積層が窒化物(nitride)などの絶縁体から構成されるメモリセル構造のことである。ここでは、電荷蓄積層は、多層構造(Charge trap layers)とし、ONO(oxide/nitride/oxide)の例を挙げる。

20

【0057】

セレクトゲートトランジスタSTは、例えば、メモリセルMCと同一構造を有する。

【0058】

但し、セレクトゲートトランジスタSTのゲート絶縁膜については、メモリセルMCと異なる構造、即ち、電荷蓄積層を有しない構造（例えば、シリコン酸化膜の単一膜）としてもよい。

【0059】

NANDセルユニットの鳥瞰図を図6に示す。

【0060】

三次元構造のNANDセルユニットの特徴の一つは、ソース線側セレクトゲート線SGS、ワード線WL<0>、WL<1>、WL<2>、WL<3>及びビット線側セレクトゲート線SGD<0>、…SGD<5>が、柱状の活性層AAの側面を取り囲む構造を有している点にある。

30

【0061】

このため、例えば、複数の活性層AAを細くして、半導体基板上により多くの活性層AAを形成し、大容量化を図っても、NANDセルユニットを構成するトランジスタの駆動力を十分に確保できることにある。

【0062】

図7は、メモリセルアレイの等価回路を示している。

【0063】

BiCS-NANDフラッシュメモリは、三次元構造を有するため、これに合わせて、等価回路も三次元的に記載している。

40

【0064】

NAND列を構成するメモリセルの数は、多ければ多いほど大容量化に貢献できるが、BiCS構造の特質から、NAND列を構成するメモリセルの数が多くなるに従い、製造プロセス上、メモリセルの特性にばらつきが生じる可能性がある。

【0065】

このような特性のばらつきを考慮する場合、NAND列を構成するメモリセルの数を少なめ（例えば、4個、8個など）とする。また、図7の等価回路で示される構造の上に、さらに同じ構造を積み重ねてもよい。

50

【0066】

図8は、BiCS-NANDと二次元NANDとを比較して示す図である。

【0067】

二次元構造のNAND型フラッシュメモリ(二次元NAND)では、1本のビット線BLに接続される1ブロック内のNANDセルユニットの数が1個であるのに対し、BiCS-NANDでは、1本のビット線BLに接続される1ブロック内のNANDセルユニットの数が複数個である。

【0068】

従って、以下で説明するように、書き込み動作及び読み出し動作においては、1本のビット線BLに接続される1ブロック内の複数個のセルユニットのうちの1つをビット線側セレクトゲート線SGD<0>, …SGD<5>により選択する。

10

【0069】

(2) 基本動作

図1乃至図8のBiCS-NANDフラッシュメモリの基本動作について説明する。

【0070】

書き込み／読み出し／消去の基本動作は、二次元構造のNAND型フラッシュメモリと同じであるため、ここでは、BiCS-NANDフラッシュメモリに特有な事項について説明する。

【0071】

BiCS-NANDフラッシュメモリは、1ブロックの概念が二次元構造のNAND型フラッシュメモリと異なる。

【0072】

20

二次元構造のNAND型フラッシュメモリでは、1本のビット線に接続される1ブロック内のNANDセルユニットの数は1個であるが、BiCS-NANDフラッシュメモリでは、1本のビット線に接続される1ブロック内のNANDセルユニットの数は複数個である。

【0073】

例えば、図2の平面図において、ビット線BL<0>に接続されるブロックBK<i+1>内のNANDセルユニットの数(図中、活性層AAの数に相当)は、6個である。

【0074】

従って、書き込み動作及び読み出し動作においては、ビット線BL<0>に接続されるブロックBK<i+1>内の6個のNANDセルユニットのうちの1つを選択する必要がある。

【0075】

30

この選択は、ビット線側セレクトゲート線SGD<0>, …SGD<5>により行う。ビット線側セレクトゲート線SGD<0>, …SGD<5>は、ブロックBK<i+1>内のY方向の6個のNANDセルユニットに個別に接続される。

【0076】

消去動作は、二次元構造のNAND型フラッシュメモリと同様に、例えば、1ブロック内の全てのメモリセルに対して一括して行われる。

【0077】

BiCS-NANDフラッシュメモリは、1つのメモリセルに2値データを記憶する2値メモリ、及び、1つのメモリセルに3値以上の多値データを記憶する多値メモリの両方に適用可能である。

40

【0078】

3. 実施形態

本発明の実施形態について説明する。

【0079】

(1) ブロックレイアウト

図9は、BiCSメモリのブロックレイアウトの第一例を示している。

【0080】

このブロックレイアウトは、例えば、図1のBiCS-NANDフラッシュメモリに対応し、ビット線側セレクトゲート線ドライバをメモリセルアレイの一端に配置し、ワード線ドライバ及びソース線側セレクトゲート線ドライバをメモリセルアレイの他端に配置した点に特

50

徴を有する。

【0081】

メモリセルアレイ31のX方向の一端（左側）には、ドライバ33L、レベルシフタ34L及びアドレスデコーダ35Lが配置される。ドライバ33Lは、ビット線側セレクトゲート線SGDを駆動するドライバであり、転送トランジスタを含む。

【0082】

メモリセルアレイ31のX方向の他端（右側）には、ドライバ33R、レベルシフタ34R及びアドレスデコーダ35Rが配置される。ドライバ33Rは、ワード線WL及びソース線側セレクトゲート線SGSを駆動するドライバであり、転送トランジスタを含む。

【0083】

また、メモリセルアレイ31のY方向の一端には、センスアンプ32が配置される。メモリセルアレイ31上には、Y方向に延びるビット線BL<0>, …BL<m>が配置され、ビット線BL<0>, …BL<m>は、センスアンプ32に接続される。

【0084】

このブロックレイアウトは、図1のBiCS-NANDフラッシュメモリに対応するため、ブロックBK<0>, BL<1>, …BK<n>内にそれぞれ複数本のビット線側セレクトゲート線SGDが配置される。即ち、ビット線側セレクトゲート線SGDを駆動するドライバの面積が大きくなるため、メモリセルアレイ32の他端に配置されるワード線ドライバ及びソース線側セレクトゲート線ドライバとは別に、メモリセルアレイ32の一端にビット線側セレクトゲート線ドライバを配置する。

【0085】

図10は、BiCSメモリブロックレイアウトの第二例を示している。

【0086】

第二例の特徴は、第一例と比べると、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバ33を、まとめて、メモリセルアレイ31の一端に配置した点にある。

【0087】

メモリセルアレイ31のX方向の一端（左側）には、ドライバ33、レベルシフタ34及びアドレスデコーダ35が配置される。ドライバ33は、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバであり、転送トランジスタを含む。

【0088】

また、メモリセルアレイ31のY方向の一端には、センスアンプ32が配置される。メモリセルアレイ31上には、Y方向に延びるビット線BL<0>, …BL<m>が配置され、ビット線BL<0>, …BL<m>は、センスアンプ32に接続される。

【0089】

このように、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバ33をまとめることで、アドレスデコーダ34及びレベルシフタ35も一つにまとめることができ、周辺回路を効率的にレイアウトすることが可能になる。

【0090】

しかし、このブロックレイアウトでは、メモリセルアレイ31が巨大化され、さらに、メモリセルの微細化により、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDが狭ピッチ化されると、寄生容量による信号遅延が問題となる。

【0091】

特に、BiCSメモリでは、ワード線WL及びソース線側セレクトゲート線SGSがプレート状に形成される。このため、これら導電線間の寄生容量が大きく、カップリングノイズの原因となる。

【0092】

図11は、BiCSメモリブロックレイアウトの第三例を示している。

【0093】

第三例の特徴は、第二例と比べると、二つのメモリセルアレイ31L, 31Rを設けた点に特徴を有する。二つのメモリセルアレイ31L, 31Rを設けることで、各メモリセルアレイ内のワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを短くできるため、信号遅延及びカップリングノイズを抑制できる。

【0094】

メモリセルアレイ31L, 31Rは、X方向に並んで配置される。メモリセルアレイ31L, 31Rの間には、ドライバ33L, 33R、レベルシフタ34及びアドレスデコーダ35が配置される。ドライバ33L, 33Rは、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバであり、転送トランジスタを含む。

10

【0095】

また、メモリセルアレイ31L, 31RのY方向の一端には、センスアンプ32L, 32Rが配置される。メモリセルアレイ31L, 31R上には、Y方向に延びるビット線BL<0>, …BL<m>が配置され、ビット線BL<0>, …BL<m>は、センスアンプ32L, 32Rに接続される。

【0096】

このブロックレイアウトでは、レベルシフタ34及びアドレスデコーダ35は、二つのメモリセルアレイ31L, 31Rで共有化されるが、ドライバ33Lは、メモリセルアレイ31Lに対応して設けられ、ドライバ33Rは、メモリセルアレイ31Rに対応して設けられる。

【0097】

このように、二つのメモリセルアレイ31L, 31Rでドライバ33L, 33Rを共有化できない理由は、これらドライバを構成するトランジスタの数が多いため、共有化すると、メモリセルアレイ31L, 31Rとドライバ33L, 33Rとを接続する配線レイアウトが複雑になるからである。即ち、メモリセルアレイごとにドライバを設ければ、二つのメモリセルアレイでドライバを共有する場合よりも配線レイアウトが簡略化される。

20

【0098】

図12は、BiCSメモリのブロックレイアウトの第四例を示している。

【0099】

第四例の特徴は、第三例と比べると、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバ33を二つのメモリセルアレイ31L, 31Rで共有化した点に特徴を有する。

30

【0100】

このドライバ33の共有化は、ドライバ33の面積、即ち、ドライバ33を構成するトランジスタ数を削減することにより実現される。トランジスタ数が削減されれば、メモリセルアレイ31L, 31Rとドライバ33L, 33Rとを接続する配線レイアウトが複雑化しないからである。ドライバ33を構成するトランジスタ数の削減は、本発明に係わるビット線側セレクトゲート線のレイアウトにより達成されるが、それについては後述し、ここでは、ブロックレイアウトについてのみ説明する。

【0101】

メモリセルアレイ31L, 31Rは、X方向に並んで配置される。メモリセルアレイ31L, 31Rの間には、ドライバ33、レベルシフタ34及びアドレスデコーダ35が配置される。ドライバ33は、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバであり、転送トランジスタを含む。

40

【0102】

また、メモリセルアレイ31L, 31RのY方向の一端には、センスアンプ32L, 32Rが配置される。メモリセルアレイ31L, 31R上には、Y方向に延びるビット線BL<0>, …BL<m>が配置され、ビット線BL<0>, …BL<m>は、センスアンプ32L, 32Rに接続される。

【0103】

このブロックレイアウトでは、ドライバ33、レベルシフタ34及びアドレスデコーダ35は、二つのメモリセルアレイ31L, 31Rで共有化される。

【0104】

50

尚、配線レイアウトの複雑化なく、ドライバ33を二つのメモリセルアレイ31L, 31Rで共有できれば、第一例乃至第四例のなかで、この第四例のブロックレイアウトが最も好ましいブロックレイアウトとなる。

【0105】

(2) ビット線側セレクトゲート線のレイアウト

図13は、ビット線側セレクトゲート線のレイアウトの第一例を示している。図14は、図13をデバイス化にした場合の平面レイアウトを示している。

【0106】

第一例は、図9のブロックレイアウトに対応する。即ち、ビット線側セレクトゲート線SGD<0>, …SGD<5>に接続されるドライバ33Lは、メモリセルアレイ31のX方向の一端（左側）に配置され、かつ、ワード線WL<0>, …WL<3>及びソース線側セレクトゲート線SGSに接続されるドライバ33Rとは独立に設けられる。

10

【0107】

二つのブロックBK<i>, BK<i+1>は、それぞれ、半導体基板上に互いに絶縁されてスタックされる3以上の導電層と、3以上の導電層上にこれらとは絶縁されて配置されるビット線BL<0>, …BL<m>と、下端が半導体基板に接続され、上端がビット線BL<0>, …BL<m>に接続され、3以上の導電層を突き抜ける複数の活性層（半導体柱）AAとから構成される。

【0108】

3以上の導電層のうち最上層は、複数のビット線側セレクトゲート線SGD<0>, …SGD<5>から構成され、3以上の導電層のうち最下層は、ソース線側セレクトゲート線SGSであり、3以上の導電層のうち最上層及び最下層を除く残りの導電層は、ワード線WL<0>, …WL<3>である。

20

【0109】

本例では、1つのブロック内のビット線側セレクトゲート線SGD<0>, …SGD<5>の数が6本、ワード線WL<0>, …WL<3>の数が4本であるが、これに限られることはない。即ち、1つのブロック内のビット線側セレクトゲート線の数については、1本以上、ワード線の数についても、1本以上であればよい。

【0110】

また、3以上の導電層のうち最上層を除く残りの導電層は、Y方向の幅がビット線側セレクトゲート線SGD<0>, …SGD<5>のY方向の幅よりも広いプレート状を有する。

30

【0111】

そして、ビット線側セレクトゲート線SGD<0>, …SGD<5>と活性層AAとによりビット線側セレクトゲートトランジスタが構成され、ソース線側セレクトゲート線SGSと活性層AAとによりソース線側セレクトゲートトランジスタが構成される。また、ワード線WL<0>, …WL<3>と活性層AAとによりメモリセルが構成される。

【0112】

また、メモリセルアレイ31とドライバ33Lとの間の領域は、両者を接続するための引き出し線（導電線）SGD<0>・M1, …SGD<5>・M1が配置される引き出し部36Lとなる。同様に、メモリセルアレイ31とドライバ33Rとの間の領域は、両者を接続するための引き出し線（導電線）WL<0>・M1, …WL<3>・M1, SGS・M1が配置される引き出し部36Rとなる。

40

【0113】

ここで、ブロックBK<i>内のビット線側セレクトゲート線SGD<0>, …SGD<5>とブロックBK<i+1>内のビット線側セレクトゲート線SGD<0>, …SGD<5>とは、メモリセルアレイ31のX方向の一端において一対一に共通接続されたうえでドライバ33Lに接続される。

【0114】

具体的には、ブロックBK<i>内のビット線側セレクトゲート線SGD<0>, …SGD<5>のうちブロックBK<i+1>側からi（iは自然数）番目のビット線側セレクトゲート線は、ブロックBK<i+1>内のビット線側セレクトゲート線SGD<0>, …SGD<5>のうちブロックBK<i>側からi番目のビット線側セレクトゲート線に共通接続される。

【0115】

50

従って、ビット線側セレクトゲート線SGD<0>, …SGD<5>は、全体として折り返しレイアウト(folded layout)を有する。

【0116】

このような折り返しレイアウトは、例えば、側壁(side wall)をマスクとして下地をエッチングする側壁マスク技術(side wall masking technology)を利用することにより容易に形成できる。

【0117】

図15は、ビット線側セレクトゲート線のレイアウトの第二例を示している。図16は、図15をデバイス化にした場合の平面レイアウトを示している。

【0118】

第二例は、図10乃至図12のブロックレイアウトに対応する。即ち、メモリセルアレイ31のX方向の一端(右側)に配置されるドライバ33(33L, 33R)は、ワード線WL<0>, …WL<3>, ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGD<0>, …SGD<5>に接続される。

【0119】

ここで注意しなければならない点は、図15及び図16のレイアウトがそのまま適用されるのは、図11のメモリセルアレイ31Lとドライバ33Lとの間、及び、図12のメモリセルアレイ31Lとドライバ33との間に限定されるということである。

【0120】

残りの図10のメモリセルアレイ31とドライバ33との間、図11のメモリセルアレイ31Rとドライバ33Rとの間、及び、図12のメモリセルアレイ31Rとドライバ33との間については、図15及び図16のレイアウトを左右反転させたレイアウトが適用される。

【0121】

二つのブロックBK<i>, BK<i+1>は、それぞれ、半導体基板上に互いに絶縁されてスタックされる3以上の導電層と、3以上の導電層上にこれらとは絶縁されて配置されるビット線BL<0>, …BL<m>と、下端が半導体基板に接続され、上端がビット線BL<0>, …BL<m>に接続され、3以上の導電層を突き抜ける複数の活性層(半導体柱)AAとから構成される。

【0122】

3以上の導電層のうち最上層は、複数のビット線側セレクトゲート線SGD<0>, …SGD<5>から構成され、3以上の導電層のうち最下層は、ソース線側セレクトゲート線SGSであり、3以上の導電層のうち最上層及び最下層を除く残りの導電層は、ワード線WL<0>, …WL<3>である。

【0123】

本例では、1つのブロック内のビット線側セレクトゲート線SGD<0>, …SGD<5>の数が6本、ワード線WL<0>, …WL<3>の数が4本であるが、これに限られることはない。即ち、1つのブロック内のビット線側セレクトゲート線の数については、1本以上、ワード線の数についても、1本以上であればよい。

【0124】

また、3以上の導電層のうち最上層を除く残りの導電層は、Y方向の幅がビット線側セレクトゲート線SGD<0>, …SGD<5>のY方向の幅よりも広いプレート状を有する。

【0125】

そして、ビット線側セレクトゲート線SGD<0>, …SGD<5>と活性層AAとによりビット線側セレクトゲートトランジスタが構成され、ソース線側セレクトゲート線SGSと活性層AAとによりソース線側セレクトゲートトランジスタが構成される。また、ワード線WL<0>, …WL<3>と活性層AAとによりメモリセルが構成される。

【0126】

また、メモリセルアレイ31(31L, 31R)とドライバ33(33L, 33R)との間の領域は、両者を接続するための引き出し線(導電線)WL<0>・M1, …WL<3>・M1, SGS・M1, SGD<0>・M1, …SGD<5>・M1が配置される引き出し部36となる。

【0127】

10

20

30

40

50

ここで、ブロックBK<i>内のビット線側セレクトゲート線SGD<0>, …SGD<5>とブロックBK<i+1>内のビット線側セレクトゲート線SGD<0>, …SGD<5>とは、メモリセルアレイ31のX方向の一端（右側）において一対一に共通接続されたうえでドライバ33（33L, 33R）に接続される。

【0128】

具体的には、ブロックBK<i>内のビット線側セレクトゲート線SGD<0>, …SGD<5>のうちブロックBK<i+1>側から i（i は自然数）番目のビット線側セレクトゲート線は、ブロックBK<i+1>内のビット線側セレクトゲート線SGD<0>, …SGD<5>のうちブロックBK<i>側から i 番目のビット線側セレクトゲート線に共通接続される。

【0129】

従って、ビット線側セレクトゲート線SGD<0>, …SGD<5>は、全体として折り返しレイアウト (folded layout) を有する。

【0130】

このような折り返しレイアウトは、例えば、側壁をマスクとして下地をエッチングする側壁マスク技術を利用することにより容易に形成できる。

【0131】

図17は、メモリセルアレイの両側にドライバを配置するレイアウトを示している。

【0132】

同図に示すように、メモリセルアレイ31の両側にドライバ33を配置すると、例えば、ブロック1個当りのドライバ33のY方向のサイズを広げることができる（トランジスタの個数を多くすることができる）ため、結果として、ドライバ33のX方向のサイズを狭めることができ（トランジスタの個数を少なくすることができる）、引き出し部36内の引き出し線（導電線）WL<0>・M1, …WL<3>・M1, SGS・M1, SGD<0>・M1, …SGD<5>・M1のレイアウトがさらに簡素化される。

【0133】

尚、図10乃至図12に示すように、メモリセルアレイ31（31L, 31R）の片側にドライバ33（33L, 33R）を配置するか、又は、図17に示すように、メモリセルアレイ31の両側にドライバ33を配置するかは、BiCSメモリ（チップ）の仕様や、周辺回路の面積効率などを考慮して決定する。

【0134】

(3) ドライバの回路例

ドライバの回路例についてBiCS-NANDフラッシュメモリを例に説明する。

【0135】

図18は、ドライバの回路例を示している。

【0136】

メモリセルアレイに関し、1ブロック内のワード線の数4本（4層）とし、ビット線側セレクトゲート線の数8本（1層）とし、ソース線側セレクトゲート線の数1本（1層）とする。

【0137】

ドライバ33は、高電圧が印加される転送トランジスタ（高電圧トランジスタ）から構成される。ロウデコーダ35は、アンド回路から構成され、アドレス信号ADDRESSをデコードする。レベルシフタ34は、ドライバ33とロウデコーダ35の間に接続される。

【0138】

BSTON、VRDEC、RDECANDn<0>及びRDECANDn<1>は、転送トランジスタのオン／オフを制御する制御信号であり、SGD<7:0>, CGi<3:0>, CG(i+1)<3:0>, SGSi, SGS(i+1), VRDEC2, SGDSは、転送電圧である。

【0139】

(4) リードディスタープ及びリード手法

A. リードディスタープ

まず、BiCSメモリに特有のリードディスタープについてBiCS-NANDフラッシュメモリを

10

20

30

40

50

例に説明する。

【0140】

図19は、3つのブロックを示している。

ブロックBK<i>を選択されたブロックとし、ブロックBK<i-1>、BK<i+1>を非選択のブロックとする。

【0141】

選択されたブロックBK<i>は、リード対象となるメモリセルを含む選択されたNANDセルユニットNAND-selectを有する。NANDセルユニットNAND-selectは、互いに交差して配置される選択されたビット線BL-selectと選択されたビット線側セレクトゲート線SGD-selectとの交点に位置する。

10

【0142】

リード時に、選択されたブロックBK<i>内の選択されたワード線WL-selectにはリード電位Vcgrvが与えられ、選択されたブロックBK<i>内の非選択のワード線WL-unselectにはリード電位Vcgrvよりも高い転送電位Vreadが与えられる。リード電位Vcgrvは、メモリセルの閾値状態に応じてそのメモリセルをオン又はオフにする電位であり、転送電位Vreadは、メモリセルの閾値状態によらずそのメモリセルをオンにする電位である。

【0143】

ここで、ブロックBK<i>内のNANDセルユニットは、ワード線を共有するため、ブロックBK<i>内では、選択されたNANDセルユニット以外に非選択のNANDセルユニットにも、リード電位Vcgrv及び転送電位Vreadが印加される。

20

【0144】

ブロックBK<i>内のリード時の電位関係は、図20に示すようになる。

選択されたワード線WL-selectには、リード電位Vcgrvが印加され、非選択のワード線WL-unselectには、転送電位Vreadが印加される。また、選択されたビット線側セレクトゲート線SGD-selectには、ビット線側セレクトゲートトランジスタをオンにする電位としてVs_{gd}(例えば、約4V)が印加され、非選択のビット線側セレクトゲート線SGD-unselectには、ビット線側セレクトゲートトランジスタをオフにする電位としてVs_s(例えば、0V)が印加される。さらに、ソース線側セレクトゲート線SGSには、ソース線側セレクトゲートトランジスタをオンにする電位としてVs_{gs}(例えば、約4V)が印加される。

【0145】

30

選択されたビット線BL-selectは、予め、プリチャージ電位V_{pre}にプリチャージされているため、選択されたメモリセルMC-selectの閾値状態に応じて選択されたビット線BL-selectの電位が変動する。この変動をセンスアンプにより検出し、選択されたメモリセルMC-selectのデータを判定する。

【0146】

この時、特に、リード電位Vcgrvが印加されるワード線WL-selectに接続される非選択のメモリセルX1のビット線BL-select側に隣接するメモリセルX2について、リードディスターストが発生し易くなる。

【0147】

B. 従来のリード手法（参考例）

40

リードディスターストの発生について具体的に説明する。

【0148】

図21は、従来のリード手法を示すタイミングチャートである。図22及び図23は、リード時の電位関係を示している。

【0149】

まず、選択されたブロックBK<i>内において、選択されたワード線WL<2>にリード電位Vcgrvを与え、非選択のワード線WL<0>、WL<1>、WL<3>に転送電位Vreadを与える。また、選択されたNANDセルユニットNAND-select1、NAND-select2内のビット線側セレクトゲート線SGDにビット線側セレクトゲートトランジスタをオンにする電位Vs_{gd}(ex. 4V)を与え(実線A)、非選択のNANDセルユニットNAND-unselect内のビット線側セレクトゲート線SGDにビッ

50

ト線側セレクトゲートトランジスタをオフにする電位 V_{ss} (ex. 0V)を与える(破線B)。さらに、ソース線SLに接地電位 V_{ss} を与える。

【0150】

また、ABL (All Bit Line)センス方式を採用する場合には、図22に示すように、全てのビット線 $BL<0>$ 、 $BL<1>$ にプリチャージ電位 V_{pre} を与え、ソース線側セレクトゲート線SGSにソース線側セレクトゲートトランジスタをオンにする電位 V_{sgs} を与える(図21の実線C1)。これに対し、シールドビット線センス方式を採用する場合には、図23に示すように、選択されたビット線 $BL<0>$ にプリチャージ電位 V_{pre} を与え、非選択のビット線 $BL<1>$ にシールド電位 V_{ss} (ex. 0V)を与え、選択されたソース線側セレクトゲート線SGSにソース線側セレクトゲートトランジスタをオンにする電位 V_{sgs} を与え、非選択のソース線側セレクトゲート線SGSにソース線側セレクトゲートトランジスタをオフにする電位 V_{ss} を与えた後に V_{sgs} を与える(図21の破線C2)。

10

【0151】

非選択のブロック $BK<i-1>$ 、 $BK<i+1>$ については、図22及び図23に示すような電位関係にする。

【0152】

この時、選択されたブロック $BK<i>$ 内の非選択のNANDセルユニットNAND-unselectは、ビット線側セレクトゲートトランジスタがオフであり、リード時にビット線から切断される。また、非選択のNANDセルユニットNAND-unselect内のリード電位 V_{cgrv} が与えられる非選択のメモリセルX1が高い閾値状態、例えば、2値記憶("0"/"1")の"0"状態である場合には、その非選択のメモリセルX1は、リード電位 V_{cgrv} が印加される前後においてオフである。

20

【0153】

このため、非選択のNANDセルユニットNAND-unselect内のリード電位 V_{cgrv} が与えられるメモリセルX1よりもビット線側に存在するメモリセルX2のチャンネルは、フローティング状態であり、かつ、リード電位 V_{cgrv} が印加されたときに容量カップリングによりチャンネルブーストされる(V_{boost})。

【0154】

一方、BiCSメモリでは、リード時には、非選択のNANDセルユニットNAND-unselect内のリード電位 V_{cgrv} が与えられるメモリセルX1よりもソース線側に存在するメモリセルのチャンネルは、ソース線SLから接地電位 V_{ss} が転送される。

30

【0155】

従って、非選択のNANDセルユニットNAND-unselect内のリード電位 V_{cgrv} が与えられるメモリセルX1には、ソース及びドレイン間に大きな電位差が発生し、それが原因となり、そのメモリセルX1のソース及びドレイン間にパンチスルーが発生する。

【0156】

このパンチスルーに起因してホットキャリアが発生し、このホットキャリアが非選択のNANDセルユニットNAND-unselect内のリード電位 V_{cgrv} が与えられるメモリセルX1よりもビット線 $BL<0>$ 、 $BL<1>$ 側に存在するメモリセルX2の電荷蓄積層に注入され、閾値電圧の変動が生じる。

40

【0157】

図24は、リードディスターブ発生時の状況を示している。

同図(a)は、選択されたメモリセルMC-select1、MC-select2を含むNANDセルユニットを示し、同図(b)は、非選択のメモリセルのみを含むNANDセルユニットを示している。同図(b)において、メモリセルX1、X2は、図22及び図23のメモリセルX1、X2に対応している。

【0158】

C. 本発明の例に係わるリード手法

上述のリードディスターブを防止するには、リード時に、非選択のセルユニット内のリード電位が与えられるメモリセルのソース及びドレイン間に大きな電位差が発生しないよ

50

うに、動作タイミングを工夫すればよい。

【0159】

図25は、本発明の例に係わるリード手法を示すタイミングチャートである。図26及び図27は、リード時の電位関係を示している。

【0160】

・ 期間1

選択されたブロックBK<i>内において、選択されたワード線WL<2>にリード電位Vcgrvを与え、非選択のワード線WL<0>, WL<1>, WL<3>に転送電位Vreadを与える。また、全てのビット線側セレクトゲート線SGDにビット線側セレクトゲートトランジスタをオンにする電位Vsgd(ex. 4V)を与え、全てのソース線側セレクトゲート線SGSにソース線側セレクトゲートトランジスタをオンにする電位Vsgs(ex. 4V)を与える。全てのビット線BL<0>, BL<1>及びソース線SLには接地電位Vssを与える。

10

【0161】

ここで、本発明の例に係わるリード手法が従来のリード手法と異なる点は、選択されたブロックBK<i>内の非選択のNANDセルユニットNAND-unselect内のリード電位Vcgrvが印加されるメモリセルX1よりもビット線BL<0>, BL<1>側に存在するメモリセルX2のチャンネルに接地電位Vssを与えた状態で、選択されたブロックBK<i>内のワード線WL<0>, WL<1>, WL<2> > WL<3>リード電位Vcgrv又は転送電位Vreadを印加していることにある。

【0162】

この場合、選択されたブロックBK<i>内のワード線WL<0>, WL<1>, WL<2> WL<3>リード電位Vcgrv又は転送電位Vreadを印加したときに、非選択のNANDセルユニットNAND-unselect内のメモリセルX2のチャンネルは接地電位Vssに固定された状態にあるため、そのメモリセルX2のチャンネルがブーストされることはない。

20

【0163】

・ 期間2～3

選択されたNANDセルユニットNAND-select1, NAND-select2内のビット線側セレクトゲート線SGDにビット線側セレクトゲートトランジスタをオンにする電位Vsgd(ex. 4V)を与え(実線A)、非選択のNANDセルユニットNAND-unselect内のビット線側セレクトゲート線SGDにビット線側セレクトゲートトランジスタをオフにする電位Vss(ex. 0V)を与える(破線B)。さらに、ソース線SLに接地電位Vssを与える。

30

【0164】

また、ABLセンス方式を採用する場合には、図26に示すように、全てのビット線BL<0>, BL<1>にプリチャージ電位Vpreを与え、ソース線側セレクトゲート線SGSにソース線側セレクトゲートトランジスタをオンにする電位Vsgs(ex. 4V)を与える(図25の実線C1)。これに対し、シールドビット線センス方式を採用する場合には、図27に示すように、選択されたビット線BL<0>にプリチャージ電位Vpreを与え、非選択のビット線BL<1>にシールド電位Vss(ex. 0V)を与え、選択されたソース線側セレクトゲート線SGSにソース線側セレクトゲートトランジスタをオンにする電位Vsgsを与え、非選択のソース線側セレクトゲート線SGSにソース線側セレクトゲートトランジスタをオフにする電位Vssを与えた後にVsgsを与える(図25の破線C2)。

40

【0165】

非選択のブロックBK<i-1>, BK<i+1>については、図26及び図27に示すような電位関係にする。

【0166】

この時、選択されたブロックBK<i>内の非選択のNANDセルユニットNAND-unselectは、ビット線側セレクトゲートトランジスタがオフであり、リード時にビット線から切断される。また、非選択のNANDセルユニットNAND-unselect内のリード電位Vcgrvが与えられる非選択のメモリセルX1が高い閾値状態、例えば、2値記憶("0"/"1")の"0"状態である場合には、その非選択のメモリセルX1はオフである。

【0167】

50

このため、非選択のNANDセルユニットNAND-unselect内のリード電位Vcgrvが与えられるメモリセルX1よりもビット線側に存在するメモリセルX2のチャンネルは、フローティング状態である。

【0168】

しかし、選択されたブロックBK<i>に対しては、既に、期間1においてリード電位Vcgrv及び転送電位Vreadが与えられているため、メモリセルX2のチャンネルが容量カップリングによりチャンネルブーストされるということはない。

【0169】

従って、非選択のNANDセルユニットNAND-unselect内において、メモリセルX1よりもソース線側に存在するメモリセルのチャンネルにソース線SLから接地電位Vssが転送されても、メモリセルX1のソース及びドレイン間に大きな電位差が発生することはなく、結果として、メモリセルX2の閾値電圧の変動（リードディスタurb）が防止される。

10

【0170】

図28は、リード電位及び転送電位の印加時の状況を示している。

同図(a)は、選択されたメモリセルMC-select1, MC-select2を含むNANDセルユニットを示し、同図(b)は、非選択のメモリセルのみを含むNANDセルユニットを示している。同図(b)において、メモリセルX1, X2は、図26及び図27のメモリセルX1, X2に対応し、丸数字1~3は、図25の期間1~3に対応している。

【0171】

同図(b)から明らかなように、選択されたブロックBK<i>内のワード線WL<0>, WL<1>, WL<2> WL<3>リード電位Vcgrv又は転送電位Vreadを印加したときに、非選択のNANDセルユニットNAND-unselect内のメモリセルX2のチャンネルは、接地電位Vssに固定された状態にあるため、そのメモリセルX2のチャンネルがブーストされることはない。

20

【0172】

D. その他

本発明の例に係わるリード手法においては、図25の動作タイミングに限定されることはなく、以下の場合に有効である。

【0173】

期間1において、ビット線から、非選択のNANDセルユニット内のリード電位が印加されるメモリセルよりもビット線側に存在するメモリセルのチャンネルに接地電位を供給しているが、これに代えて、ソース線から接地電位を供給してもよい。但し、この場合には、期間1において、選択されたワード線にも転送電位Vreadを与える。

30

【0174】

リード電位Vcgrv又は転送電位Vreadを選択されたブロック内のワード線に印加するタイミングは、選択されたブロック内の非選択のNANDセルユニット内の全てのメモリセルをビット線から切断するタイミングよりも前であればよい。

【0175】

プリチャージ電位Vpreをビット線に印加するタイミングは、選択されたブロック内の非選択のNANDセルユニット内の全てのメモリセルをビット線から切断するタイミングと同じ又はそれよりも後であればよい。

40

【0176】

(5) まとめ

以上のように、本発明の実施形態によれば、BiCS技術が適用された三次元積層不揮発性半導体メモリのリードディスタurbを改善することができる。

【0177】

4. 適用例

本発明の技術は、ビットコストスケラビリティを実現するため、1つのセルユニットが直列接続された複数のメモリセル(NAND列)から構成されるBiCS-NANDフラッシュメモリに有効であるが、それ以外にも、BiCS技術が適用された三次元積層不揮発性半導体メモリに適用可能である。

50

【0178】

例えば、BiCS-NANDフラッシュメモリ以外の例として、デバイス構造はBiCS-NANDフラッシュメモリと全く同じであるが、1つのセルユニット内の複数のメモリセルのうち、中央の1つのみをメモリセルとして用い、残りはダミーセルとして用いるような不揮発性半導体メモリにも有効である。

【0179】

また、BiCSメモリのメモリセル構造については、電荷蓄積層が絶縁体（例えば、窒化物）から構成されるいわゆるMONOS型が有効であると考えられているが、本発明の例は、これに限られず、電荷蓄積層が導電性ポリシリコンから構成されるフローティングゲート型に適用することも可能である。

10

【0180】

さらに、1つのメモリセルに記憶させるデータ値については、2値(two-level)であってもよいし、3値(three-level)以上の多値(multi-level)であってもよい。

【0181】

5. むすび

本発明によれば、BiCS技術が適用された三次元積層不揮発性半導体メモリのリードディスタースターブを改善することができる。

【0182】

本発明の例は、上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施形態の構成要素を適宜組み合わせてもよい。

20

【図面の簡単な説明】

【0183】

【図1】 BiCS-NANDフラッシュメモリの鳥瞰図。

【図2】 BiCS-NANDフラッシュメモリの平面図。

【図3】 図2のIII-III線に沿う断面図。

【図4】 図2のIV-IV線に沿う断面図。

【図5】 NANDセルユニットの構造図。

30

【図6】 NANDセルユニットの鳥瞰図。

【図7】 メモリセルアレイの等価回路図。

【図8】 BiCS-NANDと二次元NANDとの比較図。

【図9】 ブロックレイアウトの第一例を示す図。

【図10】 ブロックレイアウトの第二例を示す図。

【図11】 ブロックレイアウトの第三例を示す図。

【図12】 ブロックレイアウトの第四例を示す図。

【図13】 ビット線側セレクトゲート線のレイアウトを示す図。

【図14】 図13をデバイス化したときの平面図。

【図15】 ビット線側セレクトゲート線のレイアウトを示す図。

40

【図16】 図15をデバイス化したときの平面図。

【図17】 ビット線側セレクトゲート線のレイアウトを示す図。

【図18】 ドライバの回路例を示す図。

【図19】 BiCSメモリのリードディスタースターブを説明する図。

【図20】 BiCSメモリのリードディスタースターブを説明する図。

【図21】 参考例としてのリード手法を示すタイミング図。

【図22】 参考例の電位関係を示す図。

【図23】 参考例の電位関係を示す図。

【図24】 リードディスタースターブが発生する様子を示す図。

【図25】 本発明の例に係わるリード手法を示すタイミング図。

50

【図 26】 本発明の例に係わる電位関係を示す図。

【図 27】 本発明の例に係わる電位関係を示す図。

【図 28】 リードディスタースが改善される様子を示す図。

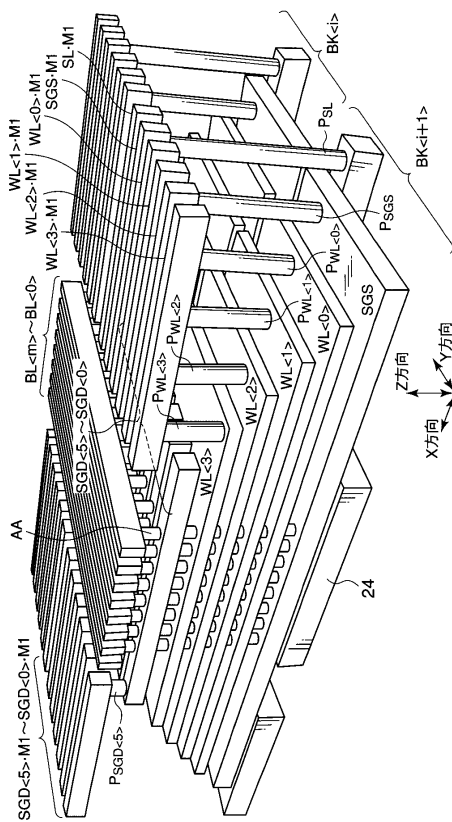
【符号の説明】

【0184】

WL<0>, …WL<3>: ワード線、 BL<0>, …BL<m>: ビット線、 SGS: ソース線側セレクトゲート線、 SGD<0>, …SGD<5>: ビット線側セレクトゲート線、 AA: アクティブエリア。

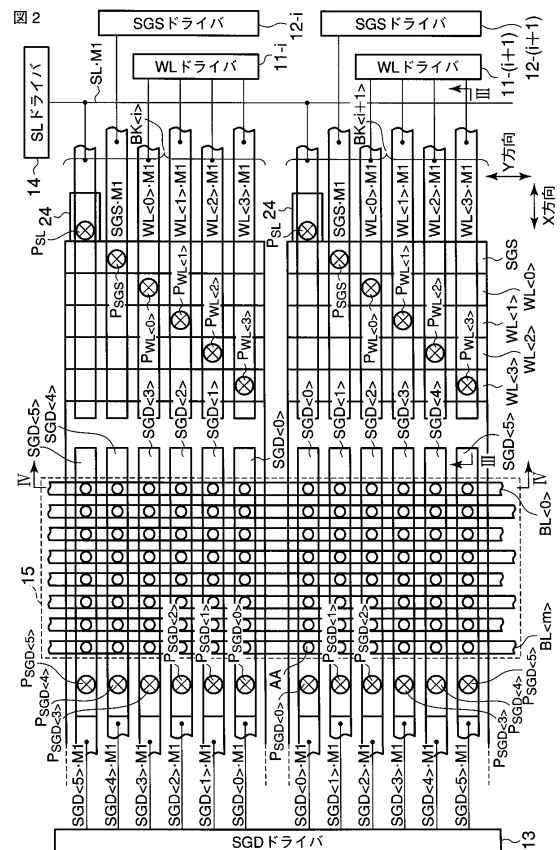
【図 1】

図 1

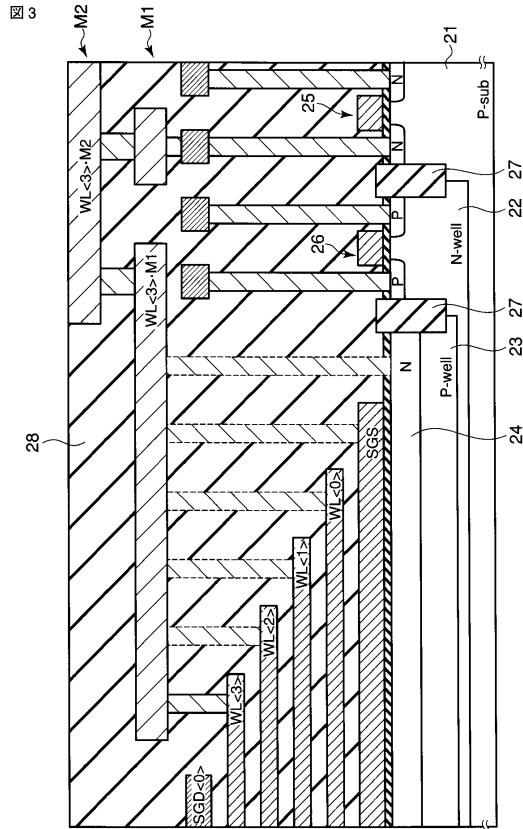


【図 2】

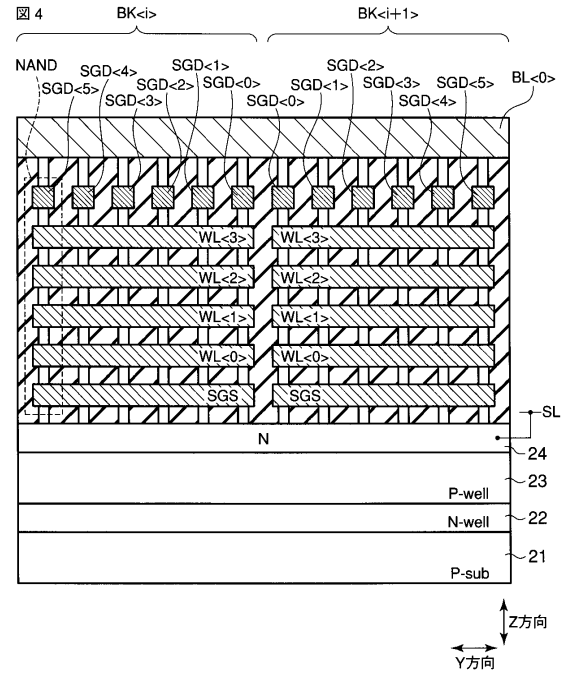
図 2



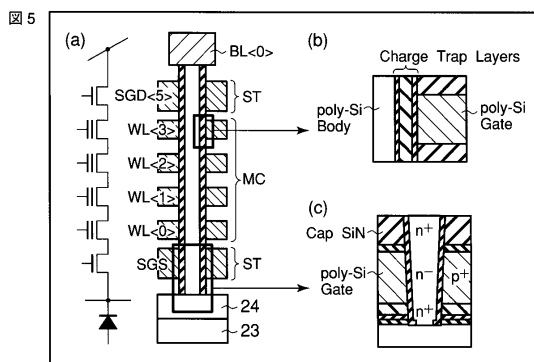
【図 3】



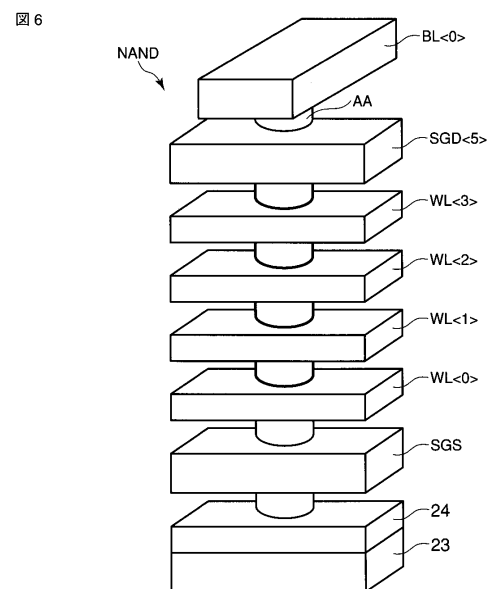
【図 4】



【図 5】

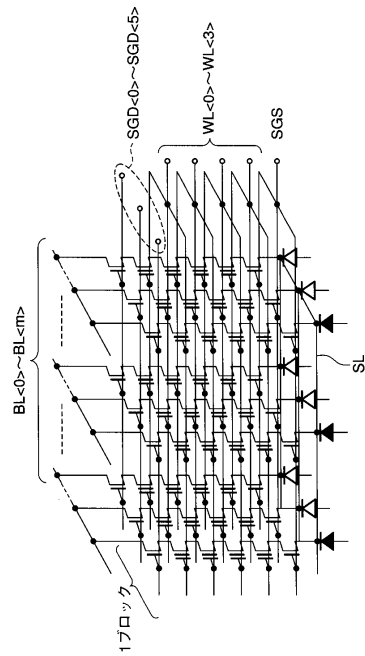


【図 6】



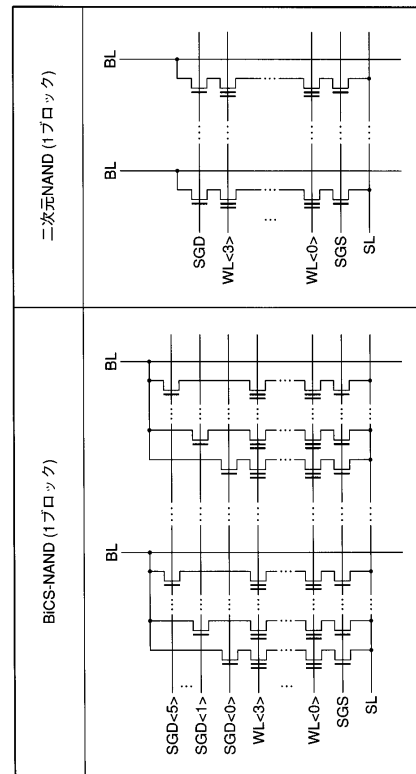
【図 7】

図 7



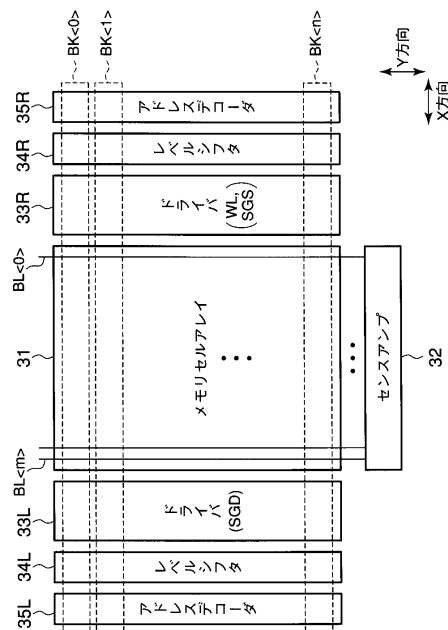
【図 8】

図 8



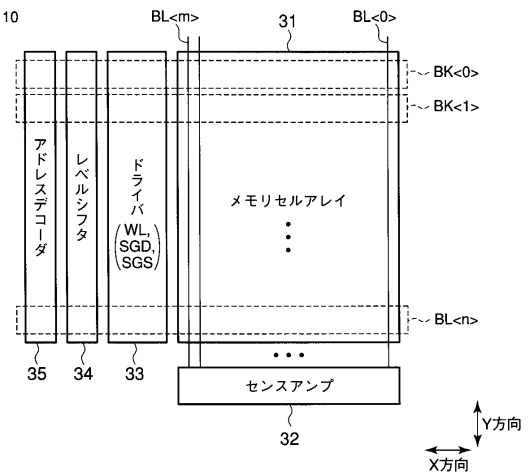
【図 9】

図 9



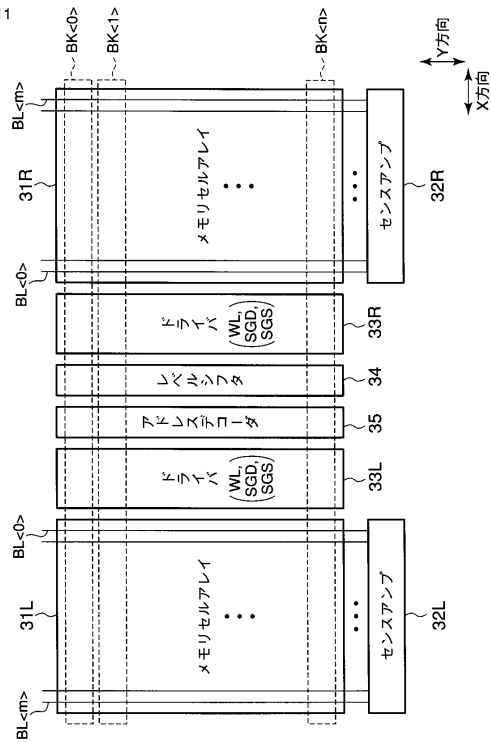
【図 10】

図 10



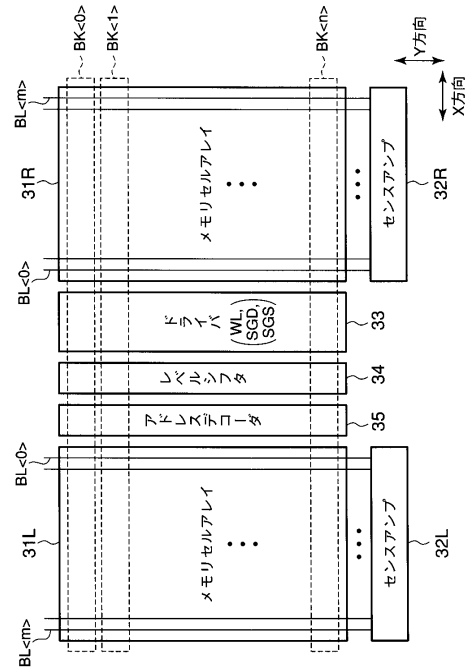
【図 1 1】

図 11



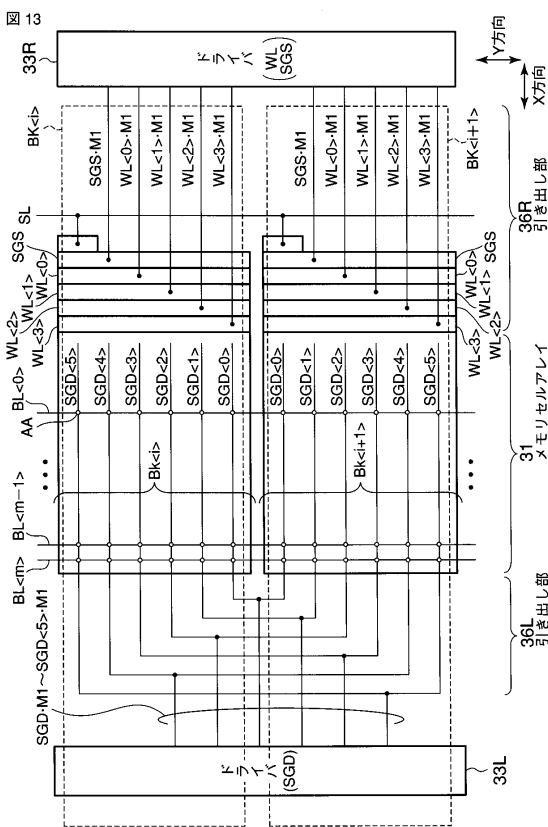
【図 1 2】

図 12



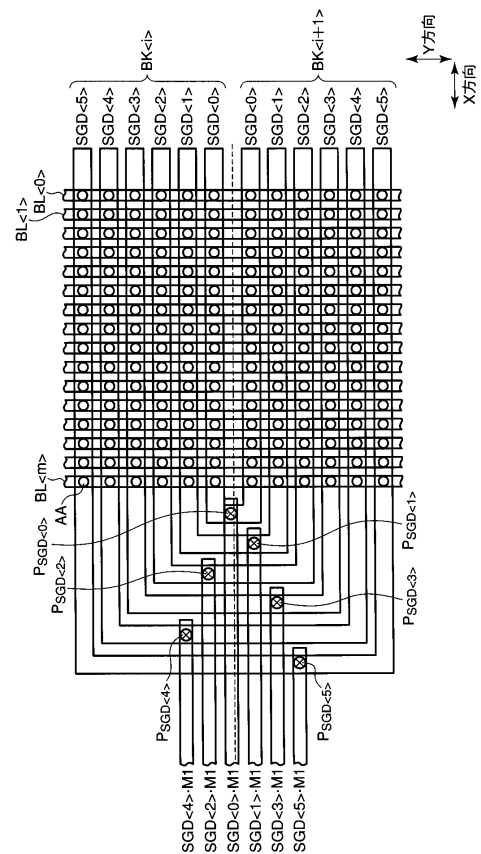
【図 1 3】

図 13



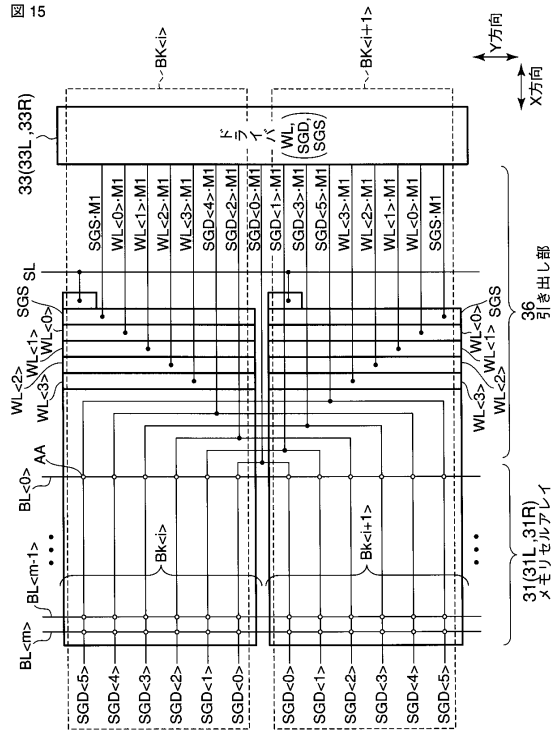
【図 1 4】

図 14



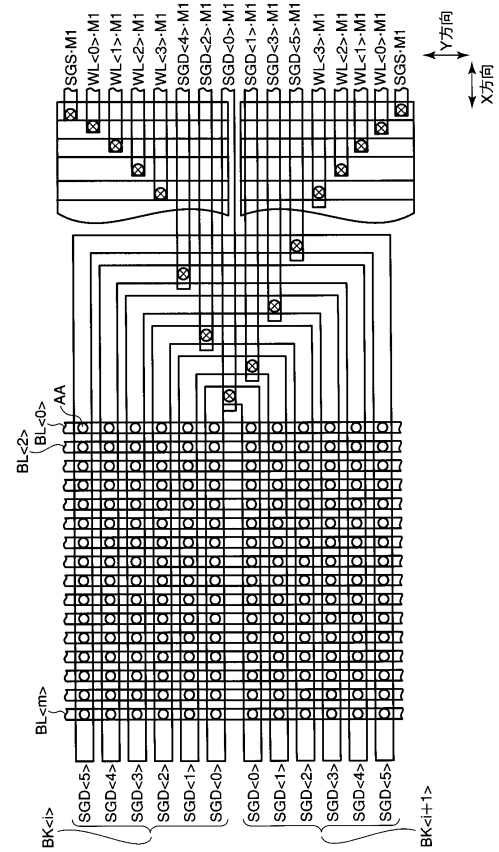
【図 15】

図 15



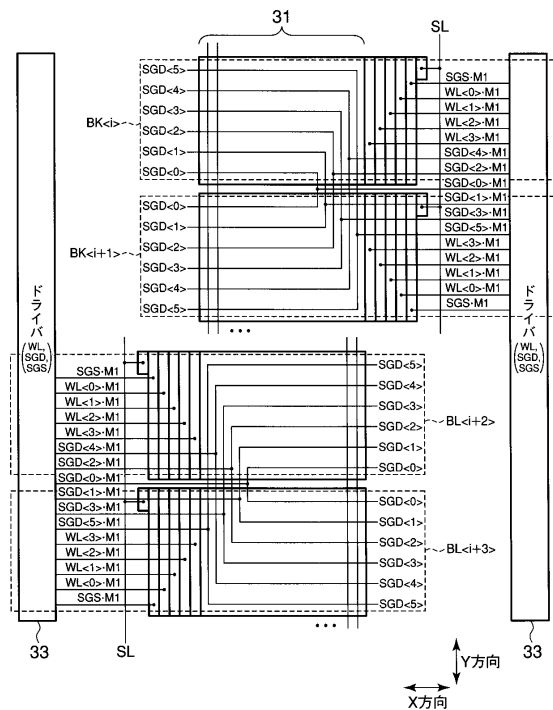
【図 16】

図 16



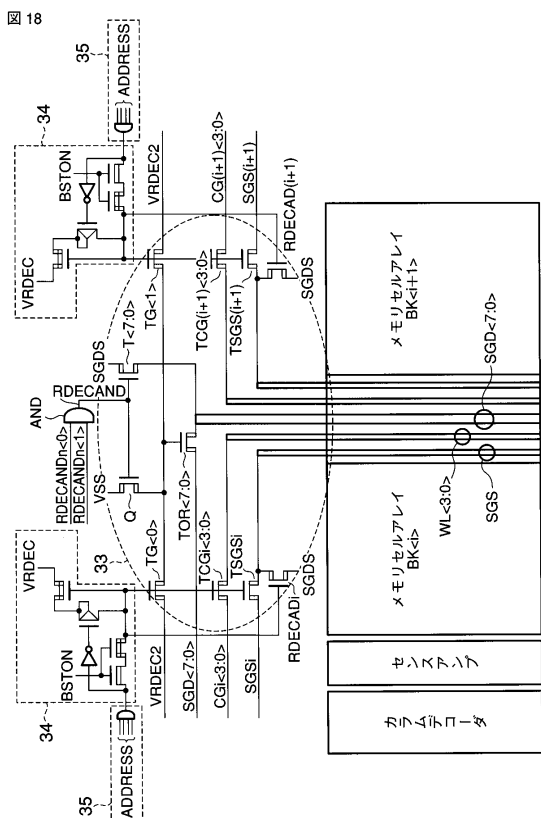
【図 17】

図 17

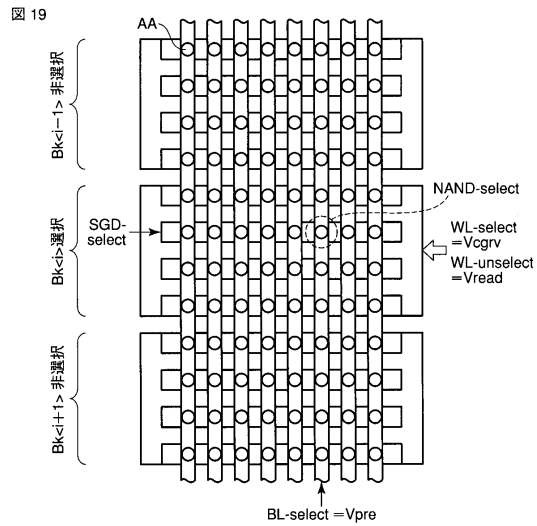


【図 18】

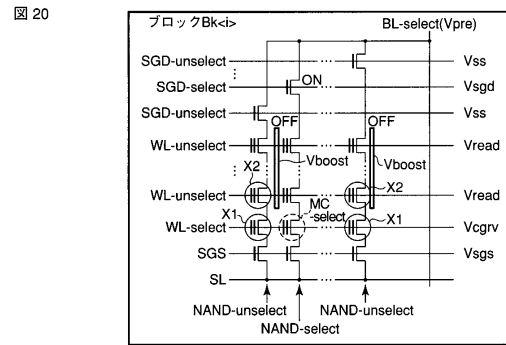
図 18



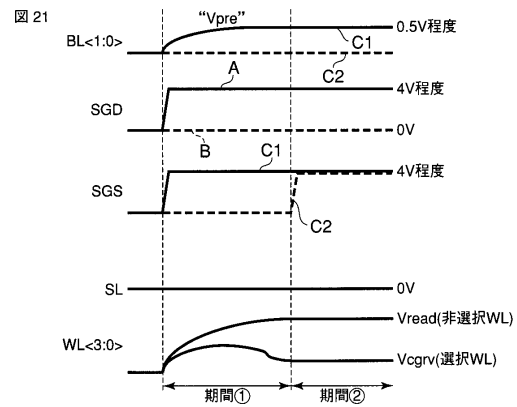
【図 19】



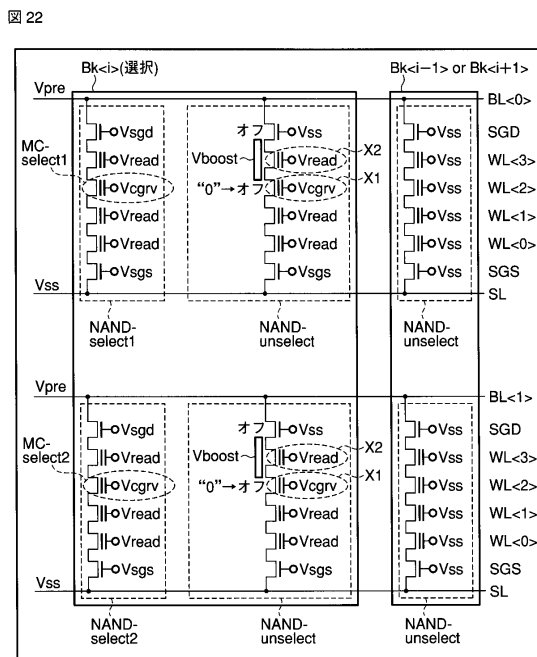
【図 20】



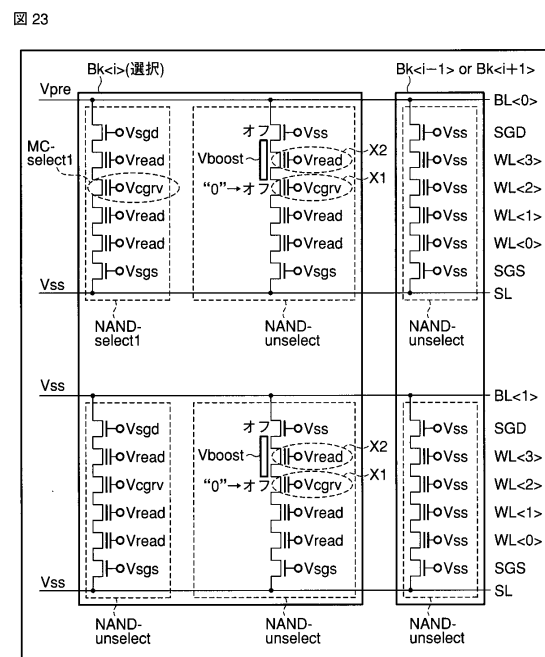
【図 21】



【図 22】

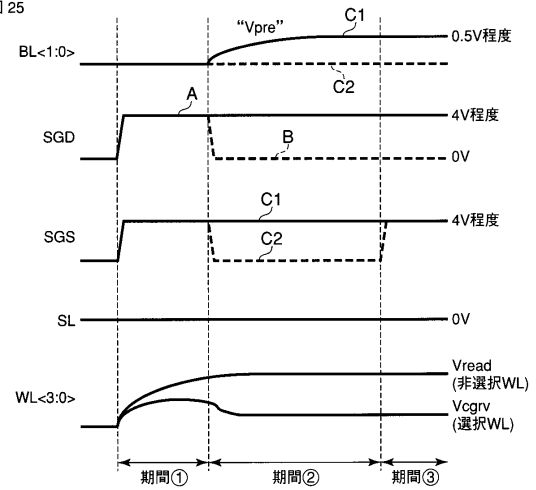


【図 23】



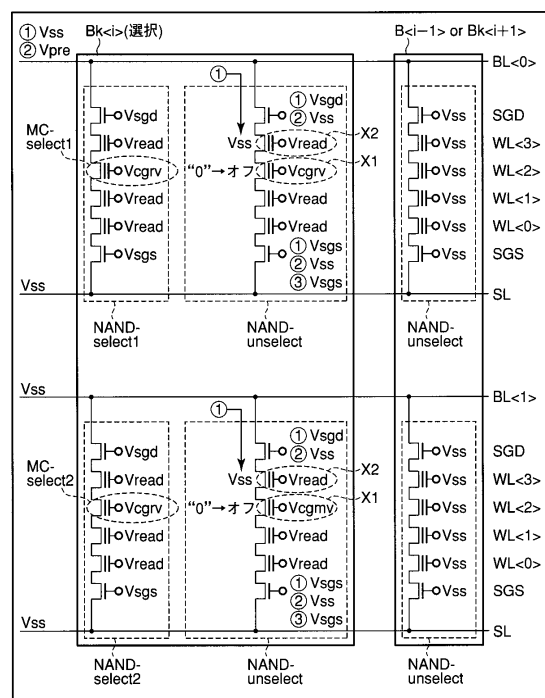
【図 25】

☒ 25



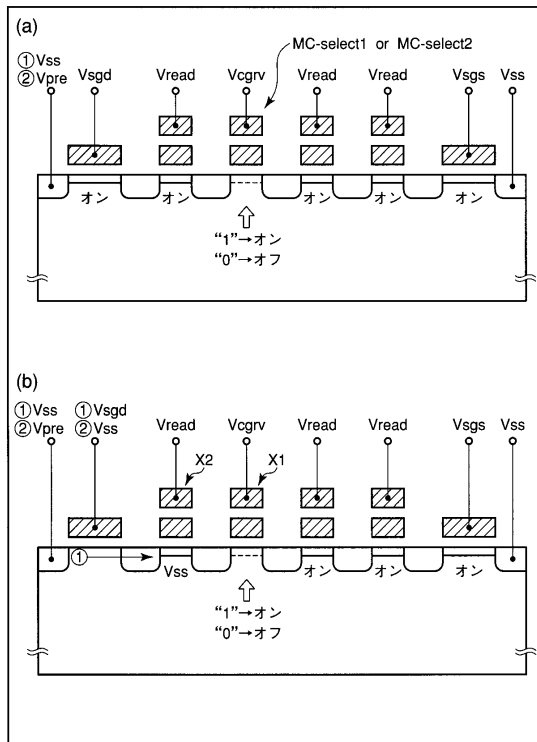
【图 27】

图 27



【図 28】

図 28



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100092196
弁理士 橋本 良郎
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 前嶋 洋
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 滝谷 亮一

- (56)参考文献 特開2007-266143 (JP, A)
特開2009-021000 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| G11C | 16/02 |
| G11C | 16/04 |
| G11C | 16/06 |