

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 11 月 30 日 (30.11.2017)



(10) 国际公布号
WO 2017/202005 A1

(51) 国际专利分类号:
G09G 3/32 (2016.01)

(21) 国际申请号: PCT/CN2016/109469

(22) 国际申请日: 2016 年 12 月 12 日 (12.12.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610362978.1 2016 年 5 月 25 日 (25.05.2016) CN

(71) 申请人: 华南理工大学 (SOUTH CHINA UNIVERSITY OF TECHNOLOGY) [CN/CN]; 中国广东省广州市天河区五山路 381 号, Guangdong 510640 (CN)。

(72) 发明人: 吴为敬 (WU, Weijing); 中国广东省广州市天河区五山路 381 号, Guangdong 510640 (CN)。 胡宇峰 (HU, Yufeng); 中国广东省广州市天河区五山路 381 号, Guangdong 510640 (CN)。 李冠明 (LI, Guanming); 中国广东省广州市天河区五山路 381 号, Guangdong 510640 (CN)。 徐苗 (XU, Miao); 中国广东省广州市天河区五山路 381 号, Guangdong 510640 (CN)。 王磊 (WANG, Lei); 中国广东省广州市天河区五山路 381 号, Guangdong 510640 (CN)。 彭俊彪 (PENG, Junbiao); 中国广东省广州市天河区五山路 381 号, Guangdong 510640 (CN)。

(74) 代理人: 广州市华学知识产权代理有限公司 (GUANGZHOU HUAXUE INTELLECTUAL PROPERTY AGENCY CO., LTD.); 中国广东省

(54) Title: GATE DRIVING UNIT, ROW GATE SCANNING DRIVER AND DRIVING METHOD THEREOF

(54) 发明名称: 一种栅极驱动单元及行栅极扫描驱动器及其驱动方法

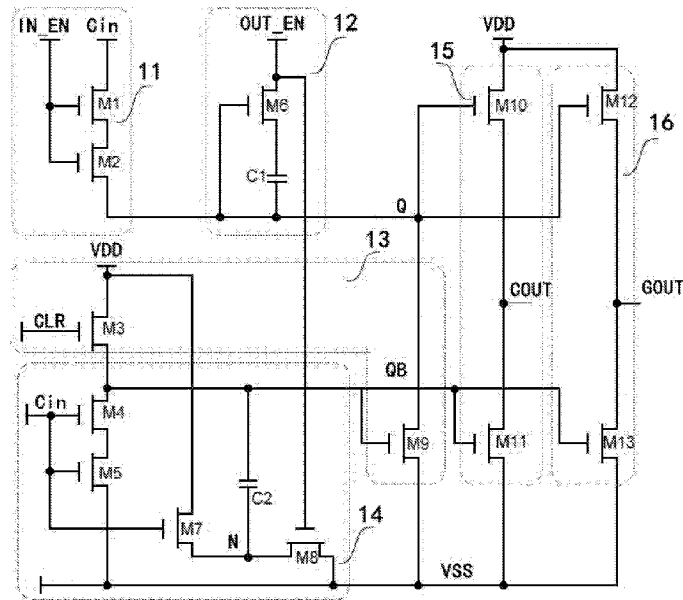


图 1

(57) Abstract: Disclosed are a gate driving unit, a row gate scanning driver and a driving method thereof. The gate driving unit comprises a signal acquisition module (11), a boost module (12), an inverter module (13), a negative voltage module (14), an internal output module (15) and a scanning output module (16). Through the negative voltage module (14), the gate driving unit can operate normally by requiring only a single negative power supply, thereby reducing the clock hopping amplitude and the circuit power consumption while simplifying the circuit structure and reducing the circuit area. In addition, the output module adopts a direct-current driving mode,

广州市天河区五山路 381 号物资大楼首层, Guangdong 510640 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:

— 发明人资格 (细则 4.17 (iv))

本国际公布:

— 包括国际检索报告 (条约第 21 条 (3))。

thereby capable of reducing the dynamic power consumption and improving the response speed. Multiple stages of gate driving units are connected in series and then connected with a corresponding power supply and time sequence control module (20) so as to form the row gate scanning driver. The driver can realize shift output of gate driving signal by requiring only three driving clocks, all of the driving clocks being assembly-line type driving time sequence with the duty ratio being 33.3%, with the simple and independent time sequence, thereby avoiding occurrence of competitive adventure and improving the circuit stability.

(57) 摘要: 一种栅极驱动单元及行栅极扫描驱动器及其驱动方法, 栅极驱动单元由信号采集模块 (11)、升压模块 (12)、反相器模块 (13)、负压模块 (14)、内部输出模块 (15) 及扫描输出模块 (16) 构成, 通过负压模块 (14), 栅极驱动单元仅需要单负电源便能正常工作, 简化电路结构、缩小电路面积的同时, 还能降低时钟跳变摆幅、降低电路功耗, 此外输出模块采用直流驱动方式, 能够降低动态功耗, 提高响应速度。多级栅极驱动单元串联后并与对应的电源及时序控制模块 (20) 相连接便构成了行栅极扫描驱动器, 驱动器仅需 3 个驱动时钟便能实现栅驱动信号的移位输出, 且所有时钟均为占空比 33.3% 的流水线式驱动时序, 时序简单独立, 避免出现竞争冒险、提升电路稳定性。

一种栅极驱动单元及行栅极扫描驱动器及其驱动方法

技术领域

[0001] 本发明涉及有源矩阵发光平板显示器的行栅极扫描领域，具体涉及一种栅极驱动单元及行栅极扫描驱动器及其驱动方法。

背景技术

[0002] 传统的显示面板行栅极驱动电路需要专门的驱动芯片，通过工艺将芯片压接在玻璃基板上驱动像素电路。近年来，随着技术的发展，利用薄膜晶体管在显示面板中直接集成行栅极驱动电路来代替驱动芯片的行集成技术已成为当前研究的热门。行集成技术中使栅极驱动电路与像素电路集成在同一阵列，可以通过布局布线避免信号走线长度差异引起的时序混乱，提高信号质量；还可以减少基板面积，减少工艺步骤以降低成本。此外，对于中小尺寸显示屏，行集成技术能够极大缩短边框距离，实现窄边框以符合人们审美需求。行集成技术还能够很好的解决传统芯片不能应用于柔性显示的难题。

[0003] 新型的氧化物薄膜晶体管器件因其优良的性能、简单的制造工艺成为了近年来热门研究对象，但氧化物薄膜晶体管是N型器件，具有负阈值电压的特性，若使用针对正阈值电压特性晶体管开发的行扫描电路，则会因氧化物薄膜晶体管不能彻底关闭而导致电路功耗剧增甚至无法正常工作。为了彻底关断氧化物薄膜晶体管，大多数新型的行扫描驱动电路内部会用到两个甚至两个以上的负电源，然而多负电源会让电路结构变得复杂，内部连线增加，电路面积增大，同时对各电源的要求也更为严苛。此外，大多数行扫描器都是利用了交流时钟信号去提供输出电流，而输出晶体管的寄生电容不仅会消耗可观的功耗，而且还会因为充放电而降低电路开关速度。

技术问题

[0004] 为了克服现有技术存在的缺点与不足，本发明首要目的是提供一种栅极驱动单元及行栅极扫描驱动器。

[0005] 本发明的另一个目的是提供一种栅极驱动单元的驱动方法及行栅极扫描驱动器

的驱动方法。

问题的解决方案

技术解决方案

[0006] 本发明采用如下技术方案：

[0007] 一种栅极驱动单元，由信号采集模块、升压模块、反相器模块、负压模块、内部输出模块及扫描输出模块构成，所述栅极驱动单元的控制信号包括第一时钟输入口IN_EN、第二时钟输入口OUT_EN、第三时钟输入口CLR、第一电源口VDD、第二电源口VSS、信号采集口Cin、第一输出口COUT及第二输出口GOUT；

[0008] 所述信号采集模块由第一及第二晶体管构成，第一晶体管M1漏极与信号采集口Cin相连，其源极与第二晶体管M2的漏极相连，其栅极分别与第二晶体管M2的栅极及第一时钟输入口IN_EN相连；

[0009] 所述升压模块由第六晶体管M6及第一存储电容C1构成，第六晶体管M6的栅极与第一存储电容C1的另一端及第二晶体管M2的源极相连，作为信号存储节点Q，第六晶体管M6的漏极与第二时钟输入口OUT_EN相连，第六晶体管M6的源极与第一存储电容C1的一端连接；

[0010] 所述反相器模块由第三晶体管M3及第九晶体管M9构成，第三晶体管M3漏极与第一电源口VDD相连，第三晶体管M3的栅极与第三时钟输入口CLR相连，第三晶体管M3的源极与第九晶体管M9的栅极相连，作为反相器模块的输出节点QB；第九晶体管M9的漏极与信号存储节点Q相连，第九晶体管M9的源极与第二电源口VSS相连。

[0011] 负压模块由第四晶体管M4、第五晶体管M5、第七晶体管M7、第八晶体管M8及第二存储电容C2构成；所述第四晶体管M4的漏极及第二存储电容C2的一端均与反相器输出节点QB连接，所述第四晶体管M4的源极与第五晶体管M5的漏极相连，所述第四晶体管M4的栅极与第五晶体管M5的栅极、第七晶体管M7的栅极均与信号采集口Cin相连；第五晶体管M5的源极与第二电源口VSS相连；第七晶体管M7的漏极与第一电源口VDD相连，第七晶体管M7的源极分别与第八晶体管M8的漏极及第二存储电容C2的另一端相连；第八晶体管M8的栅极与第二时钟

输入口OUT_EN相连，第八晶体管M8的源极与第二电源口VSS相连。

[0012] 内部输出模块由第十晶体管M10及第十一晶体管M11构成，所述第十晶体管M10的漏极与第一电源口VDD相连，所述第十晶体管M10的栅极与信号存储节点Q相连，第十晶体管M10的源极与第十一晶体管M11的漏极均与第一输出口COUT相连；第十一晶体管M11的栅极与反相器输出节点QB相连，第十一晶体管M11的源极与第二电源口VSS相连。

[0013] 扫描输出模块由第十二晶体管M12及第十三晶体管M13构成，所述第十二晶体管M12的漏极与第一电源口VDD相连，第十二晶体管M12的栅极与信号存储节点Q相连，第十二晶体管M12的源极与第十三晶体管M13的漏极均与第二输出口GOUT相连；第十三晶体管M13的栅极与输出节点QB相连，第十三晶体管M13的源极与第二电源口VDD相连。

[0014] 栅极驱动单元的晶体管均为N型薄膜晶体管。

[0015] 一种行栅极扫描驱动器，包括电源与时序控制模块及行栅极驱动阵列，其中电源与时序控制模块的输出信号为高电压VD、低电压VS、第一时钟CK1、第二时钟CK2、第三时钟CK3、触发时钟VI；

[0016] 所述行栅极驱动阵列由N级串联的行栅极驱动组构成，每个行栅极驱动组由第一栅极驱动单元、第二栅极驱动单元及第三栅极驱动单元构成，所述第一、第二及第三栅极驱动单元的控制信号均包括第一时钟输入口IN_EN、第二时钟输入口OUT_EN、第三时钟输入口CLR、第一电源口VDD、第二电源口VSS、信号采集口Cin、第一输出口COUT及第二输出口GOUT。

[0017] 行栅极驱动阵列中，第一级行栅极驱动组中的第一栅极驱动单元的信号采集口Cin与电源与时序控制模块的触发时钟VI相连接；

[0018] 第K级行栅极驱动组中第一栅极驱动单元的信号采集口Cin与第K-1级行栅极驱动组中第三栅极驱动单元的第一输出口COUT相连，第二栅极驱动单元的信号采集口Cin与第一栅极驱动单元的第一输出口COUT相连，第三栅极驱动单元的信号采集口Cin与第二栅极驱动单元的第一输出口COUT相连；

[0019] 每一级行栅极驱动组的第一栅极驱动单元的第一时钟输入口IN_EN、第二时钟输入口OUT_EN、第三时钟输入口CLR分别与电源与时序控制模块的第一时钟C

K1、第二时钟CK2、第三时钟CK3相连；

[0020] 第二栅极驱动单元的第一时钟输入口IN_EN、第二时钟输入口OUT_EN及第三时钟输入口CLR分别与电源与时序控制模块的第二时钟CK2、第三时钟CK3、第一时钟CK1相连；

[0021] 第三栅极驱动单元的第一时钟输入口IN_EN、第二时钟输入口OUT_EN及第三时钟输入口CLR分别与电源与时序控制模块的第三时钟CK3、第一时钟CK1、第二时钟CK2相连。

[0022] 所述第一到第三时钟信号的高电平与高电压VD相等，所述第一到第三时钟信号的低电平与低电压VS相等。

[0023] 一种栅极驱动单元的驱动方法，第一时钟输入口IN_EN、第二时钟输入口OUT_EN以及第三时钟输入口CLR所输入的时钟脉冲宽度相同，占空比为33.3%，且电平脉冲从第一时钟输入口IN_EN依次向第二时钟输入口OUT_EN、第三时钟输入口CLR移位流动的流水线时序；

[0024] 驱动方法具体包括信号采集存储阶段、信号输出阶段及重置阶段；

[0025] 信号采集存储阶段：第一时钟口IN_EN输入高电压，将第一晶体管M1、第二晶体管M2打开，信号采集口Cin输入高电平信号，并输入到采集信号存储点Q、第六晶体管M6的栅极及第一存储电容C1中，第十晶体管M10、第十二晶体管M12被打开，同时输入高电平信号将第四晶体管M4、第五晶体管M5打开，反向输出节点QB被拉低至低电压状态，第九晶体管M9、第十一晶体管M11及第十三晶体管M13被关断，第一输出口COUT、第二输出口GOUT输出正电压，但低于输入高电平VD。此外，第七晶体管M7也被打开，电流从第一电源口VDD流入，通过第七晶体管M7、第二存储电容C2、第四晶体管M4、第五晶体管M5后经第二电源口VSS流出形成回路，第二存储电容C2被充电，此时节点N为高电平，输出节点QB为低电平；第二时钟口OUT_EN及第三时钟口CLR均输入低电压。随后，第一时钟信号IN_EN变为低电压，将第一晶体管M1、第二晶体管M2关断，信号采集口Cin输入低电压关断第四晶体管M4和、第五晶体管M5和第七晶体管M7，信号采集完成，此阶段持续1/3时钟周期时间；

[0026] 信号输出阶段：第二时钟口OUT_EN输入高电压，由于第一电容C1的自举作用

，信号存储节点Q的电平跳变至约为两倍VD的高电平，第十晶体管M10及第十二晶体管M12被充分打开，第一输出口COUT、第二输出口GOUT输出电平约为VD的驱动信号；同时，第八晶体管M8被打开，此时节点N的电位和第九晶体管M9、第十一晶体管M11和第十三晶体管M13源极电位为低电平VS；同时第三时钟输入口CLR及信号采集口Cin输入低电平信号，第三至第五晶体管关闭，反向输出点QB相对于任一电源口均处于浮动状态，而由于第二存储电容C2存储效应，第九晶体管M9、第十一晶体管M11及第十三晶体管M13的栅-源极电压差为负，上述晶体管被彻底关闭，避免干扰输出信号，此阶段持续1/3时钟周期时间；

[0027] 重置阶段：第三时钟口CLR输入高电平信号，第三晶体管M3被打开，反向输出节点QB变为高电平，第九晶体管M9、第十一晶体管M11及第十三晶体管M13被打开，采集信号存储点Q变为低电平，第十晶体管M10、第十二晶体管M12被关断，第一输出口COUT及第二输出口GOUT均输出低电压，电路重置完毕，此阶段持续1/3时钟周期时间。

[0028] 一种行栅极扫描驱动器的驱动方法，第一时钟CK1、第二时钟CK2、第三时钟CK3的脉冲宽度和周期相同，占空比为33.3%，且为电平脉冲从第一时钟CK1，依次向第二时钟CK2、第三时钟CK3循环移位的流水线时序；

[0029] 当触发时钟VI产生与第一时钟CK1相同的电平脉冲时，行栅极扫描驱动器进入初始化阶段，1/3时钟周期T后，第一级栅极驱动单元产生栅极驱动信号，随后各级栅极驱动单元由时钟驱动逐级产生栅极驱动信号，当最后一级栅极驱动单元产生栅极驱动信号的同时，触发时钟VI也产生与该栅极驱动信号相同的电平脉冲，行栅极扫描驱动器进入重复阶段，1/3时钟周期T后，第一级栅极驱动单元第二次产生栅极驱动信号，行栅极扫描驱动过程结束。

发明的有益效果

有益效果

[0030] 本发明的有益效果：

[0031] （1）所发明的行驱动器电路通过通过内置的负压模块，不仅能够降低的多电源行驱动器的电路布局难度、节约电路面积，还能降低时钟电压摆幅、提高电路效率。

[0032] (2) 利用直流控制扫描输出模块，避免传统交流控制方式因输出晶体管寄生电容而引起的动态功耗，同时，充分利用了电路内部电容耦合自举后产生的高电压来驱动大尺寸TFT，减少延时效应，有利于高频显示。

[0033] (3) 利用内部新型反相器模块，避免出现从高电压流向低电压的直流回路，大大降低了驱动器的功耗。

[0034] (4) 驱动方法利用33.3%占空比时序控制信号采集模块、升压模块、反相器模块、负压模块及内部输出模块，能够避免内部出现竞争冒险情况，增加电路的稳定性和可靠性，有利于实现高频显示。

对附图的简要说明

附图说明

[0035] 图1是本发明实施例中的栅极驱动单元的电路原理图；

[0036] 图2是本发明实施例中的行栅极扫描驱动器的结构示意图；

[0037] 图3是本发明实施例中的行栅极驱动组中驱动单元连接示意图；

[0038] 图4是本发明实施例中图1栅极驱动单元的驱动时序波形图；

[0039] 图5是本发明实施例中图2行栅极扫描驱动器驱动时序波形图。

实施该发明的最佳实施例

本发明的最佳实施方式

[0040] 下面结合实施例及附图，对本发明作进一步地详细说明，但本发明的实施方式不限于此。

[0041] 实施例

[0042] 如图1所示，一种栅极驱动单元，由信号采集模块11、升压模块12、反相器模块13、负压模块14、内部输出模块15及扫描输出模块16构成，所述栅极驱动单元的控制信号包括第一时钟输入口IN_EN、第二时钟输入口OUT_EN、第三时钟输入口CLR、第一电源口VDD、第二电源口VSS、信号采集口Cin、第一输出口COUT及第二输出口GOUT；

[0043] 所述信号采集模块11由第一及第二晶体管构成，第一晶体管M1漏极与信号采集口Cin相连，其源极与第二晶体管M2的漏极相连，其栅极分别与第二晶体管M2的栅极及第一时钟输入口IN_EN相连；

- [0044] 所述升压模块12由第六晶体管M6及第一存储电容C1构成，第六晶体管M6的栅极与第一存储电容C1的另一端及第二晶体管M2的源极相连，作为信号存储节点Q，第六晶体管M6的漏极与第二时钟输入口OUT_EN相连，第六晶体管M6的源极与第一存储电容C1的一端连接；
- [0045] 所述反相器模块13由第三晶体管M3及第九晶体管M9构成，第三晶体管M3漏极与第一电源口VDD相连，第三晶体管M3的栅极与第三时钟输入口CLR相连，第三晶体管M3的源极与第九晶体管M9的栅极相连，作为反相器模块的输出节点QB；第九晶体管M9漏极与信号存储节点Q相连，第九晶体管M9的源极与第二电源口VSS相连。
- [0046] 负压模块14由第四晶体管M4、第五晶体管M5、第七晶体管M7、第八晶体管M8及第二存储电容C2构成；所述第四晶体管M4的漏极及第二存储电容C2的一端均与反相器输出节点QB连接，所述第四晶体管M4的源极与第五晶体管M5的漏极相连，所述第四晶体管M4的栅极与第五晶体管M5栅极、第七晶体管M7栅极均与信号采集口C_{in}相连；第五晶体管M5的源极与第二电源口VSS相连；第七晶体管M7的漏极与第一电源口VDD相连，第七晶体管M7的源极分别与第八晶体管M8的漏极及第二存储电容C2的另一端相连；第八晶体管M8的栅极与第二时钟输入口OUT_EN相连，第八晶体管M8的源极与第二电源口VSS相连。
- [0047] 内部输出模块15由第十晶体管M10及第十一晶体管M11构成，所述第十晶体管M10的漏极与第一电源口VDD相连，所述第十晶体管M10的栅极与采集信号存储节点Q相连，第十晶体管M10的源极与第十一晶体管M11的漏极均与第一输出口COUT相连；第十一晶体管M11的栅极与反相器输出节点QB相连，第十一晶体管M11的源极与第二电源口VSS相连。
- [0048] 扫描输出模块16由第十二晶体管M12及第十三晶体管M13构成，所述第十二晶体管M12的漏极与第一电源口VDD相连，第十二晶体管M12的栅极与采集信号存储节点Q相连，第十二晶体管M12的源极与第十三晶体管M13的漏极均与第二输出口GOUT相连；第十三晶体管M13的栅极与反相器输出节点QB相连，第十三晶体管M13的源极与第二电源口VDD相连。
- [0049] 栅极驱动单元的所有晶体管均为N型薄膜晶体管。

- [0050] 如图2所示, 一种行栅极扫描驱动器, 包括电源与时序控制模块20及行栅极驱动阵列30, 其中电源与时序控制模块20的输出信号为高电压VD、低电压VS、第一时钟CK1、第二时钟CK2、第三时钟CK3、触发时钟VI;
- [0051] 所述行栅极驱动阵列30由N级串联的行栅极驱动组构成, 每个行栅极驱动组由第一栅极驱动单元31、第二栅极驱动单元32及第三栅极驱动单元33构成, 所述第一、第二及第三栅极驱动单元的控制信号均包括第一时钟输入口IN_EN、第二时钟输入口OUT_EN、第三时钟输入口CLR、第一电源口VDD、第二电源口VSS、信号采集口Cin、第一输出口COUT及第二输出口GOUT。
- [0052] 所述第一、第二及第三栅极驱动单元均为图1所示的结构。
- [0053] 图3为所有行栅极驱动组内部连接图, 其具体连接方式为:
- [0054] 第一级行栅极驱动组中的第一栅极驱动单元的信号采集口Cin与电源与时序控制模块的触发时钟VI相连接;
- [0055] 第K级行栅极驱动组中第一栅极驱动单元的信号采集口Cin与第K-1级行栅极驱动组中第三栅极驱动单元的第一输出口COUT相连, 所述K为大于等于2的整数;
- [0056] 第二栅极驱动单元的信号采集口Cin与第一栅极驱动单元的第一输出口COUT相连, 第三栅极驱动单元的信号采集口Cin与第二栅极驱动单元的第一输出口COUT相连;
- [0057] 每一级行栅极驱动组的第一栅极驱动单元的第一时钟输入口IN_EN、第二时钟输入口OUT_EN、第三时钟输入口CLR分别与电源与时序控制模块的第一时钟CK1、第二时钟CK2、第三时钟CK3相连;
- [0058] 第二栅极驱动单元的第一时钟输入口IN_EN、第二时钟输入口OUT_EN及第三时钟输入口CLR分别与电源与时序控制模块的第二时钟CK2、第三时钟CK3、第一时钟CK1相连;
- [0059] 第三栅极驱动单元的第一时钟输入口IN_EN、第二时钟输入口OUT_EN及第三时钟输入口CLR分别与电源与时序控制模块的第三时钟CK3、第一时钟CK1、第二时钟CK2相连。
- [0060] 第一栅极驱动单元的第二输出口GOUT为引线GOUT1; 第二栅极驱动单元的第二输出口GOUT为引线GOUT2; 第三栅极驱动单元的第二输出口GOUT为引线

GOUT3。

[0061] 所述第一至第三时钟信号的高电平与高电压VD相等，所述第一至第三时钟信号的低电平与低电压VS相等。

[0062] 如图4所示，一种栅极驱动单元的驱动方法，第一时钟输入口IN_EN、第二时钟输入口OUT_EN以及第三时钟输入口CLR所输入的时钟脉冲宽度相同，占空比为33.3%，且电平脉冲从第一时钟输入口IN_EN依次向第二时钟输入口OUT_EN、第三时钟输入口CLR移位流动的流水线时序。

[0063] 包括信号采集存储阶段、信号输出阶段及重置阶段；

[0064] 信号采集存储阶段：第一时钟口IN_EN输入高电压，将第一晶体管M1、第二晶体管M2打开，信号采集口Cin输入高电平信号，并输入到采集信号存储点Q、第六晶体管M6的栅极及第一存储电容C1中，第十晶体管M10、第十二晶体管M12被打开，同时输入高电平信号将第四晶体管M4、第五晶体管M5打开，反向输出节点QB被拉低至低电压状态，第九晶体管M9、第十一晶体管M11及第十三晶体管M13被关断，第一输出口COUT、第二输出口GOUT输出正电压，但低于输入高电平VD。此外，第七晶体管M7也被打开，电流从第一电源口VDD流入，通过第七晶体管M7、第二存储电容C2、第四晶体管M4、第五晶体管M5后经第二电源口VSS流出形成回路，第二存储电容C2被充电，此时节点N为高电平，输出节点QB为低电平；第二时钟口OUT_EN及第三时钟口CLR均输入低电压。随后，第一时钟信号IN_EN变为低电压，将第一晶体管M1、第二晶体管M2关断，信号采集口Cin输入低电压关断第四晶体管M4和、第五晶体管M5和第七晶体管M7，信号采集完成。此阶段持续1/3时钟周期时间；

[0065] 信号输出阶段：第二时钟口OUT_EN输入高电压，由于第一电容C1的自举作用，信号存储节点Q的电平跳变至约为两倍VD的高电平，第十晶体管M10及第十二晶体管M12被充分打开，第一输出口COUT、第二输出口GOUT输出电平约为VD的驱动信号；同时，第八晶体管M8被打开，此时节点N的电位和第九晶体管M9、第十一晶体管M11和第十三晶体管M13源极电位为低电平VS；同时第三时钟输入口CLR及信号采集口Cin输入低电平信号，第三至第五晶体管关闭，反向输出点QB相对于任一电源口均处于浮动状态，而由于第二存储电容C2存储效应

，第九晶体管M9、第十一晶体管M11及第十三晶体管M13的栅-源极电压差为负，上述晶体管被彻底关闭，避免干扰输出信号。此阶段持续1/3时钟周期时间；

[0066] 重置阶段：第三时钟口CLR输入高电平信号，第三晶体管M3被打开，反向输出节点QB变为高电平，第九晶体管M9、第十一晶体管M11及第十三晶体管M13被打开，采集信号存储点Q变为低电平，第十晶体管M10、第十二晶体管M12被关断，第一输出口COUT及第二输出口GOUT均输出低电压，电路重置完毕。此阶段持续1/3时钟周期时间。

[0067] 如图5所述，一种行栅极扫描驱动器的驱动方法，其特征在于，第一时钟CK1、第二时钟CK2、第三时钟CK3的脉冲宽度和周期相同，占空比为33.3%，且为电平脉冲从第一时钟CK1，向第二时钟CK2、第三时钟CK3循环移位的流水线时序；

[0068] 当触发时钟VI产生与第一时钟CK1相同的电平脉冲时，行栅极扫描驱动器进入初始化阶段，1/3时钟周期T后，第一级栅极驱动单元产生栅极驱动信号，随后各级栅极驱动单元由时钟驱动逐级产生栅极驱动信号。特别的，当最后一级栅极驱动单元产生栅极驱动信号的同时，触发时钟VI也产生与该栅极驱动信号相同的电平脉冲，行栅极扫描驱动器进入重复阶段，1/3时钟周期T后，第一级栅极驱动单元第二次产生栅极驱动信号，此时，一个完整的行栅极扫描驱动过程结束。

[0069] 通过负压模块，栅极驱动单元仅需要单负电源便能正常工作，简化电路结构、缩小电路面积的同时，还能降低时钟跳变摆幅、降低电路功耗，此外输出模块采用直流驱动方式，能够降低动态功耗，提高响应速度。多级栅极驱动单元串联后并与对应的电源及时序控制模块相连接便构成了行栅极扫描驱动器，驱动器仅需3个驱动时钟便能实现栅驱动信号的移位输出，且所有时钟均为占空比33.3%的流水线式驱动时序，时序简单独立，避免出现竞争冒险、提升电路稳定性。同时，对行栅极充电和放电过程都充分利用了电路内部自举后的高电压驱动大尺寸TFT，提高反应速度，有利于高频显示。

[0070] 上述实施例为本发明较佳的实施方式，但本发明的实施方式并不受所述实施例的限制，其他的任何未背离本发明的精神实质与原理下所作的改变、修饰、替

代、组合、简化，均应为等效的置换方式，都包含在本发明的保护范围之内。

权利要求书

[权利要求 1]

一种栅极驱动单元，其特征在于，由信号采集模块、升压模块、反相器模块、负压模块、内部输出模块及扫描输出模块构成，所述栅极驱动单元的控制信号包括第一时钟输入口IN_EN、第二时钟输入口OUT_EN、第三时钟输入口CLR、第一电源口VDD、第二电源口VSS、信号采集口Cin、第一输出口COUT及第二输出口GOUT；

所述信号采集模块由第一及第二晶体管构成，第一晶体管的漏极与信号采集口Cin相连，其源极与第二晶体管的漏极相连，其栅极分别与第二晶体管的栅极及第一时钟输入口IN_EN相连；

所述升压模块由第六晶体管及第一存储电容构成，第六晶体管的栅极与第一存储电容的另一端及第二晶体管的源极相连，作为信号存储节点Q，第六晶体管的漏极与第二时钟输入口OUT_EN相连，第六晶体管的源极与第一存储电容的一端连接；

所述反相器模块由第三晶体管及第九晶体管构成，第三晶体管的漏极与第一电源口VDD相连，第三晶体管的栅极与第三时钟输入口CLR相连，第三晶体管的源极与第九晶体管的栅极相连，作为反相器模块的输出节点QB；第九晶体管的漏极与信号存储节点Q相连，第九晶体管的源极与第二电源口VSS相连；

负压模块由第四晶体管、第五晶体管、第七晶体管、第八晶体管及第二存储电容构成；所述第四晶体管的漏极及第二存储电容的一端均与反相器输出节点QB连接，所述第四晶体管的源极与第五晶体管的漏极相连，所述第四晶体管的栅极与第五晶体管的栅极、第七晶体管的栅极均与信号采集口Cin相连；第五晶体管的源极与第二电源口VSS相连；第七晶体管的漏极与第一电源口VDD相连，第七晶体管的源极分别与第八晶体管的漏极及第二存储电容的另一端相连；第八晶体管的栅极与第二时钟输入口OUT_EN相连，第八晶体管的源极与第二电源口VSS相连；

内部输出模块由第十晶体管及第十一晶体管构成，所述第十晶体管的

漏极与第一电源口VDD相连，所述第十晶体管的栅极与信号存储节点Q相连，第十晶体管的源极与第十一晶体管的漏极均与第一输出口COUT相连；第十一晶体管的栅极与反相器输出节点QB相连，第十一晶体管的源极与第二电源口VSS相连；

扫描输出模块由第十二晶体管及第十三晶体管构成，所述第十二晶体管的漏极与第一电源口VDD相连，第十二晶体管的栅极与信号存储节点Q相连，第十二晶体管的源极与第十三晶体管的漏极均与第二输出口GOUT相连；第十三晶体管的栅极与输出节点QB相连，第十三晶体管的源极与第二电源口VDD相连。

[权利要求 2] 根据权利要求1所述的栅极驱动单元，其特征在于，栅极驱动单元的晶体管均为N型薄膜晶体管。

[权利要求 3] 由权利要求1-2任一项所述的栅极驱动单元构成的行栅极扫描驱动器，其特征在于，包括电源与时序控制模块及行栅极驱动阵列，其中电源与时序控制模块的输出信号为高电压VD、低电压VS、第一时钟CK1、第二时钟CK2、第三时钟CK3、触发时钟VI；
所述行栅极驱动阵列由N级串联的行栅极驱动组构成，每个行栅极驱动组由第一栅极驱动单元、第二栅极驱动单元及第三栅极驱动单元构成，所述第一、第二及第三栅极驱动单元的控制信号均包括第一时钟输入口IN_EN、第二时钟输入口OUT_EN、第三时钟输入口CLR、第一电源口VDD、第二电源口VSS、信号采集口Cin、第一输出口COUT及第二输出口GOUT。

[权利要求 4] 根据权利要求3所述的行栅极扫描驱动器，其特征在于，
行栅极驱动阵列中，第一级行栅极驱动组中的第一栅极驱动单元的信号采集口Cin与电源与时序控制模块的触发时钟VI相连接；
第K级行栅极驱动组中第一栅极驱动单元的信号采集口Cin与第K-1级行栅极驱动组中第三栅极驱动单元的第一输出口COUT相连，第二栅极驱动单元的信号采集口Cin与第一栅极驱动单元的第一输出口COUT相连，第三栅极驱动单元的信号采集口Cin与第二栅极驱动单元的第

一输出口COUT相连;

每一级行栅极驱动组的第一栅极驱动单元的第一时钟输入口IN_EN、第二时钟输入口OUT_EN、第三时钟输入口CLR分别与电源与时序控制模块的第一时钟CK1、第二时钟CK2、第三时钟CK3相连;

第二栅极驱动单元的第一时钟输入口IN_EN、第二时钟输入口OUT_EN及第三时钟输入口CLR分别与电源与时序控制模块的第二时钟CK2、第三时钟CK3、第一时钟CK1相连;

第三栅极驱动单元的第一时钟输入口IN_EN、第二时钟输入口OUT_EN及第三时钟输入口CLR分别与电源与时序控制模块的第三时钟CK3、第一时钟CK1、第二时钟CK2相连。

[权利要求 5] 根据权利要求3所述的行栅极扫描驱动器, 其特征在于, 所述第一到第三时钟信号的高电平与高电压VD相等, 所述第一到第三时钟信号的低电平与低电压VS相等。

[权利要求 6] 根据权利要求1-2任一项所述栅极驱动单元的驱动方法, 其特征在于, 第一时钟输入口IN_EN、第二时钟输入口OUT_EN以及第三时钟输入口CLR所输入的时钟脉冲宽度相同, 占空比为33.3%, 且电平脉冲从第一时钟输入口IN_EN依次向第二时钟输入口OUT_EN、第三时钟输入口CLR移位流动的流水线时序;

驱动方法具体包括信号采集存储阶段、信号输出阶段及重置阶段;

信号采集存储阶段: 第一时钟口IN_EN输入高电压, 将第一晶体管、第二晶体管打开, 信号采集口Cin输入高电平信号, 并输入到采集信号存储点Q、第六晶体管的栅极及第一存储电容中, 第十晶体管、第十二晶体管被打开, 同时输入高电平信号将第四晶体管、第五晶体管打开, 反向输出节点QB被拉低至低电压状态, 第九晶体管、第十一晶体管及第十三晶体管被关断, 第一输出口COUT、第二输出口GOUT输出正电压, 但低于输入高电平VD, 此外, 第七晶体管也被打开, 电流从第一电源口VDD流入, 通过第七晶体管、第二存储电容、第四晶体管、第五晶体管后经第二电源口VSS流出形成回路, 第二存储

电容被充电，此时节点N为高电平，输出节点QB为低电平；第二时钟口OUT_EN及第三时钟口CLR均输入低电压，随后，第一时钟信号IN_EN变为低电压，将第一晶体管、第二晶体管关断，信号采集口Cin输入低电压关断第四晶体管和、第五晶体管和第七晶体管，信号采集完成，此阶段持续1/3时钟周期时间；

信号输出阶段：第二时钟口OUT_EN输入高电压，由于第一电容的自举作用，信号存储节点Q的电平跳变至约为两倍VD的高电平，第十晶体管及第十二晶体管被充分打开，第一输出口COUT、第二输出口GOUT输出电平约为VD的驱动信号；同时，第八晶体管被打开，此时节点N的电位和第九晶体管、第十一晶体管和第十三晶体管源极电位为低电平VS；同时第三时钟输入口CLR及信号采集口Cin输入低电平信号，第三至第五晶体管关闭，反向输出点QB相对于任一电源口均处于浮动状态，而由于第二存储电容存储效应，第九晶体管、第十一晶体管及第十三晶体管的栅-源极电压差为负，上述晶体管被彻底关闭，避免干扰输出信号，此阶段持续1/3时钟周期时间；

重置阶段：第三时钟口CLR输入高电平信号，第三晶体管被打开，反向输出节点QB变为高电平，第九晶体管、第十一晶体管及第十三晶体管被打开，采集信号存储点Q变为低电平，第十晶体管、第十二晶体管被关断，第一输出口COUT及第二输出口GOUT均输出低电压，电路重置完毕，此阶段持续1/3时钟周期时间。

[权利要求 7]

根据权利要求3-5任一项所述行栅极扫描驱动器的驱动方法，其特征在于，第一时钟CK1、第二时钟CK2、第三时钟CK3的脉冲宽度和周期相同，占空比为33.3%，且为电平脉冲从第一时钟CK1，依次向第二时钟CK2、第三时钟CK3循环移位的流水线时序；

当触发时钟VI产生与第一时钟CK1相同的电平脉冲时，行栅极扫描驱动器进入初始化阶段，1/3时钟周期T后，第一级栅极驱动单元产生栅极驱动信号，随后各级栅极驱动单元由时钟驱动逐级产生栅极驱动信号，当最后一级栅极驱动单元产生栅极驱动信号的同时，触发时钟VI

也产生与该栅极驱动信号相同的电平脉冲，行栅极扫描驱动器进入重复阶段， $1/3$ 时钟周期 T 后，第一级栅极驱动单元第二次产生栅极驱动信号，行栅极扫描驱动过程结束。

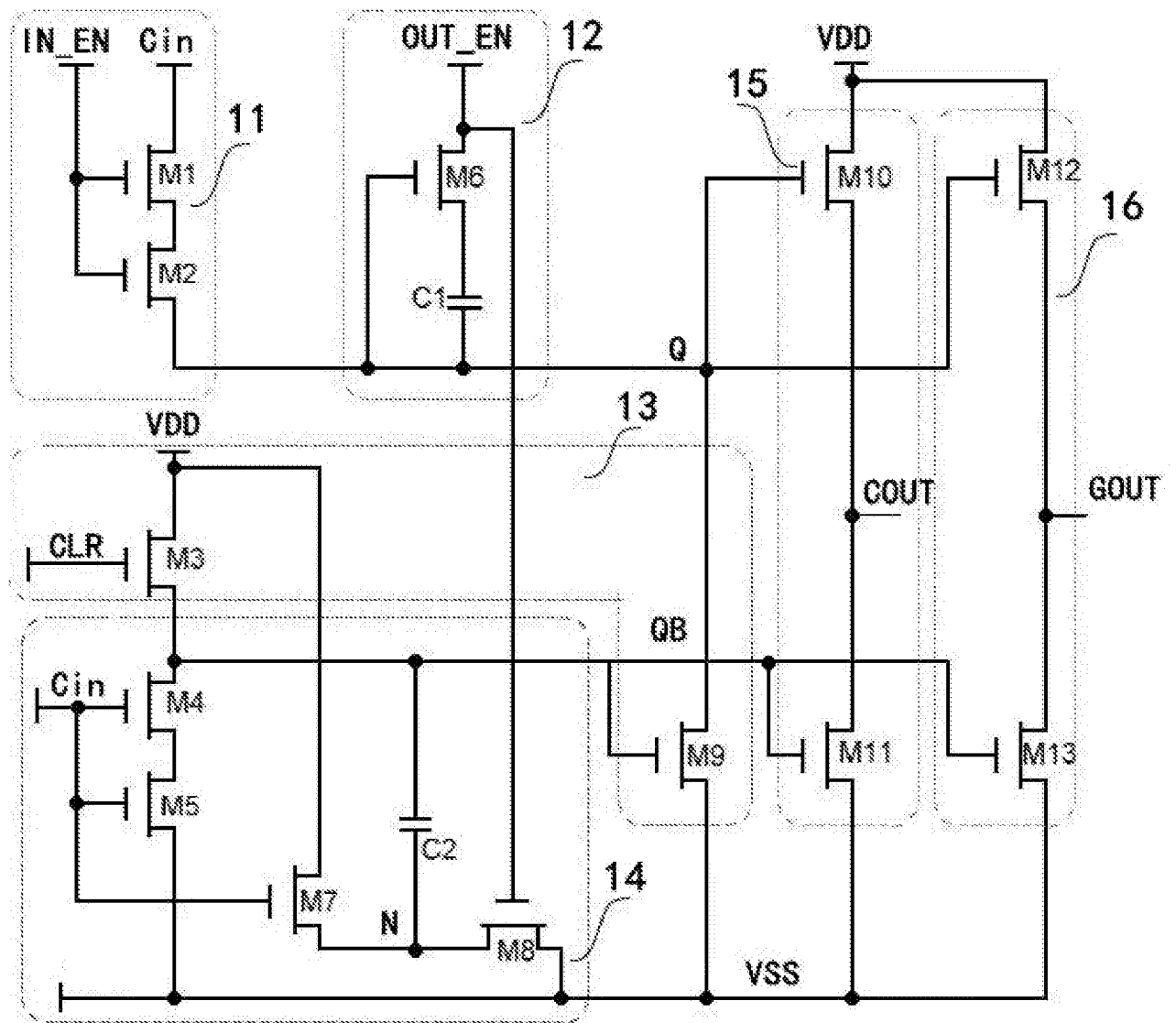


图 1

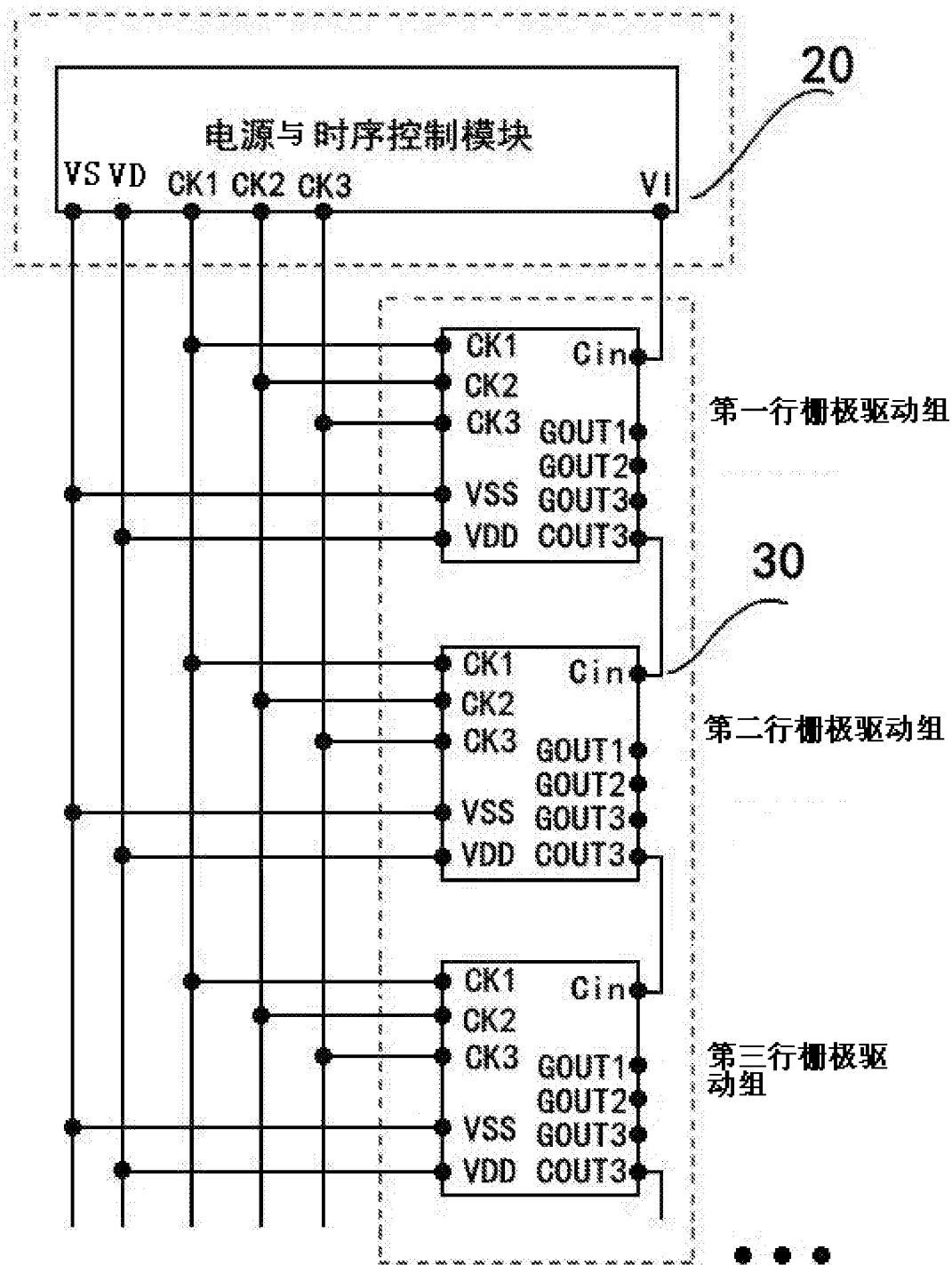


图 2

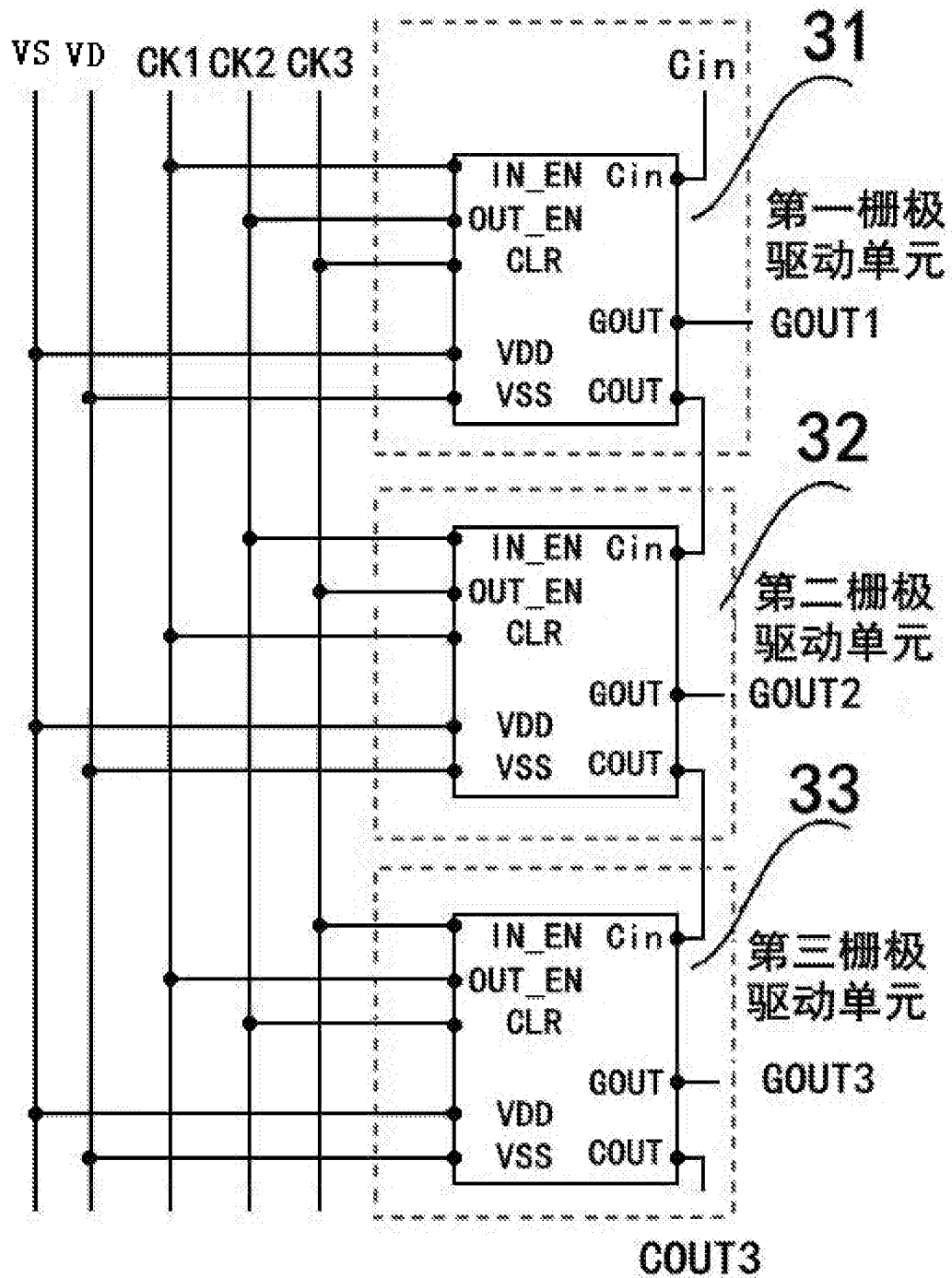


图 3

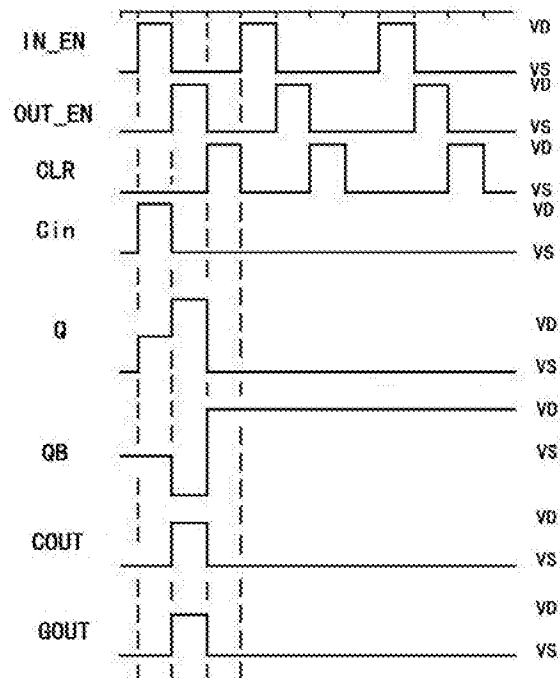


图 4

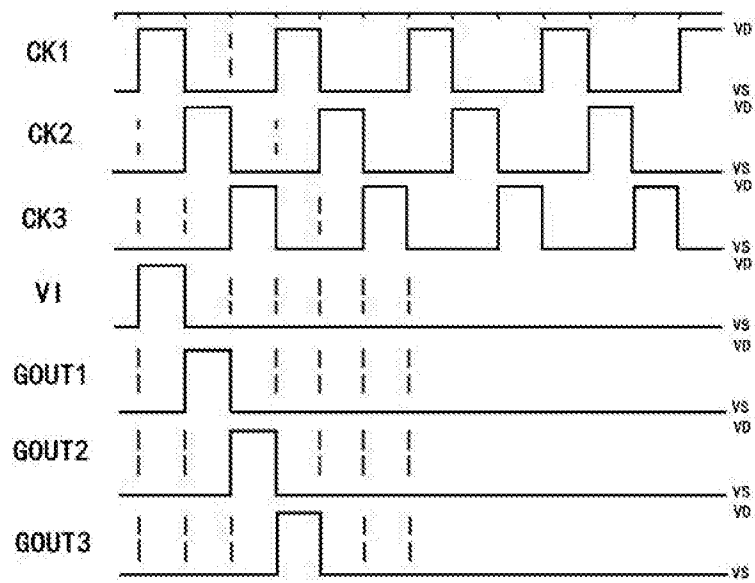


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/109469

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2016.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, SCI: boost, reversed-phase, gate drive; WU, Weijing; HU, Yufeng; LI, Guanming; XU, Miao; WANG, Lei; PENG, Junbiao; DRVI???, GATE, negative voltage, negative threshold voltage, output, inverter, display

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105845084 A (SOUTH CHINA UNIVERSITY OF TECHNOLOGY), 10 August 2016 (10.08.2016), claims 1-7	1-7
A	ZHANG, Lirong et al., "New In-Zn-O thin film transistors gate driver circuit employing input block multiplex structure", CHINESE JOURNAL OF LIQUID CRYSTALS AND DISPLAYS, vol. 30, no. 5, 31 October 2015 (31.10.2015), and pages 832-837	1-7
A	CN 104732913 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.), 24 June 2015 (24.06.2015), the whole document	1-7
A	CN 103943058 A (SOUTH CHINA UNIVERSITY OF TECHNOLOGY et al.), 23 July 2014 (23.07.2014), the whole document	1-7
A	CN 104809973 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 29 July 2015 (29.07.2015), the whole document	1-7
A	HUANG, Changyu et al., "A low-power scan driver employing IZO TFTs including an AC-DC type output module", DISPLAYS, no. 38, 07 May 2015 (07.05.2015), and pages 93-99	1-7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
08 February 2017 (08.02.2017)

Date of mailing of the international search report
28 February 2017 (28.02.2017)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer

LI, Suning

Telephone No.: (86-10) **61648486**

International application No.
PCT/CN2016/109469

Form PCT/ISA/210 (patent family annex) (July 2009)

国际检索报告

国际申请号

PCT/CN2016/109469

A. 主题的分类

G09G 3/32 (2016.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, EPDOC, WPI, CNKI, SCI: 升压, 输出, 负阈值电压, 反相, 负压, 栅极驱动, 显示, 吴为敬, 胡宇峰, 李冠明, 徐苗, 王磊, 彭俊彪, DRVI???, GATE, negative voltage, negative threshold votage, output, inverter, display

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 105845084 A (华南理工大学) 2016年 8月 10日 (2016 - 08 - 10) 权利要求1-7	1-7
A	张立荣 等. “一种输入级模块复用的In-Zn-O薄膜晶体管行集成驱动电路” 《液晶与显示》, 第30卷, 第5期, 2015年 10月 31日 (2015 - 10 - 31), 832-837页	1-7
A	CN 104732913 A (昆山国显光电有限公司) 2015年 6月 24日 (2015 - 06 - 24) 全文	1-7
A	CN 103943058 A (华南理工大学 等) 2014年 7月 23日 (2014 - 07 - 23) 全文	1-7
A	CN 104809973 A (北京大学深圳研究生院) 2015年 7月 29日 (2015 - 07 - 29) 全文	1-7
A	HUANG, Changyu et al. “A low-power scan driver employing IZO TFTs including an AC-DC type output module” 《Displays》, 第38期, 2015年 5月 7日 (2015 - 05 - 07), 93-99页	1-7

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 2月 8日

国际检索报告邮寄日期

2017年 2月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

受权官员

李苏宁

电话号码 (86-10) 61648486

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/109469

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105845084	A	2016年 8月 10日	无			
CN	104732913	A	2015年 6月 24日	无			
CN	103943058	A	2014年 7月 23日	无			
CN	104809973	A	2015年 7月 29日	WO	2016161901	A1	2016年 10月 13日

表 PCT/ISA/210 (同族专利附件) (2009年7月)