



(12) 发明专利申请

(10) 申请公布号 CN 103811547 A

(43) 申请公布日 2014. 05. 21

(21) 申请号 201210460902. 4

(22) 申请日 2012. 11. 15

(71) 申请人 上海华虹宏力半导体制造有限公司  
地址 201203 上海市浦东新区张江高科技园  
区祖冲之路 1399 号

(72) 发明人 宁开明

(74) 专利代理机构 上海浦一知识产权代理有限  
公司 31211

代理人 丁纪铁

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/06(2006. 01)

H01L 21/336(2006. 01)

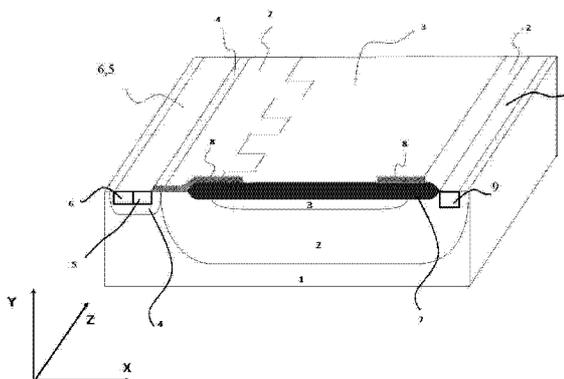
权利要求书1页 说明书4页 附图4页

(54) 发明名称

降低 LDMOS 器件峰值电场的版图结构及方法

(57) 摘要

本发明公开了一种降低 LDMOS 器件峰值电场的版图结构及方法,所述 LDMOS 器件包括第一导电类型的硅衬底,在硅衬底上形成具有与第一导电类型相反的第二导电类型的深阱;深阱中形成有场氧化层,场氧化层下方形成第一导电类型的埋层,埋层位于深阱的顶部或内部;LDMOS 器件的源区由第二导电类型的第一掺杂区组成,该第一掺杂区形成于第一导电类型的阱区内,漏端由第二导电类型的第二掺杂区组成,该第二掺杂区形成于深阱中,所述埋层至少在靠近源区的一侧与深阱交替分布。本发明的埋层与深阱交错形成若干 PN 结,该 PN 结产生一个自建电场,该自建电场削弱了漏端电压产生的电场,降低了靠近源端的鸟嘴处的电场强度,提高了器件的耐压水平。



1. 一种降低 LDMOS 器件峰值电场的方法,所述 LDMOS 器件包括具有第一导电类型的硅衬底,在硅衬底上形成具有与第一导电类型相反的第二导电类型的深阱,所述深阱构成漂移区;深阱中形成有场氧化层,场氧化层下方形成具有第一导电类型的埋层,所述埋层位于深阱的顶部或内部;所述 LDMOS 器件的源区由具有第二导电类型的第一掺杂区组成,该第一掺杂区形成于具有第一导电类型的阱区内,所述阱区位于场氧化层的一侧,所述漏端由具有第二导电类型的第二掺杂区组成,该第二掺杂区形成于所述深阱中且位于场氧化层的另一侧,其特征在于,所述埋层与深阱至少在靠近源区的一侧形成自建电场,该自建电场与漏端电压所形成的电场相垂直。

2. 一种降低 LDMOS 器件峰值电场的版图结构,所述 LDMOS 器件包括具有第一导电类型的硅衬底,在硅衬底上形成具有与第一导电类型相反的第二导电类型的深阱,所述深阱构成漂移区;深阱中形成有场氧化层,场氧化层下方形成具有第一导电类型的埋层,所述埋层位于深阱的顶部或内部;所述 LDMOS 器件的源区由具有第二导电类型的第一掺杂区组成,该第一掺杂区形成于具有第一导电类型的阱区内,所述阱区位于场氧化层的一侧,所述漏端由具有第二导电类型的第二掺杂区组成,该第二掺杂区形成于所述深阱中且位于场氧化层的另一侧,其特征在于,所述埋层至少在靠近源区的一侧与深阱交替间隔分布。

3. 根据权利要求 1 所述的降低 LDMOS 器件峰值电场的版图结构,其特征在于,所述埋层为连续的条状结构,间隔分布在深阱顶部或内部,其一端靠近源区,另一端靠近漏端。

4. 根据权利要求 1 所述的降低 LDMOS 器件峰值电场的版图结构,其特征在于,所述埋层为分段结构,间隔分布在深阱顶部或内部。

5. 根据权利要求 1 所述的降低 LDMOS 器件峰值电场的版图结构,其特征在于,所述埋层靠近源区的一侧为多指结构,与深阱间隔分布。

6. 根据权利要求 2 至 5 中任一项所述的降低 LDMOS 器件峰值电场的版图结构,其特征在于,所述第一掺杂区所在的阱区位于硅衬底中,该阱区与深阱横向接触。

7. 根据权利要求 2 至 5 中任一项所述的降低 LDMOS 器件峰值电场的版图结构,其特征在于,所述第一掺杂区所在的阱区位于深阱中。

8. 根据权利要求 2 至 5 中任一项所述的降低 LDMOS 器件峰值电场的版图结构,其特征在于,所述第一掺杂区所在的阱区位于一具有第二导电类型的深阱区中,该深阱区位于硅衬底中,并与深阱横向接触。

## 降低 LDMOS 器件峰值电场的版图结构及方法

### 技术领域

[0001] 本发明涉及半导体器件结构,具体属于一种降低 LDMOS 器件峰值电场的版图结构及方法。

### 背景技术

[0002] 随着节能减排的意识逐渐深入人心,以及智能电网项目的开展,功率半导体(Power Integrated Circuit,简称 PIC)特别是超高压功率半导体在用电和配电领域的市场前景将非常广阔,如 LED 市电照明、高效马达驱动、配电网的改造、电能的 AC/DC 转换等。在所有的功率半导体器件中,LDMOS(Lateral Double Diffused MOSFET,即横向双扩散金属氧化物半导体场效应管)高压器件具有工作电压高、工艺相对简单、开关频率高的特性,并且 LDMOS 器件的漏极、源极和栅极都位于其表面,易于同低压 CMOS(Complementary Metal Oxide Semiconductor,即互补型金属氧化物半导体)及 BJT(Bipolar Junction Transistor,即双极晶体管)等器件在工艺上相兼容,特别是在 AC/DC,DC/DC 转换等电路中可以进行器件集成,因而 LDMOS 器件受到广泛关注,被认为特别适合用作高压集成电路和功率集成电路中的高压功率器件。从 1979 年 J. A. Appels 提出著名的 RESURF(Reduce Surface Field,即降低表面电场技术)原理以来,LDMOS 器件得到了迅速的发展。

[0003] 现有技术中一种常规的 LDMOS 器件,如图 1 所示为该 LDMOS 器件的截面示意图,图 2 所示为该器件的横向断面示意图,它是一种 Double RESURF LDMOS 器件,以 N 型为例,包括 P 型硅衬底 1,在硅衬底 1 上形成 N 型深阱 2,该 N 型深阱 2 构成漂移区;N 型深阱 2 中形成有场氧化层 7,该场氧化层 7 下方形成有 P 型埋层 3,该埋层 3 位于 N 型深阱 2 的顶部并与场氧化层 7 纵向接触。P 型硅衬底 1 中形成有 P 型阱区 4,P 型阱区 4 与 N 型深阱 2 横向接触,P 型阱区 4 由 P+ 掺杂区 6 引出,源端由第一 N+ 掺杂区 5 形成,第一 N+ 掺杂区 5 和 P+ 掺杂区 6 横向相连形成位于 P 型阱区 4 内的源区,N 型深阱 2 中形成由 N+ 第二掺杂区 9 组成的漏区。靠近漏区一侧的场氧化层 7 鸟嘴处和另一侧场氧化层 7 上形成有多晶场板 8。其中,靠近源区一侧的多晶场板 8 一部分位于 P 型阱区 4 上,其下方为沟道区,另一部分位于场氧化层 7 上,调节下方的电场。N+ 第一掺杂区 5 和 P+ 掺杂区 6 通过金属场板 11 引出源极,N+ 第二掺杂区 9 通过金属场板 11 与靠近漏区一侧的场氧化层 7 鸟嘴处的多晶场板 8 相连。

[0004] 现有技术中,靠近源端的场氧化层 7 鸟嘴边界的电场比较集中,容易发生击穿,导致器件失效。并且,该处是场氧与栅氧的边界,电场较强,在源端加入电压时,会导致器件的热载流子效应(Hot carrier Effect,简称 HCE)加大,不利于器件的可靠性。因此降低该处的电场,不但可以提高器件的击穿电压,而且还可以提高器件的可靠性。

### 发明内容

[0005] 本发明要解决的技术问题是提供一种降低 LDMOS 器件峰值电场的版图结构及方法,可以降低 LDMOS 器件中靠近源端的场氧鸟嘴处的峰值电场,防止击穿,提高器件的耐压

水平。

[0006] 为解决上述技术问题,本发明提供一种降低 LDMOS 器件峰值电场的版图结构,所述 LDMOS 器件包括具有第一导电类型的硅衬底,在硅衬底上形成具有与第一导电类型相反的第二导电类型的深阱,所述深阱构成漂移区;深阱中形成有场氧化层,场氧化层下方形成具有第一导电类型的埋层,所述埋层位于深阱的顶部或内部;所述 LDMOS 器件的源区由具有第二导电类型的第一掺杂区组成,该第一掺杂区形成于具有第一导电类型的阱区内,所述阱区位于场氧化层的一侧,所述漏端由具有第二导电类型的第二掺杂区组成,该第二掺杂区形成于所述深阱中且位于场氧化层的另一侧,所述埋层至少在靠近源区的一侧与深阱交替间隔分布。

[0007] 优选的,所述埋层为连续的条状结构,间隔分布在深阱顶部或内部,其一端靠近源区,另一端靠近漏端。

[0008] 优选的,所述埋层为分段结构,间隔分布在深阱顶部或内部。

[0009] 优选的,所述埋层靠近源区的一侧为多指结构,与深阱间隔分布。

[0010] 进一步的,所述第一掺杂区所在的阱区位于硅衬底中,该阱区与深阱横向接触。或者,所述第一掺杂区所在的阱区位于深阱中。或者,所述第一掺杂区所在的阱区位于一具有第二导电类型的深阱区中,该深阱区位于硅衬底中,并与深阱横向接触。

[0011] 在上述结构中,第一导电类型为 P 型,则第二导电类型为 N 型,相反的,第一导电类型为 N 型,第二导电类型则为 P 型。

[0012] 本发明还提供了降低 LDMOS 器件峰值电场的方法,所述 LDMOS 器件包括具有第一导电类型的硅衬底,在硅衬底上形成具有与第一导电类型相反的第二导电类型的深阱,所述深阱构成漂移区;深阱中形成有场氧化层,场氧化层下方形成具有第一导电类型的埋层,所述埋层位于深阱的顶部或内部;所述 LDMOS 器件的源区由具有第二导电类型的第一掺杂区组成,该第一掺杂区形成于具有第一导电类型的阱区内,所述阱区位于场氧化层的一侧,所述漏端由具有第二导电类型的第二掺杂区组成,该第二掺杂区形成于所述深阱中且位于场氧化层的另一侧,所述埋层与深阱至少在靠近源区的一侧(即靠近源区的场氧化层鸟嘴处)形成自建电场,该自建电场与漏端电压所形成的电场相垂直。

[0013] 本发明通过 LDMOS 器件的版图设计,使埋层与深阱交错形成若干对 PN 结,器件本身由于漏端电压产生一个电场,该 PN 结产生一个基本垂直于该电场的自建电场,该自建电场削弱了漏端电压产生的电场,从而降低了靠近源端的鸟嘴处的电场强度。本发明仅仅改善了 LDMOS 器件的版图,在没有增加额外的制造成本前提下,有效地提高了器件的耐压水平。

## 附图说明

[0014] 图 1 是现有的 NLD MOS 器件的截面示意图;

[0015] 图 2 是图 1 中 NLD MOS 器件的横向断面示意图;

[0016] 图 3 是本发明第一实施例的截面示意图;

[0017] 图 4 是图 3 所示器件的横向断面示意图及电场分布图;

[0018] 图 5 是本发明第二实施例的横向断面示意图及电场分布图;

[0019] 图 6 是本发明第三实施例的横向断面示意图及电场分布图;

[0020] 图 7 是本发明第四实施例的横向断面示意图及电场分布图。

### 具体实施方式

[0021] 下面结合附图与具体实施方式对本发明作进一步详细的说明。

[0022] 本发明提供的降低 LDMOS 器件峰值电场的方法,所述 LDMOS 器件包括具有第一导电类型的硅衬底,在硅衬底上形成具有与第一导电类型相反的第二导电类型的深阱,所述深阱构成漂移区;深阱中形成有场氧化层,场氧化层下方形成具有第一导电类型的埋层,所述埋层位于深阱的顶部或内部;所述 LDMOS 器件的源区由具有第二导电类型的第一掺杂区组成,该第一掺杂区形成于具有第一导电类型的阱区内,所述阱区位于场氧化层的一侧,所述漏端由具有第二导电类型的第二掺杂区组成,该第二掺杂区形成于所述深阱中且位于场氧化层的另一侧,所述埋层与深阱至少在靠近源区的一侧(即靠近源区的场氧化层鸟嘴处)形成自建电场,该自建电场与漏端电压所形成的电场相垂直。

[0023] 基于上述方法,降低 LDMOS 器件峰值电场的版图结构,以 NLD MOS 器件为例,第一实施例如图 3、图 4 所示,包括 P 型硅衬底 1,在硅衬底 1 上形成 N 型深阱 2,所述深阱 2 构成漂移区;深阱 2 中形成有场氧化层 7,场氧化层 7 下方形成 P 型埋层 3,所述埋层 3 位于深阱 2 的顶部,在纵向上与场氧化层 7 接触。NLD MOS 器件的源区由 N 型的第一掺杂区 5 组成,该第一掺杂区 5 形成于位于场氧化层 7 一侧的 P 型阱区 4 内,所述阱区 4 形成于硅衬底 1 中并与深阱 2 横向接触,所述漏端由 N 型的第二掺杂区 9 组成,该第二掺杂区 9 形成于所述深阱 2 中且位于场氧化层 7 的另一侧。靠近漏端一侧的场氧化层 7 鸟嘴处和另一侧场氧化层 7 上形成有多晶场板 8,其中靠近源区一侧的多晶场板 8 一部分位于 P 型阱区 4 上,其下方为沟道区,另一部分位于场氧化层 7 上以调节下方的电场。定义从源区到漏端的方向为 X 方向,硅衬底顶面到底面的方向为 Y 方向,同时垂直于 X 方向和 Y 方向的则为 Z 方向,如图 3、图 4 所示,在该实施例中,埋层 3 靠近源区的一侧(靠近鸟嘴处)沿 Z 方向为多指结构,该多指结构与深阱形成交错分布构成多对 PN 结,该 PN 结会在 Z 方向产生自建电场,这个自建电场垂直于漏端电压产生的电场,因此降低了漏端电压在靠近源区一侧的鸟嘴处的电场。

[0024] 第二实施例如图 5 所示,该 P 型埋层 3 的版图与第一实施例相同,区别之处在于该实施例的 NLD MOS 为源端隔离型结构,其源区及阱区 4 位于深阱 2 中。第三实施例与第二实施例原理相同,也为源端隔离型结构,如图 6 所示,不同之处在于漏端位于 N 型深阱 2 中,而源区及阱区 4 则位于另一 N 型深阱中,两个深阱经过一系列的热过程最终连在一起。

[0025] 第四实施例如图 7 所示,埋层 3 为多个连续的条状结构,其间隔地分布在深阱 2 中,该条状结构的埋层沿 X 方向的长度可以相同,也可以不同,各埋层在 Z 方向上的间距可以相等也可以不等。当然,该埋层也可以根据实际情况设置为分段式结构。

[0026] 前述结构中,采用相反的导电类型就可以得到 PLDMOS 器件的版图结构。当然,上述实施例中的埋层 3 也可以位于深阱 2 的内部,只要其与深阱 2 部分交错分布形成自建电场即可。

[0027] 本发明通过 LDMOS 器件的版图设计,在深阱中注入埋层,并使埋层与深阱交错形成一对对 PN 结,PN 结在 Z 方向产生自建电场,而器件本身由于漏端电压沿着 X 方向产生一个电场,Z 方向的自建电场与 X 方向的电场互相垂直,消弱了 X 方向的电场,从而降低了鸟嘴处的电场,有效地提高了器件的耐压水平。

[0028] 以上通过具体实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员可对埋层的版图结构做出许多变形和改进,这些也应视为本发明的保护范围。

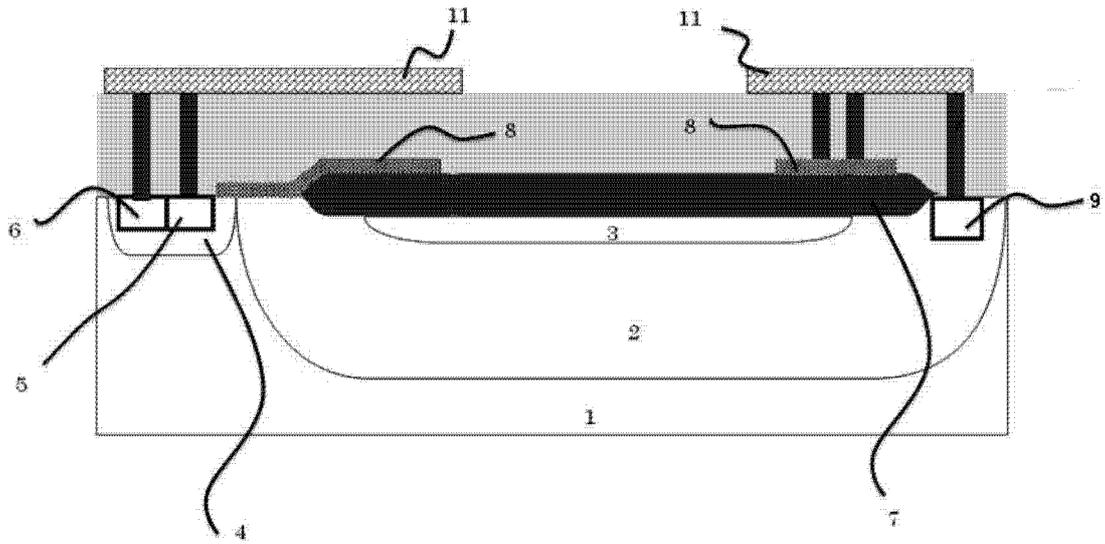


图 1

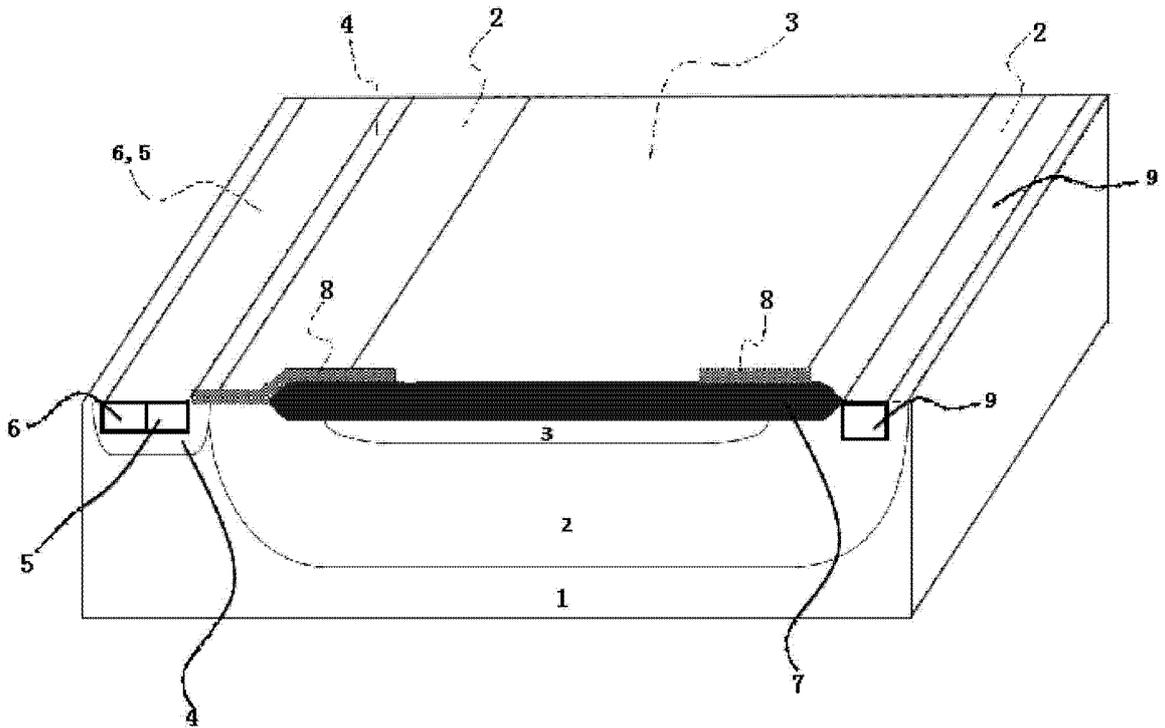


图 2

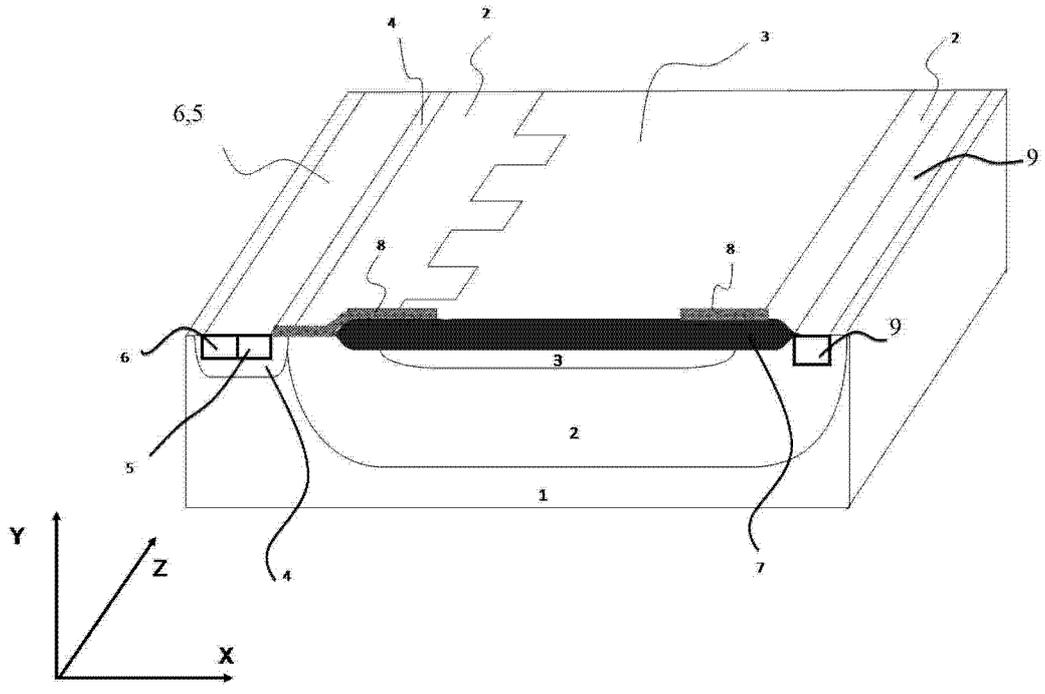


图 3

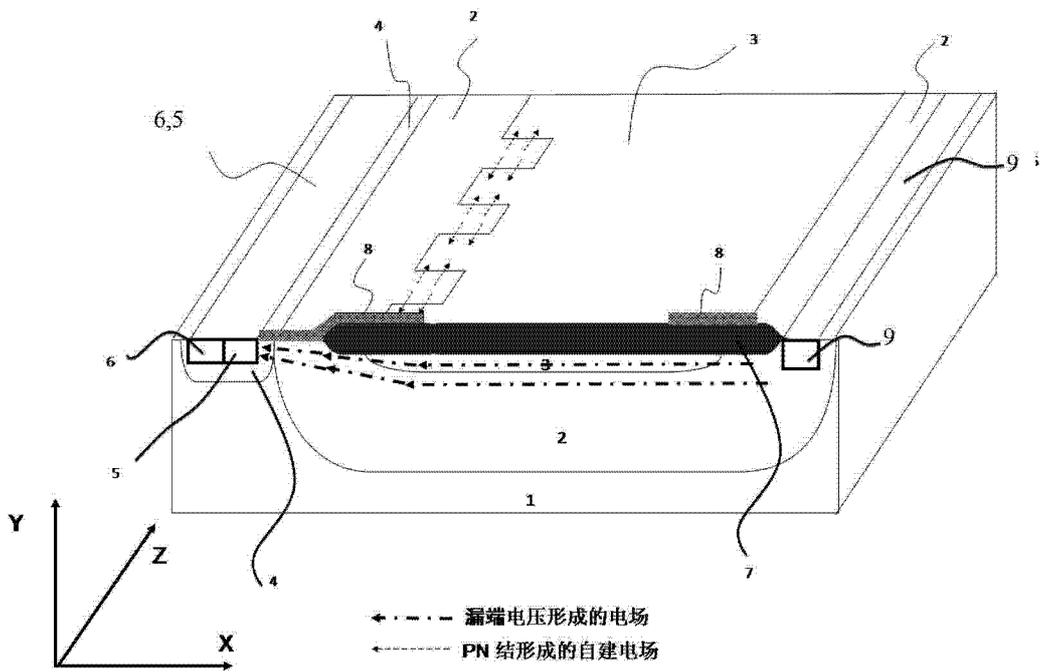


图 4

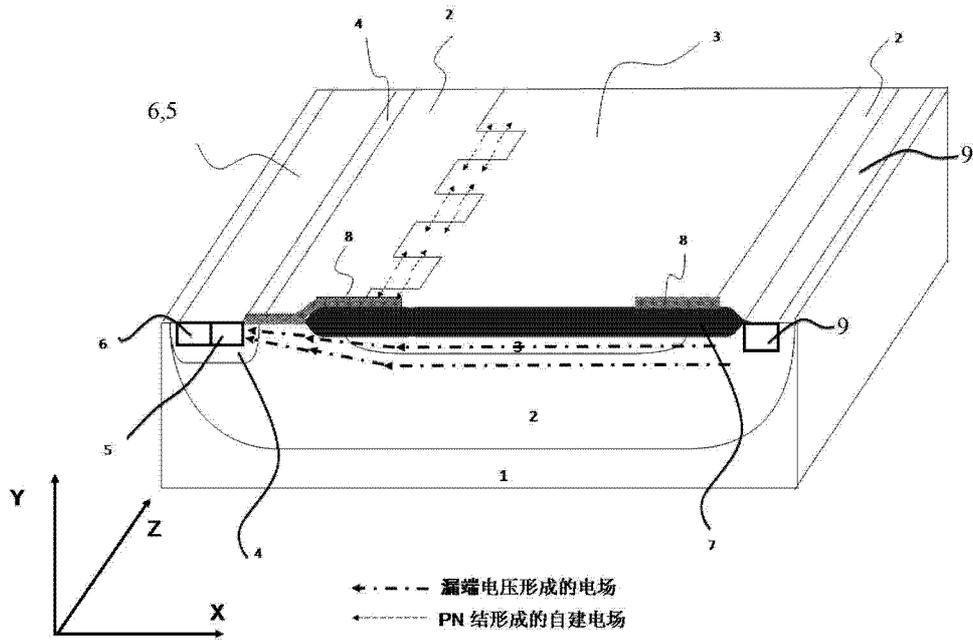


图 5

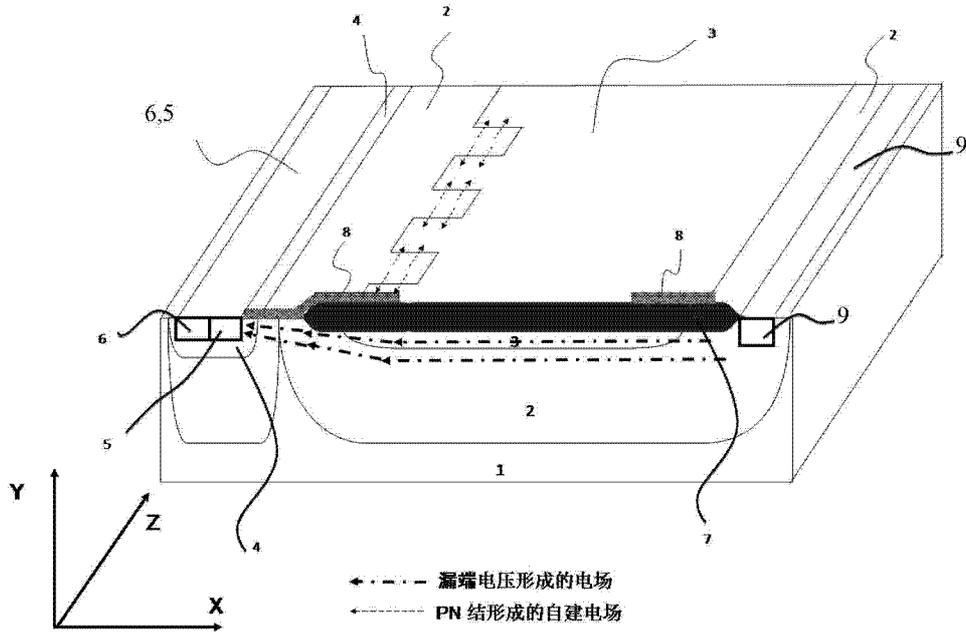


图 6

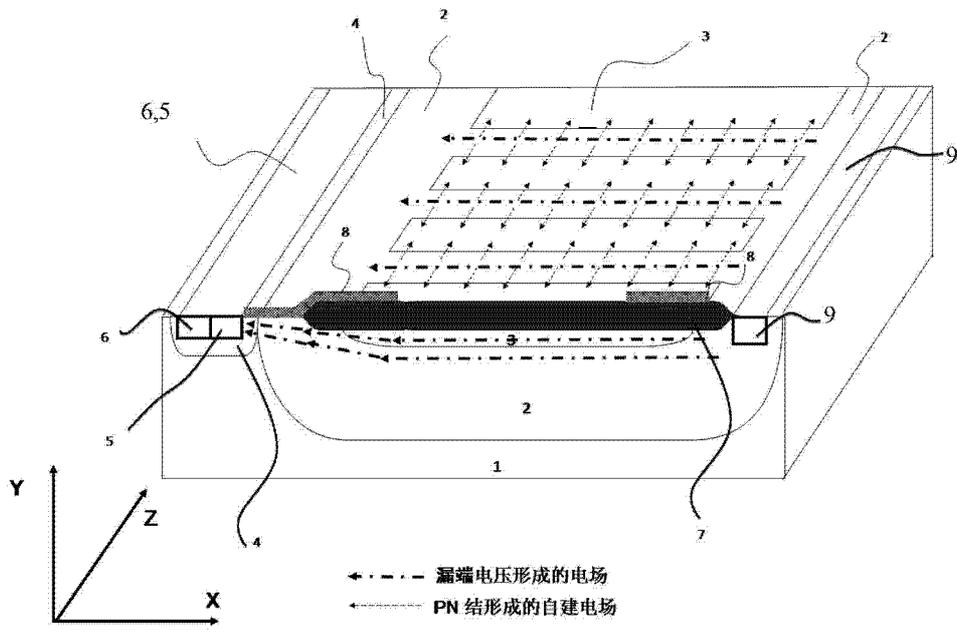


图 7