

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成29年11月30日(2017.11.30)

【公表番号】特表2016-527640(P2016-527640A)

【公表日】平成28年9月8日(2016.9.8)

【年通号数】公開・登録公報2016-054

【出願番号】特願2016-531767(P2016-531767)

【国際特許分類】

G 05 F 1/56 (2006.01)

【F I】

G 05 F 1/56 310 J

【手続補正書】

【提出日】平成29年10月23日(2017.10.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ゲート制御電圧を受取るように構成されたパストランジスタを備え、ここにおいて、前記ゲート制御電圧が個別電圧源に選択的に、電気的に結合されるおよび電気的に切り離され、前記個別電圧源が、個別電圧を生成するように構成されたスタートアップ回路を備え、前記スタートアップ回路が比較器を備え、ここにおいて、前記比較器の第1の入力が基準電圧に結合され、前記比較器の第2の入力が、前記パストランジスタに結合された負荷電圧に比例する電圧に結合され、前記スタートアップ回路がスタートアップ段階において前記個別電圧を生成し、前記パストランジスタが、前記スタートアップ段階において前記個別電圧に応答して前記負荷電圧を初期電圧からターゲット電圧へと徐々に上昇させ、前記パストランジスタがPMOSトランジスタとNMOSトランジスタとのうちの1つを備え、前記パストランジスタのゲートが、

前記PMOSトランジスタと前記NMOSトランジスタとのうちの前記1つのソースに結合された第1のスイッチと、基準バイアス電圧に結合された第2のスイッチとに結合される、

装置。

【請求項2】

前記個別電圧源が、2つ以下の電圧レベルを出力するように構成され、前記2つのレベルが低電圧と高電圧とを備える、請求項1に記載の装置。

【請求項3】

前記ゲート制御電圧が、さらに、前記個別電圧源に電気的に結合されないとき、アナログ駆動電圧に選択的に結合され、前記装置が、前記アナログ駆動電圧を生成するための線形調節器回路をさらに備える、請求項1に記載の装置。

【請求項4】

前記個別電圧源または前記アナログ駆動電圧をいつ選択すべきかを決定するように構成された回路をさらに備える、請求項3に記載の装置。

【請求項5】

前記スタートアップ回路が、前記比較器の出力を前記ゲート制御電圧に結合する遅延要素を備える、請求項1に記載の装置。

【請求項6】

前記遅延要素がバッファを備える、請求項5に記載の装置。

【請求項 7】

前記パストランジスタが前記PMOSトランジスタを備える、請求項1に記載の装置。

【請求項 8】

前記基準バイアス電圧が、基準電流に結合された基準PMOSトランジスタのゲート電圧を備える、請求項7に記載の装置。

【請求項 9】

前記パストランジスタが前記NMOSトランジスタを備える、請求項1に記載の装置。

【請求項 10】

前記基準バイアス電圧が、基準電流に結合された基準NMOSトランジスタのゲート電圧を備え、ここにおいて、前記基準NMOSトランジスタのソースが前記パストランジスタの前記ソースに結合される、請求項9に記載の装置。

【請求項 11】

前記パストランジスタは、前記個別電圧に応答して電流パルスを出力する、請求項1に記載の装置。

【請求項 12】

前記電流パルスは、基準電流に対応する、請求項11に記載の装置。

【請求項 13】

パストランジスタによって受け取られるゲート制御電圧を個別電圧源に選択的に、電気的に結合するおよび電気的に切り離すための手段と、前記パストランジスタがPMOSトランジスタとNMOSトランジスタとのうちの1つを備え、前記パストランジスタのゲートが、前記PMOSトランジスタと前記NMOSトランジスタとのうちの前記1つのソースに結合された第1のスイッチと、基準バイアス電圧に結合された第2のスイッチとに結合される、

スタートアップ段階において、基準電圧を前記パストランジスタに結合された負荷電圧に比例する電圧と比較することによって個別電圧を生成するための手段と、ここにおいて、前記パストランジスタが、前記スタートアップ段階において前記個別電圧に応答して均一な大きさの一連の電流パルスを出力し、前記電流パルスのデューティーサイクルが前記個別電圧の高レベルと低レベルとに対応し、

前記パストランジスタが、前記スタートアップ段階において前記個別電圧に応答して前記負荷電圧を初期電圧からターゲット電圧に徐々に上昇させる、  
を備える、装置。

【請求項 14】

前記個別電圧を生成するための前記手段は、

前記基準電圧が前記負荷電圧に比例する前記電圧よりも大きいとき、第1のスイッチを第1のレベルに結合するための手段と、

前記基準電圧が前記負荷電圧に比例する前記電圧よりも大きくないとき、第2のスイッチを第2のレベルに結合するための手段とをさらに備える、請求項13に記載の装置。

【請求項 15】

前記個別電圧源に結合されないとき、前記ゲート制御電圧をアナログ制御電圧に選択的に結合するための手段をさらに備える、請求項13に記載の装置。

【請求項 16】

しきい値レベルを超える前記負荷電圧を検出したことに応答して前記個別電圧源と前記アナログ制御電圧との間で切り替えるための手段をさらに備える、請求項15に記載の装置。

【請求項 17】

前記個別電圧を生成するための前記手段が、前記比較することの結果を所定の遅延だけ遅延させるための手段をさらに備える、請求項13に記載の装置。

【請求項 18】

パストランジスタによって受け取られるゲート制御電圧を個別電圧源に選択的に、電気

的に結合するおよび電気的に切り離すことと、前記パストランジスタがPMOSトランジスタとNMOSトランジスタとのうちの1つを備え、前記パストランジスタのゲートが、前記PMOSトランジスタと前記NMOSトランジスタとのうちの前記1つのソースに結合された第1のスイッチと、基準バイアス電圧に結合された第2のスイッチとに結合される、

スタートアップ段階において、基準電圧を前記パストランジスタに結合された負荷電圧に比例する電圧と比較することによって個別電圧を生成することと、

前記スタートアップ段階において前記個別電圧に応答して前記パストランジスタによって、均一な大きさの一連の電流パルスを出力することと、前記電流パルスのデューティーサイクルが前記個別電圧の高レベルと低レベルとに対応する、

前記パストランジスタによって、前記スタートアップ段階において前記個別電圧に応答して前記負荷電圧を初期電圧からターゲット電圧に徐々に上昇させることと、

を備える、方法。

#### 【請求項19】

前記個別電圧を前記生成することは、

前記基準電圧が前記負荷電圧に比例する前記電圧よりも大きいとき、第1のスイッチを第1のレベルに結合することと、

前記基準電圧が前記負荷電圧に比例する前記電圧よりも大きくないとき、第2のスイッチを第2のレベルに結合することとをさらに備える、請求項18に記載の方法。

#### 【請求項20】

前記個別電圧源に結合されないとき、前記ゲート制御電圧をアナログ制御電圧に選択的に結合することをさらに備える、請求項18に記載の方法。

#### 【請求項21】

しきい値レベルを超える前記負荷電圧を検出したことに応答して前記個別電圧源と前記アナログ制御電圧との間で切り替えることをさらに備える、請求項20に記載の方法。

#### 【請求項22】

前記個別電圧を前記生成することが、前記比較することの結果を所定の遅延だけ遅延されることをさらに備える、請求項18に記載の方法。