(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
25. August 2016 (25.08.2016)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2016/131761 A1

(51) Internationale Patentklassifikation:
H01L 33/00 (2010.01) *H01L 33/48* (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2016/053148

(22) Internationales Anmeldedatum:
15. Februar 2016 (15.02.2016)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2015 102 458.6
20. Februar 2015 (20.02.2015) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **HÖPPEL, Lutz**; Lessingstr. 1, 93087 Alteglofsheim (DE). **PFEUFFER, Alexander F.**; Safferlingstr. 21, 93053 Regensburg (DE). **SCHOLZ, Dominik**; Wihmundweg 64, 93055 Regensburg (DE). **OTTO, Isabel**; Furtmayrstr. 8 c, 93053 Regensburg (DE). **VON MALM, Norwin**; Stockloher Str. 8, 93152 Nittendorf (DE). **ILLEK, Stefan**; Bayerwaldstr. 45, 93093 Donaustauf (DE).

(74) Anwalt: **EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH**; Schloßschmidstr. 5, 80639 München (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

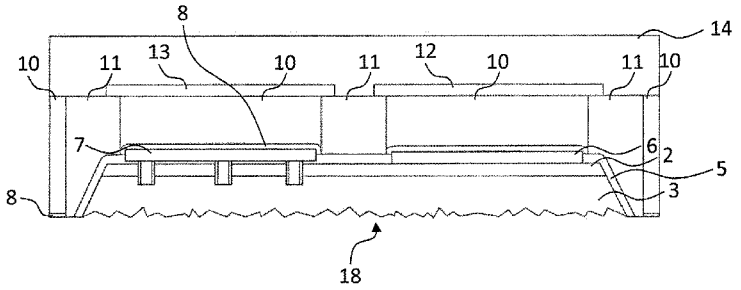
Veröffentlicht:

— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

(54) Title: METHOD FOR PRODUCING A PLURALITY OF SEMICONDUCTOR CHIPS AND SEMICONDUCTOR CHIP

(54) Bezeichnung : VERFAHREN ZUR HERSTELLUNG EINER MEHRZAHL VON HALBLEITERCHIPS UND HALBLEITERCHIP

Fig. 1g



(57) Abstract: Disclosed is a method for producing a plurality of semiconductor chips (10). A composite (1), which comprises a carrier (4) and a semiconductor layer sequence (2, 3), is provided. Separating trenches (17) are formed in the semiconductor layer sequence (2, 3) along an isolation pattern (16). A filling layer (11) limiting the semiconductor layer sequence (2, 3) toward the separating trenches (17) is applied to a side of the semiconductor layer sequence (2, 3) facing away from the carrier (4). Furthermore, a metal layer (10) adjacent to the filling layer (11) is applied in the separating trenches (17). The semiconductor chips (20) are isolated by removing the metal layer (10) adjacent to the filling layer (11) in the separating trenches (17). Each isolated semiconductor chip (20) has one part of the semiconductor layer sequence (2, 3), and of the filling layer (11). Also disclosed is a semiconductor chip (10).

(57) Zusammenfassung: Es wird ein Verfahren zur Herstellung einer Mehrzahl von Halbleiterchips (10) angegeben. Ein Verbund (1), der einen Träger (4) und eine Halbleiterschichtenfolge (2, 3) aufweist wird bereitgestellt. Trenngräben (17) werden in der Halbleiterschichtenfolge (2, 3) entlang

[Fortsetzung auf der nächsten Seite]

WO 2016/131761 A1

eines Vereinzelungsmusters (16) ausgebildet. Eine die Halbleiterschichtenfolge (2, 3) zu den Trenngräben (17) hin begrenzende Füllschicht (11) wird an einer dem Träger (4) abgewandten Seite der Halbleiterschichtenfolge (2, 3) aufgebracht. Ferner wird eine an die Füllschicht (11) grenzende Metallschicht (10) in den Trenngräben (17) aufgebracht. Durch Entfernen der an die Füllschicht (11) grenzenden Metallschicht (10) in den Trenngräben (17) werden die Halbleiterchips (20) vereinzelt. Die vereinzelten Halbleiterchips (20) weisen jeweils einen Teil der Halbleiterschichtenfolge (2, 3) und der Füllschicht (11) auf. Weiterhin wird ein Halbleiterchip (10) angegeben.

Beschreibung

Verfahren zur Herstellung einer Mehrzahl von Halbleiterchips und Halbleiterchip

Es wird ein Verfahren zur Herstellung einer Mehrzahl von Halbleiterchips sowie ein Halbleiterchip angegeben.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2015 102 458.6, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Zur Herstellung einer Mehrzahl von Halbleiterchips aus Halbleiterwafern, insbesondere zum Vereinzeln der Halbleiterwafer in Halbleiterchips, können verschiedene Verfahren angewandt werden, die insbesondere das Substratmaterial durchtrennen. Die Effizienz der meisten Vereinzelungsverfahren hängt jedoch stark von Randbedingungen ab, die eine Ausbeute des Halbleiterwafers begrenzen.

Es ist eine Aufgabe ein Verfahren anzugeben, das einen Beitrag leistet, einen Halbleiterchip einfach und effizient herzustellen.

Es wird ein Verfahren zur Herstellung einer Mehrzahl von Halbleiterchips angegeben. Bei den Halbleiterchips kann es sich insbesondere um optoelektronische Halbleiterchips, wie beispielsweise Leuchtdiodenchips oder Fotodiodenchips handeln.

In zumindest einer Ausführungsform des Verfahrens wird ein Verbund bereitgestellt. Der Verbund erstreckt sich in einer vertikalen Richtung zwischen einer ersten Hauptfläche und

einer zweiten Hauptfläche des Verbunds, wobei die vertikale Richtung senkrecht zur ersten und/oder zweiten Hauptfläche verlaufen kann. Bei den Hauptflächen kann es sich beispielsweise um die Deckfläche und die Bodenfläche des Verbunds handeln. Das Verfahren betrifft insbesondere eine Vereinzelung des Verbunds in eine Mehrzahl von Halbleiterchips entlang eines Vereinzelungsmusters. Die Vereinzelung erfolgt insbesondere quer zur ersten und/oder zweiten Hauptfläche, zum Beispiel zumindest stellenweise in der vertikalen Richtung.

Beispielsweise kann das Vereinzelungsmuster gitterförmig nach Art eines regelmäßigen mehreckigen Gitters ausgebildet sein. Die Vereinzelung muss dabei nicht notwendigerweise entlang gerade verlaufender Linien erfolgen. Vielmehr können durch die Vereinzelung auch Halbleiterchips entstehen, deren beim Vereinzeln entstehende Seitenflächen in einer Draufsicht zumindest bereichsweise gekrümmt sind oder zumindest einen Knick aufweisen.

In zumindest einer Ausführungsform des Verfahrens weist der Verbund einen Träger auf. Der Träger besteht beispielsweise aus Saphir oder einem Halbleitermaterial, etwa Silicium, Germanium, Galliumphosphid oder Galliumarsenid oder enthält ein solches Material. Der Träger kann elektrisch leitfähig oder elektrisch isolierend ausgebildet sein.

In zumindest einer Ausführungsform des Verfahrens weist der Verbund eine Halbleiterschichtenfolge auf. Die Halbleiterschichtenfolge ist beispielsweise epitaktisch, etwa mittels Sputtern, MOVPE, MOCVD oder MBE abgeschieden. Die Halbleiterschichtenfolge kann auf dem Träger oder auf einem von dem Träger verschiedenen Aufwachssubstrat abgeschieden

sein. Beispielsweise enthält die Halbleiterschichtenfolge einen zur Erzeugung von Strahlung und/oder zum Empfangen von Strahlung vorgesehenen aktiven Bereich.

Beispielsweise enthält die Halbleiterschichtenfolge, insbesondere der aktive Bereich, ein III-V-Verbindungs-Halbleitermaterial. III-V-Verbindungs-Halbleitermaterialien sind zur Strahlungserzeugung im ultravioletten ($Al_x In_y Ga_{1-x-y} N$) über den sichtbaren ($Al_x In_y Ga_{1-x-y} N$, insbesondere für blaue bis grüne Strahlung, oder $Al_x In_y Ga_{1-x-y} P$, insbesondere für gelbe bis rote Strahlung) bis in den infraroten ($Al_x In_y Ga_{1-x-y} As$) Spektralbereich besonders geeignet. Hierbei gilt jeweils $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x + y \leq 1$, insbesondere mit $x \neq 1$, $y \neq 1$, $x \neq 0$ und/oder $y \neq 0$. Mit III-V-Verbindungs-Halbleitermaterialien, insbesondere aus den genannten Materialsystemen, können weiterhin bei der Strahlungserzeugung hohe interne Quanteneffizienzen erzielt werden.

Die erste Hauptfläche befindet sich insbesondere auf der dem Träger abgewandten Seite der Halbleiterschichtenfolge. Entsprechend befindet sich die zweite Hauptfläche insbesondere auf der der Halbeiterschichtenfolge abgewandten Seite des Trägers.

In zumindest einer Ausführungsform des Verfahrens werden in der Halbleiterschichtenfolge Trenngräben ausgebildet, insbesondere entlang des Vereinzelungsmusters. Die Trenngräben können beispielsweise mechanisch, wie etwa durch Sägen, mittels eines Laser- und/oder Plasmatrennverfahrens, oder durch ein chemisches Verfahren ausgebildet werden.

In zumindest einer Ausführungsvariante des Verfahrens werden die Trenngräben so ausgebildet, dass eine den jeweiligen Trenngraben begrenzende Seitenfläche der Halbleiterschichtenfolge im Wesentlichen eben ist. In anderen Worten ist eine Steigung der den jeweiligen Trenngraben begrenzenden Seitenfläche im Wesentlichen konstant. Die Seitenfläche weißt also zum Beispiele keine makroskopischen Erhebungen oder Senken auf.

In zumindest einer weiteren Ausführungsvariante des Verfahrens werden die Trenngräben so ausgebildet, dass die den jeweiligen Trenngraben begrenzende Seitenfläche der Halbleiterschichtenfolge zumindest eine Stufe aufweist. In anderen Worten ändert sich die Steigung der den jeweiligen Trenngraben begrenzenden Seitenfläche sprunghaft.

In zumindest einer Ausführungsform des Verfahrens wird eine die Halbleiterschichtenfolge zu den Trenngräben hin begrenzende Füllschicht an einer dem Träger abgewandten Seite der Halbleiterschichtenfolge aufgebracht.

Die Füllschicht erstreckt sich nach dem Aufbringen in lateraler Richtung zumindest teilweise über die erste Hauptfläche. In den vereinzelten Halbleiterchips bilden die Seitenflächen der Füllschicht insbesondere die den Halbleiterchip in der lateralen Richtung begrenzenden Seitenflächen.

Unter der lateralen Richtung wird eine Richtung verstanden, die entlang einer Haupterstreckungsebene der Halbleiterschichten der Halbleiterschichtenfolge verläuft. Die lateralen Richtungen können zum Beispiel parallel zur ersten und/oder zweiten Hauptfläche verlaufen.

Die Füllschicht ist insbesondere eine Vergussmasse, die auch als Pressmasse oder sogenanntes „Moldcompound" bezeichnet werden kann. Beispielsweise handelt es sich hierbei um ein Epoxidharz, das mit Partikeln weiterer Materialen gefüllt sein kann. Beispielhaft weist die Füllschicht dann eine hohe Konzentration an SiO_2-Kügelchen auf, wobei sich die Konzentration auf einen Gewichtsanteil bezieht. Insbesondere kann die Konzentration an SiO_2-Kügelchen zwischen 80% und 90% betragen.

Bei den SiO_2-Kügelchen handelt es sich um nahezu perfekt sphärische Partikel aus reinem SiO_2, deren Durchmesser zwischen 1µm und 100µm betragen kann. Die SiO_2-Kügelchen zeichnen sich insbesondere dadurch aus, dass sie inert sind und einen sehr kleinen thermischen Ausdehnungskoeffizienten haben (CTE ~0,5ppm/K). Dadurch kann eine Reduktion des thermischen Ausdehnungskoeffizienten der Füllschicht aus Epoxidharz und den Partikeln auf etwa 10ppm/K erreicht werden (Harze ohne besagte Partikel meist CTE >> 100ppm/K).

Alternativ können die Partikel etwa aus Si_3N_4, Al_2O_3 oder TiO_2 ausgebildet sein. Die Reduktion des thermischen Ausdehnungskoeffizienten der Füllschicht kann in diesem Zusammenhang jedoch vermindert sein.

In zumindest einer Ausführungsform des Verfahrens wird eine an die Füllschicht grenzende Metallschicht in den Trenngräben aufgebracht.

Die Metallschicht erstreckt sich nach dem Aufbringen in lateraler Richtung zumindest teilweise über die erste Hauptfläche. Im Bereich der Füllschicht weist die

Metallschicht dabei mindestens eine Trennlinie auf, an der die Metallschicht vollständig unterbrochen ist. Beispielsweise wird die Metallschicht hierzu mittels Photolack strukturiert aufgebracht, insbesondere vor einem Aufbringen der Füllschicht.

Die Metallschicht wird ferner insbesondere so aufgebracht, dass die Trenngräben im Rahmen der Herstellungstoleranz vollständig ausgefüllt sind. Die Metallschicht in einem jeweiligen Trenngraben kann auch als Trennsteg bezeichnet werden. Die Metallschicht in den Trenngräben dient insbesondere einer mechanischen Verbindung der Mehrzahl von Halbleiterchips beziehungsweise zur mechanischen Stabilisierung des Verbunds.

Die Metallschicht kann insbesondere eine oder mehrere Teilschichten umfassen. Beispielsweise kann zumindest eine erste Teilschicht der Metallschicht mittels eines physikalischen Gasphasenabscheidungs-Prozesses (physical vapour deposition, PVD) aufgebracht werden. Ferner kann zumindest eine zweite Teilschicht der Metallschicht galvanisch aufgebracht werden. Die erste Teilschicht kann in diesem Zusammenhang insbesondere zur Stromzuführung bei einem galvanischen Aufbringen der zweiten Teilschicht eingesetzt werden.

In zumindest einer Ausführungsform des Verfahrens werden die Halbleiterchips durch Entfernen der an die Füllschicht grenzenden Metallschicht in den Trenngräben vereinzelt.

Ein Entfernen der Metallschicht erfolgt insbesondere entlang des Vereinzelungsmusters. Das Entfernen der Metallschicht kann beispielsweise mechanisch, wie etwa durch Sägen, mittels

eines Laser- und/oder Plasmatrennverfahrens, oder durch ein chemisches Verfahren erfolgen.

In zumindest einer Ausführungsform des Verfahrens weisen die vereinzelten Halbleiterchips jeweils einen Teil der Halbleiterschichtenfolge und der Füllschicht auf. In den aus dem Verbund vereinzelten Halbleiterchips umgibt die Füllschicht jeweils die Halbleiterschichtenfolge in der lateralen Richtung.

In zumindest einer Ausführungsform des Verfahrens wird ein Verbund bereitgestellt, der einen Träger und eine Halbleiterschichtenfolge aufweist. In der Halbleiterschichtenfolge werden Trenngräben entlang eines Vereinzelungsmusters ausgebildet. Eine die Halbleiterschichtenfolge zu den Trenngräben hin begrenzende Füllschicht wird an einer dem Träger abgewandten Seite der Halbleiterschichtenfolge aufgebracht. Ferner wird eine an die Füllschicht grenzende Metallschicht in den Trenngräben aufgebracht. Die Halbleiterchips werden durch Entfernen der an die Füllschicht grenzenden Metallschicht in den Trenngräben vereinzelt. Die aus dem Verbund vereinzelten Halbleiterchips weisen jeweils einen Teil der Halbleiterschichtenfolge und der Füllschicht auf.

Beispielsweise werden die Trenngräben dabei in einem ersten Schritt ausgebildet. Darauffolgend wird in einem zweiten Schritt zunächst die Metallschicht aufgebracht und in einem anschließenden dritten Schritt die Füllschicht aufgebracht. In einem abschließenden vierten Schritt kann die Metallschicht dann entfernt und der Verbund so zu Halbleiterchips vereinzelt werden.

Durch das beschriebene Verfahren kann der Verbund einfach, effizient und schonend durchtrennt werden. Dadurch, dass die Metallschicht in den Trenngräben in lateraler Richtung durch die Füllschicht begrenzt ist wird eine besonders schmale Trennspur zur Vereinzelung der Halbleiterchips ermöglicht. In vorteilhafter Weise ergibt sich dadurch eine hohe Flächennutzung des Verbunds durch die Halbleiterchips. Ferner kann durch Entfernen der Metallschicht bei dem Vereinzeln des Verbunds zu Halbleiterchips eine Materialbelastung der Halbleiterchips gering gehalten werden, so dass eine geringe Anzahl an Ausfallteilen ermöglicht wird. Das Verfahren trägt somit zu einer besonders hohen Ausbeute bei der Herstellung der Halbleiterchips bei.

In zumindest einer Ausführungsform des Verfahrens wird der Verbund vor dem Vereinzeln an einem Hilfsträger befestigt. Die Halbleiterchips liegen nach dem Vereinzeln in einer geometrischen Ordnung auf dem Hilfsträger vor. Als Hilfsträger eignet sich beispielsweise eine Folie, ein starrer Träger oder eine Platte, bei der die noch im Verbund befindlichen oder bereits vereinzelten Halbleiterchips mittels Unterdrucks angesaugt oder mittels elektrostatischer Kräfte fixiert werden. Nach dem Vereinzeln können die Halbleiterchips auf dem Hilfsträger in einer geometrischen Ordnung, beispielsweise in einer matrixförmigen Struktur, vorliegen. Die weitere Verarbeitung der Halbleiterchips wird dadurch vereinfacht.

In zumindest einer Ausführungsform des Verfahrens wird die Metallschicht zusätzlich auf einer den Trenngräben abgewandten Seite der Füllschicht auf einer dem Träger abgewandten Seite der Halbleiterschichtenfolge aufgebracht.

Insbesondere dient die auf der den Trenngräben abgewandten Seite der Füllschicht angeordnete Metallschicht einer Durchkontaktierung zur elektrischen Kontaktierung der Halbleiterschichtenfolge von der ersten Hauptfläche aus.

In zumindest einer Ausführungsvariante des Verfahrens ist die Metallschicht dabei zur Kontaktierung einer einzigen Halbleiterschicht der Halbleiterschichtenfolge ausgebildet. In diesem Zusammenhang erstreckt sich die Metallschicht beispielsweise in der lateralen Richtung im Wesentlichen vollflächig über die Halbleiterschichtenfolge.

In zumindest einer weiteren Ausführungsvariante des Verfahrens ist die Metallschicht zur Kontaktierung mehrerer Halbleiterschichten der Halbleiterschichtenfolge ausgebildet, insbesondere von zwei Halbleiterschichten. In diesem Zusammenhang ist die Metallschicht insbesondere vollständig unterbrochen, so dass eine getrennte elektrische Kontaktierung gewährleistet ist.

In zumindest einer Ausführungsform des Verfahrens wird die Metallschicht zumindest zum Teil durch ein galvanisches Beschichtungsverfahren aufgebracht.

Die Metallschicht umfasst in diesem Zusammenhang zumindest zwei Teilschichten, wobei die erste Teilschicht zur Stromzuführung bei dem Aufbringen der zweiten Teilschicht eingesetzt wird. Die erste Teilschicht wird dabei beispielsweise mittels eines physikalischen Gasphasenabscheidungs-Prozesses aufgebracht und weist beispielhaft ein Material wie Gold, Kupfer oder Nickel auf, oder besteht aus einem dieser Materialien. Die erste

Teilschicht kann auch als sogenannter „seedlayer" oder wie im Folgenden als Startschicht bezeichnet werden.

Die zweite Teilschicht wird galvanisch aufgebracht und weist beispielsweise ein Material wie Kupfer oder Nickel auf, oder besteht aus einem dieser Materialien. Die zweite Teilschicht kann auch wie im Folgenden als Galvanik bezeichnet werden. Eine Dicke der zweiten Teilschicht in der vertikalen Richtung ist insbesondere größer als die der ersten Teilschicht.

In zumindest einer Ausführungsform des Verfahrens wird die an die Füllschicht grenzende Metallschicht in den Trenngräben mittels eines chemischen Verfahrens entfernt.

In vorteilhafter Weise ermöglicht dies eine parallele, effiziente Vereinzelung des Verbunds zu Halbleiterchips. Insbesondere kann hierzu ein nasschemisches Verfahren eingesetzt werden. Die Füllschicht ist in diesem Zusammenhang besonders resistent gegenüber dem chemischen Verfahren ausgebildet.

In zumindest einer Ausführungsvariante des Verfahrens wird lediglich ein Ätzmedium bei dem chemischen Verfahren eingesetzt. Im Falle, dass die Metallschicht eine einzige Schicht aufweist kann das chemische Verfahren so besonders schnell durchgeführt werden. Beispielsweise kann bei einer aus Kupfer ausgebildeten Metallschicht eine $FeCl_3$-basierte Lösung oder eine $CuCl_2$-basierte Lösung als Ätzmedium eingesetzt werden. Beispielsweise kann bei einer aus Nickel ausgebildeten Metallschicht eines aus HNO_3, H_2SO_4, CH_3COOH, H_2O_2, oder eine Mischung hieraus als Ätzmedium eingesetzt werden.

In zumindest einer weiteren Ausführungsvariante des Verfahrens werden mehrere Ätzmedien bei dem chemischen Verfahren eingesetzt. Im Falle, dass die Metallschicht mehrere Teilschichten umfasst kann das chemische Verfahren besonders effizient und zuverlässig durchgeführt werden. Beispielsweise kann eine aus Gold ausgebildete erste Teilschicht als Ätzstopp für eine aus Kupfer oder Nickel ausgebildete zweite Teilschicht wirken. Zur Entfernung der aus Gold ausgebildeten ersten Teilschicht kann beispielsweise „Surpro" eingesetzt werden.

In zumindest einer Ausführungsform des Verfahrens werden die Trenngräben mittels eines chemischen Verfahrens ausgebildet. In vorteilhafter Weise ermöglicht dies ein paralleles Ausbilden der Trenngräben, so dass zu der effizienten Vereinzelung des Verbunds zu Halbleiterchips beigetragen werden kann. Beispielsweise handelt es sich bei dem chemischen Verfahren um Plasmaätzen (sogenanntes „Chemical-dry-etching", CDE).

In zumindest einer Ausführungsform des Verfahrens erstrecken sich die Trenngräben vollständig durch die Halbleiterschichtenfolge hindurch. Eine tragende Struktur des Verbunds wird nach Ausbilden der Trenngräben somit lediglich durch den Träger gebildet. In vorteilhafter Weise kann ein Vereinzeln der Halbleiterchips so im Wesentlichen unabhängig von einem Material der Halbleiterschichtenfolge, einer Anzahl an Schichten der Halbleiterschichtenfolge und einer Ausdehnung der Halbleiterschichtenfolge in vertikaler Richtung durchgeführt werden.

In zumindest einer Ausführungsform des Verfahrens wird in einem zusätzlichen Schritt ein Ablösen des Trägers

durchgeführt. Bei den Halbleiterchips kann es sich dann beispielsweise um sogenannte Dünnfilm-Halbleiterchips handeln, bei denen das Aufwachssubstrat für die Halbleiterschichtenfolge entfernt ist. Insbesondere dient die Füllschicht in diesem Zusammenhang zur mechanischen Stabilisierung als Trägerkörper der jeweiligen Halbleiterchips. Das Ablösen des Trägers erfolgt hierzu insbesondere nach dem Aufbringen der die Halbleiterschichtenfolge zu den Trenngräben hin begrenzenden Füllschicht an der dem Träger abgewandten Seite der Halbleiterschichtenfolge.

In zumindest einer Ausführungsform des Verfahrens erfolgt das Ablösen des Trägers nach dem Ausbilden der Trenngräben in der Halbleiterschichtenfolge entlang des Vereinzelungsmusters. Der Träger dient dabei insbesondere als tragende Struktur zur mechanischen Stabilisierung des Verbunds, so dass die Halbleiterchips auch nach einem vollständigen Ausbilden der Trenngräben in einer geometrischen Ordnung angeordnet sind.

In zumindest einer Ausführungsform des Verfahrens wird die die Halbleiterschichtenfolge zu den Trenngräben hin begrenzende Füllschicht an der dem Träger abgewandten Seite der Halbleiterschichtenfolge nach dem Aufbringen der an die Füllschicht grenzenden Metallschicht in den Trenngräben aufgebracht. In anderen Worten wird die Füllschicht also nach der Metallschicht aufgebracht. Beispielsweise wird in diesem Zusammenhang die Metallschicht oder eine Teilschicht davon mit Photolack strukturiert aufgebracht. Der Photolack kann anschließend entfernt werden und durch die Füllschicht ersetzt werden.

In zumindest einer Ausführungsform des Verfahrens wird die an die Füllschicht grenzende Metallschicht in den Trenngräben nach Ablösen des Trägers entfernt. In anderen Worten wird nach Ablösen des Trägers der Verbund der Halbleiterchips lediglich durch den Trennsteg, also durch die Metallschicht in den Trenngräben mechanisch stabilisiert.

Weiterhin wird ein Halbleiterchip angegeben. Der Halbleiterchip ist insbesondere mit einem hier beschriebenen Verfahren herstellbar, so dass sämtliche für das Verfahren offenbarten Merkmale auch für den Halbleiterchip offenbart sind und umgekehrt.

In zumindest einer Ausführungsform weist der Halbleiterchip eine Halbleiterschichtenfolge und eine Füllschicht auf, die in einer vertikalen Richtung auf der Halbleiterschichtenfolge angeordnet ist und die Halbleiterschichtenfolge hin zu einer Seitenfläche des Halbleiterchips begrenzt. Die Füllschicht weist an der Seitenfläche des Halbleiterchips Spuren eines Materialabtrags durch ein chemisches Verfahren auf.

Zur Herstellung eines solchen Halbleiterchips kann eine Strukturierung der Halbleiterchips, insbesondere das Durchtrennen der Halbleiterschichtenfolge, auf einem Aufwachssubstrat erfolgen. Bei dem Merkmal, wonach die Füllschicht an einer Seitenfläche des Halbleiterchips Spuren eines Materialabtrags durch ein chemisches Verfahren aufweist, handelt es sich um ein gegenständliches Merkmal, das mit Analysemethoden der Halbleitertechnik am fertigen Halbleiterchip eindeutig nachweisbar ist. Zum Beispiel sind diese Spuren eindeutig von Spuren unterscheidbar, die durch Sägen, Brechen, Lasern oder andere Trenntechniken erzeugbar

sind. Es handelt sich bei dem genannten Merkmal also insbesondere nicht um ein Verfahrensmerkmal.

In zumindest einer Ausführungsform des Halbleiterchips ist eine Metallschicht zur elektrischen Kontaktierung der Halbleiterschichtenfolge in der vertikalen Richtung auf der Halbleiterschichtenfolge angeordnet und in einer horizontalen Richtung durch die Füllschicht begrenzt. Die Metallschicht ist hierzu insbesondere als Durchkontaktierung zur elektrischen Kontaktierung des Halbleiterchips von der ersten Hauptfläche aus ausgebildet. In diesem Zusammenhang weist der Halbleiterchip in vertikaler Richtung auf der der Halbleiterschichtenfolge abgewandten Seite der Metallschicht beispielsweise einen elektrischen Kontakt für die externe elektrische Kontaktierung des Halbleiterchips auf.

In zumindest einer Ausführungsvariante ist die Metallschicht dabei zur Kontaktierung einer einzigen Halbleiterschicht der Halbleiterschichtenfolge ausgebildet. In diesem Zusammenhang erstreckt sich die Metallschicht beispielsweise in der lateralen Richtung im Wesentlichen vollflächig über die Halbleiterschichtenfolge.

In zumindest einer weiteren Ausführungsvariante ist die Metallschicht zur Kontaktierung mehrerer Halbleiterschichten der Halbleiterschichtenfolge ausgebildet, insbesondere von zwei Halbleiterschichten. In diesem Zusammenhang ist die Metallschicht insbesondere vollständig unterbrochen, so dass eine getrennte elektrische Kontaktierung gewährleistet ist.

In zumindest einer Ausführungsform ist die Metallschicht durch einen Teil der Füllschicht derart unterbrochen, dass die Halbleiterschichtenfolge durch die Metallschicht separat

elektrisch kontaktierbar ist. In diesem Zusammenhang weist der Halbleiterchip in vertikaler Richtung auf der der Halbleiterschichtenfolge abgewandten Seite der Metallschicht beispielsweise jeweils einen elektrischen Kontakt für die separate externe elektrische Kontaktierung des Halbleiterchips auf. Der die Metallschicht unterbrechende Teil der Füllschicht ist dabei insbesondere elektrisch isolierend ausgebildet.

In zumindest einer Ausführungsform ist die Metallschicht als eine mechanisch stabilisierende Schicht des Halbleiterchips ausbildet. Ein Elastizitätsmodul der Metallschicht ist in diesem Zusammenhang höher als ein Elastizitätsmodul der Halbleiterschichtenfolge.

In zumindest einer Ausführungsform ist die Füllschicht als eine mechanisch stabilisierende Schicht des Halbleiterchips ausbildet. Ein Elastizitätsmodul der Füllschicht ist in diesem Zusammenhang höher als ein Elastizitätsmodul der Halbleiterschichtenfolge.

Weitere Merkmale, Ausgestaltungen und Zweckmäßigkeiten ergeben sich aus der folgenden Beschreibung der Ausführungsbeispiele in Verbindung mit den Figuren.

Es zeigen:

Figuren 1a bis 1h ein erstes Ausführungsbeispiel eines Verfahrens zur Herstellung einer Mehrzahl von Halbleiterchips anhand von jeweils in schematischer Schnittansicht dargestellten Zwischenschritten;

Figur 2 ein in schematischer Schnittansicht dargestellter Zwischenschritt eines Verfahrens zur Herstellung einer Mehrzahl von Halbleiterchips gemäß einem zweiten Ausführungsbeispiel; und

Figur 3 ein in schematischer Schnittansicht dargestellter Zwischenschritt eines Verfahrens zur Herstellung einer Mehrzahl von Halbleiterchips gemäß einem dritten Ausführungsbeispiel.

Gleiche, gleichartige oder gleich wirkende Elemente sind in den Figuren mit denselben Bezugszeichen versehen. Die Figuren und die Größenverhältnisse der in den Figuren dargestellten Elemente untereinander sind nicht als maßstäblich zu betrachten. Vielmehr können einzelne Elemente und insbesondere Schichtdicken zur besseren Darstellbarkeit und/oder zum besseren Verständnis übertrieben groß dargestellt sein.

Ein erstes Ausführungsbeispiel eines Verfahrens zur Herstellung einer Mehrzahl von Halbleiterchips ist anhand der Figuren 1a bis 1h jeweils in schematischer Schnittansicht gezeigt. Wie in Figur 1a dargestellt, wird ein Verbund 1 bereitgestellt, der für eine Vereinzelung in eine Mehrzahl von Halbleiterchips 20 (siehe Figur 1h) vorgesehen ist. Beispielsweise sind die Halbleiterchips 20 optoelektronische Halbleiterchips, mit einem zur Erzeugung und/oder zum Empfangen von Strahlung vorgesehenen aktiven Bereich (in den Figuren zur vereinfachten Darstellung nicht explizit gezeigt). In dem in Figur 1a dargestellten ersten Ausführungsbeispiel umfasst der Verbund 1 eine

Halbleiterschichtenfolge 2, 3 sowie einen Träger 4. Die Halbleiterschichtenfolge 2, 3 ist dabei in einem Vereinzelungsmuster 16 mittels Trenngräben 17 in eine Mehrzahl von Halbleiterkörpern unterteilt. Die Trenngräben 17 können auch als „Mesa-Gräben" bezeichnet werden.

Das Vereinzelungsmuster 16 kann beispielsweise eine Gitterstruktur mit ersten Vereinzelungslinien entlang einer ersten Richtung und mit zweiten Vereinzelungslinien, die schräg oder senkrecht zu den ersten Vereinzelungslinien verlaufen, aufweisen. Das Vereinzelungsmuster 16 kann aber auch zumindest bereichsweise gekrümmt verlaufen oder so ausgebildet sein, dass die später vereinzelten Halbleiterchips 20 in Draufsicht eine Grundform mit mehr oder weniger als vier Ecken, beispielsweise eine hexagonale Grundform aufweisen.

In einer Haupterstreckungsrichtung des Verbunds 1 sind weitere Halbleiterkörper schematisch angedeutet. Die Schnittlinien X symbolisieren dabei lediglich eine laterale Begrenzung der Figur 1a und begrenzen insbesondere nicht den Verbund 1 mit diesen Halbleiterkörpern.

In diesem Ausführungsbeispiel umfasst die Halbleiterschichtenfolge 2, 3 eine p-dotierte GaN Schicht 2 und eine n-dotierte GaN Schicht 3. In anderen Ausführungsbeispielen enthält die Halbleiterschichtenfolge 2, 3, insbesondere der aktive Bereich, eines der im allgemeinen Teil der Beschreibung genannten Verbindungs-Halbleitermaterialien.

Bei dem Träger 4 handelt es sich um ein Aufwachssubstrat für die epitaktische Abscheidung der Halbleiterschichtenfolge 2,

3 wie beispielsweise Saphir. Der Träger 4 kann abweichend hiervon beispielsweise ein Halbleitermaterial, etwa Silicium oder Germanium enthalten. Auch ein anderes Halbleitermaterial wie Galliumphosphid oder Galliumarsenid kann Anwendung finden. Der Träger 4 stabilisiert dabei die Halbleiterschichtenfolge 2, 3 mechanisch.

In einer vertikalen Richtung erstreckt sich der Verbund 1 zwischen einer ersten Hauptfläche 21 und einer zweiten Hauptfläche 22. Die erste Hauptfläche 21 ist durch die Halbleiterschichtenfolge 2, 3 gebildet. Die zweite Hauptfläche 22 ist durch den Träger 4 gebildet.

In diesem Ausführungsbeispiel ist die Halbleiterschichtenfolge 2, 3 hin zu der ersten Hauptfläche 21 teilweise durch eine Isolationsschicht 5 bedeckt. In anderen Ausführungsbeispielen ist zusätzlich oder alternativ in einem Bereich der Trenngräben 17 eine der ersten Hauptfläche 21 zugewandte Oberfläche des Trägers 4 von der Isolationsschicht 5 bedeckt. Bei der Isolationsschicht 5 handelt es sich beispielsweise um Siliziumnitrid.

In diesem Ausführungsbeispiel ist ferner ein erstes Kontaktplättchen 6 zur elektrischen Kontaktierung der p-dotierten GaN Schicht 2 auf der der ersten Hauptfläche 21 zugewandten Seite der Halbleiterschichtenfolge 2, 3 angeordnet. Das erste Kontaktplättchen 6 kann auch als sogenanntes „p-Pad" bezeichnet werden. Des Weiteren ist ein zweites Kontaktplättchen 7 zur elektrischen Kontaktierung der n-dotierten GaN Schicht 3 auf der der ersten Hauptfläche 21 zugewandten Seite der Halbleiterschichtenfolge 2, 3 angeordnet. Das zweite Kontaktplättchen 7 kann auch als sogenanntes „n-Pad" bezeichnet werden.

Zusätzlich kann der Verbund 1 beispielsweise eine oder mehrere nicht näher dargestellte funktionale Schichten umfassen, wie beispielsweise eine Verbindungsschicht, etwa eine Lotschicht oder eine elektrisch leitfähige Klebeschicht. Die funktionale Schicht kann weiterhin eine metallische Spiegelschicht für die in der Halbleiterschichtenfolge 2, 3 zu erzeugende oder zu absorbierende Strahlung umfassen. Die funktionale Schicht kann beispielsweise ferner eine Schicht zur elektrischen Kontaktierung oder zur Stromaufweitung umfassen. Alternativ oder ergänzend kann die funktionale Schicht auch eine dielektrische Schicht umfassen.

Die Trenngräben 17 erstrecken sich in vertikaler Richtung vollständig durch die Halbleiterschichtenfolge 2, 3. Ferner erstrecken sich die Trenngräben 17 in vertikaler Richtung vollständig durch die beispielsweise zusätzlich angeordneten funktionalen Schichten.

In den folgenden Figuren wird aus Gründen der Übersichtlichkeit lediglich ein Ausschnitt des Verbunds 1 entlang des Vereinzelungsmusters 16 dargestellt.

Wie in Figur 1b dargestellt wird auf den Verbund 1 von der ersten Hauptfläche 21 her eine Startschicht 8 flächig aufgebracht. Die Startschicht 8 ist aus einem leitfähigen Material, insbesondere einem Metall wie Gold, Kupfer oder Nickel ausgebildet. In diesem Ausführungsbeispiel ist die Startschicht 8 aus Gold ausgebildet. Die Startschicht 8 wird dabei beispielsweise mittels eines physikalischen Gasphasenabscheidungs-Prozesses aufgebracht.

Anschließend wird auf den Verbund 1 von der ersten Hauptfläche 21 her ein Photolack 9 so aufgebracht, dass die Halbleiterschichtenfolge 2, 3 zu den Trenngräben 17 hin durch den Photolack 9 begrenzt wird. Darauffolgend wird auf den Verbund 1 von der ersten Hauptfläche 21 her mit Hilfe des Photolacks 9 eine Galvanik 10 so strukturiert aufgebracht, dass sich die Galvanik nach diesem Schritt flächig über die Kontaktplättchen 6, 7 erstreckt und die Trenngräben 17 zumindest in einem Bereich des Vereinzelungsmusters 16 ausfüllt. Die Galvanik 10 ist dabei aus einem Metall wie Kupfer oder Nickel ausgebildet. Die Galvanik 10 wird galvanisch aufgebracht, zur Stromzuführung wird in diesem Zusammenhang insbesondere die Startschicht 8 eingesetzt.

Die sich über den Kontaktplättchen 6, 7 erstreckende Galvanik 10 sowie ein dort angeordneter Teil der Startschicht 8 kann auch als Durchkontaktierung bezeichnet werden. Die in den Trenngräben 17 angeordnete Galvanik 10 sowie ein dort angeordneter Teil der Startschicht 8 kann auch als Trennsteg bezeichnet werden.

Wie in Figur 1c dargestellt wird der Photolack 9 (siehe Figur 1b) entfernt. Ferner wird ein dort angeordneter Teil der Startschicht 8 an diesen Stellen entfernt. In vorteilhafter Weise dient dies einer elektrischen Isolierung der Kontaktplättchen 6, 7 voneinander. Des Weiteren wird dadurch die in den Trenngräben 17 angeordnete Galvanik 10 elektrisch von den Kontaktplättchen 6, 7 isoliert. Bevorzugt wird in diesem Zusammenhang ein nasschemisches Verfahren eingesetzt. Zur Entfernung der aus Gold ausgebildeten Startschicht 8 kann beispielsweise sogenanntes „Surpro" eingesetzt werden, welches selektiv ätzend und daher besonders materialschonend bezüglich des Verbunds 1 ist.

Wie in Figur 1d dargestellt wird auf den Verbund 1 von der ersten Hauptfläche 21 her eine Vergussmasse 11 flächig aufgebracht. Die Vergussmasse 11 füllt insbesondere ein Volumen des entfernten Photolacks 9 (siehe Figur 1b) auf. Bei der Vergussmasse 11 handelt es sich bevorzugt um ein Epoxidharz mit einer hohen Konzentration an SiO_2 Kügelchen zwischen 80% und 90% bezogen auf einen Gewichtsanteil der Vergussmasse 11. Die Vergussmasse 11 wird zunächst thermisch ausgehärtet.

Zur Planarisierung des Verbunds 1 und zur elektrischen Kontaktierung der Halbleiterchips 20 wird die Vergussmasse 11 anschließend von der ersten Hauptfläche 21 her zurückgeschliffen. Die Vergussmasse 11 umgibt nach diesem Schritt die Halbleiterschichtenfolge 2, 3 lateral und begrenzt diese insbesondere zu den Trenngräben 17 hin. Insbesondere grenzt die Vergussmasse 11 in lateraler Richtung dabei direkt an die Trennstege. Ferner füllt die Vergussmasse 11 einen Zwischenraum zwischen der Galvanik 10 im Bereich der Kontaktplättchen 6, 7. In vorteilhafter Weise dient die Vergussmasse 11 in diesem Bereich einer mechanischen Stabilisierung der Halbleiterchips 20 sowie einer elektrischen Isolierung der Durchkontaktierung.

Wie in Figur 1e dargestellt wird auf den Verbund 1 von der ersten Hauptfläche 21 her beispielsweise mit Hilfe einer Phototechnik ein erster Verbindungskontakt 12 sowie ein zweiter Verbindungskontakt 13 aufmetallisiert. Die Verbindungskontakte 12, 13 sind beispielsweise aus Gold, Titan, Nickel, Palladium oder Platin ausgebildet. Der erste Verbindungskontakt 12 dient dabei einer elektrischen Kontaktierung des ersten Kontaktplättchens 6 über die

korrespondierende Durchkontaktierung, also der in vertikaler Richtung dazwischen angeordneten Galvanik 10 und dem dort angeordneten Teil der Startschicht 8. Der zweite Verbindungskontakt 13 dient analog dazu einer elektrischen Kontaktierung des zweiten Kontaktplättchens 7 über die korrespondierende Durchkontaktierung, also der in vertikaler Richtung dazwischen angeordneten Galvanik 10 und dem dort angeordneten Teil der Startschicht 8.

Wie in Figur 1f dargestellt wird der Verbund 1 auf einem Hilfsträger 14 von der ersten Hauptfläche 21 her befestigt. Der Hilfsträger 14 kann beispielsweise eine auf einen Rahmen gespannte Folie sein. Alternativ kann der Hilfsträger 14 auch ein starrer Träger oder eine Vorrichtung sein, in der der Verbund 1 und insbesondere die später vereinzelten Halbleiterchips 20 mittels Unterdrucks oder mittels elektrostatischer Kräfte fixiert sind. Anschließend wird der Träger 4 abgelöst, beispielsweise mittels sogenanntem „Laser-Lift-Off".

Abhängig von einer Beschaffenheit des Trägers 4 erfolgt anschließend wie in Figur 1g dargestellt ein Aufrauen der Halbleiterschichtenfolge 2, 3 von der zweiten Hauptfläche 22 her, so dass diese eine Aufrauhung 18 aufweist. In diesem Fall wird eine dem Hilfsträger 14 abgewandte Seite der n-dotierten GaN Schicht 3 aufgeraut.

Im Falle, dass es sich bei dem Träger 4 um ein planes Aufwachssubstrat handelt kann hierzu beispielsweise ein nasschemisches Verfahren eingesetzt werden, beispielsweise mittels Kaliumhydroxid, oder ein trockenchemisches Verfahren, beispielsweise mittels eines Lithografieschritts. Im Falle, dass es sich bei dem Träger 4 um ein strukturiertes

Aufwachssubstrat wie beispielsweise gemustertes Saphirsubstrat (sogenanntes „Patterned Saphire Substrate", PSS) handelt kann hingegen auf ein Aufrauen der Halbleiterschichtenfolge 2, 3 verzichtet werden.

Wie in Figur 1h dargestellt werden die Halbleiterchips 20 vereinzelt, indem die Trennstege, also die Startschicht 8 in den Trenngräben 17 sowie die die Vergussmasse 11 umgebende Galvanik 10 in den Trenngräben 17, entfernt werden. Ein hierzu verwendetes Ätzmedium ist insbesondere selektiv zwischen der Galvanik 10 und den Verbindungskontakten 12, 13. Ferner ist das Ätzmedium insbesondere selektiv zwischen der Galvanik 10 und der Vergussmasse 11.

Die Trennstege werden insbesondere nasschemisch entfernt. Ein selektives Ätzmedium für eine aus Nickel ausgebildete Galvanik 10 kann beispielsweise zumindest eines aus HNO_3, H_2SO_4, CH_3COOH, H_2O_2, oder eine Mischung hieraus enthalten oder daraus bestehen. Ein selektives Ätzmedium für eine aus Kupfer ausgebildete Galvanik 10 kann beispielsweise eine $FeCl_3$-basierte Lösung oder eine $CuCl_2$-basierte Lösung sein.

Durch das nasschemische Entfernen der Trennstege wird ein paralleles, kostengünstiges und schädigungsfreies Vereinzeln des Verbunds 1 zu Halbleiterchips 20 mit besonders schmalen Trennspuren ermöglicht. Insbesondere bei einer einseitigen Kontaktierung der Halbleiterchips 20 von der ersten Hauptfläche 21 her ist dabei ein Aufbringen der Vergussmasse 11 und der Galvanik 10 zur mechanischen Stabilisierung der Halbleiterchips 20 erforderlich, sodass ein Mehraufwand zur Vereinzelung des Verbunds besonders gering ist. Ein chemisches Entfernen der aus Metall ausgebildeten Trennstege ist in vorteilhafter Weise besonders einfach durchführbar.

Die Trennstege können in diesem Zusammenhang insbesondere besonders schmal ausgelegt werden. Mittels des Hilfsträgers 14 können die vereinzelten Halbleiterchips 20 in geometrischer Ordnung, beispielsweise matrixförmig vorliegen. Dadurch wird die weitere Verarbeitung vereinfacht.

Die Vergussmasse 11 der derart vereinzelten Halbleiterchips 20 begrenzt die Halbleiterchips 20 nach außen hin, so dass die Vergussmasse 11 zumindest eine Seitenfläche 23 der Halbleiterchips 20 bildet. Durch Entfernen der an die Vergussmasse 11 grenzenden Galvanik 10 in den Trenngräben 17 können die Seitenflächen 23 insbesondere Spuren 24 eines Materialabtrags durch ein chemisches Verfahren aufweisen. Die Spuren 24 unterscheiden sich dabei insbesondere dadurch von anderen Verfahren wie beispielsweise Sägen, dass die in der Vergussmasse 11 enthaltenen SiO_2 Partikel ihre sphärische Form vollständig beibehalten, insbesondere also ganz bleiben.

Alternativ kann statt eines Entfernens des kompletten Trennstegs beispielsweise lediglich eines aus der in diesem Bereich angeordneten Startschicht 8 und der Galvanik 10 entfernt werden, beispielsweise mit einem der oben genannten nasschemischen Verfahren. In einem weiteren Schritt kann der verbleibende Teil des Trennstegs beispielsweise durch ein anderes Trennverfahren unterbrochen werden, so dass der Verbund 1 zu Halbleiterchips 20 vereinzelt wird.

Ein zweites Ausführungsbeispiel (Figur 2) unterscheidet sich von dem im Zusammenhang mit den Figuren 1a bis 1h beschriebenen ersten Ausführungsbeispiel dadurch, dass eine Seitenfläche der Halbleiterschichtenfolge 2, 3 hin zu den Trenngräben 17 eine Stufe 19 aufweist. Der in Figur 2 dargestellte Zwischenschritt entspricht ansonsten dem in

Figur 1a dargestellten Zwischenschritt des ersten Ausführungsbeispiels. In vorteilhafter Weise ermöglicht die Stufe eine erhöhte mechanische Belastbarkeit der Halbleiterschichtenfolge 2, 3 bei einem Ablösen des Trägers 4 (vergleiche Figur 1f) im Vergleich zu dem ersten Ausführungsbeispiel. Insbesondere kann dadurch eine Rissbildung in diesem Bereich des Halbleiterchips 20 vermieden werden.

Ein drittes Ausführungsbeispiel (Figur 3) unterscheidet sich von dem im Zusammenhang mit den Figuren 1a bis 1h beschriebenen ersten Ausführungsbeispiel und dem im Zusammenhang mit Figur 2 beschriebenen zweiten Ausführungsbeispiel dadurch, dass die Trennstege bereits vor Aufbringen des Verbunds 1 auf den Hilfsträger 14 zumindest teilweise entfernt werden. Das Verfahren gemäß dem dritten Ausführungsbeispiel entspricht einschließlich bis zu dem in Figur 1e dargestellten Zwischenschritt dem Verfahren gemäß dem ersten oder zweiten Ausführungsbeispiel. Anschließend werden die Trennstege in diesem Bereich entfernt (vergleiche Figur 1h). In vorteilhafter Weise können die Verbindungskontakte 12, 13 in diesem Zusammenhang als Ätzschutz für die Galvanik 10 während der Entfernung der Galvanik 10 in den Trenngräben 17 dienen.

Die Halbleiterchips 20 bilden abweichend von dem in Figur 1h dargestellten Zwischenschritt jedoch weiterhin den Verbund 1 mit dem Träger 4. Eine Vereinzelung des Verbunds 1 erfolgt demnach erst darauffolgend durch Ablösen des Trägers 4 (vergleiche Figur 1f).

In vorteilhafter Weise ist der Träger 4 in diesem Zusammenhang strukturiert ausgebildet, sodass auf ein

Aufrauen der Halbleiterschichtenfolge 2, 3 verzichtet werden kann (vergleiche Figur 1g). Alternativ kann die Vergussmasse 11 beispielsweise resistiv gegenüber einem zur Aufrauhung verwendeten Verfahren ausgebildet sein. Das Verfahren gemäß dem ersten oder zweiten Ausführungsbeispiel hat gegenüber dem Verfahren gemäß dem dritten Ausführungsbeispiel dabei den Vorteil, dass die Vergussmasse 11 durch die Trennstege von einem Ätzprozess zum Aufrauen geschützt ist. Ferner ist eine mechanische Belastbarkeit des Verbunds 1 bei Ablösen des Trägers 4 gemäß dem ersten oder zweiten Ausführungsbeispiel höher.

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Bezugszeichenliste

1	Verbund
2, 3	Halbleiterschichtenfolge
4	Träger
5	Isolationsschicht
6, 7	Kontaktplättchen
8	Startschicht
9	Lack
10	Galvanik
11	Vergussmasse
12, 13	Verbindungskontakt
14	Hilfsträger
16	Vereinzelungsmuster
17	Trenngraben
18	Aufrauhung
19	Stufe
20	Halbleiterchip
21, 22	Hauptflächen
23	Seitenfläche
24	Spuren
X	Schnittlinie

Patentansprüche

1. Verfahren zur Herstellung einer Mehrzahl von Halbleiterchips (20) mit den Schritten:
   a) Bereitstellen eines Verbunds (1), der einen Träger (4) und eine Halbleiterschichtenfolge (2, 3) aufweist;
   b) Ausbilden von Trenngräben (17) in der Halbleiterschichtenfolge (2, 3) entlang eines Vereinzelungsmusters (16);
   c) Aufbringen einer die Halbleiterschichtenfolge (2, 3) zu den Trenngräben (17) hin begrenzenden Füllschicht (11) an einer dem Träger (4) abgewandten Seite der Halbleiterschichtenfolge (2, 3);
   d) Aufbringen einer an die Füllschicht (11) grenzende Metallschicht (10) in den Trenngräben (17); und
   e) Vereinzeln der Halbleiterchips (20) durch Entfernen der an die Füllschicht (11) grenzenden Metallschicht (10) in den Trenngräben (17);
   wobei die vereinzelten Halbleiterchips (20) jeweils einen Teil der Halbleiterschichtenfolge (2, 3) und der Füllschicht (11) aufweisen, und wobei der Verbund (1) vor dem Vereinzeln an einem Hilfsträger (14) befestigt wird und die Halbleiterchips (20) nach dem Vereinzeln in einer geometrischen Ordnung auf dem Hilfsträger (14) vorliegen.

2. Verfahren nach Anspruch 1,
   bei dem die Metallschicht (10) in dem Schritt d) zusätzlich auf einer den Trenngräben (17) abgewandten Seite der Füllschicht (11) auf einer dem Träger (4) abgewandten Seite der Halbleiterschichtenfolge (2, 3) aufgebracht wird.

3. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Metallschicht (10) zumindest zum Teil durch ein galvanisches Beschichtungsverfahren aufgebracht wird.

4. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die an die Füllschicht (11) grenzende Metallschicht (10) in den Trenngräben (17) mittels eines chemischen Verfahrens entfernt wird.

5. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Trenngräben (17) mittels eines chemischen Verfahrens ausgebildet werden.

6. Verfahren nach einem der vorhergehenden Ansprüche, bei dem sich die Trenngräben (17) nach Schritt b) vollständig durch die Halbleiterschichtenfolge (2, 3) hindurch erstrecken.

7. Verfahren nach einem der vorhergehenden Ansprüche, bei dem in einem zusätzlichen Schritt ein Ablösen des Trägers durchgeführt wird.

8. Halbleiterchip (20) mit einer Halbleiterschichtenfolge (2, 3) und einer Füllschicht (11), die in einer vertikalen Richtung auf der Halbleiterschichtenfolge (2, 3) angeordnet ist und die Halbleiterschichtenfolge (2, 3) hin zu einer Seitenfläche (21) des Halbleiterchips (20) begrenzt, wobei die Füllschicht (11) an der Seitenfläche (23) des Halbleiterchips (20) Spuren (24) eines Materialabtrags durch ein chemisches Verfahren aufweist.

9. Halbleiterchip (20) nach Anspruch 8, bei dem eine Metallschicht (10) zur elektrischen Kontaktierung der Halbleiterschichtenfolge (2, 3) in der vertikalen Richtung auf der Halbleiterschichtenfolge (2, 3) angeordnet ist und in einer horizontalen Richtung durch die Füllschicht (11) begrenzt ist.

10. Halbleiterchip (20) nach Anspruch 9, bei dem die Metallschicht (10) durch einen Teil der Füllschicht (11) derart unterbrochen ist, dass die Halbleiterschichtenfolge (2, 3) durch die Metallschicht (10) separat elektrisch kontaktierbar ist.

11. Halbleiterchip (20) nach einem der vorhergehenden Ansprüche 8 bis 10, bei dem die Metallschicht (10) als eine mechanisch stabilisierende Schicht des Halbleiterchips (20) ausbildet ist.

12. Halbleiterchip (20) nach einem der vorhergehenden Ansprüche 8 bis 11, bei dem die Füllschicht (11) als eine mechanisch stabilisierende Schicht des Halbleiterchips (20) ausbildet ist.

Fig. 1a

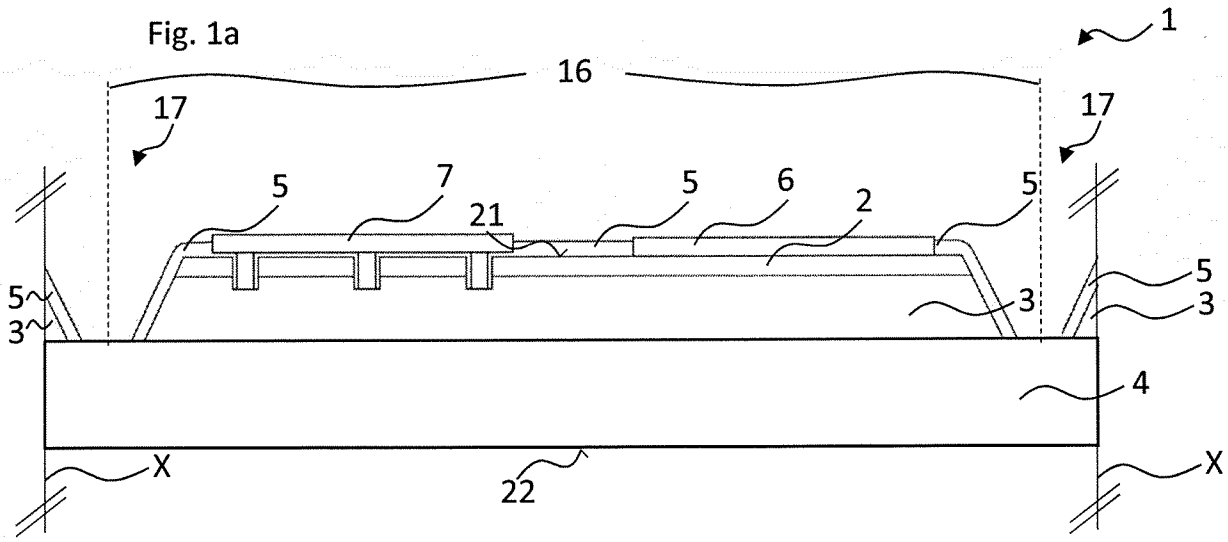


Fig. 1b

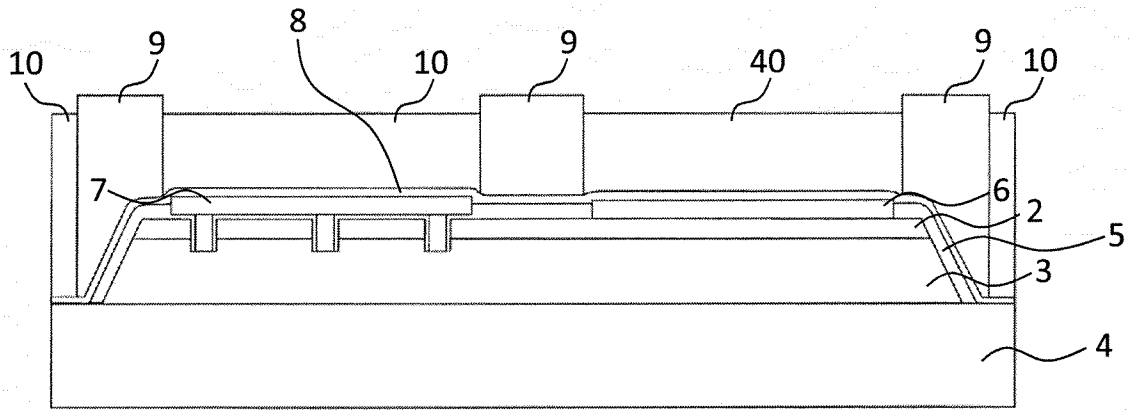


Fig. 1c

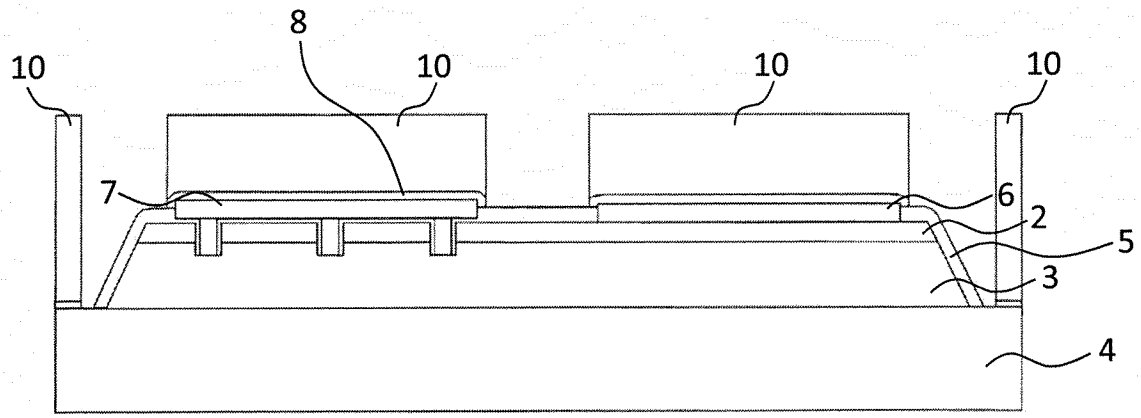


Fig. 1d

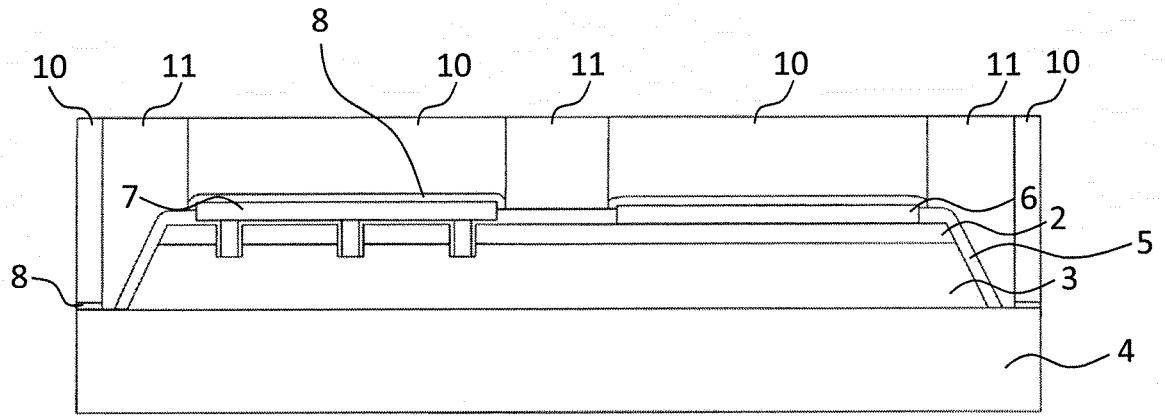


Fig. 1e

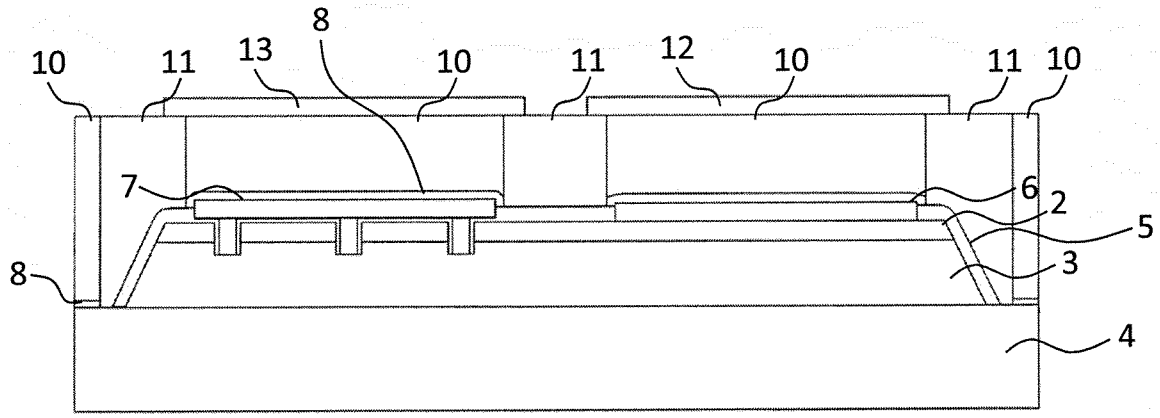


Fig. 1f

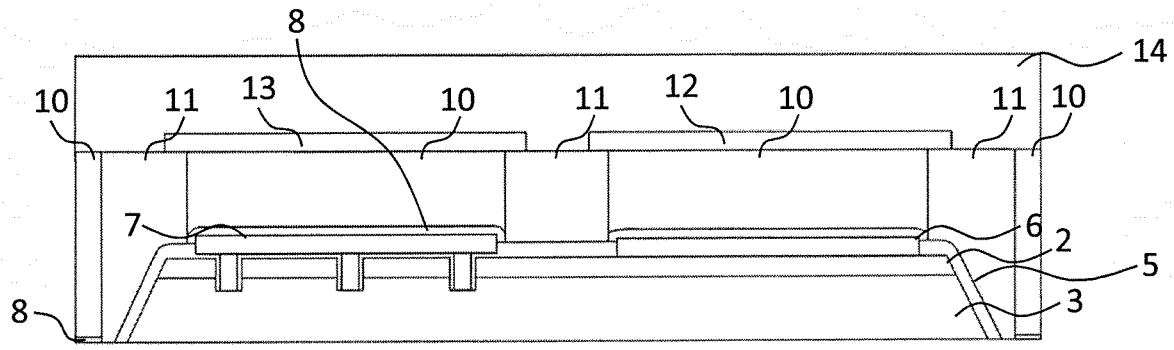


Fig. 1g

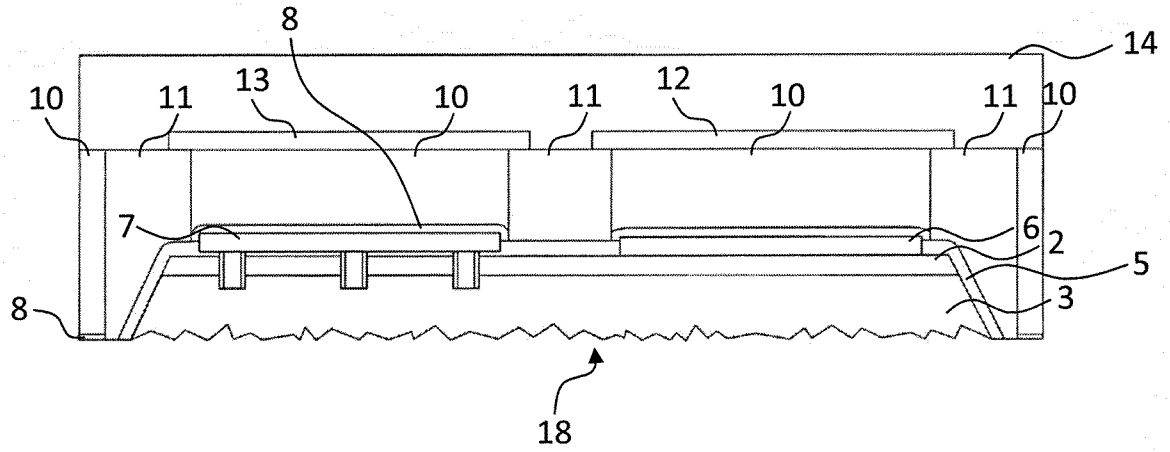

8
14
10
11
13
10
11
12
10
11
10
7
6
2
5
3
8
18

Fig. 1h

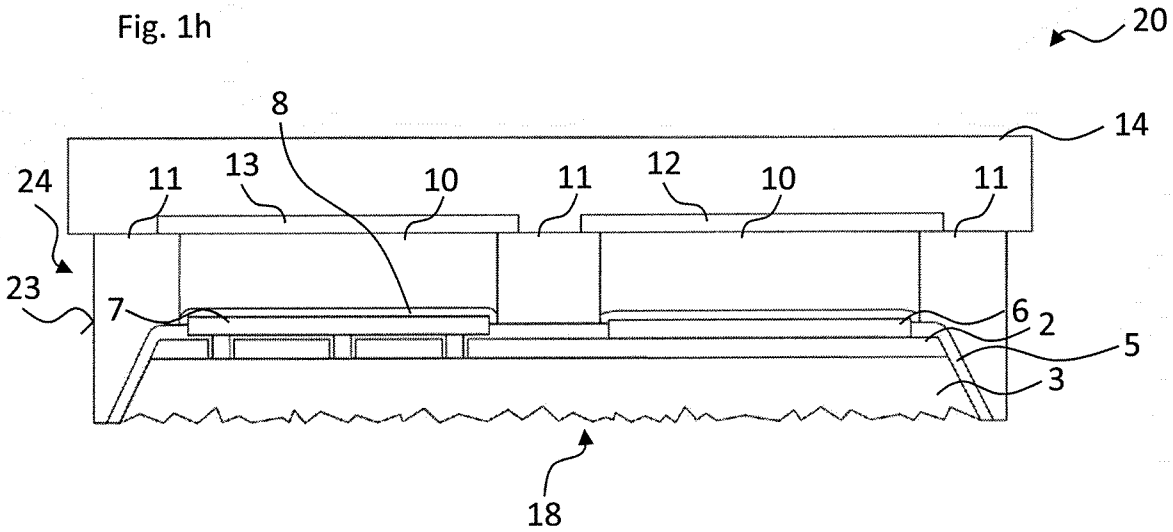

20
8
14
24
11
13
10
11
12
10
11
23
7
6
2
5
3
18

Fig. 2

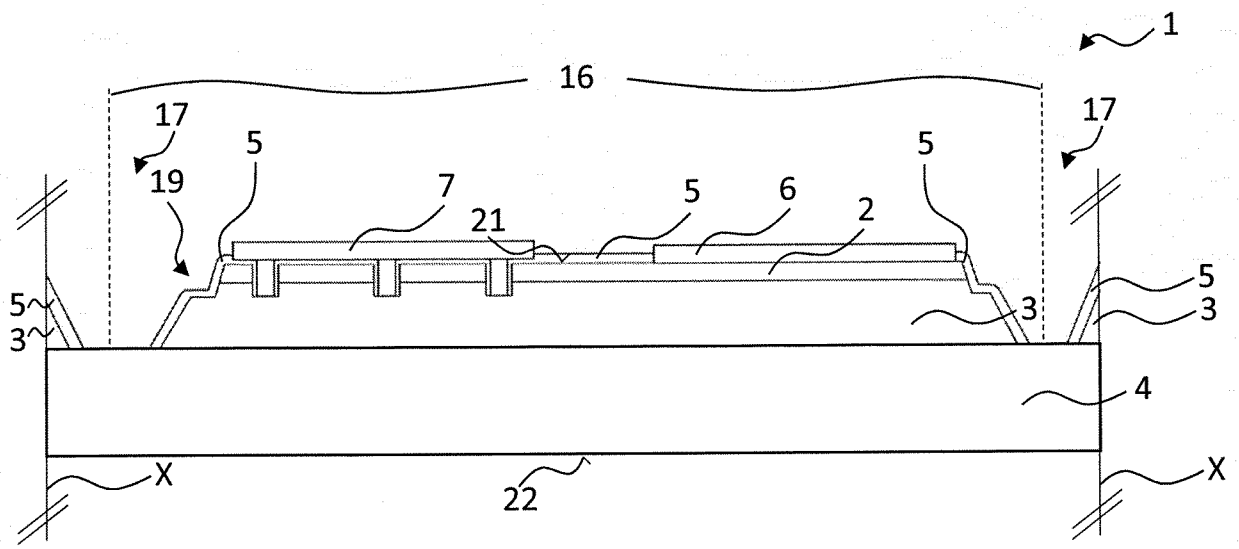
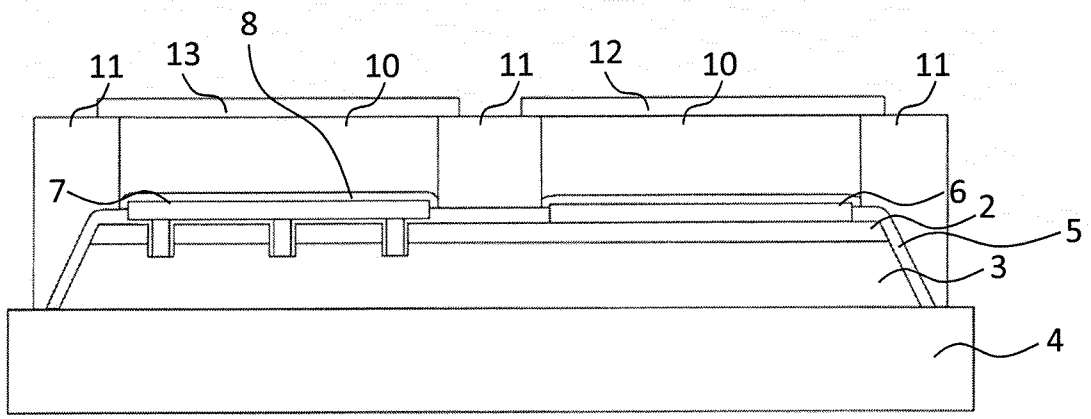


Fig. 3



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2016/053148

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L33/00 H01L33/48
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2014/042450 A1 (AKIYAMA KAZUHIRO [JP] ET AL) 13 February 2014 (2014-02-13) paragraphs [0074], [0082] - [0094]; figures 10-14	8-12 1-7
Y	EP 2 667 422 A2 (TOSHIBA KK [JP]) 27 November 2013 (2013-11-27) paragraph [0085]; figures 11B, 14	1-7
A	US 2008/029847 A1 (GUILLERMO DENNIS [SG] ET AL) 7 February 2008 (2008-02-07) paragraphs [0002] - [0007], [0075] - [0077]; figure 18	1
A	DE 10 2012 111358 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 28 May 2014 (2014-05-28) paragraph [0053]; figure 1	1

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
8 April 2016	14/04/2016

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Müller-Kirsch, Lutz

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2016/053148

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2014042450 A1	13-02-2014	JP 2014038886 A	27-02-2014
		US 2014042450 A1	13-02-2014
EP 2667422 A2	27-11-2013	EP 2667422 A2	27-11-2013
		JP 2013247243 A	09-12-2013
		TW 201349585 A	01-12-2013
		US 2013313591 A1	28-11-2013
US 2008029847 A1	07-02-2008	NONE	
DE 102012111358 A1	28-05-2014	CN 104781939 A	15-07-2015
		DE 102012111358 A1	28-05-2014
		DE 112013005634 A5	20-08-2015
		JP 2016501444 A	18-01-2016
		KR 20150087243 A	29-07-2015
		US 2015303112 A1	22-10-2015
		WO 2014079708 A1	30-05-2014

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2016/053148

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L33/00 H01L33/48
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X Y	US 2014/042450 A1 (AKIYAMA KAZUHIRO [JP] ET AL) 13. Februar 2014 (2014-02-13) Absätze [0074], [0082] - [0094]; Abbildungen 10-14	8-12 1-7
Y	EP 2 667 422 A2 (TOSHIBA KK [JP]) 27. November 2013 (2013-11-27) Absatz [0085]; Abbildungen 11B, 14	1-7
A	US 2008/029847 A1 (GUILLERMO DENNIS [SG] ET AL) 7. Februar 2008 (2008-02-07) Absätze [0002] - [0007], [0075] - [0077]; Abbildung 18	1
A	DE 10 2012 111358 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 28. Mai 2014 (2014-05-28) Absatz [0053]; Abbildung 1	1

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
8. April 2016	14/04/2016

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Müller-Kirsch, Lutz

Formblatt PCT/ISA/210 (Blatt 2) (April 2005)

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP2016/053148

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2014042450 A1	13-02-2014	JP 2014038886 A	27-02-2014
		US 2014042450 A1	13-02-2014
EP 2667422 A2	27-11-2013	EP 2667422 A2	27-11-2013
		JP 2013247243 A	09-12-2013
		TW 201349585 A	01-12-2013
		US 2013313591 A1	28-11-2013
US 2008029847 A1	07-02-2008	KEINE	
DE 102012111358 A1	28-05-2014	CN 104781939 A	15-07-2015
		DE 102012111358 A1	28-05-2014
		DE 112013005634 A5	20-08-2015
		JP 2016501444 A	18-01-2016
		KR 20150087243 A	29-07-2015
		US 2015303112 A1	22-10-2015
		WO 2014079708 A1	30-05-2014