



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0088882
(43) 공개일자 2009년08월20일

(51) Int. Cl.

H03G 7/08 (2006.01) H03M 1/18 (2006.01)

(21) 출원번호 10-2009-7010378

(22) 출원일자 2006년10월25일

심사청구일자 없음

(85) 번역문제출일자 2009년05월21일

(86) 국제출원번호 PCT/IB2006/002988

(87) 국제공개번호 WO 2008/050171

국제공개일자 2008년05월02일

(71) 출원인

센시티브 오브젝트

프랑스, 92100 불로뉴-비앙쿠르, 696 루에 이베스 케르멘

(72) 발명자

벤하무다 프랑크

프랑스 에프-78370 빨레지흐 26 까트르 뒤 뻬에호 쿠리

잉 로 키리

프랑스 에프-75012 파리 11 뒤 드 샬리니

리노뜨 장 미셸

프랑스 에프-75013 파리 1-3 뒤 뒤 타쥐

(74) 대리인

김용인, 박영복

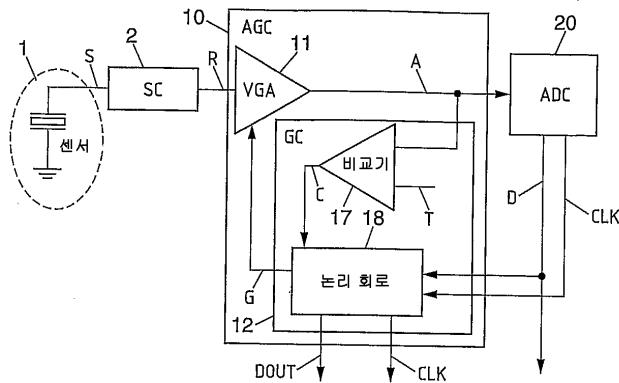
전체 청구항 수 : 총 13 항

(54) 자동 이득 제어 회로, 이와 같은 회로를 포함하는 시스템, 및 자동 이득 제어 방법

(57) 요약

자동 이득 제어 회로는 수신된 신호(R)를 수신하고 증폭된 신호(A)를 아날로그-디지털 변환기(20)로 출력하도록 형성된 가변 이득 증폭기(11), 및 증폭된 신호(A)를 수신하고 가변 이득 증폭기(11)의 이득을 제어하기 위해 가변 이득 증폭기(11)에 연결되어 있는 이득 제어기(12)를 포함한다. 이득 제어기(12)는 증폭된 신호(A)가 기결정된 역치에 도달할 때마다 역치 이벤트의 발생을 결정하고, 역치 이벤트의 각 발생에서 가변 이득 증폭기(11)의 이득을 감소시키고, 마지막 역치 이벤트 이후 지연을 측정하고, 지연이 지연 지정값 보다 더 크고 가변 이득 증폭기(11)의 이득이 최대가 아니라면 가변 이득 증폭기(11)의 이득을 증가시키도록 형성되어 있다.

대표도 - 도1



특허청구의 범위

청구항 1

- 수신 신호(R)를 수신하고 증폭 신호(A)를 아날로그-디지털 변환기(20)로 출력하도록 형성된 가변 이득 증폭기(11), 및

- 상기 증폭 신호(A)를 수신하고 상기 가변 이득 증폭기(11)의 이득을 제어하기 위해 상기 가변 이득 증폭기(11)에 연결되어 있는 이득 제어기(12)를 포함하는 자동 이득 제어 회로로서,

상기 이득 제어기(12)는:

- 상기 증폭 신호(A)가 기결정된 역치에 도달할 때마다 역치 이벤트의 발생을 결정하고,

- 역치 이벤트의 각 발생에서 상기 가변 이득 증폭기(11)의 이득을 감소시키고,

- 마지막 역치 이벤트 이후 지연을 측정하고, 그리고

- 상기 지연이 지연 지정값 보다 더 크고 상기 가변 이득 증폭기(11)의 이득이 최대가 아니라면 상기 가변 이득 증폭기(11)의 이득을 증가시키도록 형성되어 있는 자동 이득 제어 회로.

청구항 2

제 1 항에 있어서,

상기 이득 제어기(12)는 아날로그-디지털 변환기 변환의 2 개의 샘플들 사이의 상기 가변 이득 증폭기(11)의 이득의 변화를 명령하도록 형성되어 있는 자동 이득 제어 회로.

청구항 3

제 1 항 또는 2 항에 있어서,

상기 이득 제어기(12)는 상기 아날로그-디지털 변환기에 의해 주어진 제 1 디지털 값 및 상기 가변 이득 증폭기(11)의 이득을 나타내는 제 2 디지털 값을 직렬 버스를 통해 전송하도록 형성되어 있는 자동 이득 제어 회로.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

역치 이벤트의 각 발생에서 그리고 상기 가변 이득 증폭기(11)의 이득이 최소가 아니라면, 상기 이득 제어기(12)는 2의 배수 인수에 의해 상기 가변 이득 증폭기(11)의 이득을 감소시키는 자동 이득 제어 회로.

청구항 5

제 3 항에 있어서,

역치 이벤트의 각 발생에서 그리고 상기 가변 이득 증폭기(11)의 이득이 최소가 아니라면, 상기 이득 제어기(12)는 2 개의 연속하는 제 1 디지털 값 사이의 절대차에 따라 기결정된 값만큼 상기 가변 이득 증폭기(11)의 이득을 감소시키는 자동 이득 제어 회로.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 지연이 지연 지정값보다 더 크고 상기 가변 이득 증폭기(11)의 이득이 최대가 아니라면, 상기 이득 제어기(12)는 2의 배수 인수에 의해 상기 가변 이득 증폭기(11)의 이득을 증가시키는 자동 이득 제어 회로.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 이득 제어기(12)는 프로그램가능 논리 장치(PLD)인 자동 이득 제어 회로.

청구항 8

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,
 상기 자동 이득 제어 회로(10)는 ASIC(application specific integrated circuit)인 자동 이득 제어 회로.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,
 상기 이득 제어기(12)는 1 또는 2 개의 회로에서, 2 개의 아날로그-디지털 변환기 및 2 개의 가변 이득 증폭기(11)를 이용하여, 2 개의 채널을 관리할 수 있는 자동 이득 제어 회로.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,
 상기 가변 이득 증폭기(11)는 디지털 전위차계(16)를 가지는 반전 증폭기(13)로 또한 구성되는 자동 이득 제어 회로.

청구항 11

제 1 항 내지 제 10 항 중 어느 한 항에 따른 자동 이득 제어 회로(10)를 포함하고, 상기 가변 이득 증폭기(11)로부터 상기 증폭 신호(A)를 수신하기 위해 상기 자동 이득 제어 회로(10)에 연결된 아날로그-디지털 변환기(20)를 더 포함하는 시스템.

청구항 12

제 11 항에 있어서,
 상기 가변 이득 증폭기(11)에 연결된 진동 센서(1)를 더 포함하고, 상기 수신 신호(R)는 상기 진동 센서(1)로부터 상기 가변 이득 증폭기(11)에 의해 수신되는 시스템.

청구항 13

- 증폭 신호(A)가 기결정된 역치에 도달할 때마다 역치 이벤트의 발생을 결정하는 단계,
- 역치 이벤트의 각 발생에서 가변 이득 증폭기(11)의 이득을 감소시키는 단계,
- 마지막 역치 이벤트 이후 지연을 측정하는 단계, 및
- 상기 지연이 지연 지정값보다 크고 상기 가변 이득 증폭기(11)의 이득이 최대가 아니라면 상기 가변 이득 증폭기(11)의 이득을 증가시키는 단계를 포함하는, 수신 신호를 증폭하고 증폭 신호를 출력하는 가변 이득 증폭기(11)의 자동 이득 제어 방법.

명세서

기술분야

<1> 본 발명은 자동 이득 제어(AGC) 회로, 이와 같은 회로를 포함하는 시스템 및 자동 이득 제어 방법에 관한 것이다.

배경기술

- <2> 본 발명은 더 구체적으로는 다음을 포함하는 자동 이득 제어(AGC) 회로에 관한 것이다:
- <3> - 수신된 신호를 수신하고 증폭된 신호를 아날로그-디지털 변환기(ADC)로 출력하도록 형성된 가변 이득 증폭기(VGA), 및
- <4> - 상기 증폭된 신호를 수신하고 상기 가변 이득 증폭기의 이득을 제어하기 위해 상기 가변 이득 증폭기에 연결되어 있는 이득 제어기(GC).
- <5> 수신된 신호가 진동 센서로부터 예를 들어 유입하는 경우, 수신된 신호는 여러 차수의 크기의 진폭으로 진동을

가지는 임펄스 신호일 수 있다.

- <6> 일반적으로, 낮은 입력 이득 및 고 해상도 아날로그 디지털 변환기(ADC)는 이와 같은 수신된 신호를 변환하는데 사용된다. 그러나 수신된 신호가 임펄스 신호인 경우, 수신된 신호 최대 전압과 ADC 전체 스케일 입력 전압 범위 사이의 중요한 마진을 동조(tune)하는 것이 필요하다. 이는 대부분, 증폭된 신호가 매우 작은 진폭을 가지며 잡음이기 때문이다. 또한, 높은 해상도 ADC의 사용은 비용이 많이 든다.
- <7> 또다른 방법은 ADC의 전단에 자동 이득 제어(AGC) 회로를 사용하는 것이다. AGC는 대체로 증폭된 신호 레벨을 일정하게 유지하도록 수신된 신호의 크기에 따라 이득이 변하는 회로를 말한다. US-5 606 284에 설명된 바와 같이, AGC 회로는 아날로그 피드백 신호에 의해 자동으로 제어된 수신 신호를 위한 적어도 하나의 아날로그 증폭기를 포함한다. 불행하게도 증폭된 신호는 VGA 이득 제어 전압을 생성하기 위해 피드백 루프에 통합되어야 한다. 따라서, 시간 상수는 충분히 커야하고 이와 같은 AGC 회로는 진폭에서의 많은 편차(variation)를 가지는 임펄스 신호에 양호하게 적용되지 않는다.

발명의 상세한 설명

- <8> 본 발명의 목적은 적분 회로를 필요로 하지 않는 자동 이득 제어에 효율적 회로를 제공함으로써 이 문제를 해결하는 것이다.
- <9> 이 효과를 위해, 이득 제어기는:
 - <10> - 증폭된 신호가 기결정된 역치에 도달하는 때 시간마다 역치 이벤트의 발생을 결정하도록,
 - <11> - 역치 이벤트의 각 발생에서 가변 이득 증폭기의 이득을 감소시키도록,
 - <12> - 마지막 역치 이벤트 이후 지연을 측정하도록, 그리고
 - <13> - 지연이 지연 지정값 보다 더 크고 가변 이득 증폭기의 이득이 최대가 아니라면 가변 이득 증폭기의 이득을 증가시키도록 형성되어 있다.
- <14> VGA의 이득의 이 규정 덕분에, 제 1 임펄스 동안에조차 수신된 신호 진폭 변화를 예상할 수 있으며 수신된 신호 크기의 변화에도 불구하고 일정한 신호대잡음 비(SNR)를 얻을 수 있다. 또한, 이득 제어기 및 VGA의 비용은 비교적 낮으며 가변 양자화 잡음을 가지는 고 해상도 ADC 보다 낮은 것으로 추측된다.
- <15> 본 발명에 의해 제안된 자동 이득 제어 회로의 바람직한 실시예에서, 다음 특징들 중 하나 및/또는 다른 특징을 선택적으로 통합할 수 있다:
 - <16> - 이득 제어기는 아날로그 디지털 변환기 변환의 2 개의 샘플 사이로 가변 이득 증폭기의 이득의 변화를 명령하도록 형성되어 있다;
 - <17> - 이득 제어기는 아날로그 디지털 변환기에 의해 주어진 제 1 디지털 값 및 가변 이득 증폭기의 이득을 나타내는 제 2 디지털 값을 직렬 버스를 통해 전송하도록 형성되어 있다;
 - <18> - 역치 이벤트의 각 발생에서 그리고 가변 이득 증폭기의 이득이 최소가 아니라면, 이득 제어기는 2의 배수 인수에 의해 가변 이득 증폭기의 이득을 감소시킨다;
 - <19> - 역치 이벤트의 각 발생에서 그리고 가변 이득 증폭기의 이득이 최소가 아니라면, 이득 제어기는 2 개의 연속하는 제 1 디지털 값 사이의 절대차(absolute difference)에 따라 기결정된 값만큼 가변 이득 증폭기의 이득을 감소시킨다;
 - <20> - 지연이 지연 지정값보다 더 크고 가변 이득 증폭기의 이득이 최대가 아니라면, 이득 제어기는 2의 배수 인수에 의해 가변 이득 증폭기의 이득을 증가시킨다;
 - <21> - 이득 제어기는 프로그램가능 논리 장치이다;
 - <22> - 자동 이득 제어 회로는 주문형 직접 회로(application specific integrated circuit: ASIC)이다;
 - <23> - 이득 제어기는 2 개의 아날로그 디지털 변환기 및 2 개의 가변 이득 증폭기로, 1 또는 2 개의 회로에서 각각 2 개의 채널을 관리할 수 있다;
 - <24> - 가변 이득 증폭기는 디지털 전위차계(digital potentiometer)를 가지는 반전 증폭기로 또한 구성되어 있다.
- <25> 본 발명의 또다른 목적은 자동 이득 제어 회로를 포함하고, 가변 이득 증폭기로부터 증폭된 신호를 수신하기 위

한 자동 이득 제어 회로에 연결된 아날로그 디지털 변환기를 더 포함하는 시스템을 제공하는 것이다.

- <26> 시스템은 또한 상기 가변 이득 증폭기에 연결된 진동 센서를 더 포함할 수 있고, 상기 수신된 신호는 상기 진동 센서로부터 상기 가변 이득 증폭기에 의해 수신된다.
- <27> 본 발명의 또다른 목적은 다음의 단계를 포함하는 수신된 신호를 증폭하고 증폭된 신호를 출력하는 가변 이득 증폭기의 자동 이득 제어를 위한 효율적 방법을 제공하는 것이다:
 - <28> - 증폭된 신호가 기결정된 역치에 도달할 때마다 역치 이벤트의 발생을 결정하는 단계,
 - <29> - 역치 이벤트의 각 발생에서 가변 이득 증폭기의 이득을 감소시키는 단계,
 - <30> - 마지막 역치 이벤트 이후 지연을 측정하는 단계, 및
 - <31> - 지연이 지연 지정값보다 크고 가변 이득 증폭기의 이득이 최대가 아니라면 가변 이득 증폭기의 이득을 증가시키는 단계.

실시예

- <37> 도 1에서, 센서(1)는 예를 들어, 대상물의 진동을 나타내는, 센서 신호(S)를 생성한다. 이 경우에, 센서는 압전 소자일 수 있다. 이 센서 신호(S)는 센서 신호(S)의 고 주파수 잡음을 감소시키기 위해 적어도 하나의 필터로 구성될 수 있고 수신된 신호(R)를 출력하는 신호 조절(SC) 회로(signal conditioning circuit)(2)에 입력된다. 자동 이득 제어(AGC) 회로(10)는 증폭된 신호(A)를 생성하도록 상기 수신 신호(R)를 수신하며, 이는 아날로그 디지털 변환기(ADC)(20)에 의해 디지털 데이터(D)로 변환된다.
- <38> 예를 들어, ADC(20)는 고성능, 저비용, 단일-칩 스테레오 아날로그 디지털 변환기인 텍사스 인스트루먼트 사의 PCM1803일 수 있다. 이 경우에, ADC(20)는 현재 변환된 데이터(D)가 좌측 또는 우측 입력 채널로부터 온 것인지를 정의하기 위한 좌우 신호(left-right signal)(LRCLK) 및 직렬 오디오 디지털 데이터(D)의 동기화(synchronization)를 위한 클럭 신호(CLK)를 AGC 회로(10)에 제공할 수 있다. 이들 추가 신호는 ADC와 동기화하고 각 샘플을 식별하기 위해 AGC 회로(10)에 유용하다.
- <39> 자동 이득 제어(AGC) 회로(10)는 가변 이득 증폭기(VGA)(10) 및 이득 제어기(GC)(12)로 적어도 구성되어 있다.
- <40> VGA를 도 2에 도시된 바와 같이 나타낼 수 있다. 증폭기 공급 전원 Vcc의 절반인, Vcc/2에 중심이 맞추어진 신호를 가지는, 반전 증폭기(13)가 있다. 이 증폭 단계는 3 개의 저항기(resistor), 즉 (저항 Ra의) 입력 저항기(14), (저항 r의) 제 1 피드백 저항기(15), 및 (저항 Rb의) 제 2 피드백 저항기(16)를 사용한다. 제 1 및 제 2 피드백 저항기(15, 16)는 직렬로 연결된다. 이때, 반전 증폭기(13)의 이득은 다음의 공식에 의해 주어진다:

$$\text{이득} = -\frac{Rb+r}{Ra} \quad (1)$$

- <41> 이런 종류의 간단한 반전 증폭기는 저항기 값을 동조함으로써 큰 범위의 이득을 얻도록 한다.
- <42> 제 2 피드백 저항기(16)는 프로그램가능 가변 저항기이고, 또한 디지털 전위차계로도 불린다. 이 종류의 저항기의 예는 듀얼 256-포지션 직렬 주변장치 인터페이스(Serial Peripheral Interface: SPI) 디지털 전위차계인 아날로그 장치 AD5162이다. SPI 버스는 비교적 저 속도로 연결하기 위한 많은 마이크로프로세서 주변장치 칩에 의해 사용된 4-선식 동기 직렬 통신 인터페이스이다. 이 SPI 버스는 이득 제어기(GC)(12)에서 가변 이득 증폭기(VGA)(11)로 디지털 이득 값(G)을 전달하기 위해 AGC에서 사용될 수 있다.
- <43> AD5162와 같은, 8-비트 디지털 전위차계의 경우에, 디지털 이득 값(G)은 0에서 255 사이의 임의의 정수 값을 취할 수 있다. 제 2 피드백 저항기(16)의 저항값(Rb)은 간단한 선형 공식에 의해 주어진다:

$$Rb = \frac{G}{256} \cdot Re + Rw \quad (2)$$

- <44> 여기서 Re는 단대단(end to end) 저항값(최대 저항값)이고 Rw는 와이퍼 콘택(wiper contact) 저항(최소 저항값)이다.
- <45> 반전 증폭기(13)의 제 1 피드백 저항기(15)는 와이퍼 저항 Rw 효과를 보상하는데 기여할 수 있다. 따라서, 2 가

지 인수에 의해 반전 증폭기(13)의 이득의 실제 전개(real evolution)를 가질 수 있다:

- <48> 이득 제어기(GC)는 도 1에 설명되어 있으며 신호 비교기(17)와 논리 회로(18)로 구성된다.
- <49> 신호 비교기(17)는 증폭된 신호(A)와 역치(T)를 비교하며, 이진 비교 신호(C)를 출력한다.
- <50> 중심이 맞추어 지지않은 증폭된 신호(A)를 가지는 일반적 경우에, 비교기(17)는 역치(T1, T2)와 증폭된 신호(A)를 비교한다. 증폭된 신호(A)가 역치(T1)보다 크거나 또는 역치(T2)보다 작다면, 비교 신호(C)는 비교 신호(C)의 Vcc 전압에 의해 표현된 참 상태(true state)에 있고, 그렇지 않다면, 비교 신호(C)는 0 또는 접지 전압에 의해 표현된 거짓 상태(false state)에 있다.
- <51> 실제로, 하나의 역치(T)만이 비교 신호(C)를 정의하는데 사용된다. 0 볼트 주위로 중심이 맞추어진 신호의 경우에, 비교 신호(C)는 T1이 T와 동일하고 T2가 -T와 동일한 일반적인 경우에서와 같이 결정된다. Vcc/2 주위로 중심이 맞추어진 신호의 경우에, 비교 신호(C)는 T1이 Vcc/2+T와 동일하고 T2가 Vcc/2-T와 동일한 일반적인 경우에서와 같이 결정된다.
- <52> 도 1, 3 및 4는 0 볼트 주위로 중심이 맞추어진 신호를 가지는 신호 및 블록도를 나타내고, 관련 설명은 0 볼트 주위로 중심이 맞추어진 신호에 기초한다.
- <53> 논리 회로(18)는 VGA(11)에 상기 디지털 이득 값(G)을 제공하고 마이크로제어기 또는 마이크로프로세서 또는 디지털 신호 처리기(DSP)와 같은 (도시되지 않은) 사용자 회로에 클럭 신호(CLK) 및 완료된 디지털 데이터(DOUT)를 제공하기 위해 비교 신호(C) 및 ADC 디지털 데이터(D) 및 ADC 클럭 신호(CLK)를 사용한다.
- <54> 논리 회로(18)는 함께 연결된 몇 가지 논리 게이트 회로를 사용하거나, PAL 장치(Programmable Logic Array) 또는 GAL 장치(Generic Array Logic) 또는 CPLD 장치(Complex Programmable Logic Device) 또는 FPGA 장치(Field-Programmable Gate Array)와 같은 프로그램가능 논리 장치(Programmable Logic Device: PLD)를 사용하거나, 또는 ASIC(Application Specific Integrated Circuit), 또는 이하 설명된 모든 논리를 이행하기 위해 동종의 임의의 장치를 사용함으로써 만들어질 수 있다. 이들 PLD는 HDL(Hardware Description Language)라 불리는 언어를 사용하여 프로그램된다. ASIC는 예를 들어 신호 SC 회로(2), VGA 회로(11), GC 회로(12) 및 ADC 회로(20)를 포함하는, AGC 회로(10)의 모든 기능 또는 임의의 기능을 결국 통합할 수 있다. 이때, 대량 생산을 위해, ASIC 설계는 PLD 설계보다 더 비용면에서 효과적일 수 있다.
- <55> 초기화 시, 논리 회로(18)는 (예를 들어, 8-비트 디지털 전위차계의 경우에, 255) 최대값으로 VGA의 이득 값(G)을 설정한다.
- <56> 이때, 논리 회로(18)는 증폭된 신호(A)가 기결정된 역치(T)에 도달할 때마다, 즉 비교 신호(C)가 참 상태와 동일할 때마다 역치 이벤트의 발생을 결정한다.
- <57> 각각의 역치 이벤트에 대해, 논리 회로(18)는 출력 이득 값(G)을 감소시킴으로써 VGA의 이득을 감소시킨다(예를 들어, 디지털 이득값(G)을 변경하는데 있어 2의 인수에 의해 감소된다.)
- <58> 논리 회로(18)는 마지막 역치 이벤트 이후 지연을 또한 측정한다. 이는 비교 신호(C)의 마지막 참 상태 이후 샘플을 간단히 카운트함으로써 행해질 수 있다. PCM1803 스테레오 ADC의 사용의 경우에, 논리 회로(18)는 단지 좌-우 신호(LRCLK)의 상승 에지를 카운트할 필요가 있다.
- <59> VGA의 이득이 최대(예를 들어, 255)가 아니고 측정된 지연이 지정 값 ΔT 보다 더 크다면, 논리 회로(18)는 디지털 이득값(G)을 증가시킴으로써 VGA의 이득을 증가시킨다(예를 들어, 이득은 디지털 이득 값(G)을 변경하는데 있어 2의 인수에 의해 증가된다).
- <60> 측정된 지연이 상기 지정값 ΔT 보다 더 크게 되기 전에 새로운 역치 이벤트가 일어난다면, 논리 회로(18)는 출력 이득값(G)을 감소하는 것에 의해 VGA의 이득을 감소시키고 지연은 0 값으로 간단히 초기화된다. 이때, VGA의 이득은 어떠한 역치 이벤트도 발생하지 않는다면 ΔT 의 지연 후 제 1 시간 및 어떠한 역치 이벤트도 발생하지 않는다면 2. ΔT 의 지연 이후 제 2 시간으로 증가될 수 있다. 이를 하기 위한 또다른 방법은 VGA의 이득이 먼저 증가되는 경우 0 값으로 지연을 초기화하는 것이다. 그 경우에, (마지막 지연 초기화 이후) 어떠한 역치도 발생하지 않는다면 VGA의 이득은 ΔT 의 지연 후 제 2 시간으로 증가될 수 있다.
- <61> 논리 회로(18)는 VGA의 디지털 이득값(G) 및 ADC로부터 디지털 데이터(D)를 병합하는 완료된 디지털 데이터(DOUT)를 사용자 회로에 제공하여, 사용자 마이크로프로세서 회로는 수신된 신호(R)의 실수 값을 계산할 수 있다. (2 개의 ADC 또는 2 개의 채널 ADC를 가지는) 2 개의 채널의 경우에, 논리 회로(18)는 모든 이들 장치를 또

한 관리하고 좌측 채널의 디지털 데이터(D), 좌측 채널의 VGA의 이득값(G), 우측 채널의 디지털 데이터(D), 우측 채널의 VGA의 이득값(G)을 병합하는 완료된 디지털 데이터(DOUT)를 제공하고, DOUT에서 현재 데이터가 좌측 또는 우측 입력 채널로부터인지를 정의하기 위해 LRCLK 신호를 제공한다.

- <62> 본 발명의 제 2 실시예에서, VGA(11)의 이득은 기결정된 인수 값에 의해 증가되거나 또는 감소될 수 있고, 이는 예를 들어 2 또는 4 또는 2의 배수일 수 있다.
- <63> 본 발명의 제 3 실시예에서, 논리 회로(18)는 역치 이벤트의 각 발생에서, ADC(20)로부터 2 개의 연속하는 디지털 데이터(D) 사이의 절대차(DIFF)를 계산한다:
- <64> $DIFF = \text{abs}(D(n) - D(n-1))$ (3)
- <65> 여기서:
- <66> · T는 ADC의 샘플링 주기이고,
- <67> · n은 샘플링 순간(sampling instant) nT를 말하고,
- <68> · n-1은 이전 샘플링 순간 (n-1)T를 말하고,
- <69> · D(n)은 순간 nT에서 ADC(20)으로부터의 디지털 데이터(D)를 말하고,
- <70> · D(n-1)은 순간 (n-1)T에서 ADC(20)으로부터의 디지털 데이터(D)를 말한다.
- <71> 절대차(DIFF)가 기결정된 값보다 작다면, 이득은 예를 들어 2의, 제 1 인수에 의해 감소되고, 그 밖에 이득은 상기 제 1 인수보다 더 큰 제 2 인수, 예를 들어 4의 인수에 의해 감소된다.
- <72> 본 발명의 제 3 실시예 때문에, VGA(11)의 이득은 기결정된 인수 값에 의해 자동으로 감소되고 VGA(11)의 이득은 증폭된 신호(A) 전개(evolution)에 간단히 양호하게 적응된다.
- <73> 도 3은 처음의 제 1 높은 임펄스 및 다음의 점점 작아지는 발진 진폭을 가지는 진동 구조의 임펄스 응답처럼 보이는, 본 발명의 자동 이득 증폭기가 없는 진동 센서(1)로부터의 전형적인 증폭된 신호(A)를 나타낸다. 발진 진폭의 감소 속도는 진동 구조의 댐핑(damp)ing) 특성에 적어도 좌우한다. 도 3에 도시된 바와 같이, 이 증폭된 신호(A)를 역치(T) 이하로 유지하는 것은 어려울 수 있고, 2 또는 3 번의 발진 이후 진폭된 신호(A)는 매우 작아지게 된다. 이러한 유형의 신호는 포화 문제, 및 열등한 신호대잡음비를 가져온다.
- <74> 예를 들어, A1과 A2 사이 및 A3과 A4 사이에서, 증폭된 신호(A)는 높은 위험의 포화 및 증폭기의 비선형성을 가지며, 역치 레벨(T)을 초과한다.
- <75> 도 4는 본 발명의 자동 이득 증폭기를 이용하는 동일한 증폭된 신호(A)를 나타낸다. 신호가 A1에서 역치 레벨(T)에 도달하는 경우, 이득 제어기(12)는 VGA(11) 이득을 감소시키고 신호는 역치 레벨(T) 이하에 있도록, 아래로 떨어진다. 기결정된 지연 ΔT이후, 증폭된 신호(A)는 A5에 있고 이득 제어기(12)는 VGA(11)의 이득을 다시 증가시키고, 수렴되지 않은 신호가 오는 신호에서 다른 단계를 생성한다. 이 예는 AGC(10)가 역치(T) 아래로 증폭된 신호(A)를 유지하는 방법을 설명한다.
- <76> 본 발명의 AGC는 최대 증폭을 가지며 신호를 역치 이하로 유지하는 가변 이득 증폭기 이득 값을 연속하여 형성한다. 이는 증폭된 신호의 신호대 잡음비(SNR)가 일정하고 가능한한 높게 유지되기 때문이다. 이들 장치 및 방법으로, 고 해상도 아날로그 디지털 변환기를 이용한 것보다 낮은 비용으로, 수신된 신호의 정확한 아날로그 디지털 변환을 얻을 수 있다.

산업상 이용 가능성

- <77> 본 발명의 내용에 포함되어 있음.

도면의 간단한 설명

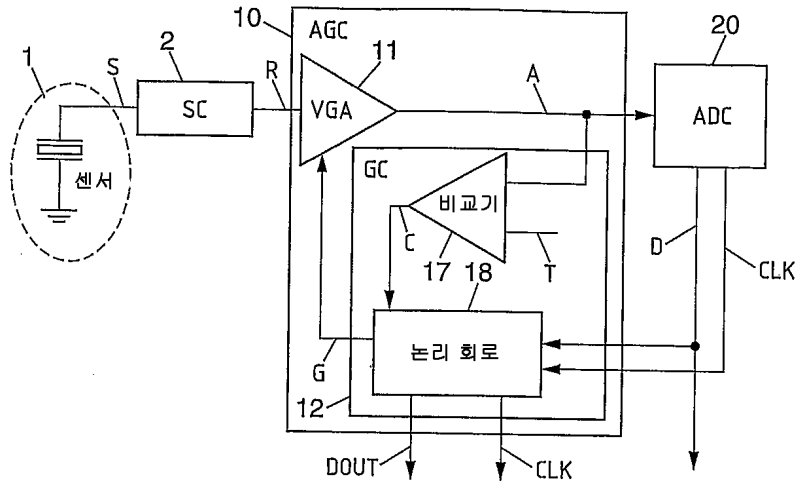
- <32> 본 발명의 다른 특징 및 이점은 첨부한 도면을 참고로 하여, 제한적이지 않은 예에 의해 주어진 실시예 중 하나에 관한 다음의 상세한 설명으로부터 명백하게 될 것이다.
- <33> 도 1은 본 발명에 따른 자동 이득 제어(AGC) 회로의 블록도이다;
- <34> 도 2는 가변 이득 증폭기(VGA)의 블록도이다;

<35> 도 3은 수신 신호를 나타낸다;

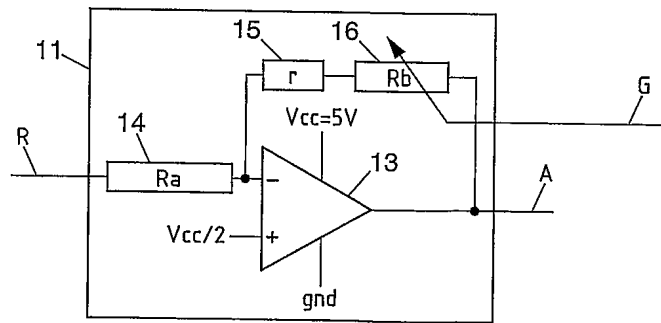
<36> 도 4는 도 3의 수신된 신호의 증폭된 신호를 나타낸다.

도면

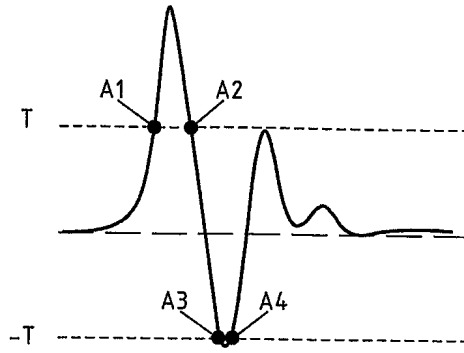
도면1



도면2



도면3



도면4

