(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0049145
(43) 공개일자 2021년05월04일

(51) 국제특허분류(Int. Cl.)
B81C 1/00 (2006.01) *B01L 3/00* (2006.01)
G01N 21/64 (2006.01)
(52) CPC특허분류
B81C 1/00047 (2013.01)
B01L 3/5085 (2013.01)
(21) 출원번호 10-2021-7008847
(22) 출원일자(국제) 2019년08월29일
심사청구일자 없음
(85) 번역문제출일자 2021년03월24일
(86) 국제출원번호 PCT/US2019/048836
(87) 국제공개번호 WO 2020/047272
국제공개일자 2020년03월05일
(30) 우선권주장
62/724,206 2018년08월29일 미국(US)

(71) 출원인
퀀텀-에스아이 인코포레이티드
미국 06437 코네티컷주 길포드 올드 화이트필드 스트리트 530
(72) 발명자
슈미드, 제라드
미국 06437 코네티컷주 길포드 와일드로즈 애비뉴 140
비치, 제임스
미국 78738 텍사스주 오스틴 레사카 블러바드 1501
(74) 대리인
양영준, 김연송, 백만기

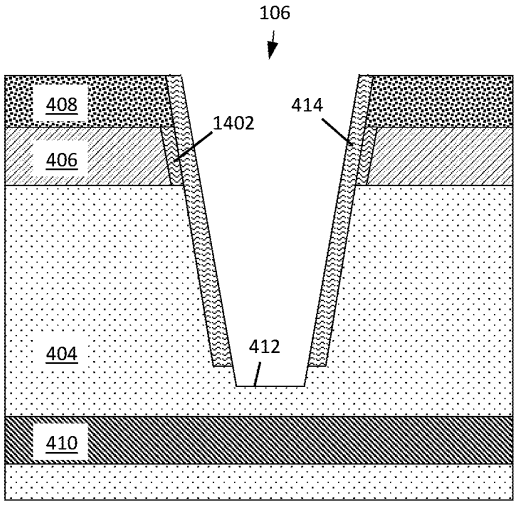
전체 청구항 수 : 총 43 항

(54) 발명의 명칭 **통합 센서 디바이스들을 위한 샘플 웰 제작 기술들 및 구조물들**

(57) 요 약

통합 디바이스를 형성하는 방법들, 특히 통합 디바이스에서 하나 이상의 샘플 웰을 형성하는 방법들이 설명된다. 이 방법들은, 클래딩 층 위에 금속 스택을 형성하는 단계, 금속 스택에 애퍼처를 형성하는 단계, 애퍼처 내에 제1 스페이서 재료를 형성하는 단계, 및 클래딩 층의 일부를 제거하여 애퍼처의 깊이를 클래딩 층 내로 연장함으로써 샘플 웰을 형성하는 단계를 포함할 수 있다. 결과 샘플 웰에서, 제1 스페이서 재료의 적어도 한 부분은 금속 스택의 적어도 하나의 층과 접촉한다.

대 표 도 - 도16



(52) CPC특허분류
B81C 1/00206 (2013.01)
G01N 21/6454 (2013.01)
G01N 21/648 (2013.01)
B01L 2200/12 (2013.01)
B01L 2300/0819 (2013.01)
B01L 2300/16 (2013.01)
B81B 2201/0214 (2013.01)
B81B 2203/0315 (2013.01)
B81B 2207/056 (2013.01)

명 세 서

청구범위

청구항 1

통합 디바이스를 형성하는 방법으로서,

클래딩 층 위에 금속 스택을 형성하는 단계;

상기 금속 스택에 애퍼처를 형성하는 단계;

상기 애퍼처 내에 제1 스페이서 재료를 형성하는 단계; 및

상기 클래딩 층의 일부를 제거하여 상기 애퍼처의 깊이를 상기 클래딩 층 내로 연장함으로써 샘플 웰을 형성하는 단계를 포함하고,

상기 제1 스페이서 재료의 적어도 한 부분은 상기 금속 스택의 적어도 한 층과 접촉하는, 방법.

청구항 2

제1항에 있어서, 상기 금속 스택을 형성하는 단계는 상기 클래딩 층 상에 상기 금속 스택을 형성하는 단계를 더 포함하는, 방법.

청구항 3

제1항 또는 임의의 다른 선행하는 항에 있어서, 상기 제1 스페이서 재료를 형성하는 단계는 상기 금속 스택 위에 및 상기 애퍼처의 하단 표면에 상기 제1 스페이서 재료를 형성하는 단계를 더 포함하는, 방법.

청구항 4

제1항 또는 임의의 다른 선행하는 항에 있어서, 상기 샘플 웰을 형성하는 단계는 상기 금속 스택의 상단 표면 상에 및 상기 애퍼처의 하단 표면 상에 배치된 상기 제1 스페이서 재료의 적어도 일부를 제거하기 위해 제1 방향성 에칭을 수행하는 단계를 더 포함하는, 방법.

청구항 5

제1항 또는 임의의 다른 선행하는 항에 있어서, 상기 제1 스페이서 재료는 상기 샘플 웰을 형성하는데 이용되는 에칭 프로세스 동안 금속 불화물 잔류물의 형성을 감소시키도록 구성된 적어도 하나의 재료를 포함하는, 방법.

청구항 6

제1항 또는 임의의 다른 선행하는 항에 있어서, 상기 제1 스페이서 재료는 상기 샘플 웰을 형성하는데 이용되는 에칭 프로세스 동안 금속 스택의 적어도 하나의 금속 층 상의 금속 불화물 잔류물의 형성을 감소시키도록 구성된 적어도 하나의 재료를 포함하는, 방법.

청구항 7

제1항 또는 임의의 다른 선행하는 항에 있어서, 상기 제1 스페이서 재료의 상기 적어도 한 부분은 상기 금속 스택의 언더컷 영역에 배치되는, 방법.

청구항 8

제1항 또는 임의의 다른 선행하는 항에 있어서, 상기 금속 스택은 적어도 하나의 알루미늄 함유 층 및 적어도 하나의 티타늄 함유 층을 포함하는, 방법.

청구항 9

제1항 또는 임의의 다른 선행하는 항에 있어서, 상기 제1 스페이서 재료는 플라즈마 강화 화학적 기상 퇴적(PECVD)에 의해 형성되는, 방법.

청구항 10

제1항 또는 임의의 다른 선행하는 항에 있어서, 상기 제1 스페이서 재료는 적어도 하나의 실리콘 재료를 포함하는, 방법.

청구항 11

제1항 또는 임의의 다른 선행하는 항에 있어서, 상기 제1 스페이서 재료는, 비정질 실리콘(α-Si), SiO_2, SiON, SiN 및 실리콘 합금으로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함하는, 방법.

청구항 12

제1항 또는 임의의 다른 선행하는 항에 있어서, 상기 제1 스페이서 재료는 원자 층 퇴적(ALD)에 의해 형성되는, 방법.

청구항 13

제1항 또는 임의의 다른 선행하는 항에 있어서, 상기 제1 스페이서 재료는 TiO_2, Al_2O_3, SiO_2, HfO_2, TiN, Ta_2O_5 및 ZrO_2로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함하는, 방법.

청구항 14

제1항 또는 임의의 다른 선행하는 항에 있어서, 상기 클래딩 층은 SiO_2를 포함하는, 방법.

청구항 15

제1항 또는 임의의 다른 선행하는 항에 있어서,

상기 샘플 웰 내에 제2 스페이서 재료를 형성하는 단계; 및

상기 샘플 웰의 하단 표면에서 상기 제2 스페이서 재료의 적어도 일부를 제거하여 상기 클래딩 층의 일부를 노출시키는 단계를 더 포함하고, 상기 제2 스페이서 재료의 적어도 한 부분은, 상기 금속 스택, 상기 제1 스페이서 재료의 적어도 한 부분, 및 상기 클래딩 층 중 하나 이상과 접촉하는, 방법.

청구항 16

제15항 또는 임의의 다른 선행하는 항에 있어서, 상기 제2 스페이서 재료를 형성하는 단계는 상기 금속 스택 위에 상기 제2 스페이서 재료를 형성하는 단계를 더 포함하는, 방법.

청구항 17

제15항 또는 임의의 다른 선행하는 항에 있어서, 상기 제2 스페이서 재료의 적어도 일부를 제거하는 단계는 상기 금속 스택의 상단 표면 상에 및 상기 샘플 웰의 하단 표면 상에 배치된 제2 스페이서 재료를 제거하기 위해 방향성 에칭을 수행하는 단계를 더 포함하는, 방법.

청구항 18

제17항 또는 임의의 다른 선행하는 항에 있어서, 상기 방향성 에칭은 플루오르카본 기반의 에칭을 포함하는, 방법.

청구항 19

제15항 또는 임의의 다른 선행하는 항에 있어서, 상기 제2 스페이서 재료는 원자 층 퇴적(ALD)에 의해 형성되는, 방법.

청구항 20

제19항 또는 임의의 다른 선행하는 항에 있어서, 상기 제2 스페이서 재료는, TiO_2, Al_2O_3, HfO_2, ZrO_2, 및 Ta_2O_5로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함하는, 방법.

청구항 21

통합 디바이스를 형성하는 방법으로서,

클래딩 층 위에 금속 스택을 형성하는 단계;

상기 금속 스택 위에 유전체 층을 형성하는 단계;

상기 유전체 층에 개구를 형성하고 상기 금속 스택의 일부를 제거할 때 상기 유전체 층을 마스크로서 이용함으로써 상기 금속 스택에 애퍼처를 형성하는 단계; 및

상기 클래딩 층의 일부를 제거함으로써 샘플 웰을 형성하는 단계

를 포함하고, 상기 유전체 층의 적어도 일부는 상기 샘플 웰을 형성하는 동안 제거되는, 방법.

청구항 22

제21항에 있어서, 상기 금속 스택을 형성하는 단계는 상기 클래딩 층 상에 상기 금속 스택을 형성하는 단계를 더 포함하는, 방법.

청구항 23

제21항 또는 임의의 다른 선행하는 항에 있어서, 상기 유전체 재료를 형성하는 단계는 상기 금속 스택 상에 유전체 층을 형성하는 단계를 더 포함하는, 방법.

청구항 24

제21항 또는 임의의 다른 선행하는 항에 있어서, 상기 애퍼처를 형성하는 단계는 상기 유전체 층에 개구를 에칭하고 상기 유전체 층을 에칭 마스크로서 이용하여 상기 금속 스택에 상기 애퍼처를 형성하는 단계를 더 포함하는, 방법.

청구항 25

제21항 또는 임의의 다른 선행하는 항에 있어서, 상기 샘플 웰을 형성하는 단계는 상기 클래딩 층 및 상기 유전체 층을 동시에 에칭하는 단계를 더 포함하는, 방법.

청구항 26

제21항 또는 임의의 다른 선행하는 항에 있어서, 상기 금속 스택은 적어도 하나의 알루미늄 함유 층 및 적어도 하나의 티타늄 함유 층을 포함하는, 방법.

청구항 27

제21항 또는 임의의 다른 선행하는 항에 있어서, 상기 클래딩 층은 SiO_2를 포함하는, 방법.

청구항 28

제21항 또는 임의의 다른 선행하는 항에 있어서,

상기 금속 스택 위에 및 상기 샘플 웰 내에 스페이서 층을 형성하는 단계; 및

상기 금속 스택의 상단 표면 및 상기 샘플 웰의 하단 표면 상에 배치된 상기 스페이서 층의 일부들을 제거하여 상기 클래딩 층의 일부를 노출시키기 위해 방향성 에칭을 수행하는 단계를 더 포함하고,

상기 스페이서 층의 적어도 한 부분은 상기 샘플 웰의 적어도 하나의 측벽을 형성하는, 방법.

청구항 29

제28항 또는 임의의 다른 선행하는 항에 있어서, 상기 스페이서 층은 원자 층 퇴적(ALD)에 의해 형성되는, 방법.

청구항 30

제28항 또는 임의의 다른 선행하는 항에 있어서, 상기 스페이서 층은, TiO_2, Al_2O_3, HfO_2, ZrO_2, 및 Ta_2O_5로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함하는, 방법.

청구항 31

제21항 또는 임의의 다른 선행하는 항에 있어서, 상기 샘플 웰을 형성하는 단계는 상기 유전체 층을 실질적으로 제거하는 단계를 더 포함하는, 방법.

청구항 32

제21항 또는 임의의 다른 선행하는 항에 있어서, 상기 샘플 웰을 형성한 후의 통합 디바이스는 상기 유전체 층을 포함하지 않는, 방법.

청구항 33

제21항 또는 임의의 다른 선행하는 항에 있어서, 상기 유전체 층은, 비정질 실리콘(α-Si), SiO_2, SiON, SiN 및 실리콘 합금으로 이루어진 그룹으로부터 선택된 하나 이상을 포함하는, 방법.

청구항 34

통합 디바이스로서,

클래딩 층;

상기 클래딩 층 위에 형성되고 적어도 하나의 언더컷 영역을 갖는 금속 스택;

상기 적어도 하나의 언더컷 영역에 근접하고 상기 클래딩 층 내로 금속 스택을 통해 연장되는 샘플 웰; 및

상기 적어도 하나의 언더컷 영역을 채우는 제1 스페이서 재료

를 포함하는 통합 디바이스.

청구항 35

제34항에 있어서, 상기 제1 스페이서 재료는 상기 샘플 웰의 적어도 하나의 측벽을 형성하는, 통합 디바이스.

청구항 36

제34항 또는 임의의 다른 선행하는 항에 있어서, 상기 제1 스페이서 재료는, 비정질 실리콘(α-Si), SiO_2, SiON 및 SiN으로 이루어진 그룹으로부터 선택된 하나 이상을 포함하는, 통합 디바이스.

청구항 37

제34항 또는 임의의 다른 선행하는 항에 있어서, 상기 제1 스페이서 재료는, TiO_2, Al_2O_3, HfO_2, TiN, ZrO_2, 및 Ta_2O_5로 이루어진 그룹으로부터 선택된 하나 이상을 포함하는, 통합 디바이스.

청구항 38

제34항 또는 임의의 다른 선행하는 항에 있어서, 상기 금속 스택은, 알루미늄을 포함하는 적어도 하나의 층 및 티타늄을 포함하는 적어도 하나의 층을 포함하는, 통합 디바이스.

청구항 39

제34항 또는 임의의 다른 선행하는 항에 있어서, 상기 클래딩 층은 SiO_2를 포함하는, 통합 디바이스.

청구항 40

제34항 또는 임의의 다른 선행하는 항에 있어서, 상기 금속 스택, 상기 제1 스페이서 재료, 및 상기 클래딩 층 중 하나 이상과 접촉하는 제2 스페이서 재료를 더 포함하는 통합 디바이스.

청구항 41

제40항에 있어서, 상기 제2 스페이서 재료는 상기 샘플 웰의 적어도 하나의 측벽을 형성하는, 통합 디바이스.

청구항 42

제40항 또는 임의의 다른 선행하는 항에 있어서, 상기 제2 스페이서 재료는, TiO_2, Al_2O_3, HfO_2, ZrO_2, 및 Ta_2O_5로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함하는, 통합 디바이스.

청구항 43

제34항 또는 임의의 다른 선행하는 항에 있어서, 상기 금속 스택은 제2 층 위에 형성된 제1 층을 포함하고, 상기 언더컷 영역은 상기 제2 층에 형성되는, 통합 디바이스.

발명의 설명

기 술 분 야

[0001] 관련 출원의 상호참조

[0002] 본 출원은, 참조에 의해 그 전체 내용이 본 명세서에 포함되는, 2018년 8월 29일 출원된 발명의 명칭이 "SAMPLE WELL FABRICATION TECHNIQUES AND STRUCTURES FOR INTEGRATED SENSOR DEVICES"인 미국 가출원 제62/724,206호에 대한 35 U.S.C. §119(e) 하에서의 혜택을 주장한다.

[0003] 본 출원은 대체로 생물학적 서열화(biological sequencing)에 관한 것으로서, 더 구체적으로는 서열화 머신과 연계하여 이용될 수 있는 통합 센서 디바이스들을 위한 샘플 웰(sample well) 제작 기술들 및 연관된 구조물들에 관한 것이다.

배 경 기 술

[0004] 핵산(예를 들어, 데옥시리보핵산(DNA), 리보핵산(RNA))의 서열화(sequencing)는 표적 핵산에서 개개의 뉴클레오티드를 식별하는 것을 포함한다. 일부 핵산 서열화 방법은 표적 핵산과는 상보적인 핵산 가닥(nucleic acid strand)에 통합될 때 개개의 뉴클레오티드를 식별하는 것을 포함한다. 서열화 프로세스 동안 식별된 상보적인 가닥에 대한 일련의 뉴클레오티드는 표적 핵산 가닥에 대한 뉴클레오티드 서열의 식별을 허용할 수 있다.

[0005] 생물학적 샘플의 검출 및 분석은 생물학적 검정("bioassays(생물검정)")을 이용하여 수행될 수 있다. 생물검정은, 통상적으로, 장비를 작동하고 생물학적 분석을 수행하도록 훈련된 연구 과학자를 요구하는 크고 값 비싼 실험실 장비를 수반한다. 게다가, 생물검정은 통상적으로 대량으로 수행되므로, 검출 및 정량화를 위해 대량의 특정한 유형의 샘플이 필요하다.

[0006] 일부 생물검정은, 특정한 파장의 광을 방출하는 발광 마커(luminescent marker)로 샘플을 태깅함으로써 수행된다. 마커는 광원을 이용하여 조명(illuminate)되어 발광을 야기하고, 발광 광은 광검출기로 검출되어 마커에 의해 방출되는 발광 광의 양을 정량화한다. 발광 마커를 이용한 생물검정은 통상적으로, 샘플을 조명하는 고가의 레이저 광원 및 조명된 샘플로부터의 발광을 수집하기 위한 복잡한 발광 검출 광학소자 및 전자기기를 수반한다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0007] 일부 실시예는 통합 디바이스를 형성하는 방법에 관한 것이다. 이 방법은 : 클래딩 층(cladding layer) 위에 금속 스택(metal stack)을 형성하는 단계; 금속 스택에 애퍼처(aperture)를 형성하는 단계; 애퍼처 내에 제1 스페이서 재료(spacer material)를 형성하는 단계; 및 클래딩 층의 일부를 제거하여 애퍼처의 깊이를 클래딩 층 내로 연장함으로써 샘플 웰을 형성하는 단계를 포함하며, 여기서 제1 스페이서 재료의 적어도 한 부분은 금속 스택의 적어도 하나의 층과 접촉한다.

[0008] 일부 실시예에서, 금속 스택을 형성하는 단계는 클래딩 층 상에 금속 스택을 형성하는 단계를 더 포함한다. 일

부 실시예에서, 제1 스페이서 재료를 형성하는 단계는 금속 스택 위에 및 애퍼처의 하단 표면에 제1 스페이서 재료를 형성하는 단계를 더 포함한다. 일부 실시예에서, 샘플 웰을 형성하는 단계는, 금속 스택의 상단 표면 및 애퍼처의 하단 표면 상에 배치된 제1 스페이서 재료의 적어도 일부를 제거하기 위해 제1 방향성 에칭을 수행하는 것을 더 포함한다. 일부 실시예에서, 제1 스페이서 재료는 샘플 웰을 형성하는데 이용되는 에칭 프로세스 동안 금속 불화물 잔류물의 형성을 감소시키도록 구성된 적어도 하나의 재료를 포함한다. 일부 실시예에서, 제1 스페이서 재료는 샘플 웰을 형성하는데 이용되는 에칭 프로세스 동안 금속 스택의 적어도 하나의 금속 층 상의 금속 불화물 잔류물의 형성을 감소시키도록 구성된 적어도 하나의 재료를 포함한다. 일부 실시예에서, 제1 스페이서 재료의 적어도 한 부분은 금속 스택의 언더컷 영역(undercut region)에 배치된다. 일부 실시예에서, 금속 스택은 적어도 하나의 알루미늄 함유 층 및 적어도 하나의 티타늄 함유 층을 포함한다.

[0009] 일부 실시예에서, 제1 스페이서 재료는 플라즈마 강화 화학적 기상 퇴적(PECVD; plasma enhanced chemical vapor deposition)에 의해 형성된다. 일부 실시예에서, 제1 스페이서 재료는 적어도 하나의 실리콘 재료를 포함한다. 일부 실시예에서, 제1 스페이서 재료는, 비정질 실리콘(α-Si), SiO2, SiON, SiN 및 실리콘 합금으로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함한다. 일부 실시예에서, 제1 스페이서 재료는 원자 층 퇴적(ALD; atomic layer deposition)에 의해 형성된다. 일부 실시예에서, 제1 스페이서 재료는, TiO2, Al2O3, SiO2, HfO2, TiN, Ta2O5 및 ZrO2로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함한다. 일부 실시예에서, 클래딩 층은 SiO2를 포함한다.

[0010] 일부 실시예에서, 이 방법은 : 샘플 웰 내에 제2 스페이서 재료를 형성하는 단계; 및 클래딩 층의 일부를 노출시키기 위해 샘플 웰의 하단 표면에서 제2 스페이서 재료의 적어도 일부를 제거하는 단계를 더 포함하고, 여기서 제2 스페이서 재료의 적어도 한 부분은 금속 스택, 제1 스페이서 재료의 적어도 한 부분, 및 클래딩 층 중 하나 이상과 접촉한다. 일부 실시예에서, 제2 스페이서 재료를 형성하는 단계는, 금속 스택 위에 제2 스페이서 재료를 형성하는 단계를 더 포함한다. 일부 실시예에서, 제2 스페이서 재료의 적어도 일부를 제거하는 단계는, 금속 스택의 상단 표면 및 샘플 웰의 하단 표면 상에 배치된 제2 스페이서 재료를 제거하기 위해 방향성 에칭을 수행하는 단계를 더 포함한다. 일부 실시예에서, 방향성 에칭은 플루오르카본 기반의 에칭을 포함한다. 일부 실시예에서, 제2 스페이서 재료는 원자 층 퇴적(ALD)에 의해 형성된다. 일부 실시예에서, 제2 스페이서 재료는, TiO2, Al2O3, HfO2, ZrO2, 및 Ta2O5로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함한다.

[0011] 일부 실시예는 통합 디바이스를 형성하는 방법에 관한 것이다. 이 방법은 : 클래딩 층 위에 금속 스택을 형성하는 단계; 금속 스택 위에 유전체 층을 형성하는 단계; 유전체 층에 개구를 형성하고 금속 스택의 일부를 제거하는데 있어서 유전체 층을 마스크로서 이용함으로써 금속 스택에 애퍼처를 형성하는 단계; 및 클래딩 층의 일부를 제거함으로써 샘플 웰을 형성하는 단계를 포함하며, 여기서 유전체 층의 적어도 일부는 샘플 웰을 형성하는 동안 제거된다.

[0012] 일부 실시예에서, 금속 스택을 형성하는 단계는 클래딩 층 상에 금속 스택을 형성하는 단계를 더 포함한다. 일부 실시예에서, 유전체 재료를 형성하는 단계는 금속 스택 상에 유전체 층을 형성하는 단계를 더 포함한다. 일부 실시예에서, 애퍼처를 형성하는 단계는 유전체 층에 개구를 에칭하고 유전체 층을 에칭 마스크로서 이용하여 금속 스택에 애퍼처를 형성하는 단계를 더 포함한다. 일부 실시예에서, 샘플 웰을 형성하는 단계는 클래딩 층과 유전체 층을 동시에 에칭하는 단계를 더 포함한다. 일부 실시예에서, 금속 스택은 적어도 하나의 알루미늄 함유 층 및 적어도 하나의 티타늄 함유 층을 포함한다. 일부 실시예에서, 클래딩 층은 SiO2를 포함한다.

[0013] 일부 실시예에서, 이 방법은 : 금속 스택 위에 및 샘플 웰 내에 스페이서 층을 형성하는 단계; 및 금속 스택의 상단 표면 및 샘플 웰의 하단 표면 상에 배치된 스페이서 층의 일부들을 제거하여 클래딩 층의 일부를 노출시키기 위해 기 위해 방향성 에칭을 수행하는 단계를 더 포함하고; 여기서 스페이서 층의 적어도 한 부분은 샘플 웰의 적어도 한 측벽을 형성한다.

[0014] 일부 실시예에서, 스페이서 층은 원자 층 퇴적(ALD)에 의해 형성된다. 일부 실시예에서, 스페이서 층은 TiO2, Al2O3, HfO2, ZrO2 및 Ta2O5로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함한다. 일부 실시예에서, 샘플 웰을 형성하는 단계는 유전체 층을 실질적으로 제거하는 단계를 더 포함한다. 일부 실시예에서, 샘플 웰을 형성한 후의 통합 디바이스는 유전체 층을 포함하지 않는다. 일부 실시예에서, 유전체 층은, 비정질 실리콘(α-Si), SiO2, SiON, SiN 및 실리콘 합금으로 이루어진 그룹으로부터 선택된 하나 이상을 포함한다.

[0015] 일부 실시예는 통합 디바이스에 관한 것으로, 이 디바이스는 : 클래딩 층; 클래딩 층 위에 형성되고 적어도 하나의 언더컷 영역을 갖는 금속 스택; 적어도 하나의 언더컷 영역에 근접하고 클래딩 층 내로 금속 스택을 통해 연장되는 샘플 웰; 및 적어도 하나의 언더컷 영역을 채우는 제1 스페이서 재료를 포함한다.

[0016] 일부 실시예에서, 제1 스페이서 재료는 샘플 웰의 적어도 하나의 측벽을 형성한다. 일부 실시예에서, 제1 스페이서 재료는, 비정질 실리콘(α-Si), SiO2, SiON, 및 SiN으로 이루어진 그룹으로부터 선택된 하나 이상을 포함한다. 일부 실시예에서, 제1 스페이서 재료는 TiO2, Al2O3, HfO2, TiN, ZrO2 및 Ta2O5로 이루어진 그룹으로부터 선택된 하나 이상을 포함한다. 일부 실시예에서, 금속 스택은 알루미늄을 포함하는 적어도 하나의 층 및 티타늄을 포함하는 적어도 하나의 층을 포함한다. 일부 실시예에서, 클래딩 층은 SiO2를 포함한다.

[0017] 일부 실시예에서, 통합 디바이스는, 금속 스택, 제1 스페이서 재료, 및 클래딩 층 중 하나 이상과 접촉하는 제2 스페이서 재료를 더 포함한다. 일부 실시예에서, 제2 스페이서 재료는 샘플 웰의 적어도 하나의 측벽을 형성한다. 일부 실시예에서, 제2 스페이서 재료는, TiO2, Al2O3, HfO2, ZrO2, 및 Ta2O5로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함한다. 일부 실시예에서, 금속 스택은 제2 층 위에 형성된 제1 층을 포함하고, 언더컷 영역은 제2 층에 형성된다.

도면의 간단한 설명

[0018] 본 출원의 다양한 양태 및 실시예들이 이하의 도면들을 참조하여 설명될 것이다. 도면들은 반드시 축척비율대로 그려진 것은 아니라는 점을 이해해야 한다. 복수의 도면들 내에 나타나는 항목들은 이들이 나타나는 모든 도면들에서 동일한 참조 번호로 표시된다.

도 1은 본 명세서에 설명된 기술의 일부 실시예에 따른 예시적인 서열화 시스템의 개략도이다.

도 2는 도 1에 나타낸 예시적인 서열화 시스템의 추가 상세사항을 보여주는 개략도이다.

도 3a 및 도 3b는 본 명세서에 설명된 기술의 일부 실시예에 따른 통합 디바이스를 나타내는 단면도이다.

도 4는 본 명세서에 설명된 기술의 일부 실시예에 따른 샘플 웰을 나타내는 단면도이다.

도 5는 본 명세서에 설명된 기술의 일부 실시예에 따른 샘플 웰을 형성하기 위한 예시적인 프로세스를 나타내는 흐름도이다.

도 6, 7, 8, 9, 10 및 11은 도 5의 샘플 웰을 형성하기 위한 예시적인 프로세스를 나타내는 순차적인 단면도이다.

도 12는 본 명세서에 설명된 기술의 일부 실시예에 따른 샘플 웰을 형성하기 위한 예시적인 프로세스를 나타내는 흐름도이다.

도 13, 14, 15 및 16은 도 12의 샘플 웰을 형성하기 위한 예시적인 프로세스를 나타내는 순차적인 단면도이다.

도 17은 본 명세서에 설명된 기술의 일부 실시예에 따른 샘플 웰을 형성하기 위한 예시적인 프로세스를 나타내는 흐름도이다.

도 18, 19, 20, 21, 22, 23, 24 및 25는 도 17의 샘플 웰을 형성하기 위한 예시적인 프로세스를 나타내는 순차적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 명세서에서 설명되는 기술은 생물학적 분자의 서열화에 관한 것으로, DNA 및 RNA 등의 핵산, 및 펩티드 또는 단백질 등의 아미노산 서열을 포함한다. 특히, 이들 기술은 센서로부터 취득된 데이터에 기초하여 뉴클레오티드 또는 아미노산을 자동으로 식별하는데 이용될 수 있다. 핵산 서열화의 맥락에서, 서열화는 표적 핵산에서 뉴클레오티드의 순서 및 위치의 결정을 허용할 수 있다. 유사하게, 단백질 또는 펩티드 서열화의 경우, 서열화는, 단백질 또는 펩티드 분자에서 아미노산의 순서와 위치의 결정을 허용할 수 있다. 일부 핵산 서열화 방법은 합성에 의한 서열화에 기초하며, 여기서, 뉴클레오티드가 표적 핵산과는 상보적인 핵산의 새로이 합성된 가닥에 혼입될 때 뉴클레오티드의 신원이 결정된다. 서열화 동안, 중합 효소(예를 들어, DNA 중합 효소)는 표적 핵산 분자의 프라이밍 위치에 결합(예를 들어, 부착)할 수 있으며 일반적으로 프라이머 연장 반응이라고 지칭될 수 있는 중합 효소의 작용을 통해 프라이머에 뉴클레오티드를 첨가하거나 혼입할 수 있다.

[0020] 각각의 뉴클레오티드는, 여기에 응답하여 빛을 방출하며, 각각의 유형의 뉴클레오티드를 라벨링하여 상이한 유형들의 뉴클레오티드를 구별하는데 이용되는, 발광 분자(예를 들어, 형광단)와 연관될 수 있다. 예를 들어, 4개의 라벨 세트가, DNA에 존재하는 핵염기(nucleobase)를 라벨링하되, 세트의 각각의 마커가 상이한 핵염기와 연관되도록 라벨링하는데 이용될 수 있다, 예를 들어, 제1 라벨은 아데닌(A)과 연관되고 제2 라벨은 시토신(C)

과 연관되고, 제3 라벨은 구아닌(G)과 연관되고, 제4 라벨은 티민(T)과 연관된다. 라벨은 직접적인 또는 링커 분자를 통해 간접적인 뉴클레오티드에 대한 라벨의 결합을 통해 뉴클레오티드에 결합될 수 있다.

[0021] 프라이머 연장 반응이 발생하면, 합성된 상보적인 핵산으로의 뉴클레오티드의 혼입 동안 중합 효소에 의해 뉴클레오티드 및 그 각각의 발광 라벨이 유지된다. 발광 라벨은, 뉴클레오티드가 합성된 핵산에 혼입되고 라벨의 광 특성을 방출하는 기간 동안 광의 펄스에 의해 여기될 수 있다. 일부 실시예에서, 라벨은 직접 또는 링커 분자를 통해 간접적으로 뉴클레오티드의 말단 인산염에 부착되되, 뉴클레오티드의 혼입 동안 중합 효소의 작용을 통해 라벨이 뉴클레오티드로부터 분리되거나 방출되도록 한다(예를 들어, 인산염 결합의 절단). 여기에 응답하여 발광 라벨에 의해 방출되는 광을 감지하고 분석하는 것은 혼입된 뉴클레오티드의 식별을 허용할 수 있다. 프라이머 연장 반응이 발생하면, 합성된 핵산에 추가되는 각각의 후속 뉴클레오티드에 대해 여기, 감지 및 분석이 수행된다. 표적 핵산의 서열은 합성된 핵산의 상보적인 서열로부터 결정될 수 있다.

[0022] 발광 라벨에 의해 방출되는 광은, 라벨을 다른 라벨과 구별하고 그에 따라 뉴클레오티드를 식별하는데 이용될 수 있는 다수의 특성을 가질 수 있다. 이들 특성은, 강도(예를 들어, 광을 방출할 확률), 시간적 특성(예를 들어, 여기 이후 광자 방출 확률의 감쇠 속도, 혼입을 위한 펄스 지속시간 및/또는 혼입 이전의 및/또는 이후의 펄스간 지속시간), 스펙트럼 특성(예를 들어, 방출된 광의 파장(들)), 또는 이들의 임의의 조합을 포함한다. 발광 라벨에 의해 방출된 광은 이들 특성들 중 하나 이상을 검출할 수 있는 광검출기(photodetector)에 의해 검출될 수 있다. 적합한 광검출기의 예는, 참조에 의해 전체 내용이 본 명세서에 포함되는, 발명의 명칭이 "INTEGRATED DEVICE FOR TEMPORAL BINNING OF RECEIVED PHOTONS"인 미국 특허 출원 제14/821,656호에 설명되어 있다. 본 명세서에서 설명되는 바와 같이, 광검출기는 광자의 도달 시간을 검출하는 능력을 가질 수 있으며, 이것은 라벨에 의해 방출되는 광의 시간적 특성의 결정을 허용할 수 있다. 방출된 광의 시간적 특성을 검출하는 것은, 결국, 상이한 시간적 특성들을 갖는 광을 방출하는 라벨들의 구별을 허용할 수 있다. 시간적 특성의 한 예는 휘도 수명이다. 형광단 등의 발광 분자는 여기에 응답하여 광자를 방출할 수 있다. 발광 분자가 광자를 방출할 확률은 여기가 발생한 이후 시간 경과에 따라 감소한다. 확률의 감쇠 속도는 기하급수적일 수 있다. "수명"은 시간 경과에 따라 확률이 얼마나 빨리 감쇠하는지의 특성이다. 빠른 감쇠는 짧은 수명을 갖는다고 언급되는 반면, 느린 감쇠는 긴 수명을 갖는다고 언급된다. 발광 분자에 의해 방출되는 광의 시간적 특성을 검출하는 것은, 상이한 수명들을 갖는 발광 분자들의 구별을 허용할 수 있다. 상이한 수명들을 갖는 발광 분자들로 상이한 뉴클레오티드들을 라벨링하는 것은, 검출된 광의 시간적 특성에 기초한 뉴클레오티드의 구별을 허용할 수 있다.

[0023] 앞서 언급된 미국 특허 출원 제14/821,656호에 설명된 광검출기는, 나노초 또는 피코초 분해능으로 광자의 도달 시간을 검출할 수 있고, 입사 광자의 도달을 시간-비닝(time-bin)할 수 있다. 광자의 방출은 확률적이기 때문에, 라벨은 복수회 여기될 수 있고 임의의 결과적인 광자 방출은 시간-비닝될 수 있다. 이러한 측정을 복수회 수행하는 것은, 여기 이벤트 이후에 광자가 도달한 시간들의 히스토그램을 채우는 것을 허용할 수 있다. 이 정보는 분석되어 방출된 광의 시간적 특성을 계산할 수 있으며, 이것은 시간적 특성에 기초하여 그 라벨을 또 다른 라벨과 구별하는 것을 허용할 수 있다.

[0024] 단일 분자 또는 입자의 검출 및 정량화를 수행하기 위한 소형의 고속 장치는 생물학적 및/또는 화학적 샘플의 복잡한 정량적 측정을 수행하는 비용을 감소시킬 수 있고 생화학적 기술 발견의 속도를 신속하게 진전시킬 수 있다. 또한, 용이하게 운송가능한 비용 효율적인 디바이스는, 선진국에서 생물검정이 수행되는 방식을 변형시킬 수 있을 뿐만 아니라, 개발 도상국의 사람들에게, 처음으로, 그들의 건강과 복지를 극적으로 개선할 수 있는 필수적인 진단 테스트들로의 접근을 제공할 수 있다. 예를 들어, 본 명세서에서 설명되는 실시예들은, 가정의 개인에 의해 또는 개발 도상국의 원격 클리닉의 의사에 의해 이용될 수 있는, 혈액, 소변 및/또는 타액의 진단 테스트에 사용될 수 있다.

[0025] 많은 수의 픽셀(예를 들어, 수백, 수천, 수백만 또는 그 이상)을 갖는 픽셀화된 센서 디바이스는 복수의 개개 분자들 또는 입자들의 병렬 검출을 허용한다. 분자는, 제한이 아닌 예로서, 단백질 및/또는 DNA일 수 있다. 또한, 초당 100 프레임을 초과하는 데이터를 취득할 수 있는 고속 디바이스는, 분석중인 샘플 내에서 시간 경과에 따라 발생하는 동적 프로세스 또는 변경의 검출 및 분석을 허용한다.

[0026] 생물검정 장비가 더 소형화되는 것을 방해하는 하나의 장애물은, 센서에서의 바람직하지 않은 검출 이벤트를 야기하는 것으로부터의 여기 광을 필터링할 필요성이다. 원하는 신호 광(발광)을 투과하고 여기 광을 충분히 차단하는데 이용되는 광학 필터는, 두껍고, 부피가 크며, 비싸고, 광의 입사각의 변화에 약하여, 소형화를 방해할 수 있다. 펄스형 여기 소스를 이용하는 것이 이러한 필터링의 필요성을 감소시키거나, 일부 경우에는, 이러한

필터에 대한 필요성을 완전히 제거할 수 있다는 것이 여기서 인식되고 이해되었다. 여기 광 펄스에 관해 광자가 검출되는 시간을 결정할 수 있는 센서를 이용함으로써, 신호 광은, 수신된 광의 스펙트럼이 아니라, 광자가 수신되는 시간에 기초하여, 여기 광으로부터 분리될 수 있다. 따라서, 일부 실시예에서는 부피가 큰 광학 필터에 대한 필요성이 감소 및/또는 제거된다.

[0027] 발광 수명 측정도 역시 샘플에 존재하는 분자를 식별하는데 이용될 수 있다. 광자가 검출되는 때를 검출할 수 있는 광학 센서는 많은 이벤트들로부터 수집된 통계를 이용하여, 여기 광에 의해 여기되는 분자의 발광 수명을 측정할 수 있다. 일부 실시예에서, 발광 수명 측정은 발광의 스펙트럼 측정에 추가하여 이루어질 수 있다. 대안으로서, 발광의 스펙트럼 측정은 샘플 분자를 식별하는데 있어서 완전히 생략될 수 있다. 발광 수명 측정은 펄스형 여기 소스를 이용하여 이루어질 수 있다. 추가로, 발광 수명 측정은, 센서를 포함하는 통합 디바이스, 또는 광원이 통합 디바이스로부터 분리된 시스템에 위치해 있는 디바이스를 이용하여 이루어질 수 있다.

[0028] (나노애퍼처를 포함할 수 있는) 샘플 웰 및 센서를 생물학적 샘플로부터 방출된 발광 광을 측정할 수 있는 단일의 통합 디바이스에 통합하는 것이 이러한 디바이스를 생성하는 비용을 감소시켜, 1회용 생체분석 통합 디바이스가 형성될 수 있게 한다는 것이 인식되고 이해되었다. 베이스 기구와 인터페이스하는 1회용의, 단일-사용 통합 디바이스는, 샘플 분석을 위한 고가의 생물학적 실험실을 요구하는 제약없이 전세계 어느 곳에서나 이용될 수 있다. 따라서, 자동화된 생체분석은, 이전에는 생물학적 샘플의 정량적 분석을 수행할 수 없었던 전 세계의 지역들에 다가갈 수 있다. 예를 들어, 유아를 위한 혈액 테스트는, 1회용 통합 디바이스에 혈액 샘플을 놓고, 1회용 통합 디바이스를 분석을 위해 소형 휴대형 베이스 기구에 넣고, 사용자의 즉석 검토를 위해 결과를 컴퓨터로 처리함으로써 수행될 수 있다. 데이터는 또한, 데이터 네트워크를 통해 원격 위치로 전송되어 분석되거나, 및/또는 후속 임상 분석을 위해 보관될 수 있다.

[0029] 통합 디바이스 상에 광원을 포함하지 않음으로써 1회용 단일 사용 디바이스가 더 간단하고 저렴한 비용으로 형성될 수 있다는 것이 인식되고 이해되었다. 대신에, 광원은, 샘플을 분석하기 위해 1회용 통합 디바이스와 인터페이스하는 시스템에 포함된 재사용가능한 컴포넌트들을 포함할 수 있다.

[0030] 도 1은 예시적인 서열화 시스템(100)의 개략도이며, 이것은 본 명세서에 설명되는 샘플 웰 제작 기술 및 연관된 샘플 웰 구조물의 일부 실시예와 연계하여 이용될 수 있다. 이들 샘플 웰 제작 기술 및 샘플 웰 구조물이 서열화 시스템(100) 등의 컨텍스트 서열화 시스템에서 설명되지만, 여기서 설명된 기술은, 다른 유형의 통합 디바이스, 서열화 시스템, 또는 샘플 웰이나 기타의 유사한 구조물이 필요한 기타의 디바이스를 제작하는데 있어서 구현될 수 있다는 것을 이해해야 한다. 일부 실시예에서는 도 1에 도시된 컴포넌트들의 일부 또는 전부의 다른 배열이 구현될 수 있다는 것을 이해해야 한다.

[0031] 도 1에 도시된 바와 같이, 서열화 시스템(100)은 기구(102)를 포함할 수 있고, 기구(102)는 복수의 샘플 웰을 갖는 통합 디바이스(104)와 인터페이스하도록 구성될 수 있으며, 개개의 샘플 웰(106)은 통합 디바이스(104)의 표면 상에 놓인 시료(미도시)으로부터 샘플을 수용하도록 구성된다. 시료는 복수의 샘플을 포함할 수 있고, 일부 실시예에서는, 상이한 유형의 샘플들을 포함할 수 있다. 샘플 웰은, 샘플 웰들의 적어도 일부가 시료로부터의 하나의 샘플을 수용하도록, 적절한 크기 및 형상을 가질 수 있다. 일부 실시예에서, 개개의 샘플 웰에 의해 수용되는 샘플의 수는, 일부 샘플 웰은 하나의 샘플을 포함하는 반면 다른 것들은 0, 또는 2 이상의 샘플을 포함하도록, 복수의 샘플 웰에 분산될 수 있다.

[0032] 일부 실시예에서, 시료는 복수의 단일-가닥 DNA 템플릿을 포함할 수 있고, 통합 디바이스(104) 등의, 통합 디바이스의 표면 상의 개개의 샘플 웰은 단일-가닥 DNA 템플릿을 수용하도록 크기 및 형상을 가질 수 있다. 단일-가닥 DNA 템플릿들은, 통합 디바이스의 샘플 웰들의 적어도 일부가 단일-가닥 DNA 템플릿을 포함하도록 통합 디바이스의 샘플 웰들 사이에 분산될 수 있다. 시료는 또한, 태깅된 dNTP를 포함할 수 있고, 이 태깅된 dNTP는, 샘플 웰 내에 들어가서 샘플 웰 내의 단일-가닥 DNA 템플릿과는 상보적인 DNA의 가닥에 혼입될 때 뉴클레오티드의 식별을 허용할 수 있다. 이러한 사례에서, "샘플"이란, 단일-가닥 DNA와, 중합 효소에 의해 현재 혼입되고 있는 태깅된 dNTP 양쪽 모두를 지칭할 수 있다. 일부 실시예에서, 시료는 단일-가닥 DNA 템플릿을 포함할 수 있고, 샘플 웰 내의 상보적인 DNA의 가닥 내에 뉴클레오티드가 혼입될 때 태깅된 dNTP들이 후속해서 샘플 웰에 도입될 수 있다. 이러한 방식으로, 뉴클레오티드의 혼입 타이밍은, 태깅된 dNTP들이 통합 디바이스의 샘플 웰에 도입되는 때에 의해 제어될 수 있다.

[0033] 기구(102)는, 통합 디바이스(104)에 여기 에너지를 제공하도록 구성될 수 있는 여기 소스(들)(108)를 포함할 수 있다. 여기 에너지는, 적어도 부분적으로 통합 디바이스의 요소들에 의해 하나 이상의 픽셀(도 1에는 미도시)을 향해 지향되어 샘플 웰(106) 내의 조명 영역을 조명할 수 있다. 그 다음, 라벨은, 조명 영역 내에 위치하여

여기 에너지에 의해 조명되는 것에 응답하여, 방출 에너지를 방출할 수 있다. 일부 실시예에서, 기구(102)의 광학 컴포넌트 및 통합 디바이스(104)의 포토닉스(photonics)는 하나 이상의 샘플 웰을 향해 여기 에너지를 지향시키도록 구성될 수 있다.

[0034] 그 다음, 샘플에 의해 방출된 방출 에너지는 통합 디바이스(104)의 픽셀 내의 하나 이상의 센서(110)에 의해 검출될 수 있다. 검출된 방출 에너지의 특성은 방출 에너지와 연관된 라벨을 식별하기 위한 표시를 제공할 수 있다. 이러한 특성은, 센서에 의해 검출된 광자의 도달 시간, 시간 경과에 따라 센서에 의해 축적된 광자의 양, 및/또는 2개 이상의 센서에 걸친 광자의 분포를 포함한, 임의의 적절한 유형의 특성을 포함할 수 있다. 일부 실시예에서, 센서(110)는, 샘플의 방출 에너지(예를 들어, 형광 수명)와 연관된 하나 이상의 타이밍 특성의 검출을 허용하는 구성을 가질 수 있다. 센서(110)는, 여기 에너지의 펄스가 통합 디바이스를 통해 전파된 이후 광자 도달 시간들의 분포를 검출할 수 있고, 도달 시간들의 분포는 샘플의 방출 에너지의 타이밍 특성의 표시(예를 들어, 형광 수명에 대한 프록시)를 제공할 수 있다. 일부 실시예에서, 하나 이상의 센서는 라벨에 의해 방출된 방출 에너지의 확률의 표시(예를 들어, 형광 강도)를 제공한다. 일부 실시예에서, 복수의 센서는 방출 에너지의 공간 분포를 포착하도록 크기가 정해지고 배열될 수 있다. 그 다음, 하나 이상의 센서로부터의 출력 신호는 복수의 라벨 중에서 한 라벨을 구별하는데 이용될 수 있고, 여기서, 복수의 라벨은 시료 내의 샘플을 식별하는데 이용될 수 있다.

[0035] 추가 예시로서, 도 2는 도 1의 예시적인 서열화 시스템(100)의 추가 상세사항을 보여주는 개략도이다. 다시, 시스템(100)은 기구(102)와 인터페이스하는 통합 디바이스(104)를 포함한다. 일부 실시예에서, 기구(102)는 기구(102)의 일부로서 통합된 하나 이상의 여기 소스(108)를 포함할 수 있다. 일부 실시예에서, 여기 소스(108)는 기구(102)와 통합 디바이스(104) 양쪽 모두의 외부에 있을 수 있고, 기구(102)는 여기 소스(들)(108)로부터 여기 에너지를 수신하여 이것을 통합 디바이스(104)로 지향시키도록 구성될 수 있다. 통합 디바이스(104)는, 통합 디바이스(104)를 수용하고 통합 디바이스를 여기 소스(들)(108)와 정확하게 광학 정렬시켜 유지하기 위한 임의의 적절한 소켓을 이용하여 기구(102)와 인터페이스할 수 있다. 여기 소스(들)(108)는 또한, 기구 내에 위치할 수 있고 통합 디바이스(104)에 여기 에너지를 제공하도록 구성될 수 있다. 도 2에 개략적으로 나타낸 바와 같이, 통합 디바이스(104)는 복수의 개개의 픽셀을 가지며, 여기서, 픽셀들(112)의 적어도 일부는 샘플의 독립적인 분석을 수행할 수 있다. 이러한 픽셀들(112)은 "수동 소스 픽셀들"이라고 지칭될 수 있는데, 그 이유는 픽셀이 그 픽셀로부터 분리된 여기 소스(들)(108)로부터 여기 에너지를 수신하기 때문이며, 여기서, 소스는 복수의 픽셀을 여기시킨다. 픽셀(112)은, 샘플을 수용하도록 구성된 샘플 웰(106)과, 여기 소스(108)에 의해 제공된 여기 에너지로 샘플을 조명하는 것에 응답하여 샘플에 의해 방출된 방출 에너지를 검출하기 위한 센서(110) 양쪽 모두를 갖는다. 샘플 웰(106)은, 샘플로의 여기 에너지의 전달 및 샘플로부터의 방출 에너지의 검출에 있어서 용이성을 제공하기 위해 통합 디바이스(104)의 표면에 근접하게 샘플을 유지할 수 있다.

[0036] 여기 소스(108)로부터의 여기 에너지를 통합 디바이스(104)의 샘플 웰(106)로 안내하여 결합시키기 위한 광학 요소는 통합 디바이스(104)와 기구(102) 양쪽 모두에 포함될 수 있다. 이러한 소스-대-웰 요소들은, 예를 들어, 통합 디바이스(104) 상에 위치하여 여기 에너지를 통합 디바이스(104) 및 도파관에 결합시켜 여기 에너지를 기구(102)로부터 픽셀(112) 내의 샘플 웰(106)로 전달하는 하나 이상의 격자 결합기를 포함할 수 있다. 일부 실시예에서, 통합 디바이스(104) 상에 위치한 요소들은 샘플 웰(106)로부터의 방출 에너지를 센서(110)를 향하여 지향시키도록 작용할 수 있다. 일부 실시예에 따르면, 샘플 웰(106), 여기 소스-대-웰 광학 광학소자들의 일부, 및 샘플 웰-대-센서 광학소자들은 통합 디바이스(104) 상에 위치하며, 여기 소스(들)(108) 및 소스-대-웰 컴포넌트들의 일부는 기구(102)에 위치한다. 일부 실시예에서, 단일 컴포넌트가 여기 에너지를 샘플 웰(106)에 결합시키고 방출 에너지를 샘플 웰(106)로부터 센서(110)로 전달하는 양쪽 모두의 역할을 할 수 있다. 통합 디바이스에 포함시킬, 여기 에너지를 샘플 웰에 결합시키거나 및/또는 방출 에너지를 센서에 지향시키기 위한 적절한 컴포넌트의 예는, 양쪽 모두가 참조에 의해 전체 내용이 본 명세서에 포함되는, 발명의 명칭이 "INTEGRATED DEVICE FOR PROBING, DETECTING AND ANALYZING MOLECULES"인 미국 특허 출원 제14/821,688호와, 발명의 명칭이 "INTEGRATED DEVICE WITH EXTERNAL LIGHT SOURCE FOR PROBING, DETECTING, AND ANALYZING MOLECULES"인 미국 특허 출원 제14/543,865호에 기술되어 있다.

[0037] 도 2의 실시예에서 픽셀들(112)과 관련하여, 개개의 픽셀(112)은 그 자신의 개개의 샘플 웰(106) 및 적어도 하나의 센서(110)와 연관될 수 있다. 픽셀들(112)은 어레이로 배열될 수 있고, 어레이에는 임의의 적절한 수의 픽셀이 있을 수 있다. 통합 디바이스(104) 내의 픽셀 수는 대략 10,000 픽셀 내지 1,000,000 픽셀의 범위에 있거나, 또는 그 범위 내의 임의의 값 또는 값들의 범위일 수 있다. 일부 실시예에서, 픽셀은 512 픽셀 × 512 픽셀의 어레이로 배열될 수 있다. 통합 디바이스(104) 및 기구(102)는, 대형 픽셀 어레이(예를 들어, 10,000

픽셀 초과)와 연관된 데이터를 취급하기 위한 (도시되지 않은) 다중-채널, 고속 통신 링크를 포함할 수 있다.

[0038] 도 2에 더 도시된 바와 같이, 기구(102)는 통합된 디바이스 인터페이스(114)를 통해 통합 디바이스(104)와 인터페이스할 수 있다. 통합 디바이스 인터페이스(114)는, 예를 들어, 여기 소스(들)(108)로부터의 여기 에너지의 통합 디바이스(104)로의 결합을 용이화하거나 개선하기 위해 통합 디바이스(104)를 기구(102)에 위치시키거나 및/또는 정렬시키는 컴포넌트를 포함할 수 있다. 여기 소스(들)(108)는 여기 에너지를 적어도 하나의 샘플 웰에 전달하도록 배열된 임의의 적절한 광원일 수 있다. 적절한 여기 소스의 예는, 참조에 의해 그 전체 내용이 본 명세서에 포함되는 미국 특허 출원 제14/821,688호에 기술되어 있다. 일부 실시예에서, 여기 소스(들)(108)는, 여기 에너지를 통합 디바이스(104)에 전달하도록 결합된 복수의 여기 소스를 포함한다. 이러한 복수의 여기 소스는 복수의 여기 에너지 또는 파장을 생성하도록 구성될 수 있다. 통합 디바이스 인터페이스(114)는, 통합 디바이스(104)의 픽셀들(112)의 센서들(110)로부터 판독 신호를 수신할 수 있다. 통합 디바이스 인터페이스(114)는, 통합 디바이스(104)를 통합 디바이스 인터페이스(114)에 고정시킴으로써 통합 디바이스(104)가 기구(102)에 부착되도록 설계될 수 있다.

[0039] 여전히 도 2를 참조하여, 기구(102)는 기구(102)의 동작을 제어하기 위한 사용자 인터페이스(116)를 포함할 수 있다. 사용자 인터페이스(116)는, 기구의 기능을 제어하는데 이용되는 예를 들어 명령 및/또는 설정 등의 정보를 사용자가 기구에 입력하는 것을 허용하도록 구성된다. 일부 실시예에서, 사용자 인터페이스(116)는, 버튼, 스위치, 다이얼, 및 음성 명령을 위한 마이크로폰을 포함할 수 있다. 또한, 사용자 인터페이스(116)는, 통합 디바이스 상의 센서로부터의 판독 신호에 의해 획득된 정보 및/또는 적절한 정렬 등의, 기구 및/또는 통합 디바이스의 성능에 관한 피드백을 사용자가 수신하는 것을 허용할 수 있다. 일부 실시예에서, 사용자 인터페이스(116)는, 가청 피드백을 제공하는 스피커 및 시각 피드백을 제공하는 표시등(indicator light) 및/또는 디스플레이 스크린을 이용하여 피드백을 제공할 수 있다. 일부 실시예에서, 기구(102)는 외부 컴퓨팅 디바이스(120)와 접속하는데 이용되는 컴퓨터 인터페이스(118)를 포함한다. 임의의 적절한 컴퓨터 인터페이스(118) 및 컴퓨팅 디바이스(120)가 이용될 수 있다. 예를 들어, 컴퓨터 인터페이스(118)는 USB 인터페이스 또는 FireWire 인터페이스일 수 있다. 컴퓨팅 디바이스(120)는, 랩탑 또는 데스크탑 컴퓨터 등의, 임의의 범용 컴퓨터일 수 있다. 컴퓨터 인터페이스(118)는 기구(102)와 컴퓨팅 디바이스(120) 사이에서의 정보 전달을 용이화한다. 기구(102)를 제어 및/또는 구성하기 위한 입력 정보는, 기구(102)의 컴퓨터 인터페이스(118)와 통신하는 컴퓨팅 디바이스(120)를 통해 제공될 수 있다. 또한, 출력 정보는 컴퓨터 인터페이스(118)를 통해 컴퓨팅 디바이스(120)에 의해 수신될 수 있다. 이러한 출력 정보는, 예를 들어, 기구(102) 및/또는 통합 디바이스(112)의 성능에 관한 피드백 및 센서(110)의 판독 신호로부터의 정보를 포함할 수 있다. 기구(102)는 또한, 센서(110)로부터 수신된 데이터를 분석하거나 및/또는 여기 소스(들)(108)에 제어 신호를 전송하기 위한 처리 디바이스(122)를 포함할 수 있다. 일부 실시예에서, 처리 디바이스(122)는, 범용 프로세서, 특별-적합화된 프로세서(예를 들어, 하나 이상의 마이크로프로세서 또는 마이크로제어기 코어 등의, 중앙 처리 유닛(CPU), 필드 프로그래머블 게이트 어레이(FPGA), 주문형 집적 회로(ASIC), 맞춤형 집적 회로, 디지털 신호 프로세서(DSP), 또는 이들의 조합)를 포함할 수 있다. 일부 실시예에서, 센서(110)로부터의 데이터의 처리는, 처리 디바이스(122)와 외부 컴퓨팅 디바이스(120) 양쪽 모두에 의해 수행될 수 있다. 다른 실시예에서, 컴퓨팅 디바이스(120)는 생략될 수 있고 센서(110)로부터의 데이터 처리는 완전히 처리 디바이스(122)에 수행될 수 있다.

[0040] 도 3a는 픽셀들(112)의 행을 나타내는 통합 디바이스(104)의 단면 개략도이다. 각각의 픽셀(112)은 샘플 웰(106) 및 대응하는 센서(110)를 포함한다. 센서(110)는, 샘플 웰(112) (도시되지 않은) 내의 샘플에 의해 방출된 방출 에너지를 센서(110)가 수신하도록, 샘플 웰(106)에 정렬되어 위치할 수 있다. 적절한 센서의 예는, 참조에 의해 그 전체 내용이 본 명세서에 포함되는 미국 특허 출원 제14/821,656호에 기술되어 있다.

[0041] 앞서 논의된 바와 같이, 통합 디바이스(104)에 결합된 여기 소스(들)(108)는 통합 디바이스(104)의 하나 이상의 픽셀에 여기 에너지를 제공할 수 있다. 추가 예시로서, 도 3b는 통합 디바이스(104)의 샘플 웰(106)에 여기 에너지(124)(그 경로가 파선으로 도시됨)를 제공하기 위해 통합 디바이스(104)로의 여기 소스(들)(108)의 결합을 나타내는 단면 개략도이다. 통합 디바이스(104)로부터 떨어져 위치한 (도시되지 않은) 컴포넌트들은, 여기 소스(108)를 통합 디바이스에 배치하고 정렬시키는데 이용될 수 있다. 이러한 컴포넌트들은, 예를 들어, 렌즈, 거울, 프리즘, 애퍼처, 감쇠기, 및/또는 광섬유 등의 광학 컴포넌트를 포함할 수 있다. 하나 이상의 정렬 컴포넌트의 제어를 허용하기 위해 기구(102) 내에 추가의 기계적 컴포넌트가 역시 포함될 수 있다. 이러한 기계적 컴포넌트는, 예를 들어, 액츄에이터, 스텝퍼 모터, 및/또는 놉(knob)을 포함할 수 있다.

[0042] 통합 디바이스(104)는 여기 에너지(124)를 그 내부의 픽셀들(112)을 향하여 지향시키는 컴포넌트를 포함한다. 더 구체적으로, 각각의 픽셀(112) 내에서, 여기 에너지는 그 픽셀과 연관된 샘플 웰(106)에 결합된다. 도 3b는

픽셀들(112)의 행 내의 각각의 샘플 웰(106)에 결합되는 여기 에너지를 나타내지만, 일부 실시예에서는, 여기 에너지가 주어진 행 내의 픽셀들(112) 모두에 결합되지 않을 수도 있다. 일부 실시예에서, 여기 에너지는 통합 디바이스(104)의 픽셀들(112)의 일부 또는 픽셀들(112)의 행 내의 샘플 웰(106)에 결합될 수 있다. 여기 에너지(124)는 샘플 웰(106) 내에 위치한 샘플을 조명할 수 있다. 샘플은 여기 에너지에 의해 조명되는 것에 응답하여 여기 상태에 도달할 수 있다. 샘플이 여기 상태에 있을 때, 샘플은 도 3b에 도시된 바와 같이 방출 에너지(126)를 방출할 수 있고, 방출 에너지(126)는 결국 센서(110)에 의해 검출될 수 있다. 일부 실시예에서, 센서(110)는 복수의 서브-센서를 포함할 수 있다.

[0043] 분석될 샘플은 픽셀(112)의 샘플 웰(106) 내에 도입될 수 있다. 샘플은, 생물학적 샘플, 또는 화학적 샘플 등의 기타 임의의 적절한 샘플일 수 있다. 또한, 샘플은 복수의 분자를 포함할 수 있고, 샘플 웰(106)은 단일 분자를 격리하도록 구성될 수 있다. 일부 예에서, 샘플 웰(106)의 치수는 단일 분자를 샘플 웰 내로 한정하도록 작용함으로써, 측정이 단일 분자에 관해 수행되는 것을 허용할 수 있다. 여기 소스(108)는, 샘플, 또는 샘플이 샘플 웰(106) 내의 조명 영역 내에 있는 동안 샘플에 부착되거나 샘플과 기타의 방식으로 연관된 적어도 하나의 발광 마커를 여기시키도록, 여기 에너지를 샘플 웰(106) 내로 전달하도록 구성될 수 있다.

[0044] 여기 소스가 여기 에너지를 샘플 웰에 전달할 때, 웰 내의 적어도 하나의 샘플은 발광할 수 있고, 결과적인 방출은 센서(110)에 의해 검출될 수 있다. 본 명세서에서 사용될 때, "샘플이 발광할 수 있다" 또는 "샘플이 복사선을 방출할 수 있다" 또는 "샘플로부터의 방출"이라는 구문은, 발광 태그, 마커, 또는 리포터, 샘플 자체, 또는 샘플과 연관된 반응 생성물이 방출된 복사선을 생성할 수 있다는 것을 의미한다.

[0045] 통합 디바이스(104)의 하나 이상의 컴포넌트는 방출 에너지를 센서(110)를 향하여 지향시킬 수 있다. 방출 에너지 또는 에너지들은 센서(110)에 의해 검출되어 적어도 하나의 전기 신호로 변환될 수 있다. 전기 신호는, 도 2와 관련하여 이미 설명된 바와 같이, 통합 디바이스 인터페이스(114)를 통해 기구(102)에 접속된 통합 디바이스(104)의 회로 내의 전도성 라인을 따라 전송될 수 있다. 전기 신호는, 도 2에 도시된 컴퓨팅 디바이스(120) 및/또는 처리 디바이스(122) 등의, 기구(102) 상에 위치하거나 기구(102)에서 떨어진 적절한 컴퓨팅 디바이스에 의해 후속해서 처리되거나 및/또는 분석될 수 있다.

[0046] 동작시, 샘플 웰 내의 샘플들의 병렬 분석은, 여기 소스(들)를 이용하여 웰 내의 샘플들을 여기시키고 샘플 방출로부터의 신호를 센서로 검출함으로써 실행된다. 샘플로부터의 방출 에너지는, 대응하는 센서에 의해 검출되어 적어도 하나의 전기 신호로 변환될 수 있다. 결과 신호, 또는 신호들은, 일부 실시예에서 통합 디바이스 상에서 처리되거나, 처리 디바이스 및/또는 컴퓨팅 디바이스에 의한 처리를 위해 기구에 전송될 수 있다. 샘플 웰로부터의 신호는, 다른 픽셀과 연관된 신호와는 독립적으로 수신되고 처리될 수 있다.

[0047] 일부 실시예에서, 샘플은 하나 이상의 마커로 라벨링될 수 있고, 하나 이상의 마커와 연관된 방출은 기구에 의해 식별가능하다. 예를 들어, 센서는, 특정한 마커로부터의 방출 에너지에 의존하는 수명을 식별하는데 이용될 수 있는 전기 신호를 형성하기 위해 방출 에너지로부터의 광자를 전자로 변환하도록 구성될 수 있다. 샘플들을 라벨링하기 위해 상이한 수명들을 갖는 마커들을 이용함으로써, 센서에 의해 검출된 결과 전기 신호에 기초하여 특정한 샘플이 식별될 수 있다.

[0048] 샘플은 복수의 유형의 분자들을 포함할 수 있고 상이한 발광 마커들은 분자 유형과 고유하게 연관될 수 있다. 여기 동안에 또는 여기 이후에, 발광 마커는 방출 에너지를 방출할 수 있다. 방출 에너지의 하나 이상의 속성은, 샘플 내의 하나 이상의 유형의 분자들을 식별하는데 이용될 수 있다. 분자 유형들을 구별하는데 이용되는 방출 에너지의 속성은, 형광 수명 값, 강도, 및/또는 방출 파장을 포함할 수 있다. 센서는, 방출 에너지의 광자들을 포함한 광자들을 검출할 수 있고, 이들 속성들 중의 하나 이상을 나타내는 전기 신호를 제공할 수 있다. 일부 실시예에서, 센서로부터의 전기 신호는, 하나 이상의 시간 구간에 걸친 광자 도달 시간들의 분포에 관한 정보를 제공할 수 있다. 광자 도달 시간들의 분포는, 여기 에너지의 펄스가 여기 소스에 의해 방출된 후 광자가 검출되는 때에 대응할 수 있다. 시간 구간에 대한 값은, 그 시간 구간 동안 검출된 광자의 수에 대응할 수 있다. 복수의 시간 구간에 걸친 상대적 값들은, 방출 에너지의 시간적 특성(예를 들어, 수명)의 표시를 제공할 수 있다. 샘플을 분석하는 것은, 분포 내의 2개 이상의 상이한 시간 구간들에 대한 값들을 비교함으로써 마커들을 구별하는 것을 포함할 수 있다. 일부 실시예에서, 강도의 표시는 분포에서 모든 시간 빈(time bin)에 걸쳐 광자들의 수를 결정함으로써 제공될 수 있다.

[0049] 본 명세서에서 사용되는 용어 "핵산"이란, 일반적으로 하나 이상의 핵산 서브유닛을 포함하는 분자를 말한다. 핵산은, 아데노신(A), 시토신(C), 구아닌(G), 티민(T) 및 우라실(U) 또는 그 변이체로부터 선택된 하나 이상의 서브유닛을 포함할 수 있다. 일부 예에서, 핵산은 데옥시리보핵산(DNA) 또는 리보핵산(RNA) 또는 그 유도체이

다. 핵산은 단일 가닥 또는 이중 가닥일 수 있다. 핵산은 원형일 수 있다.

[0050] 본 명세서에서 사용되는 용어 "뉴클레오티드"는, 일반적으로, A, C, G, T 또는 U, 또는 그 변이체 또는 유사체를 포함할 수 있는 핵산 서브유닛을 말한다. 뉴클레오티드는 성장하는 핵산 가닥에 혼입될 수 있는 임의의 서브유닛을 포함할 수 있다. 이러한 서브유닛은, A, C, G, T 또는 U, 또는 하나 이상의 상보적인 A, C, G, T 또는 U 특유이거나, 퓨린(즉, A 또는 G, 또는 그의 변이체 또는 유사체) 또는 피리미딘(즉, C, T 또는 U, 또는 그 변이체 또는 유사체)과는 상보적인, 기타 임의의 다른 서브유닛일 수 있다.

[0051] 뉴클레오티드는 일반적으로 뉴클레오시드 및 적어도 1, 2, 3, 4, 5, 6, 7, 8, 9, 10개 이상의 인산염(PO_3) 기(group)를 포함한다. 뉴클레오티드는, 핵염기, 5-탄소 당(리보스 또는 데옥시리보스), 및 하나 이상의 인산염 기를 포함할 수 있다. 리보뉴클레오티드는, 당이 리보스인 뉴클레오티드이다. 데옥시리보 뉴클레오티드는 당이 데옥시리보스인 뉴클레오티드이다. 뉴클레오티드는 뉴클레오시드 1인산염 또는 뉴클레오시드 폴리인산염일 수 있다. 뉴클레오티드는, 검출가능한 라벨(예를 들어, 형광단)을 포함하는, 데옥시아데노신 3인산염(dATP), 데옥시시티딘 3인산염(dCTP), 데옥시구아노신 3인산염(dGTP), 데옥시우리딘 3인산염(dUTP) 및 데옥시티미딘 3인산염(dTTP) dNTP로부터 선택될 수 있는, 예를 들어 데옥시리보 뉴클레오시드 3인산염 등의, 데옥시리보뉴클레오시드 폴리인산염일 수 있다.

[0052] 센서(110)와 관련하여, 광검출기는, (예를 들어, 레이저 펄스에 의해) 라벨을 여기 소스(108)에 노출시키는 것에 응답하여 라벨로부터의 입사 광자의 도달을 시간-비닝할 수 있다. 라벨은 반복적으로 여기될 수 있으며, 라벨로부터의 입사 광자의 도달은 시간 비닝될 수 있다. 한 예로서, 10ms 측정 기간 동안, 레이저 여기 펄스는 100MHz의 주파수에서 방출되어 라벨을 여기할 수 있다. 라벨은 낮은 확률로 광자를 방출할 수 있다(예를 들어, 10,000번의 여기에서 1개의 광자 방출). 라벨이 10ms 기간 내에 다수 회(예를 들어, 100만 회) 여기된다면, 약 100개의 광자가 수신될 수 있다. 일부 경우에, 라벨이 여기 소스에 노출된 후 여기되지 않고 여기 이벤트 후에 광자를 방출하지 않을 수도 있으며, 이것은 낮은 방출 확률에 기여할 수 있다. 위에서 논의된 바와 같이, 여기에 대한 입사 광자의 도달 시간은 시간 비닝될 수 있다. 따라서, 광검출기는 각각의 시간 빈에서 광자의 수를 나타내는 신호를 제공할 수 있다. 일부 실시예에서, 센서(110)는 방출된 광의 특성 파장 또는 파장 범위를 검출하도록 구성될 수 있다. 이러한 실시예에서, 특성 파장 또는 파장의 범위는 상이한 라벨들을 구별하는데 이용될 수 있다. 일부 실시예에서, 센서(110)는 방출된 광의 강도를 검출하도록 구성될 수 있으며, 이것은 상이한 라벨들을 구별하는데 이용될 수 있다.

[0053] 본 출원의 일부 실시예는, 분석될 샘플 또는 샘플의 성분이 샘플 웰의 하단 표면에 위치하는 것을 허용할 수 있는 선택적 화학적 기능화를 제공하는 샘플 웰 제작 기술 및 샘플 웰 구조물에 관한 것이다. 소정의 방법은, 다른 이점들 중에서도 특히, 디바이스의 노출된 표면을 수정하여 선택적 표면 기능화를 가능케하고 디바이스 표면에 부식 방지 및/또는 오염 방지 속성을 부여하는데 이용될 수 있다. 선택적 표면 수정은, 하나 이상의 시약(reagent)으로 디바이스의 노출된 표면을 처리하여 디바이스의 노출된 표면 위에, 자체-어셈블링된 단층 등의, 표면 코팅을 형성하는 것을 포함할 수 있다. 표면 코팅은, 예를 들어 부식성 용액의 이용 또는 기타 가혹한 조건(예를 들어, 고염 용액, 다중 용액 세척 등)을 요구하는 생물검정에서, 노출된 표면의 기저 재료를 보호함으로써 디바이스가 부식성 용액을 더 잘 견딜 수 있게 할 수 있다. 표면 코팅은 또한, 생물학적 반응에서 시약 성분의 부착을 감소시키거나 제거하는 오염 방지 표면 코팅 등의 생물검정에서 시약에 더 유리한 계면을 제공할 수 있다. 적절한 표면 코팅 및 표면 수정 프로세스의 예는, 참조에 의해 그 전체 내용이 본 명세서에 포함되는, 발명의 명칭이 "SUBSTRATES HAVING MODIFIED SURFACE REACTIVITY AND ANTIFOULING PROPERTIES IN BIOLOGICAL REACTIONS"인 미국 특허 출원 제15/971,493호에 기술되어 있다. 이러한 표면 코팅은 본 명세서에서 충분히 설명된 샘플 웰의 실시예들에서 구현될 수 있다는 것을 이해해야 한다.

[0054] 도 4는, 도 1, 도 2, 도 3a 및 도 3b의 통합 디바이스에 도시된 것들 등의 예시적인 샘플 웰(106)을 나타내는 단면도이다. 도 4에 도시된 바와 같이, 샘플 웰(106)은 클래딩 층(404)(예를 들어, SiO_2) 상에 배치된 금속 스택(402)을 통해 형성된 개구에 의해 정의된다. 금속 스택(402)은 금속 재료(들)(예를 들어, 알루미늄, 티타늄, 구리)의 하나 이상의 층을 포함할 수 있다. 도 4에 도시된 바와 같이, 금속 스택(402)의 일부 실시예는, 클래딩 층(404)의 상단에 근접하게 위치한 알루미늄 층(406) 및 알루미늄 층(406) 위의 티타늄 질화물 층(408)을 포함한다.

[0055] 알루미늄 층(406)은 구리 및/또는 실리콘을 포함할 수 있다. 일부 실시예에서, 알루미늄 층(406)은 대략 2% 미만의 구리 및/또는 실리콘을 포함할 수 있고, 약 30nm 내지 150nm 범위, 또는 그 범위 내의 임의의 값 또는 값 범위의 두께를 가질 수 있다. 일부 실시예에서, 알루미늄 층은 약 65nm이다. 티타늄 질화물 층(408)은 알루미

늄 층(406)과 접촉하는 티타늄 층을 포함할 수 있고, 1 nm 내지 150 nm 범위, 또는 그 범위 내의 임의의 값 또는 값 범위의 두께를 가질 수 있다. 일부 실시예에서, 티타늄 질화물 층의 두께는 대략 80nm이다. 예시의 목적으로, 도 4는 또한, 샘플 웰(106)로의 여기 광학 에너지의 전달을 용이화하는 예시적인 도파관 구조물(410)(예를 들어, 실리콘 질화물)을 도시한다.

[0056] 클래딩 층(404)에 형성된 오목부의 깊이(d)는, 샘플 웰(106)의 하단 표면에 있는 라벨로부터 방출된 광의, 방출광 등의 광을 반사하기 위한 금속 반사체로서 작용할 수 있는 알루미늄 층(406)(예를 들어, Al-Cu)까지의 거리를 정의한다. 이 거리는 결국, 광학적 수집 효율에 영향을 미칠 수 있는, 광학 센서(미도시)를 향한 방출 광의 방향성을 결정한다. 오목부의 깊이(d)는, 100 nm 내지 500 nm 범위, 또는 그 범위 내의 임의의 값 또는 값 범위일 수 있다. 일부 실시예에서, 오목부에 대한 깊이(d)는 약 300nm이다. 일부 실시예에서, 오목부에 대한 깊이(d)는 약 360nm이다. 또한 샘플 웰의 측면 치수(직경)는, DNA 템플릿 및 염료 라벨 뉴클레오티드가 확산을 통해 샘플 웰의 하단에 고정된 효소에 접근하는 능력에 영향을 미칠 수 있다. 일반적으로 말하면, 더 큰 치수는 이러한 액세스를 향상시킨다. 또한, 샘플 웰(106)의 측면 치수는 도파관(410)에 의해 조명되는 조명 영역의 체적에도 영향을 미칠 수 있다. 특히, 샘플 웰의 하단에서의 치수 w_1은 여기되는 조명 영역의 체적에 상당한 영향을 미치며, 여기서 더 작은 치수는 더 작은 체적이 여기되게 하고, 결국 더 낮은 배경 신호를 제공할 수 있다. 일부 실시예에서, 샘플 웰(106)은 50 nm 내지 300 nm 범위, 또는 그 범위 내의 임의의 값 또는 값 범위의 오목부 하단에서 직경 w_1을 갖는다. 일부 실시예에서, 샘플 웰(106)은 100 nm 내지 300 nm 범위, 또는 그 범위 내의 임의의 값 또는 값 범위의 클래딩 층(404)의 상단에서의 직경 w_2를 갖는다. 일부 실시예에서, 샘플 웰(106)은 150 nm 내지 250 nm 범위, 또는 그 범위 내의 임의의 값 또는 값 범위의 클래딩 층(404)의 상단에서의 직경 w_2, 및 75 nm 내지 200 nm 범위, 또는 그 범위 내의 임의의 값 또는 값 범위의 오목부 하단에서의 직경 w_1을 갖는다. 일부 실시예에서, 샘플 웰(106)은 도 4에 도시된 바와 같이 테이퍼링된 측벽을 가질 수 있다.

[0057] 선택적 화학적 기능화를 용이화하여 샘플 웰(106)의 하단에 효소를 고정시키기 위해, 샘플 웰(106)의 하단 표면(412)은 다른 표면(예를 들어, 샘플 웰(106)의 측벽(414) 및 통합 디바이스의 상단 표면(416))과는 상이한 조성을 가져야 한다. 도 4에 도시된 바와 같이, 샘플 웰의 하단 표면(412)은 클래딩 층의 재료(예를 들어, 노출된 SiO_2)일 수 있고 샘플 웰(106)의 측벽(414)은 스페이서 재료(418)일 수 있다. 스페이서 재료(418)는 하나 이상의 금속 산화물(예를 들어, TiO_2, Al_2O_3, SiO_2, TiN, HfO_2, ZrO_2 및 Ta_2O_5)을 포함할 수 있다. 통합 디바이스의 상단 표면(416)은, 층(408)의 상단 표면의 산화에 의해 형성된 하나 이상의 금속 산화물 재료(예를 들어, TiN의 산화에 의해 형성된 TiO_2)를 포함할 수 있다.

[0058] 일부 실시예에서, 통합 디바이스의 노출된 표면(상단 표면, 샘플 웰 측벽, 하단 표면)이 통합 디바이스의 작동 및 표면 기능화 동안 이용되는 것들을 포함한, 특정한 유형의 용액에 대해 실질적으로 안정적이도록 하는 것이 바람직할 수 있다. 예를 들어, 디바이스 작동에 이용되는 일부 용액은 이온 강도가 높은 수용액을 포함할 수 있고, 통합 디바이스의 노출된 표면은 원하는 시간 동안 이러한 용액과 접촉할 때 실질적으로 안정적일 수 있다. 또 다른 예로서, 통합 디바이스의 표면 기능화에 이용되는 일부 용액은 산성 용액을 포함할 수 있고, 통합 디바이스의 노출된 표면은 원하는 시간 동안 이러한 용액과 접촉할 때 실질적으로 안정적일 수 있다. 통합 디바이스의 하나 이상의 층에 알루미늄이 포함된 일부 실시예에 따르면, 알루미늄을 포함하는 하나 이상의 층을 최종 구조물로 캡슐화하여 통합 디바이스의 표면의 안정성을 향상시킬 수 있는 것이 바람직할 수 있다. 또한, 통합된 디바이스의 표면이 표면 기능화를 가능케하도록 충분히 깨끗한 것이 바람직할 수 있다.

[0059] 도 5는 일부 실시예에 따라 샘플 웰을 형성하기 위한 예시적인 프로세스(500)를 나타내는 흐름도이다. 도 6 내지 도 11은 프로세스(500)의 일부 단계에 대한 단면도를 도시한다. 예시의 용이성을 위해, 유사한 요소들 및 컴포넌트들은 다양한 도면에서 유사한 참조 번호로 표시된다. 프로세스(500)는, 클래딩 층 및 도파관 등의, 하나 이상의 층 위에 애퍼처 금속 스택을 퇴적하는 동작(502)을 포함한다. 도 6에 도시된 바와 같이, 알루미늄 층(406) 및 티타늄 질화물 층(408)을 포함하는 금속 애퍼처 필름 스택이 클래딩 층(404) 및 도파관(410) 위에 형성된다. 일부 실시예에서, 금속 애퍼처 필름 스택을 형성하기 전에 클래딩 층(404)의 상단 표면이 임의의 적절한 평탄화 프로세스(예를 들어, CMP 프로세스)를 이용하여 평탄화될 수 있다. 일부 실시예에서, 알루미늄 층(406)은 약 65 nm의 두께를 갖도록 퇴적될 수 있고 티타늄 질화물 층(408)은 약 10 nm 두께의 Ti를 갖는 티타늄 층 및 약 70의 티타늄 질화물 층을 포함할 수 있다.

[0060] 그 다음, 프로세스(500)는 금속 스택 위의 포토레지스트 층에서 하나 이상의 홀을 패터닝하고 적어도 금속 스택에서 애퍼처를 에칭하는 단계를 포함하는 동작(504)으로 진행한다. 포토레지스트 층은 금속 스택에 애퍼처를

정의함으로써 에칭 프로세스를 용이화할 수 있다. 동작(504)는 또한, 금속 스택 아래의 클래딩 층으로 연장되는 샘플 웰을 형성하는 단계를 포함할 수 있다. 포토레지스트 층의 패터닝과 에칭에 대한 추가 상세사항은 도 7 내지 도 9에 도시되어 있다. 도 7에 도시된 바와 같이, 하단 반사방지 코팅(BARC; bottom antireflective coating) 층(702)은 먼저 티타늄 질화물 층(408) 위에 형성될 수 있고 포토레지스트 층(704)은 BARC 층(702) 위에 형성된다. 그 다음, 결과 샘플 웰의 위치에 대응하는 홀(706)이 포토레지스트 층(704)에서 패터닝된다. 포토레지스트 층(704)의 패터닝은, 포토리소그래피 노출 및 포토레지스트 층(704)의 현상을 포함한, 임의의 적절한 포토리소그래피 기술을 포함할 수 있다. 홀(706)은 임의의 적절한 크기 및 형상을 가질 수 있다. 일부 실시예에서, 홀(706)은, 150 nm 내지 225 nm 범위, 또는 그 범위 내의 임의의 값 또는 값 범위의 원형 형상 및 직경을 가질 수 있다. 애퍼처 에칭을 위한 추가 준비에서, BARC 층(702)은 플라즈마 에칭 프로세스 또는 임의의 적절한 기술을 이용하여 선택적으로 제거될 수 있다.

[0061] 도 8에 도시된 바와 같이, 층(406, 408)을 포함하는 금속 스택의 에칭이 수행되어 애퍼처(802)를 정의한다. 도 8에 도시된 애퍼처(802)를 정의하는데 이용되는 에칭 프로세스는, 예를 들어 Cl_2 및/또는 BCl_3의 이용을 포함할 수 있는 플라즈마 에칭 프로세스 등에 의해, 도 7의 BARC 층(702)을 제거하는데 이용된 것과 동일한 프로세스에 의해 수행될 수 있다. 플라즈마 에칭 프로세스 다음에는, O_2 애싱 단계, 물 헹굼 및/또는 에칭 후 세정 단계가 뒤따를 수 있다. 일부 실시예에서, 플라즈마 에칭 프로세스는 등방성일 수 있고 금속 스택의 하나 이상의 층에서 언더컷 영역을 생성할 수 있다. 예를 들어, 알루미늄의 Cl 기반의 에칭은 본질적으로 다소 등방성일 수 있으며, 이것은 알루미늄 층(406)에서 언더컷 영역(804)으로 이어질 수 있다. 일부 실시예에서, 습식 세정 단계는, 언더컷 영역(804) 등의, 금속 스택에서의 언더컷 영역 형성에 기여할 수 있다.

[0062] 도 9는, 클래딩 층(404)의 에칭에 의해 형성된 측벽(904)을 갖는 샘플 웰(902)을 도시한다. 클래딩 층(404)의 산화물 재료는 건식 플루오르카본 에칭(예를 들어, CF_4, CHF_3, C_4F_8, $C_3H_2F_6$)의 이용을 통해 제거될 수 있고, 후속해서 O_2 애싱 단계 및 에칭 후 세정 단계가 뒤따를 수 있다. 일부 실시예에서, 건식 에칭 프로세스는 원하는 에칭 깊이를 달성하기 위해 소정 지속시간 동안 발생하거나, 대안으로서, 원하는 에칭 깊이를 달성하기 위해 클래딩 층(404) 내의 소정 위치에 놓인 에칭 정지 층(미도시)의 이용을 통해 발생할 수 있다. 일부 실시예에서, 에칭 프로세스에 의해 형성된 결과 샘플 웰(902)의 하나 이상의 측벽(904)은 도 9에 도시된 바와 같이 통합 디바이스의 상단 표면에 수직인 각도일 수 있다. 샘플 웰(902)의 측벽(904)은, 통합 디바이스의 상단 표면에 대한 법선에 관해 1° 내지 15° 범위의 각도로 테이퍼링될 수 있다. 다시 말해, 샘플 웰(902)은 그 직경이 깊이가 증가함에 따라 감소하도록 테이퍼링될 수 있다.

[0063] 도 7로 돌아가면, 포토레지스트 층(704) 및/또는 BARC 층(702)은 플라즈마 제거 프로세스(예를 들어, 애싱, 세정) 또는 임의의 적절한 기술을 이용하여 금속 스택(406, 408)으로부터 제거될 수 있다. 일부 실시예에서, 포토레지스트 층(704) 및/또는 BARC 층(702)은 (도 8에 도시된) 금속 스택(406, 408)의 에칭 후로서 (도 9에 도시된) 클래딩 층(404)의 에칭 전에 제거된다. 일부 실시예에서, 포토레지스트 층(704) 및/또는 BARC 층(702)은, 금속 스택(406, 408)의 에칭과 클래딩 층(404)의 상단 클래딩 양쪽 모두 후에 제거된다.

[0064] 프로세스(500)는, 샘플 웰의 측벽(들)에 스페이서 재료를 퇴적하는 단계를 포함하는 동작(506)으로 진행한다. 스페이서 재료는 컨포멀 방식으로 퇴적될 수 있고, 일부 실시예에서 "컨포멀 스페이서 층"이라고 지칭될 수 있다. 도 10에 도시된 바와 같이, 스페이서 층(1002)은 샘플 웰(902)에 퇴적되고, 클래딩 층(404)과 층(406 및 408)을 포함하는 금속 스택 중 하나 이상과 접촉할 수 있다. 스페이서 층으로서 이용될 수 있는 스페이서 재료의 예는 Al_2O_3, TiN, Ta_2O_5, TaN, ZrO_2, TiO_2 및 HfO_2를 포함할 수 있다. 스페이서 층의 두께는, 3 nm 내지 50 nm 범위, 또는 그 범위 내의 임의의 값 또는 값 범위일 수 있다. 일부 실시예에서, 스페이서 층(1002)은 약 3nm 내지 약 30nm의 두께를 갖는 TiO_2 층일 수 있다. 일부 실시예에서, 스페이서 층(1002)은 약 230 ℃의 온도에서 원자 층 퇴적(ALD)에 의해 형성된 TiO_2 층일 수 있고 약 12nm의 두께를 갖는다. 일부 실시예에서, 컨포멀 스페이서 층(1002)은 재료의 복수의 재료 층을 포함할 수 있다. 이러한 실시예에서, 복수의 재료 층은, 제작, 표면 기능화 및/또는 표면 세정을 용이화할 수 있다.

[0065] 그 다음, 프로세스(500)는, 스페이서 재료를 에칭하는 단계를 포함한 동작(508)으로 진행한다. 일부 실시예에서, 스페이서 재료를 에칭하고 스페이서 층의 수평으로 배치된 표면을 제거하여, 샘플 웰의 측벽 등의 수직 표면을 따라 스페이서 재료가 남게 하는데 있어서 이방성(방향성) 에칭이 이용될 수 있다. 도 11에 도시된 바와 같이, 스페이서 층(1002)의 이방성 에칭은 샘플 웰의 하단 및 통합 디바이스의 상단 표면에서 수평 표면을 제거하여, 결과 샘플 웰(106)에 측벽 스페이서(414)가 형성되게 한다. 또한, 샘플 웰(106)의 하단 표면(412)은 노

출된 클래딩 재료(예를 들어, SiO_2)이다. 스페이서 층이 TiO_2를 포함하고 TiO_2를 갖는 측벽 스페이서를 생성하는 실시예에서, 플루오르카본 또는 (O_2 및/또는 공기와의) BCl_3 에칭 화학작용이 이용될 수 있다. 스페이서 층이 Al_2O_3를 포함하고 Al_2O_3를 갖는 측벽 스페이서를 생성하는 실시예에서, (Cl_2 및/또는 공기와의) BCl_3 에칭 화학작용이 이용될 수 있다. 샘플 웰(106)의 하단 표면(412)이 측벽 스페이서(414) 및 통합 디바이스의 상단 표면과는 상이한 재료이기 때문에, 결과 구조물은 샘플 웰의 측벽(414)과 비교하여 하단 표면(412)에 대한 샘플(미도시)의 우선적인 결합을 위한 상이한 기능을 제공할 수 있다. 따라서, 샘플 웰 구조물 에칭이 완료되면, 예를 들어 샘플 웰(106)의 하단 표면(412)에 비오틴 종(biotin species)의 부착 및 칩 패시베이션 등의 추가 처리 단계가 수행될 수 있다. 수정된 하단 표면 화학적용 및 패시베이션을 야기하는 추가 처리 단계의 예는, 그 전체 내용이 참조에 의해 본 명세서에 포함되는, 미국 특허 출원 제15/971,493호에 설명되어 있다.

[0066] 전술된 프로세스(500)의 가능한 부작용은, 플루오르카본 기반의 에칭으로부터의, 애퍼처 및 샘플 웰 측벽 상의 알루미늄 불화물(AlF) 및 기타의 잔류물의 존재일 수 있다. 결국 이러한 잔류물은 측벽 스페이서 퇴적의 무결성에 영향을 미칠 수 있다. 추가로, 층(406)의 노출된 알루미늄은 또한, 부식 또는 습기 등의 다른 해로운 영향을 받을 수도 있다. 또한, 상단 티타늄 질화물 층(408)이 클래딩 재료를 제거하기 위한 에칭 마스크로서 역할하는 실시예의 경우, (도 8에 도시된 애퍼처(802) 등의) 애퍼처에 인접한 상단 티타늄 질화물 층(408)의 엣지가 샘플 웰 에칭 처리 동안에 침식되어 알루미늄을 노출시키는 것도 또한 가능하다.

[0067] 일부 실시예는, 금속 스택 내의 알루미늄 층 등의, 애퍼처 금속 스택의 측벽을 보호하기 위해 밀봉재 스페이서를 이용하는 단계를 포함할 수 있다. 도 12는 샘플 웰 구조물을 형성하기 위한 예시적인 프로세스(1200)를 나타내는 흐름도이다. 도 13 내지 도 16은 프로세스(1200)의 일부 단계에 대한 단면도를 도시한다. 도 12에 도시된 바와 같이, 프로세스(1200)는, 클래딩 층 또는 도파관 등의, 하나 이상의 층 위에 금속 스택을 퇴적함으로써 동작(1202)에서 시작된다. 금속 스택을 퇴적하는 단계는, 프로세스(500)와 관련하여 전술된 프로세스 및 재료를 이용하여 수행될 수 있다. 프로세스(1200)는 포토레지스트 재료 및 일부 실시예에서는 BARC 층을 패터닝함으로써 금속 스택 내에 애퍼처를 에칭하는 단계를 포함하는 동작(1204)으로 진행한다. 금속 스택 내에 애퍼처를 에칭하는 단계는 프로세스(500)와 관련하여 전술되고 도 7 및 도 8에 도시된 프로세스 및 재료를 이용하여 수행될 수 있다. 도 13은 클래딩 층(404) 위의 에칭된 금속 스택(406, 408)을 도시한다.

[0068] 프로세스(500)와는 대조적으로, 프로세스(1200)는 동작(1204)에 의해 형성된 애퍼처 내에 밀봉재 스페이서 재료를 퇴적하는 단계를 포함하는 동작(1206)으로 진행한다. 도 13은 클래딩 층(404)의 표면, 금속 스택(406, 408), 및 상단 표면과 접촉하는, 애퍼처(802) 내에 형성된 밀봉재 스페이서 재료(1302)를 도시한다. 밀봉재 스페이서 재료(1302)는 후속 처리 단계들 동안 금속 스택(406, 408)의 하나 이상의 층을 보호하는 역할을 하는 임의의 적절한 재료일 수 있으며, 특히, 클래딩 재료(404)의 후속 에칭으로부터의 금속 불화물 잔류물의 형성을 감소시키거나 방지할 수 있다. 밀봉재 스페이서 재료(1302)는 하나 이상의 실리콘 재료를 포함할 수 있다. 밀봉재 스페이서 재료(1302)에 적합한 재료의 예는, 비정질 실리콘(α-Si), SiO_2, SiON, SiN 및 하나 이상의 실리콘 합금(예를 들어, 실리콘이 풍부한 산화물(SRO), 실리콘이 풍부한 질화물(SRN))을 포함할 수 있다. 일부 실시예에서, 밀봉재 스페이서 재료(1302)는 플라즈마 강화 화학적 기상 퇴적(PECVD)에 의해 퇴적된 비정질 실리콘(α-Si)일 수 있다. 다른 실시예에서, 밀봉재 스페이서 재료(1302)는 PECVD 퇴적된 SiO_2, SiON, 또는 SiN일 수 있다. 일부 실시예에서, 밀봉재 스페이서 재료(1302)는 원자 층 퇴적(ALD)에 의해 형성된 산화물 재료(예를 들어, TiO_2, Al_2O_3, SiO_2, HfO_2, TiN, Ta_2O_5, ZrO_2)일 수 있다. 일부 실시예에서, 밀봉재 스페이서 재료(1302)는 하나 이상의 재료의 복수의 층을 포함할 수 있다. 일반적으로, 밀봉재 스페이서 재료(1302)는 금속 층(408)의 상단 표면 및 애퍼처(802)의 하단에 관해 컨포멀 방식으로 퇴적될 수 있다. 일부 실시예에서, 밀봉재 스페이서 재료(1302)는 다양한 두께를 가질 수 있다. 예를 들어, 밀봉재 스페이서 재료(1302)는 애퍼처(802)의 하단을 따르는 위치보다 금속 층(408)의 상단 표면 상의 위치에서 더 큰 두께를 가질 수 있다.

[0069] 프로세스(1200)는 동작(1208)에 의해 계속되며, 여기서 밀봉재 스페이서 재료가 에칭되고 클래딩 재료가 에칭되어 샘플 웰을 형성한다. 도 14는 밀봉재 스페이서 재료 및 클래딩 층(404)을 에칭함으로써 형성된 샘플 웰(902)을 도시한다. 일부 실시예에서, 밀봉재 스페이서 에칭 및/또는 샘플 웰 에칭은 전술된 것 등의 플루오르카본 기반의 에칭에 뒤따른, O_2 애싱 프로세스 및 에칭 후 세정 프로세스를 포함할 수 있다. 밀봉재 재료 및 클래딩 재료의 에칭이 실질적으로 이방성, 방향성 에칭인 실시예에서, 밀봉재 스페이서 재료의 하나 이상의 부분은 금속 스택의 측벽에 남아있을 수 있다. 도 14에 도시된 바와 같이, 알루미늄 층(406)은, 샘플 웰을 형성하는 에칭 후에 밀봉재 스페이서(1402)가 남아있는 하나 이상의 언더컷 영역을 갖는다. 밀봉재 스페이서(140

2)는 유리하게는 층(406)의 노출된 알루미늄 측벽을 보호할 수 있다. 밀봉재 스페이서(1402)에 의한 보호는, 보통은 부식/습기 또는 후속 에칭 동안의 F, Cl과의 반응에 취약할 수 있는, 샘플 웰 에칭 동안의 금속 불화물 잔류물의 형성을 감소시키거나 방지할 수 있다.

[0070] 이 시점부터, 프로세스(1200)는 프로세스(500)의 것과 유사하게 계속될 수 있다. 프로세스(1200)는 측벽 스페이서 재료가 퇴적되는 동작(1210)으로 진행할 수 있고, 이것은 프로세스(500)의 동작(506)과 관련하여 설명된 것과 유사한 재료 및 프로세스를 이용하는 것을 포함할 수 있다. 도 15는 밀봉재 스페이서 부분(1402)과 접촉하는 측벽 스페이서 재료(1002)를 도시한다. 측벽 스페이서 재료(1002)를 형성하는데 이용될 수 있는 스페이서 재료의 예는, Al_2O_3, TiO_2, TiN, Ta_2O_5, TaN, ZrO_2 및 HfO_2를 포함한다. 일부 실시예에서, 측벽 스페이서 재료(1002)는 하나 이상의 재료의 복수의 층을 포함할 수 있다. 일부 실시예에서, 측벽 스페이서 재료(1002)는 약 3 nm 내지 약 30 nm의 두께로 형성된 TiO_2 층일 수 있다. 일부 실시예에서, 측벽 스페이서 재료(1002)는 약 230 ℃의 온도에서 원자 층 퇴적(ALD)에 의해 약 12 nm의 두께로 형성된 TiO_2 층일 수 있다.

[0071] 프로세스(1200)은 측벽 스페이서 재료가 에칭되어 결과 샘플 웰을 형성하는 동작(1212)으로 진행하고, 이것은, 프로세스(500)의 동작(508)과 관련하여 설명된 것과 유사한 재료 및 프로세스를 이용하는 것을 포함할 수 있다. 도 16에 도시된 바와 같이, 스페이서 층(1002)의 이방성 에칭은 샘플 웰의 하단 및 통합 디바이스의 상단 표면에서 수평 표면을 제거하여, 결과 샘플 웰(106)에 측벽 스페이서(1402)가 형성되게 한다. 또한, 샘플 웰(106)의 하단 표면(412)은 노출된 클래딩 재료(예를 들어, SiO_2)이다. 스페이서 층이 TiO_2를 포함하고 TiO_2를 갖는 측벽 스페이서를 생성하는 실시예에서, 플루오르카본 또는 (O_2 및/또는 공기와의) BCl_3 에칭 화학작용이 이용될 수 있다. 스페이서 층이 Al_2O_3를 포함하고 Al_2O_3를 갖는 측벽 스페이서를 생성하는 실시예에서, (Cl_2 및/또는 공기와의) BCl_3 에칭 화학작용이 이용될 수 있다.

[0072] 일부 실시예는, 애퍼처 에칭 및 샘플 웰 에칭 등의 후속 에칭 동안 금속 스택의 상단 표면을 보호할 수 있는 애퍼처 금속 스택 위에 형성된 유전체 에칭 마스크를 이용하는 것을 포함한다. 유전체 에칭 마스크는 샘플 웰을 제작하는 단계들을 통해 점차적으로 제거될 수 있으며, 일부 실시예에서는 결과 샘플 웰 구조물에서 실질적으로 제거될 수 있다. 유전체 에칭 마스크에 이용되는 유전체 재료의 유형에 따라, 유전체 에칭 마스크는 샘플 웰을 에칭할 때 프로세스 제어를 위한 강력한 끝점 신호(endpoint signal)를 제공할 수 있다. 상단 층의 두께는 클래딩 층에 관한 유전체의 에칭 선택성 및 원하는 오버에칭의 양에 의존한다.

[0073] 도 17은 샘플 웰 구조를 형성하기 위한 예시적인 프로세스(1700)를 나타내는 흐름도이다. 도 18 내지 도 25은 프로세스(1700)의 일부 단계에 대한 단면도를 도시한다. 도 17에 도시된 바와 같이, 프로세스(1700)는, 클래딩 층 또는 도파관 등의, 하나 이상의 층 위에 금속 스택을 퇴적함으로써 동작(1702)에서 시작된다. 금속 스택을 퇴적하는 단계는, 프로세스(500)와 관련하여 전술된 프로세스 및 재료를 이용하여 수행될 수 있다. 일부 실시예에서, 금속 스택은, 도 18에 도시된 바와 같이, 클래딩 층(404) 및 도파관(410) 위에 알루미늄 층(406) 및 티타늄 질화물 층(408)을 포함할 수 있다. 동작(1702)은 금속 스택 위에 유전체 층을 퇴적하는 단계를 더 포함할 수 있다. 도 18에 도시된 바와 같이, 유전체 층(1802)은 층(406 및 408)을 포함하는 금속 스택 위에 형성된다. 유전체 층(1802)은 하나 이상의 실리콘 재료를 포함할 수 있다. 유전체 층(1802)에 포함될 수 있는 적절한 재료의 예는, 비정질 실리콘(α-Si), SiO_2, SiON, SiN 및 실리콘 합금(예를 들어, 실리콘이 풍부한 산화물(SRO) 및 실리콘이 풍부한 질화물(SRN))을 포함한다. 유전체 층(1802)은 30 내지 400 nm 범위 또는 그 범위 내의 임의의 값 또는 값 범위의 두께를 가질 수 있다. 일부 실시예에서, 유전체 층(1802)은 약 150-300 nm의 두께로 퇴적된 PECVD SiO_2일 수 있다. 일부 실시예에서, 유전체 층(1802)은 약 50-300 nm의 두께로 퇴적된 PECVD SiN일 수 있다. 일부 실시예에서, 유전체 층(1802)은 약 50-300nm의 두께로 퇴적된 PECVD SiON일 수 있다.

[0074] 프로세스(1700)는 동작(1704)으로 진행할 수 있고, 여기서 포토레지스트 재료가 패터닝되어 애퍼처 개구를 정의하고 애퍼처 및 샘플 웰을 에칭한다. 그 다음, 패턴은, 유전체 마스크, 애퍼처 금속 스택, 및 궁극적으로 클래딩 층 내에 에칭되어 샘플 웰을 형성한다. 일부 실시예에서, 포토레지스트 재료는 BARC 층 위에 퇴적될 수 있다. 일부 실시예에서, 패터닝된 개구는 약 150 내지 225 nm 직경 범위의 직경을 갖는 원형 개구일 수 있다. 금속 스택 내에 애퍼처를 에칭하는 단계는 프로세스(500)와 관련하여 전술되고 도 7 및 도 8에 도시된 프로세스 및 재료를 이용하여 수행될 수 있다. 도 19는 유전체 층(1802)의 에칭 및 포토레지스트 재료(미도시)의 제거를 뒤따르는 처리의 한 지점을 나타낸다. 유전체 층(1802)이 하드마스크로서 패터닝된 상태에서, 금속 스택(406, 408)의 애퍼처는, 애퍼처(802) 및 언더컷 영역(804)을 도시하는 도 20에 도시된 바와 같이 에칭될 수 있다. 금

속 스택 내에 애퍼처를 에칭하는 단계는 프로세스(500)와 관련하여 전술되고 도 7 및 도 8에 도시된 프로세스 및 재료를 이용하여 수행될 수 있다. 일부 실시예에서, 금속 스택에서 애퍼처의 에칭은, Cl_2 및/또는 BCl_3를 포함하는 플라즈마 에칭 프로세스 등의 플라즈마 에칭 프로세스를 포함할 수 있다. 플라즈마 금속 에칭 프로세스에 후속하여, 물 헹굼 및/또는 에칭 후 세정 단계가 뒤따를 수 있다. 이 시점에서, 클래딩 층(404) 등의 클래딩 층 내로의 샘플 웰 에칭을 위해 구조물이 준비된다.

[0075] 일부 실시예에서, 유전체 층(1802)은 클래딩 층(404)에 관해 동일하거나 유사한 에칭 특성을 갖는 재료로부터 선택된다. 이러한 실시예에서, 유전체 층(1802)은 샘플 웰(902)이 에칭될 때 제거될 수 있다. 샘플 웰 에칭 처리의 중간 지점이 도 21에 도시되어 있으며, 이것은 샘플 웰(902)이 형성되는 중간 단계에 있을 때 남아있는 유전체 층(1802)의 일부를 보여준다. 특히, 도 20과 비교하여, 도 21로부터, 유전체 층(1802)은, 에칭 프로세스(예를 들어, 플루오르카본 기반의 에칭)로부터 애퍼처 금속 스택(406, 408)을 여전히 보호하면서, 형성되고 있는 샘플 웰(902)의 현재 에칭 깊이에 대응하는 양만큼 대략적으로 두께가 감소되었음을 알 수 있다. 도 22는, 유전체 층(1802)이 대부분 소모되고 샘플 웰(902)이 대부분 에칭되는 샘플 웰 에칭 프로세스 동안의 나중 시점을 나타낸다. 결국, 도 23에 도시된 바와 같이, 유전체 층(1802)은 샘플 웰 에칭이 완료되거나 거의 완료될 때 제거된다. 특히, 유전체 에칭 마스크의 두께는, 유전체 에칭 마스크의 재료가 샘플 웰의 에칭의 끝에서 또는 끝 부근에서 실질적으로 또는 완전히 제거되도록, 샘플 웰의 에칭 동안 유전체 에칭 마스크 재료의 에칭 속도에 의존한다. 유전체 층(1802)이 SiO_2인 실시예에서, 유전체 층(1802)은, 일단 유전체 에칭 마스크가 실질적으로 또는 완전히 제거되고 나면 TiN 금속 층(408)이 노출되기 때문에 샘플 웰을 에칭할 때 프로세스 제어를 위한 강력한 끝점 신호를 제공할 수 있다. SiO_2가 유전체 마스크 재료로서 이용되는 이러한 실시예에서, 유전체 층의 두께는 샘플 웰의 원하는 깊이에 대응할 수 있어서(예를 들어, 샘플 웰의 원하는 깊이보다 약간 작을 수 있음) 샘플 웰이 정확한 깊이까지 에칭될 때 마스크가 실질적으로 또는 완전히 제거되게 한다.

[0076] 이 시점부터, 프로세스(1700)는 프로세스(500)의 것과 유사하게 계속될 수 있다. 프로세스(1700)는 측벽 스페이서 재료가 퇴적되는 동작(1706)으로 진행할 수 있고, 이것은 프로세스(500)의 동작(506)과 관련하여 설명된 것과 유사한 재료 및 프로세스를 이용하는 것을 포함할 수 있다. 도 24는 양쪽 층(406 및 408)과 접촉하는 측벽 스페이서 재료(1002)를 도시한다. 도 24에 도시된 바와 같이, 언더컷 영역은 층(406)에 형성될 수 있고 측벽 스페이서 재료(1002)는 언더컷 영역을 채울 수 있다. 측벽 스페이서 재료(1002)를 형성하는데 이용될 수 있는 스페이서 재료의 예는, Al_2O_3, TiO_2, TiN, Ta_2O_5, TaN, ZrO_2 및 HfO_2를 포함한다. 일부 실시예에서, 측벽 스페이서 재료(1002)는 약 3 nm 내지 약 30 nm의 두께로 형성된 TiO_2 층일 수 있다. 일부 실시예에서, 측벽 스페이서 재료(1002)는 약 230 ℃의 온도에서 원자 층 퇴적(ALD)에 의해 약 12 nm의 두께로 형성된 TiO_2 층일 수 있다.

[0077] 프로세스(1700)는 측벽 스페이서 재료가 에칭되어 결과 샘플 웰을 형성하는 동작(1708)으로 진행하고, 이것은, 프로세스(500)의 동작(508)과 관련하여 설명된 것과 유사한 재료 및 프로세스를 이용하는 것을 포함할 수 있다. 도 25에 도시된 바와 같이, 스페이서 층(1002)의 이방성 에칭은 샘플 웰의 하단 및 통합 디바이스의 상단 표면에서 수평 표면을 제거하여, 결과 샘플 웰(106)에 측벽 스페이서(414)가 형성되게 한다. 또한, 샘플 웰(106)의 하단 표면(412)은 노출된 클래딩 재료(예를 들어, SiO_2)이다. 스페이서 층이 TiO_2를 포함하고 TiO_2를 갖는 측벽 스페이서를 생성하는 실시예에서, 플루오르카본 또는 (O_2 및/또는 공기와의) BCl_3 에칭 화학작용이 이용될 수 있다. 스페이서 층이 Al_2O_3를 포함하고 Al_2O_3를 갖는 측벽 스페이서를 생성하는 실시예에서, (Cl_2 및/또는 공기와의) BCl_3 에칭 화학작용이 이용될 수 있다.

[0078] 전술된 실시예들은 수 많은 방식들 중 임의의 방식으로 구현될 수 있다. 예를 들어, 실시예들은 하드웨어, 소프트웨어, 또는 이들의 조합을 이용하여 구현될 수 있다. 소프트웨어로 구현될 때, 소프트웨어 코드는, 단일의 컴퓨팅 디바이스에 제공된 또는 복수의 컴퓨팅 디바이스들 사이에 분산된 임의의 적절한 프로세서(예를 들어, 마이크로프로세서) 또는 프로세서들의 집합 상에서 실행될 수 있다. 전술된 기능들을 수행하는 임의의 컴포넌트 또는 컴포넌트들의 집합은 앞서 논의된 기능들을 제어하는 하나 이상의 제어기로서 총칭적으로 간주될 수 있다는 것을 이해해야 한다. 하나 이상의 제어기들은, 전용 하드웨어에 의해, 또는 상기 기재된 기능을 수행하는 마이크로코드 또는 소프트웨어를 이용하여 프로그램된 범용 하드웨어(예를 들어, 하나 이상의 프로세서)에 의해 등으로 다양한 방식으로 구현될 수 있다.

[0079] 설명된 실시예들은 다양한 조합으로 구현될 수 있다. 예시적인 구성은, 아래의 방법 (1) - (33), 및 통합 디바

이스 (34) - (43)를 포함한다.

[0080] (1) 통합 디바이스를 형성하는 방법으로서, 클래딩 층 위에 금속 스택을 형성하는 단계; 상기 금속 스택에 애퍼처를 형성하는 단계; 상기 애퍼처 내에 제1 스페이서 재료를 형성하는 단계; 및 상기 클래딩 층의 일부를 제거하여 상기 애퍼처의 깊이를 상기 클래딩 층 내로 연장함으로써 샘플 웰을 형성하는 단계를 포함하고, 상기 제1 스페이서 재료의 적어도 한 부분은 상기 금속 스택의 적어도 한 층과 접촉하는, 방법.

[0081] (2) 제(1)항에 있어서, 상기 금속 스택을 형성하는 단계는 상기 클래딩 층 상에 상기 금속 스택을 형성하는 단계를 더 포함하는, 방법.

[0082] (3) 제(1)항 또는 제(2)항에 있어서, 상기 제1 스페이서 재료를 형성하는 단계는 상기 금속 스택 위에 및 상기 애퍼처의 하단 표면에 상기 제1 스페이서 재료를 형성하는 단계를 더 포함하는, 방법.

[0083] (4) 제(1)항 내지 제(3)항 중 어느 한 항에 있어서, 상기 샘플 웰을 형성하는 단계는 상기 금속 스택의 상단 표면 상에 및 상기 애퍼처의 하단 표면 상에 배치된 상기 제1 스페이서 재료의 적어도 일부를 제거하기 위해 제1 방향성 에칭을 수행하는 단계를 더 포함하는, 방법.

[0084] (5) 제(1)항 내지 제(4)항 중 어느 한 항에 있어서, 상기 제1 스페이서 재료는 상기 샘플 웰을 형성하는데 이용되는 에칭 프로세스 동안 금속 불화물 잔류물의 형성을 감소시키도록 구성된 적어도 하나의 재료를 포함하는, 방법.

[0085] (6) 제(1)항 내지 제(5)항 중 어느 한 항에 있어서, 상기 제1 스페이서 재료는 상기 샘플 웰을 형성하는데 이용되는 에칭 프로세스 동안 금속 스택의 적어도 하나의 금속 층 상의 금속 불화물 잔류물의 형성을 감소시키도록 구성된 적어도 하나의 재료를 포함하는, 방법.

[0086] (7) 제(1)항 내지 제(6)항 중 어느 한 항에 있어서, 상기 제1 스페이서 재료의 상기 적어도 한 부분은 상기 금속 스택의 언더컷 영역에 배치되는, 방법.

[0087] (8) 제(1)항 내지 제(7)항 중 어느 한 항에 있어서, 상기 금속 스택은 적어도 하나의 알루미늄 함유 층 및 적어도 하나의 티타늄 함유 층을 포함하는, 방법.

[0088] (9) 제(1)항 내지 제(8)항 중 어느 한 항에 있어서, 상기 제1 스페이서 재료는 플라즈마 강화 화학적 기상 퇴적(PECVD)에 의해 형성되는, 방법.

[0089] (10) 제(1)항 내지 제(9)항 중 어느 한 항에 있어서, 상기 제1 스페이서 재료는 적어도 하나의 실리콘 재료를 포함하는, 방법.

[0090] (11) 제(1)항 내지 제(10)항 중 어느 한 항에 있어서, 상기 제1 스페이서 재료는, 비정질 실리콘(α-Si), SiO2, SiON, SiN 및 실리콘 합금으로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함하는, 방법.

[0091] (12) 제(1)항 내지 제(11)항 중 어느 한 항에 있어서, 상기 제1 스페이서 재료는 원자 층 퇴적(ALD)에 의해 형성되는, 방법.

[0092] (13) 제(1)항 내지 제(12)항 중 어느 한 항에 있어서, 상기 제1 스페이서 재료는 TiO_2, Al_2O_3, SiO_2, HfO_2, TiN, Ta_2O_5 및 ZrO_2로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함하는, 방법.

[0093] (14) 제(1)항 내지 제(13)항 중 어느 한 항에 있어서, 상기 클래딩 층은 SiO_2를 포함하는, 방법.

[0094] (15) 제(1)항 내지 제(14)항 중 어느 한 항에 있어서, 상기 샘플 웰 내에 제2 스페이서 재료를 형성하는 단계; 및

[0095] 상기 샘플 웰의 하단 표면에서 상기 제2 스페이서 재료의 적어도 일부를 제거하여 상기 클래딩 층의 일부를 노출시키는 단계를 더 포함하고, 상기 제2 스페이서 재료의 적어도 한 부분은, 상기 금속 스택, 상기 제1 스페이서 재료의 적어도 한 부분, 및 상기 클래딩 층 중 하나 이상과 접촉하는, 방법.

[0096] (16) 제(15)항에 있어서, 상기 제2 스페이서 재료를 형성하는 단계는 상기 금속 스택 위에 상기 제2 스페이서 재료를 형성하는 단계를 더 포함하는, 방법.

[0097] (17) 제(15)항 또는 제(16)항 중 어느 한 항에 있어서, 상기 제2 스페이서 재료의 적어도 일부를 제거하는 단계는 상기 금속 스택의 상단 표면 상에 및 상기 샘플 웰의 하단 표면 상에 배치된 제2 스페이서 재료를 제거하기

위해 방향성 에칭을 수행하는 단계를 더 포함하는, 방법.

[0098] (18) 제(17)항에 있어서, 상기 방향성 에칭은 플루오르카본 기반의 에칭을 포함하는, 방법.

[0099] (19) 제(15)항 내지 제(18)항 중 어느 한 항에 있어서, 상기 제2 스페이서 재료는 원자 층 퇴적(ALD)에 의해 형성되는, 방법.

[0100] (20) 제(15)항 내지 제(19)항 중 어느 한 항에 있어서, 상기 제2 스페이서 재료는, TiO_2, Al_2O_3, HfO_2, ZrO_2, 및 Ta_2O_5로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함하는, 방법.

[0101] (21) 통합 디바이스를 형성하는 방법으로서, 클래딩 층 위에 금속 스택을 형성하는 단계; 상기 금속 스택 위에 유전체 층을 형성하는 단계; 상기 유전체 층에 개구를 형성하고 상기 금속 스택의 일부를 제거할 때 상기 유전체 층을 마스크로서 이용함으로써 상기 금속 스택에 애퍼처를 형성하는 단계; 및 상기 클래딩 층의 일부를 제거함으로써 샘플 웰을 형성하는 단계를 포함하고, 상기 유전체 층의 적어도 일부는 상기 샘플 웰을 형성하는 동안 제거되는, 방법.

[0102] (22) 제(21)항에 있어서, 상기 금속 스택을 형성하는 단계는 상기 클래딩 층 상에 상기 금속 스택을 형성하는 단계를 더 포함하는, 방법.

[0103] (23) 제(21)항 또는 제(22)항에 있어서, 상기 유전체 재료를 형성하는 단계는 상기 금속 스택 상에 유전체 층을 형성하는 단계를 더 포함하는, 방법.

[0104] (24) 제(21)항 내지 제(23)항 중 어느 한 항에 있어서, 상기 애퍼처를 형성하는 단계는 상기 유전체 층에 개구를 에칭하고 상기 유전체 층을 에칭 마스크로서 이용하여 상기 금속 스택에 상기 애퍼처를 형성하는 단계를 더 포함하는, 방법.

[0105] (25) 제(21)항 내지 제(24)항 중 어느 한 항에 있어서, 상기 샘플 웰을 형성하는 단계는 상기 클래딩 층 및 상기 유전체 층을 동시에 에칭하는 단계를 더 포함하는, 방법.

[0106] (26) 제(21)항 내지 제(25)항 중 어느 한 항에 있어서, 상기 금속 스택은 적어도 하나의 알루미늄 함유 층 및 적어도 하나의 티타늄 함유 층을 포함하는, 방법.

[0107] (27) 제(21)항 내지 제(26)항 중 어느 한 항에 있어서, 상기 클래딩 층은 SiO_2를 포함하는, 방법.

[0108] (28) 제(21)항 내지 제(27)항 중 어느 한 항에 있어서, 상기 금속 스택 위에 및 상기 샘플 웰 내에 스페이서 층을 형성하는 단계; 및 상기 금속 스택의 상단 표면 및 상기 샘플 웰의 하단 표면 상에 배치된 상기 스페이서 층의 일부들을 제거하여 상기 클래딩 층의 일부를 노출시키기 위해 방향성 에칭을 수행하는 단계를 더 포함하고; 상기 스페이서 층의 적어도 한 부분은 상기 샘플 웰의 적어도 하나의 측벽을 형성하는, 방법.

[0109] (29) 제(28)항에 있어서, 상기 스페이서 층은 원자 층 퇴적(ALD)에 의해 형성되는, 방법.

[0110] (30) 제(28)항 또는 제(29)항에 있어서, 상기 스페이서 층은, TiO_2, Al_2O_3, HfO_2, ZrO_2, 및 Ta_2O_5로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함하는, 방법.

[0111] (31) 제(21)항 내지 제(30)항 중 어느 한 항에 있어서, 상기 샘플 웰을 형성하는 단계는 상기 유전체 층을 실질적으로 제거하는 단계를 더 포함하는, 방법.

[0112] (32) 제(21)항 내지 제(31)항 중 어느 한 항에 있어서, 상기 샘플 웰을 형성한 후의 통합 디바이스는 상기 유전체 층을 포함하지 않는, 방법.

[0113] (33) 제(21)항 내지 제(32)항 중 어느 한 항에 있어서, 상기 유전체 층은, 비정질 실리콘(α-Si), SiO_2, SiON, SiN 및 실리콘 합금으로 이루어진 그룹으로부터 선택된 하나 이상을 포함하는, 방법.

[0114] (34) 통합 디바이스로서, 클래딩 층; 상기 클래딩 층 위에 형성되고 적어도 하나의 언더컷 영역을 갖는 금속 스택; 상기 적어도 하나의 언더컷 영역에 근접하고 상기 클래딩 층 내로 금속 스택을 통해 연장되는 샘플 웰; 및 상기 적어도 하나의 언더컷 영역을 채우는 제1 스페이서 재료를 포함하는 통합 디바이스.

[0115] (35) 구성 제(34)항에 있어서, 상기 제1 스페이서 재료는 상기 샘플 웰의 적어도 하나의 측벽을 형성하는, 통합 디바이스.

[0116] (36) 구성 제(34)항 또는 제(35)항에 있어서, 상기 제1 스페이서 재료는, 비정질 실리콘(α-Si), SiO_2, SiON 및 SiN으로 이루어진 그룹으로부터 선택된 하나 이상을 포함하는, 통합 디바이스.

[0117] (37) 구성 제(34)항 내지 제(36)항 중 어느 한 항에 있어서, 상기 제1 스페이서 재료는, TiO_2, Al_2O_3, HfO_2, TiN, ZrO_2, 및 Ta_2O_5로 이루어진 그룹으로부터 선택된 하나 이상을 포함하는, 통합 디바이스.

[0118] (38) 구성 제(34)항 내지 제(37)항 중 어느 한 항에 있어서, 상기 금속 스택은, 알루미늄을 포함하는 적어도 하나의 층 및 티타늄을 포함하는 적어도 하나의 층을 포함하는, 통합 디바이스.

[0119] (39) 구성 제(34)항 내지 제(38)항 중 어느 한 항에 있어서, 상기 클래딩 층은 SiO_2를 포함하는, 통합 디바이스.

[0120] (40) 구성 제(34)항 내지 제(39)항 중 어느 한 항에 있어서, 상기 금속 스택, 상기 제1 스페이서 재료, 및 상기 클래딩 층 중 하나 이상과 접촉하는 제2 스페이서 재료를 더 포함하는 통합 디바이스.

[0121] (41) 구성 제(40)항에 있어서, 상기 제2 스페이서 재료는 상기 샘플 웰의 적어도 하나의 측벽을 형성하는, 통합 디바이스.

[0122] (42) 구성 제(40)항 또는 제(41)항에 있어서, 상기 제2 스페이서 재료는, TiO_2, Al_2O_3, HfO_2, ZrO_2, 및 Ta_2O_5로 이루어진 그룹으로부터 선택된 하나 이상의 층을 포함하는, 통합 디바이스.

[0123] (43) 구성 제(34)항 내지 제(42)항 중 어느 한 항에 있어서, 상기 금속 스택은 제2 층 위에 형성된 제1 층을 포함하고, 상기 언더컷 영역은 상기 제2 층에 형성되는, 통합 디바이스.

[0124] 지금까지 본 출원의 기술의 수 개의 양태와 실시예들을 설명하였고, 본 기술분야의 통상의 기술자에게는, 다양한 변형, 수정, 및 개선이 용이하다는 것을 이해해야 한다. 이러한 변형, 수정 및 개선은 본 출원에서 설명된 기술의 사상과 범위 내에 포함시키고자 한다. 따라서, 상기 실시예들은 단지 예로서 제시된 것일 뿐이며, 첨부된 청구항들과 그 균등물의 범위 내에서, 본 발명의 실시예들은 구체적으로 설명된 것과는 다른 방식으로 실시될 수도 있다는 것을 이해해야 한다. 또한, 여기서 설명된 2개 이상의 피처, 시스템, 항목, 재료, 키트 및/또는 방법의 임의의 조합은, 이러한 피처, 시스템, 항목, 재료, 키트 및/또는 방법이 상호 불일치하지 않는다면, 본 개시내용의 범위 내에 포함된다.

[0125] 또한, 설명된 바와 같이, 일부 양태는 하나 이상의 방법으로서 구현될 수도 있다. 방법의 일부로서 수행되는 동작들은 임의의 적절한 방식으로 정렬될 수 있다. 따라서, 예시적 실시예에서는 순차적 동작들로서 도시되어 있더라도, 소정 동작들을 동시에 수행하는 것을 포함한, 예시된 것과는 상이한 순서로 동작들이 수행되는 실시예들이 구성될 수 있다.

[0126] 모든 정의는, 여기서 정의되고 사용된 바와 같이, 사전적 정의, 참조에 의해 포함된 문서에서의 정의, 및/또는 정의된 용어의 통상의 의미를 통제하는 것으로 이해되어야 한다.

[0127] 부정관사, "a" 및 "an"은, 본 명세서와 청구항에서 사용될 때, 분명하게 달리 나타내지 않는 한, "적어도 하나"를 의미하는 것으로 이해되어야 한다.

[0128] 구문 "및/또는"은, 여기 본 명세서 및 청구항에서 사용될 때, 이와 같이 결합된 요소들, 즉, 어떤 경우에는 결합되어 존재하고 다른 경우에는 분리되어 존재하는 요소들의 "어느 하나 또는 양쪽 모두"를 의미하는 것으로 이해되어야 한다.

[0129] 여기 본 명세서와 청구항에서 사용될 때, 하나 이상의 요소의 열거를 참조한 구문 "적어도 하나"는, 요소들의 목록 내의 요소들 중 임의의 하나 이상으로부터 선택된 적어도 하나의 요소를 의미하지만, 요소들의 목록 내의 구체적으로 열거된 각각의 및 모든 요소 중 적어도 하나를 반드시 포함할 필요는 없고 요소들의 목록 내의 요소들의 임의의 조합을 배제하지 않는 것으로 이해되어야 한다. 이 정의는 또한, 구문 "적어도 하나"가 참조하는 요소들의 목록 내에서 구체적으로 식별되는 요소들 이외의 요소들이, 구체적으로 식별되는 요소들과 관련되든 관련되지 않든, 선택사항적으로 존재할 수 있다는 것을 허용한다.

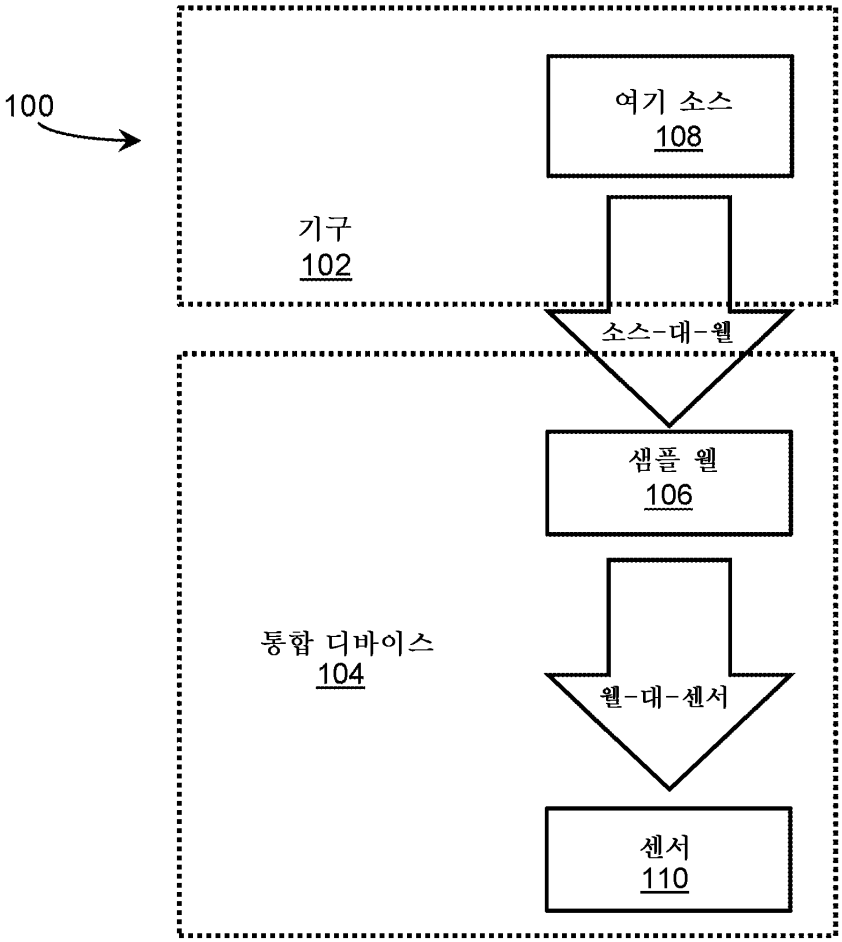
[0130] 청구항들에서 청구항 요소를 변경하기 위해 제1", "제2", "제3" 등의 서수 용어의 사용은, 그 자체로, 하나의 청구항 요소의 또 다른 청구항 요소에 대한 임의의 우선권, 우선순위, 또는 순서를 함축하거나, 방법의 동작들이 수행되는 시간적 순서를 함축하는 것은 아니며, (서수 용어의 사용을 제외한) 소정의 명칭을 갖는 하나의 청

구항 요소를 동일한 명칭을 갖는 또 다른 청구항 요소와 구별하여 청구항 요소들을 구별하기 위한 라벨로서 이용될 뿐이다.

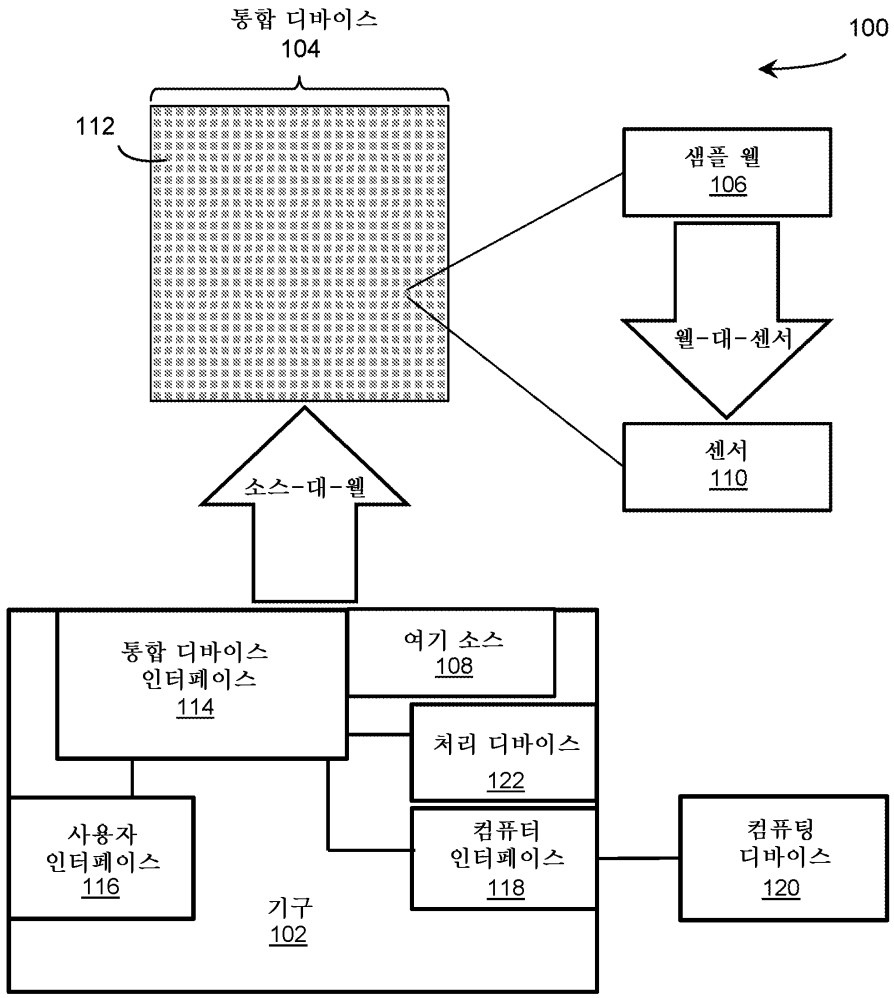
[0131] 상기 명세서 뿐만 아니라 청구항에서, "포함하는(comprising)", "내포하는(including)", "운반하는(carrying)", "갖는(having)", "함유하는(containing)", "수반하는(involving)", "유지하는(holding)", "~로 구성된(composed of~)" 등과 같은 모든 연결 구문은, 제약을 두지 않는(open-ended), 즉, 포함하지만 그것으로 제한되지 않는다는 것을 의미하는 것으로 이해되어야 한다. 연결 구문 "~로 이루어진(consisting of~)" 및 "본질적으로 ~로 이루어진(consisting essentially of~)"은 각각 폐쇄형 또는 반-폐쇄형 연결 구문일 것이다.

도면

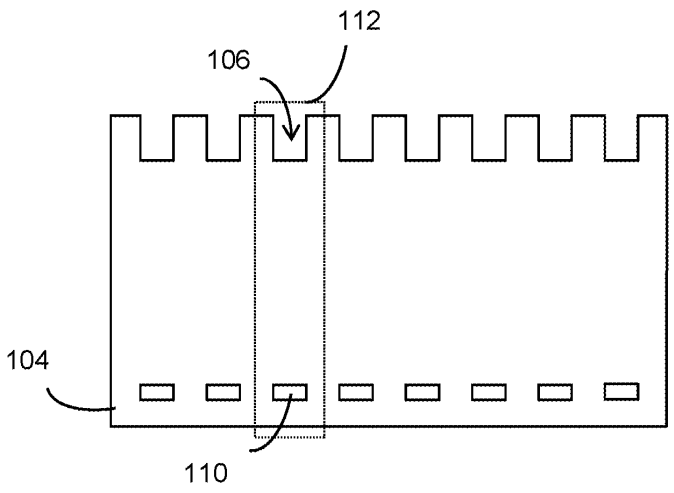
도면1



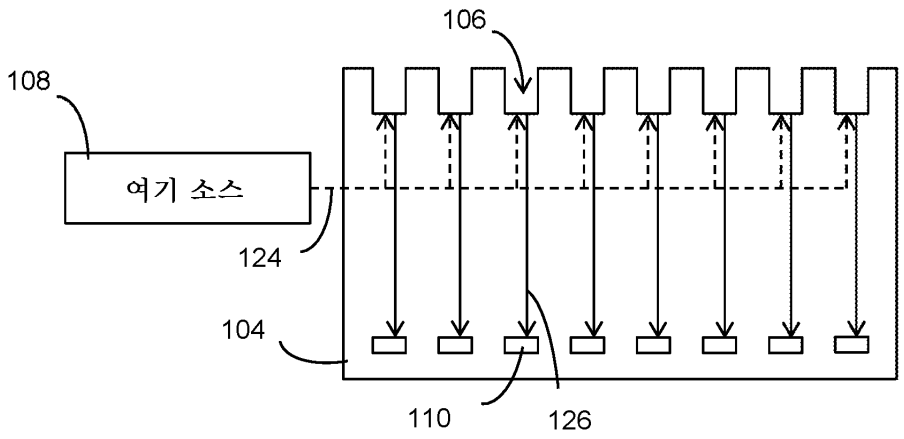
도면2


통합 디바이스
104
100
112
샘플 웰
106
웰-대-센서
센서
110
소스-대-웰
통합 디바이스
인터페이스
114
여기 소스
108
처리 디바이스
122
사용자
인터페이스
116
컴퓨터
인터페이스
118
컴퓨팅
디바이스
120
기구
102

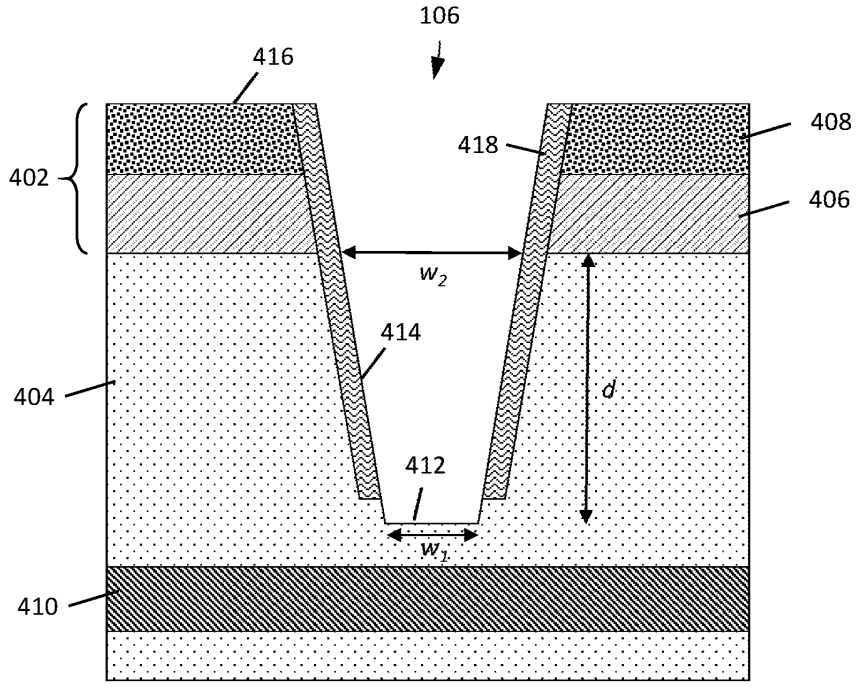
도면3a


112
106
104
110

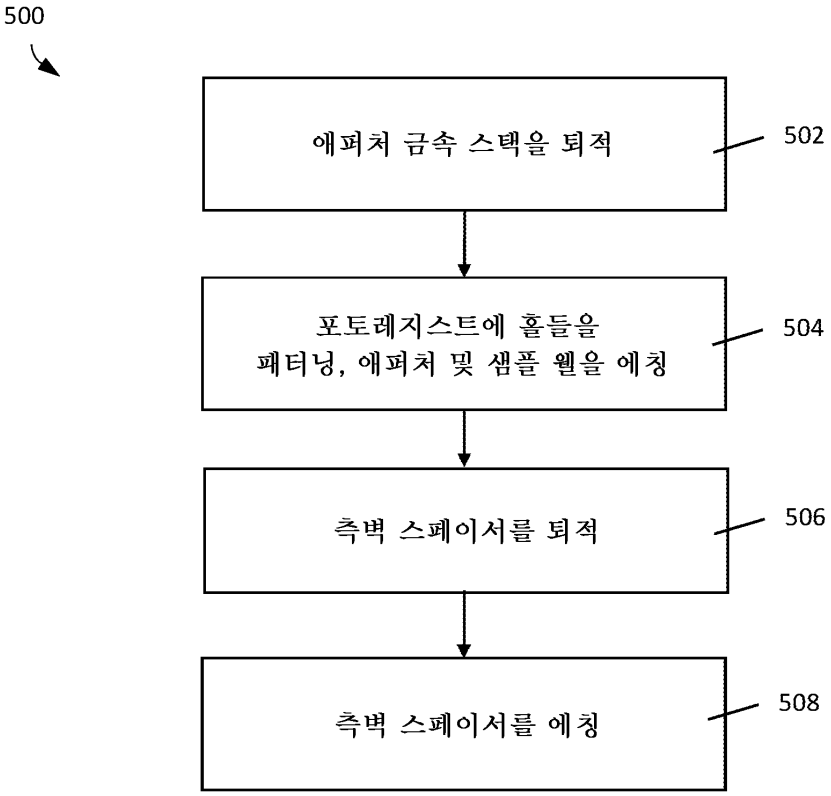
도면3b


106
108
여기 소스
124
104
110
126

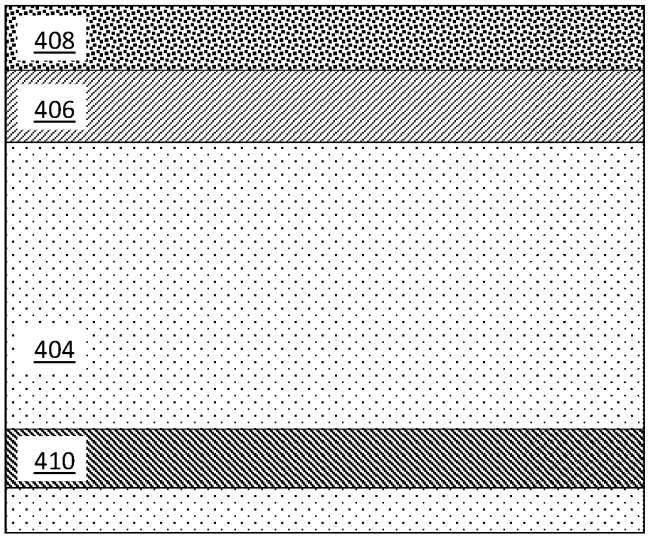
도면4


106
416
408
418
402
406
w_2
414
404
d
412
w_1
410

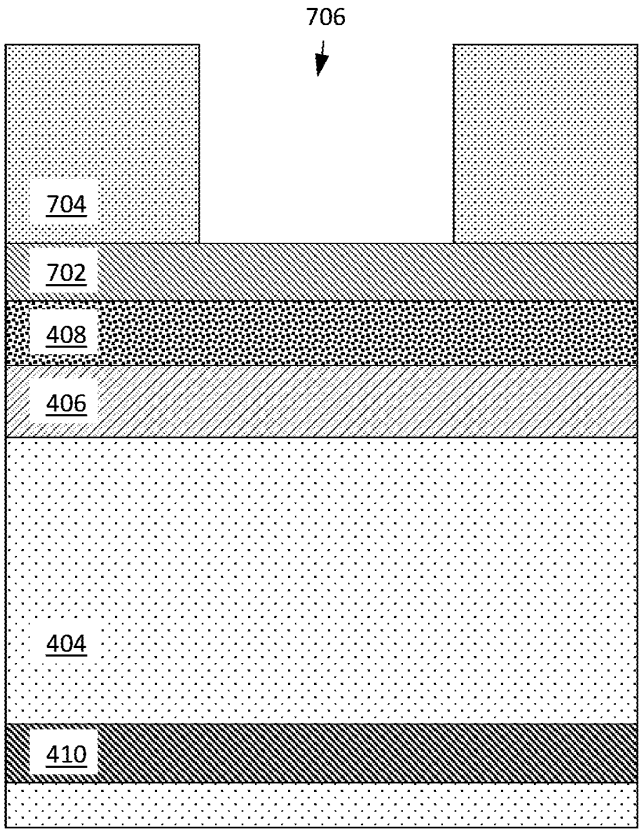
도면5


500
애퍼처 금속 스택을 퇴적
502
포토레지스트에 홀들을
패터닝, 애퍼처 및 샘플 웰을 에칭
504
측벽 스페이서를 퇴적
506
측벽 스페이서를 에칭
508

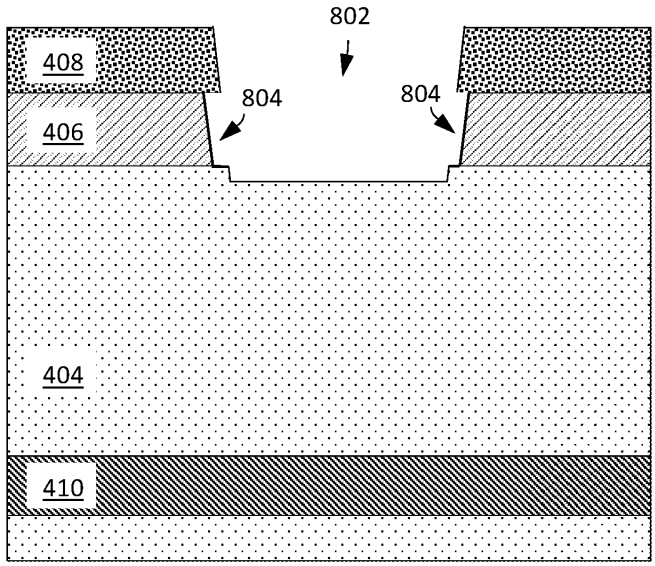
도면6


408
406
404
410

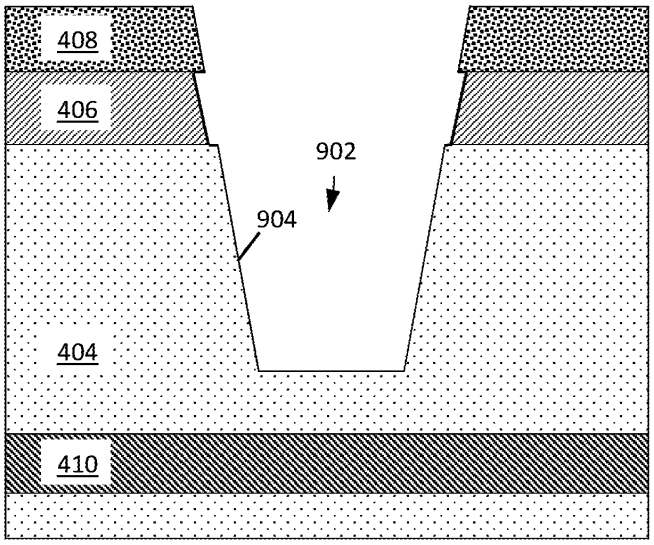
도면7



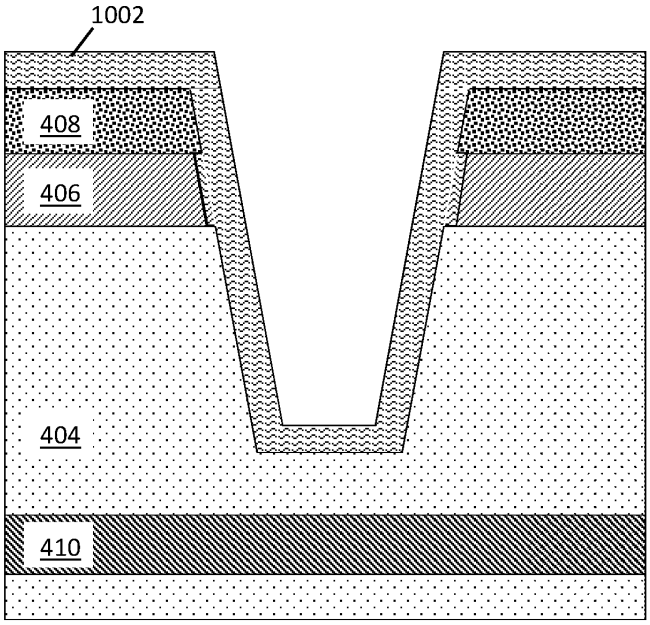
도면8



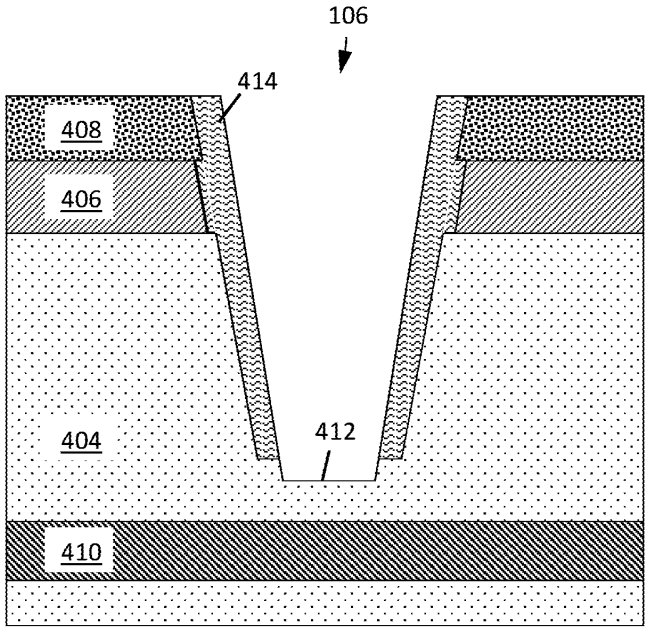
도면9



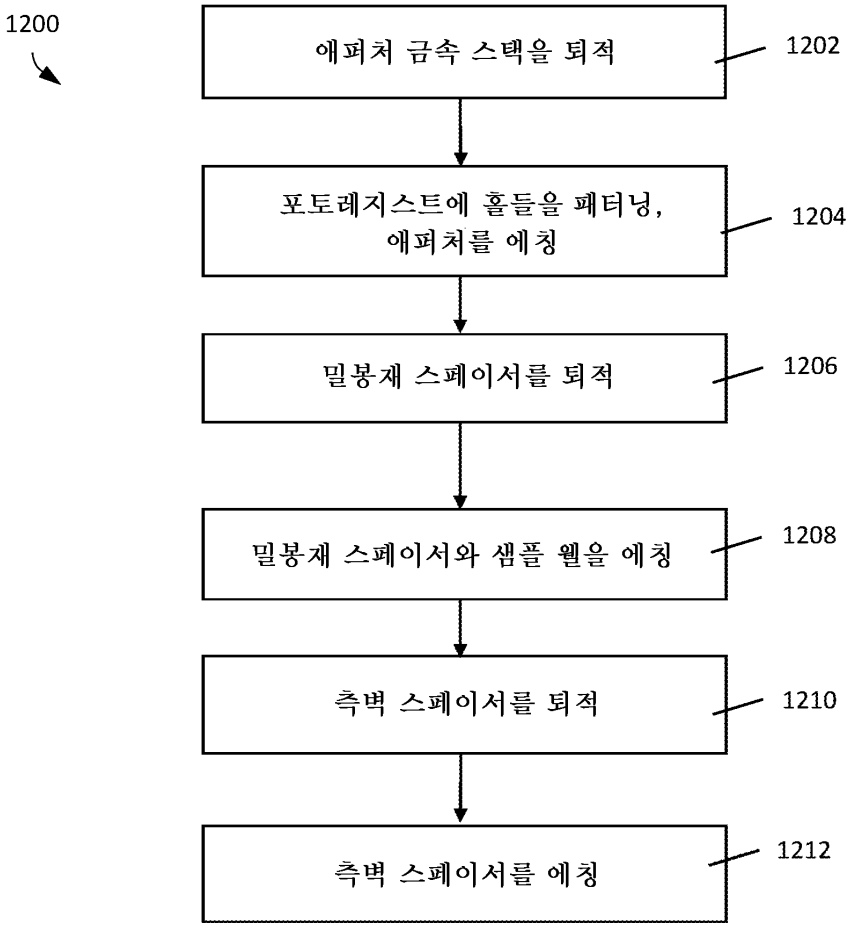
도면10



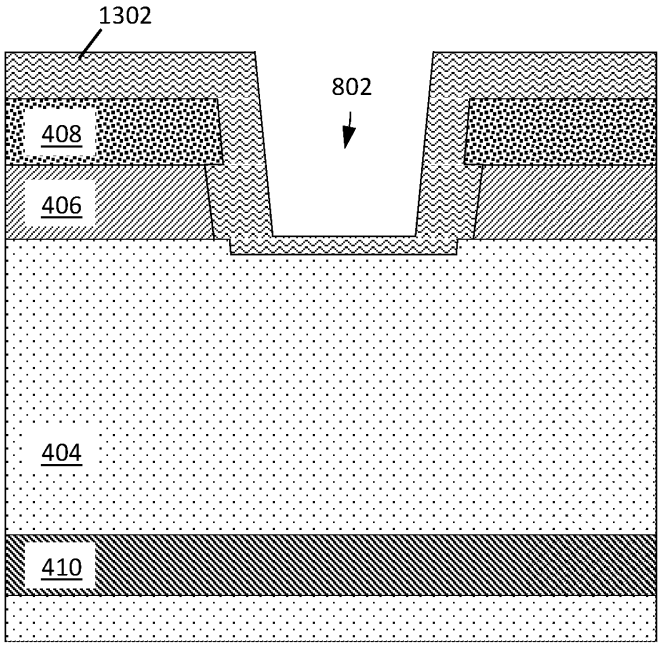
도면11


106
414
408
406
404
412
410

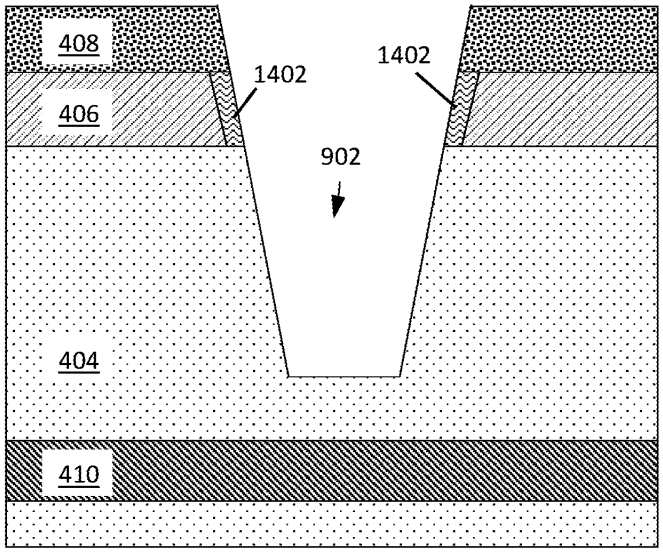
도면12


1200
에피처 금속 스택을 퇴적
1202
포토레지스트에 홀들을 패터닝,
에피처를 에칭
1204
밀봉재 스페이서를 퇴적
1206
밀봉재 스페이서와 샘플 웰을 에칭
1208
측벽 스페이서를 퇴적
1210
측벽 스페이서를 에칭
1212

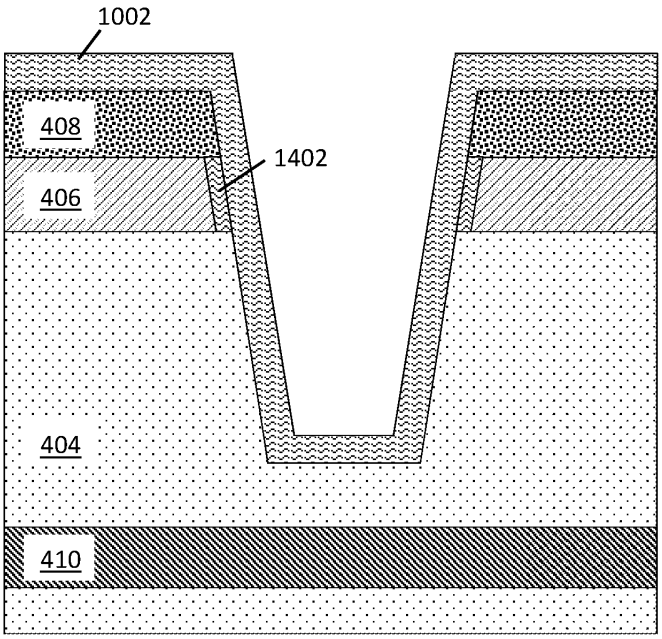
도면13



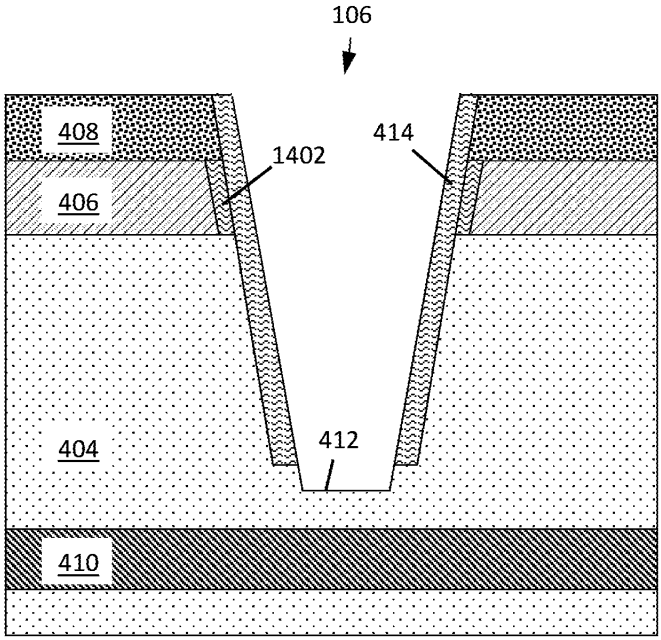
도면14



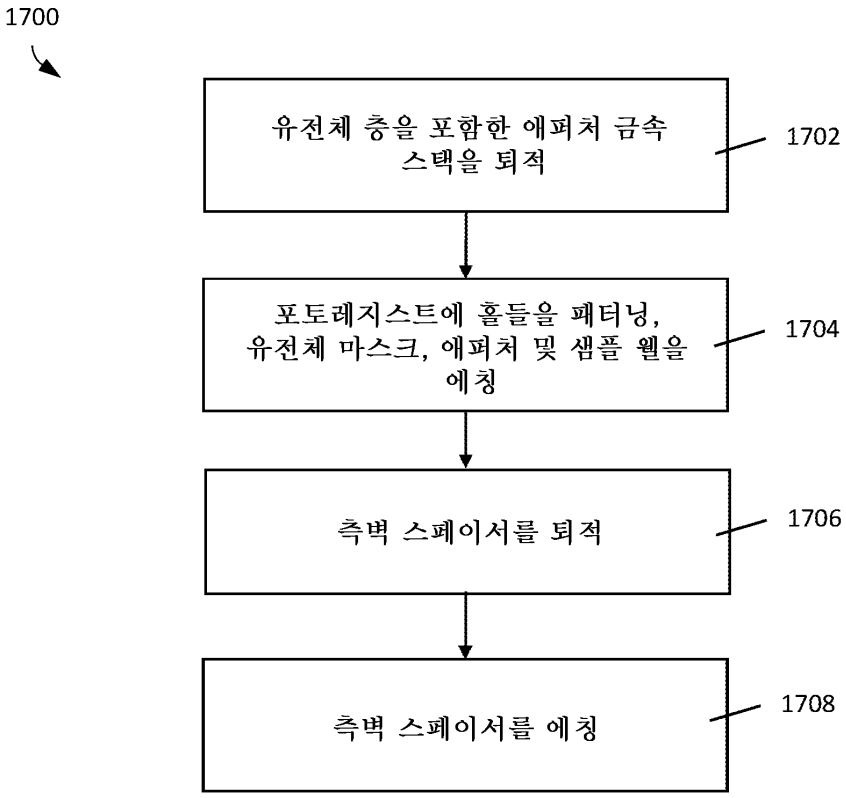
도면15



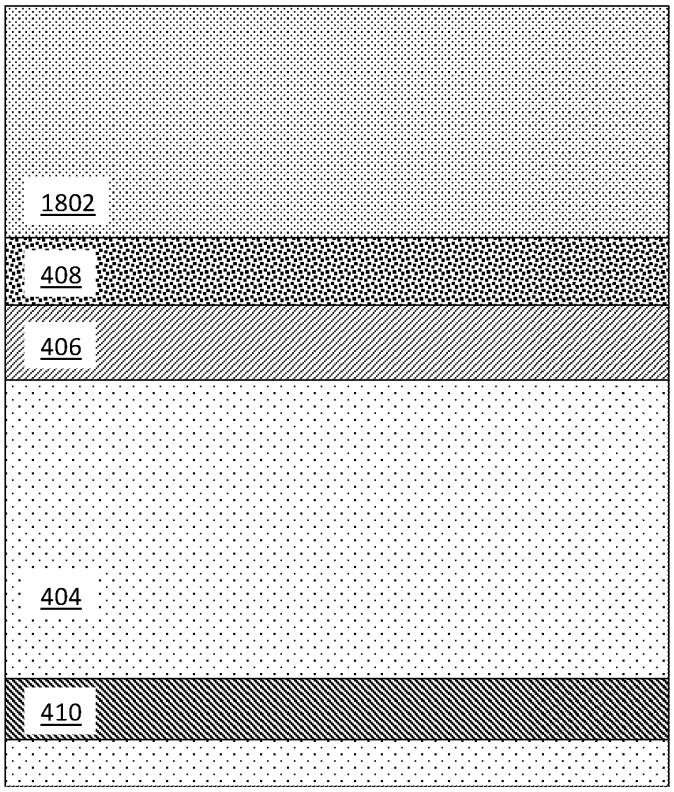
도면16



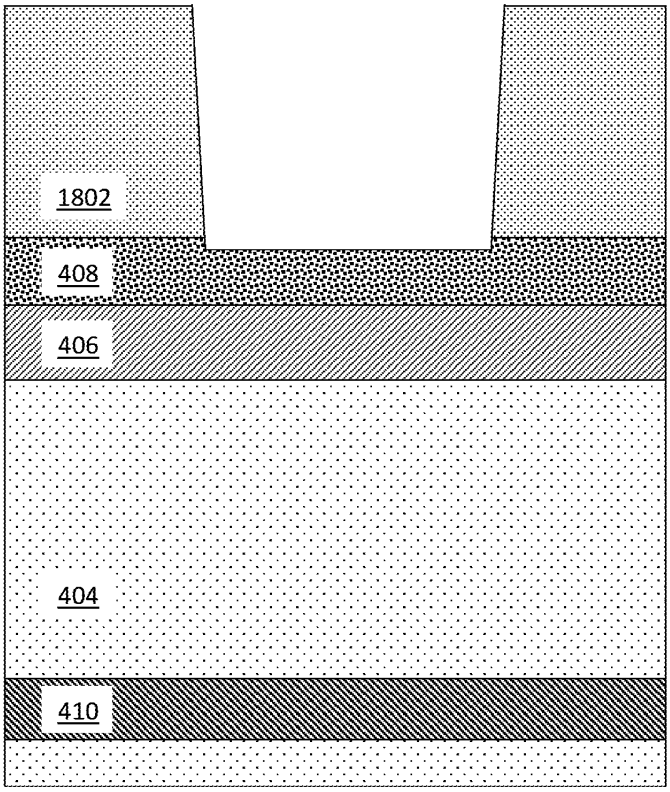
도면17


1700
유전체 층을 포함한 애퍼처 금속 스택을 퇴적
1702
포토레지스트에 홀들을 패터닝, 유전체 마스크, 애퍼처 및 샘플 웰을 에칭
1704
측벽 스페이서를 퇴적
1706
측벽 스페이서를 에칭
1708

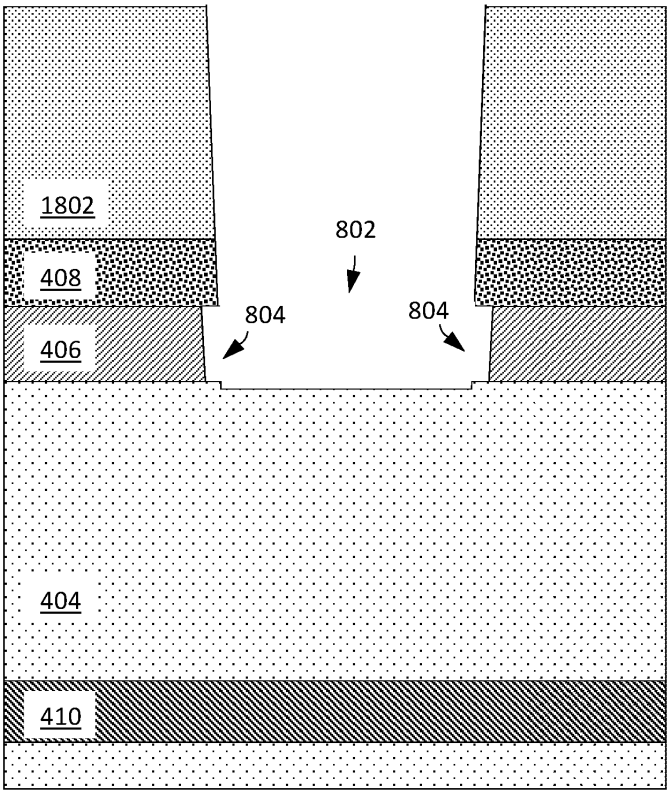
도면18



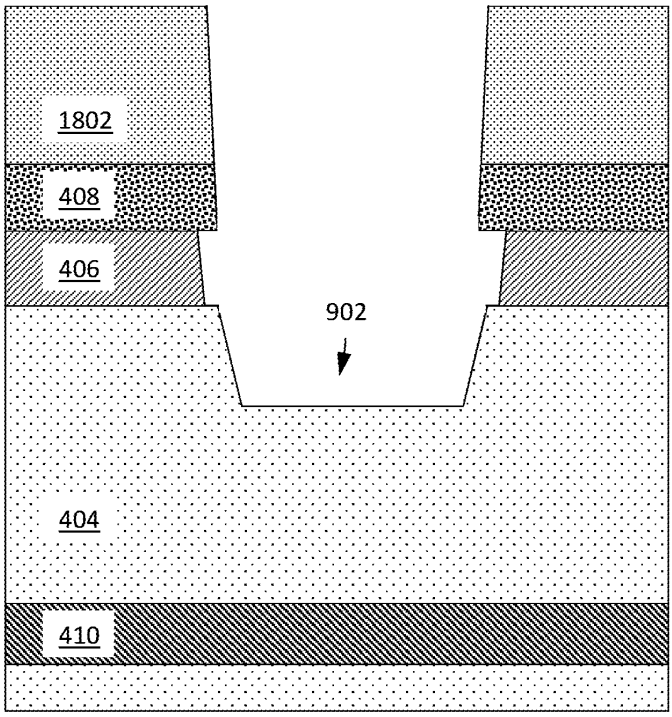
도면19



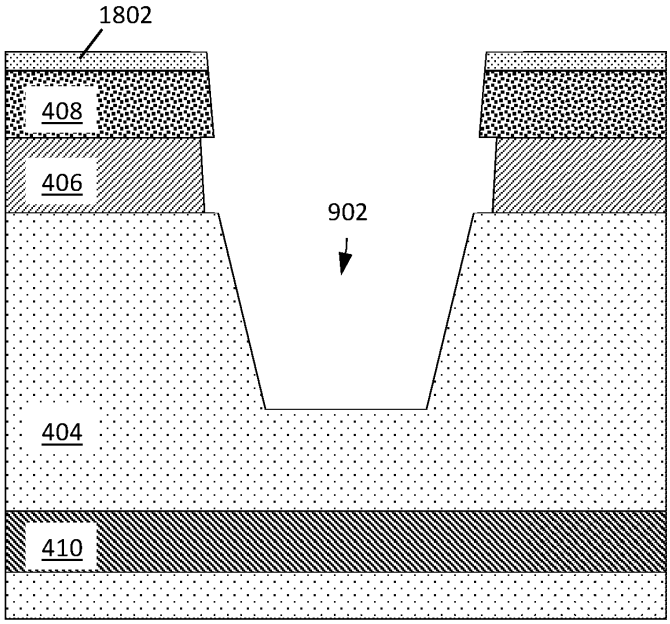
도면20



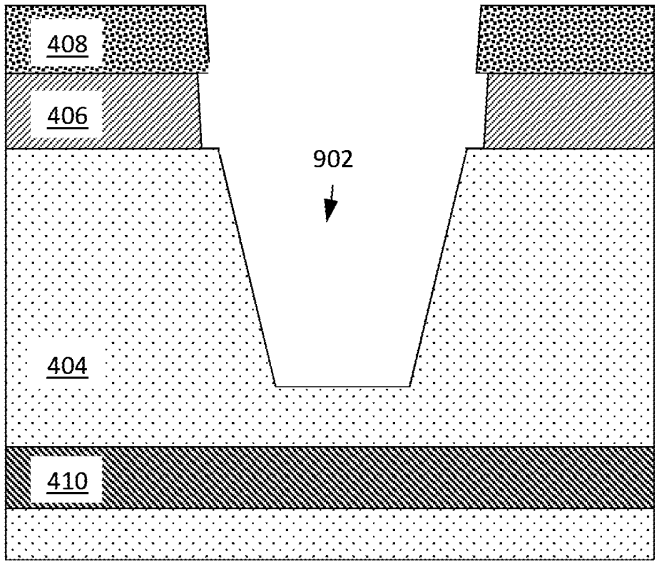
도면21



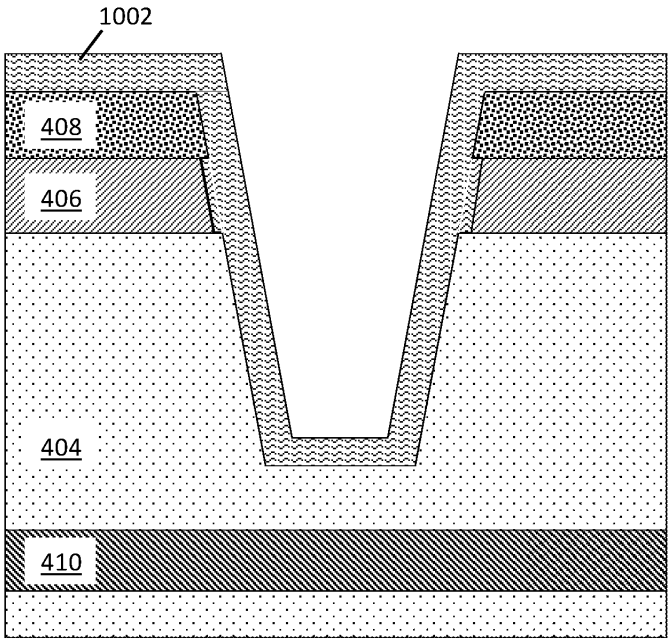
도면22



도면23



도면24



도면25

