

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 21/762

(45) 공고일자 2000년03월02일

(11) 등록번호 10-0245087

(24) 등록일자 1999년11월26일

(21) 출원번호 10-1996-0072133

(65) 공개번호 특1998-0053083

(22) 출원일자 1996년12월26일

(43) 공개일자 1998년09월25일

(73) 특허권자 현대전자산업주식회사 김영환  
경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 김영복  
서울특별시 관악구 신림동 745-15  
최근민  
경기도 성남시 중원구 성남동 올림픽APT 10-502

(74) 대리인 이정훈, 이권희

심사관 : 고준호

**(54) 반도체소자의 소자분리절연막 형성방법**

**요약**

본 발명은 반도체소자의 소자분리절연막 형성방법에 관한 것으로, 변화된 LOCOS 방법으로 상부면이 평탄화된 소자분리절연막 형성하는 방법에 있어서, 상기 반도체기판 상부에 제 1 절연막과 제 2 절연막을 형성하고 상기 제 2 절연막과 제 1 절연막을 식각하여 소자분리영역의 반도체기판을 노출시킨 다음, 상기 제 2 절연막과 제 1 절연막의 측벽에 제 3 절연막 스페이서를 형성하고 상기 제 2, 3 절연막을 마스크로 하여 상기 반도체기판을 일정깊이 식각하여 홈을 형성한 다음, 상기 반도체기판을 열산화시켜 제 4 절연막을 형성하고 상기 제 2, 3 절연막을 제거한 다음, 상기 반도체기판 상부에 제 5 절연막을 형성하고 상기 제 5 절연막과 제 1 절연막을 제거하여 상부면이 평탄화된 소자분리절연막을 형성함으로써 후속공정을 용이하게 하고 반도체소자의 누설전류를 감소시켜 반도체소자의 특성 및 신뢰성을 향상시키고 그에 따른 반도체소자의 고집적화를 가능하게 하는 기술이다.

**대표도**

**도2e**

**명세서**

**도면의 간단한 설명**

도 1a 내지 도 1c는 종래기술에 따른 반도체소자의 소자분리절연막 형성방법을 도시한 단면도.

도 2a 내지 도 2f는 본 발명의 실시예에 따른 반도체소자의 소자분리절연막 형성방법을 도시한 단면도.

\*도면의 주요부분에 대한 부호의 설명\*

11,31 : 반도체기판13,33 : 패드산화막

15,35 : 제 1 질화막17,37 : 제2 질화막

19 : 홈21 : 제 1 열 산화막

23 : 비정질실리콘막25 : 제 2 열산화막

27,43 : 게이트산화막29,41 : 소자분리절연막

39 : 열산화막@ : 텍스처현상을 도시한 부분

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 반도체소자의 소자분리절연막 형성방법에 관한 것으로, 특히 트렌치를 매립하는 소자분리절연막의 손상을 방지하여 반도체소자의 특성 및 신뢰성을 향상시키는 기술에 관한 것이다.

고집적화라는 관점에서 소자의 집적도를 높이기 위해서는 각각의 소자 디멘전(dimension)을 축소하는 것

과, 소자간에 존재하는 분리영역(isolation region)의 폭과 면적을 축소하는 것이 필요하며, 이 축소정도가 셀의 크기를 좌우한다는 점에서 소자분리기술이 메모리 셀 사이즈(memory cell size)를 결정하는 기술이라고 할 수 있다.

소자분리절연막을 제조하는 종래기술로는 절연막 분리방식의 로코스(LOCOS : Local Oxidation of Silicon, 이하에서 LOCOS라 함) 방법, 실리콘 기판 상부에 산화막, 다결정실리콘층, 질화막순으로 적층한 구조의 피.비.엘. (Poly-Buffered LOCOS, 이하에서 PBL 이라 함) 방법, 기판에 홈을 형성한 후에 절연물질로 매립하는 트렌치(trench)방법 등이 있다.

그러나, 상기 LOCOS 방법으로 소자분리산화막을 미세화할 때 공정상 또는 전기적인 문제가 발생한다. 그 중의 하나는, 소자분리절연막만으로는 전기적으로 소자를 완전히 분리할 수 없다는 것이다.

그래서, 소자분리 산화막을 형성하는 산화공정 직전 또는 이후에 고농도의 B 또는 BF<sub>2</sub> 이온을 소자분리절연막의 하부에 이온주입시켜 격리효과를 보강해 주는데, 이 공정을 N 채널 필드 임플란트(N-channel field implant) 공정, 즉 채널스토퍼(channel stopper) 형성공정이라고 한다.

그리고, 상기 LOCOS 방법은 반도체기판 상부로 높은 단차를 형성하여 후속 공정을 어렵게 한다.

도 1a 및 도 1c는 종래기술에 따른 반도체소자의 소자분리절연막 형성방법을 도시한 단면도이다.

먼저, 반도체기판(31) 상부에 패드산화막(33)을 형성하고, 상기 패드산화막(33) 상부에 제 1 질화막(35)을 형성한다.

그리고, 소자분리마스크(도시 안됨)를 이용한 식각공정으로 상기 제 1 질화막(35)과 패드산화막(33)을 식각한다.(도 1a)

그 다음에, 상기 제 1 질화막(35)과 패드산화막(33)의 측벽에 제 2 질화막(37) 스페이서를 형성한다. 이때, 상기 제 2 질화막(37) 스페이서는 전체 표면상부에 상기 제 2 질화막(37)을 일정두께 형성하고 이를 이방성식각하여 형성한다.

그리고, 상기 노출된 반도체기판(31)을 열산화시켜 열산화막(39)을 형성한다. 이때, 상기 제 2 질화막(37) 스페이서가 열산화막(39)의 성장공정시 장벽으로 사용된다. (도 1b)

그 다음에, 상기 제 2 질화막(37) 스페이서, 제 1 질화막(35) 및 패드산화막(33)을 습식방법으로 제거한다. 이때, 상기 열산화막(39)의 상측 일부가 식각된 소자분리절연막(41)이 형성된다.

그리고, 상기 반도체기판(31)의 표면을 열산화시켜 게이트산화막(43)을 형성한다.

여기서, ㉔는 상기 산화막(39)을 형성하는 열산화공정시 발생하는 질화막과 산화막 간의 응력(stress)에 의하여 형성되며, 소자분리영역에서 활성영역으로 기울어져 형성되는 턱짐현상을 도시한다.(도 1c)

이상에서 설명한 바와 같이 종래기술에 따른 반도체소자의 소자분리절연막 형성방법은, 턱짐현상으로 인하여 후속공정을 어렵게 하며 반도체기판의 누설전류를 유발시켜 반도체소자의 특성 및 신뢰성을 저하시키고 그에 따른 반도체소자의 고집적화를 어렵게 하는 문제점이 있다.

### **발명이 이루고자 하는 기술적 과제**

따라서, 본 발명의 상기한 종래기술의 문제점을 해결하기 위하여, 변화된 LOCOS 방법으로 턱짐현상이 보상된 소자분리절연막을 형성하여 후속공정을 용이하게 하고 반도체기판의 누설전류를 억제하여 반도체소자의 특성 및 신뢰성을 향상시키고 그에 따른 반도체소자의 고집적화를 가능하게 하는 반도체소자의 소자분리절연막 형성방법을 제공하는 데 그 목적이 있다.

### **발명의 구성 및 작용**

이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 소자분리절연막 형성방법은, 변화된 LOCOS 방법으로 상부면이 평탄화된 소자분리절연막 형성하는 방법에 있어서, 상기 반도체기판 상부에 제 1 절연막과 제 2 절연막을 각각 일정두께 형성하는 공정과, 상기 제 2 절연막과 제 1 절연막을 식각하여 소자분리영역의 반도체기판을 노출시키는 공정과, 상기 제 2 절연막과 제 1 절연막의 측벽에 제 2 절연막 스페이서를 형성하는 공정과, 상기 제 2, 3 절연막을 마스크로 하여 상기 반도체기판을 일정깊이 식각하여 홈을 형성하는 공정과, 상기 반도체기판을 열산화시켜 제 4 절연막을 형성하는 공정과, 상기 제 2, 3 절연막을 제거하는 공정과, 상기 반도체기판 상부에 제 5 절연막을 형성하는 공정과, 상기 제 5 절연막과 제 1 절연막을 제거하는 공정을 포함하는 것을 특징으로 한다.

한편, 상기한 목적을 달성하기 위한 본 발명의 원리는, 소자분리영역에 열산화막을 성장시키고 질화막을 제거한 다음, 전체표면상부에 비정질실리콘을 증착하고 상기 비정질실리콘을 모두 산화시켜 산화막을 형성한 다음, 상기 산화막과 패드산화막 제거하고 게이트산화막을 형성함으로써 턱짐현상이 유발되지 않도록 하는 것이다. 그리고, 상기 비정질실리콘막을 형성하는 대신 상부에 전체표면상부에 CVD 산화막을 증착하여 실시할 수도 있다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

도 2a 내지 도 2f는 본 발명의 실시예에 따른 반도체소자의 소자분리절연막 형성방법을 도시한 단면도이다.

먼저, 반도체기판(11) 상부에 패드산화막(13) 및 제 1 질화막(15)을 각각 일정두께 형성한다. 그리고, 소자분리마스크(도시 안됨)를 이용한 식각공정으로 상기 제 1 질화막(15)과 패드산화막(13)을 식각한다.

여기서, 상기 패드산화막(13)은 50 ~ 300Å 정도의 두께로 형성한다, 그리고, 상기 제 1 질화막(15)은

1500 ~ 3000 Å 정도의 두께로 형성한다. (도 2a)

그 다음에, 상기 제 1 질화막(15)과 패드산화막(13)의 측벽에 제 2 질화막(17) 스페이서를 형성한다. 이때, 상기 제 2 질화막(17) 스페이서는 전체표면상부에 제 2 질화막(17)을 50 ~ 500 Å 정도의 두께를 형성하고 이를 이방성식각하여 형성한다.

그리고, 상기 제 1 질화막(15)과 제 2 질화막(17)을 마스크로 하여 상기 반도체기판(11)을 50 ~ 500 Å 정도의 깊이 식각하여 홈(19)을 형성한다. (도 2b)

그 다음에, 상기 반도체기판(11)을 열산화시켜 상기 반도체기판(11)이 노출된 영역, 소자분리영역에 제 1 열산화막(21)을 형성한다, 이때, 상기 제 2 질화막(17) 스페이서가 상기 제 1 열산화막(21)의 성장공정시 장벽으로 사용된다.

여기서, 상기 열산화공정은 900 ~ 1200°C 정도의 온도에서 실시하며, 상기 제 1 열산화막(21)은 2000 ~ 4000 Å 정도의 두께로 형성한다. (도 2c)

그 다음에, 인산용액을 이용하여 상기 제 1 질화막(15)과 제 2 질화막(17) 스페이서를 제거한다.

그리고, 전체표면상부에 비정질실리콘막(23)을 100 ~ 500 Å 정도의 두께로 증착한다. 이때, 상기 비정질실리콘막(23)의 증착공정은 500 ~ 700°C 정도의 온도에서 실시한 것이다. (도 2d)

그 다음에, 상기 비정질실리콘막(23)을 산화시켜 열산화시켜 제 2 열산화막(25)을 형성한다. 이때, 상기 열산화공정은 800 ~ 1100°C 정도의 온도에서 실시한 것으로 상기 반도체기판(11)의 일부도 산화된 것이다. (도 2e)

그 다음에, 상기 제 2 열산화막(25)과 패드산화막(13)을 불산용액으로 제거하여 소자분리절연막(29)을 형성하고, 상기 반도체기판(11)에 게이트산화막(27)을 형성함으로써 턱짐현상이 제거된 소자분리절연막(29)을 형성한다. (도 2f)

### 발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 소자분리절연막 형성방법은, 변화된 LOCOS 방법으로 제 1 열산화막을 형성하고 질화막을 제거한 다음, 전체표면상부에 비정질실리콘막을 형성하고 이를 열산화시켜 제 2 열산화막을 형성한 다음, 상기 제 2 열산화막과 패드산화막을 제거하고 게이트산화막을 형성하여 상부면이 평탄화된 소자분리절연막을 형성함으로써 반도체소자의 특성 및 신뢰성을 향상시키고 그에 따른 반도체소자의 고집적화를 가능하게 하는 효과가 있다.

### (57) 청구의 범위

#### 청구항 1

변화된 LOCOS 방법으로 상부면이 평탄화된 소자분리절연막 형성하는 방법에 있어서,  
상기 반도체기판 상부에 제 1 절연막과 제 2 절연막을 각각 일정두께 형성하는 공정과,  
상기 제 2 절연막과 제 1 절연막을 식각하여 소자분리영역의 반도체기판을 노출시키는 공정과,  
상기 제 2 절연막과 제 1 절연막의 측벽에 제 2 절연막 스페이서를 형성하는 공정과,  
상기 제 2, 3 절연막을 마스크로 하여 상기 반도체기판을 일정깊이 식각하여 홈을 형성하는 공정과,  
상기 반도체기판을 열산화시켜 제 1 절연막을 형성하는 공정과,  
상기 제 2, 3 절연막을 제거하는 공정과,  
상기 반도체기판 상부에 제 5 절연막을 형성하는 공정과,  
상기 제 5 절연막과 제 1 절연막을 제거하는 공정을 포함하는 반도체소자의 소자분리절연막 형성방법.

#### 청구항 2

청구항 1에 있어서,  
상기 제 1 절연막은 패드산화막을 50 ~ 300 Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리절연막 형성방법.

#### 청구항 3

청구항 1에 있어서,  
상기 제 2 절연막은 질화막을 1500 ~ 3000 Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리절연막 형성방법.

#### 청구항 4

청구항 1에 있어서,  
상기 제 3 절연막은 질화막을 50 ~ 500 Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리절연막 형성방법.

#### 청구항 5

청구항 1에 있어서,

상기 층은 50 ~ 500 Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리절연막 형성방법.

#### 청구항 6

청구항 1에 있어서,

상기 제 4 절연막은 900 ~ 1200°C 정도의 온도에서 열산화시켜 형성하는 것을 특징으로 하는 반도체소자의 소자분리절연막 형성방법.

#### 청구항 7

청구항 6에 있어서,

상기 제 4 절연막은 2000 ~ 400 Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리절연막 형성방법.

#### 청구항 8

청구항 1에 있어서,

상기 제 4 절연막은 상기 제 2, 3 절연막 제거공정시 상측 일부가 제거되는 것을 특징으로 하는 반도체소자의 소자분리절연막 형성방법.

#### 청구항 9

청구항 1에 있어서,

상기 제 5 절연막은 비정질실리콘막을 전체표면상부에 형성하고 이를 열산화시켜 형성하는 것을 특징으로 하는 반도체소자의 소자분리절연막 형성방법.

#### 청구항 10

청구항 9에 있어서,

상기 비정질실리콘막은 500 ~ 700°C 정도의 온도에서 형성하는 것을 특징으로 하는 반도체소자의 소자분리절연막 형성방법.

#### 청구항 11

청구항 1 또는 청구항 9에 있어서,

상기 비정질실리콘막은 100 ~ 500 Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리절연막 형성방법.

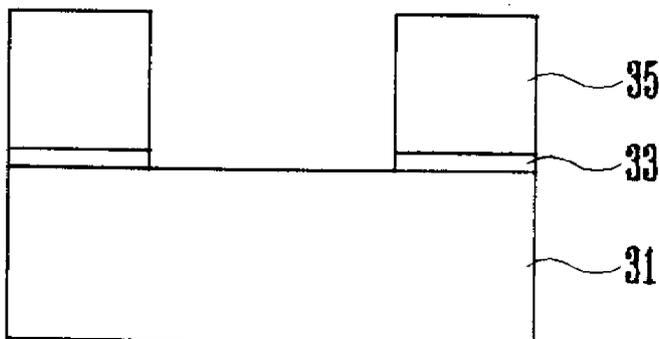
#### 청구항 12

청구항 1에 있어서,

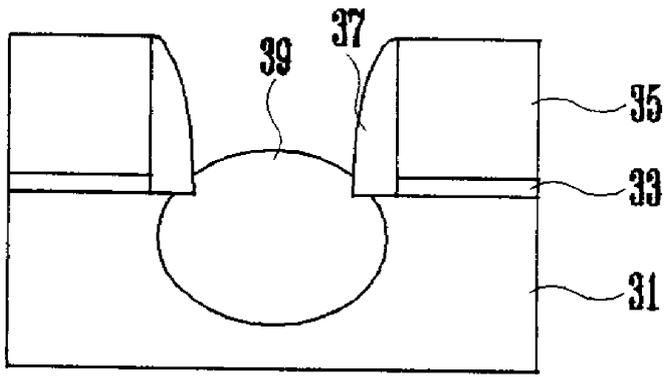
상기 제 5 절연막과 제 1 절연막은 불산용액을 이용하여 제거하는 것을 특징으로 하는 반도체소자의 소자분리절연막 형성방법.

### 도면

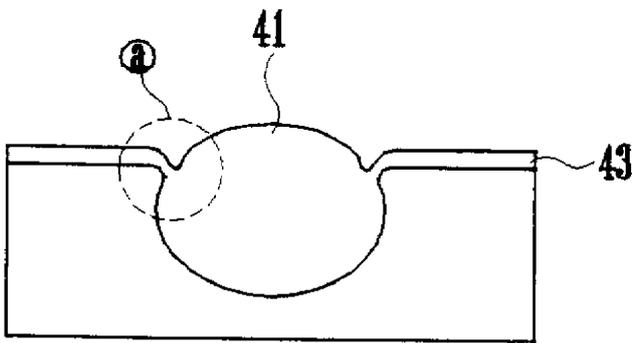
도면 1a



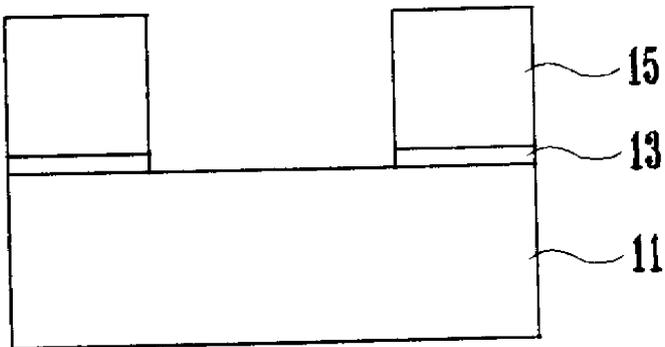
도면 1b



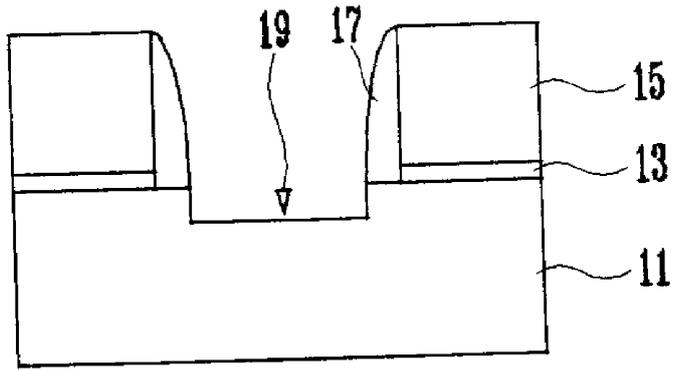
도면 1c



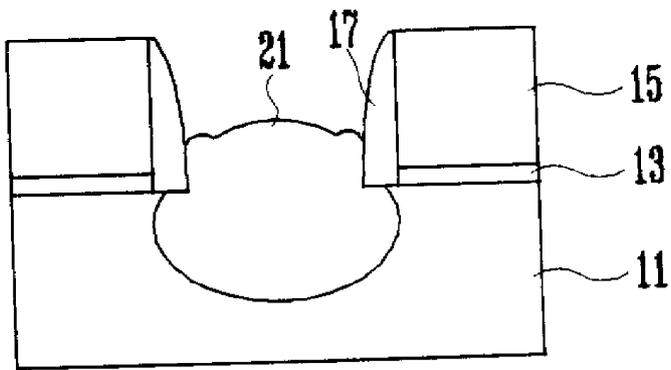
도면 2a



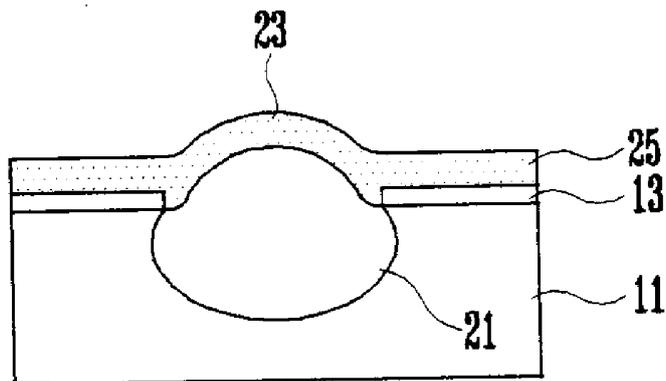
도면2b



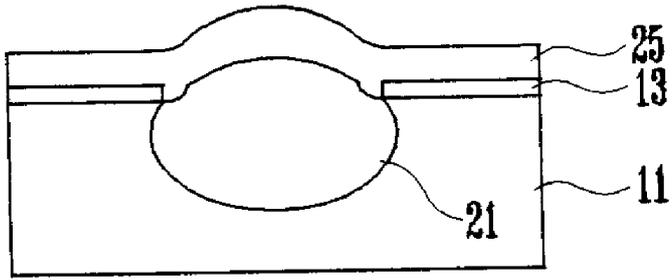
도면2c



도면2d



도면2e



도면2f

